(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/11

(11) 공개번호 특1995-0034798
(43) 공개일자 1995년12월28일

(21) 출원번호 특1995-0013496
(22) 출원일자 1995년05월26일

(30) 우선권주장 8/250,746 1994년05월27일 미국(US)
(71) 출원인 에이티앤드티 코포레이션 데이비드 아이. 카플란
미합중국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카스 32
(72) 발명자 케빈 존 오코노
미합중국 뉴저지 08833 레바논 크리스탈 드라이브 1
(74) 대리인 김창세, 김영, 장성구, 김원준

심사청구 : 없음

(54) 반도체 집적 회로

요약

SRAM어레이(100,300)내의 각각의 메모리 셀($C_{i,j}$)은 각각의 셀내에서 트랜지스터중 1개를 가로질러서 접속된 보조의 리드용 크랜지스터(MR1)를 포함한다. 이 보조의 리드용 트랜지스터의 ON-OFF상태를 로우리드 라인(RR_i)이 제어한다. 또 각각의 셀은 상보적인 컬럼 비트 라인(B_j, $\overline{B_j}$)에 셀을 접속하기 위해 2개이 — 액세스 트랜지스터를 갖는다. 이들 액세스 트랜지스터 모두의 ON-OFF상태는 로우 라이트 라인(RWi)에 의해 제어된다. 각각의 셀은 2개의 파워 노드(N3,N4)를 갖는데, 그중 1개가 VDD등의 전원에 접속되고, 다른 것이, 전류 센서에서 종료하는 컬럼 검출기 라인(D_J)에 접속된다. 메모리셀의 상태는 이 전류 센서에 의해 검출된다. 하나의 실시예(100)에 있어서는, 셀에 전압 VDD를 공급하는 파워 라인이 컬럼라인으로 되고, 다른 실시예(300)에 있어서는, 로우 라인으로 된다. 이렇게 하여, 상기 하나의 실시예에서는 전체적으로 4개의 컬럼라인과 2개의 로우라인이 존재하고, 상기 다른 실시예에 있어서는 전체적으로 3개의 컬럼 라인과 3개의 로우라인이 존재하게 된다.

대표도

도1

명세서

[발명의 명칭]

반도체 집적 회로

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 의한, 종단을 단일화하여 전류를 검출하는 SRAM 집적회로의 블럭도, 제2도는 본 발명의 실시예에 의한. 제1도의 블럭도에서 사용될수 있는 SRAM셀의 회로 구성도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

(a) 반도체 본체내에 집적된 여러개의 SRAM셀을 구비하는 로우-컬럼 어레이(a row-column array)로서, 상기 셀의 각각이 별개의 파워단자와 별개의 검출기 단자 및 별개의 제1및 제2의 액세스 트랜지스터를 갖고, 상기 액세스 트랜지스터의 각각이 1쌍의 고전류 반송 단자와 제어 단자를 가지며, 상기 여러개의 셀이, 제1의 열과 제1및 제2의 행이 각각 교차하는 교차부에 위치하는 제1및 제2의 SRAM셀을 구비하는 상기 로우-컬럼 어레이 (b) 상기 제1의 열에 인접하여 위치하는 제1및 제2의 전기 전도성의 컬럼 라인으로서, 상기 제1및 제2의 SRAM셀의각각의 제1및 제2의 출력단자가. 상기 제1및 제2의 셀의 제1및 제2의 액세스 트랜지스터의 고전류 반송 단자를 각각 거쳐서, 상기 제1및 제2의 전기 전도성의 컬럼라인에 각각 접속되는 상기 제1및 제2의 전기 전도성의 컬럼 라인 (c) 상기 제1의 행에 인접하여 위치하는 제1의 1쌍의 전기 전도성의 로우라인과, 상기 제2의행에 인접하여 위치하는 제2의 1쌍의 전기 전도성의 로우라인 (d) 상기 제1및 제2의 1쌍의 로우 라인중 1개의 로우라인을 상기 제1및 제2의 셀 모두의 액세스 트랜

지스터의 제어단자에 각각 접속하는 제1및 제2의 전기전도체 (e) 상기 셀 모두의 파워 단자에 접속되는 파워 라인 (f) 상기 제1및 제2의 셀내에 각각 위치하고, 상기 제1및 제2의 쌍의 다른 로우 라인에 각각 별개로 접속되는 제어단자를 구비하며, 상기 제1및 제2의 셀의 제1의 출력단자와 파워 라인에 각각 접속되는 제1및 제2의 고전류 반송 단자를 구비한 제1및 제2의 보조 트랜지스터와 (g) 상기 검출기 라인에 접속되는 전류 검출소자를 포함하는 반도체 집적회로.

청구항 2

제1항에 있어서, 상기 셀의 각각은 별개의 부하 소자에 직렬로 별개로 접속되는 1쌍의 교차 결합된 트랜지스터 드라이버를 포함하는 반도체 집적회로.

청구항 3

제1항에 있어서, 상기 셀의 각각은 1쌍의교차 결합된 p채널 트랜지스터에 직렬로 별개로 접속되는 1쌍의 교차 결합된 n채널 트랜지스터를 포함하는 반도체 집적회로.

청구항 4

제3항에 있어서, 상기 n채널 트랜지스터는 NMOS 트랜지스터이고, 상기 P채널 트랜지스터는 PMOS트랜지스터이며, 상기 보조 트랜지스터는 NMOS트랜지스터이고, 상기 제1의 파워 단자는 상기 PMOS트랜지스터 모두의 고전류 반송 단자에 접속되는 반도체 집적회로.

청구항 5

제1항에 있어서, 상기 제2의 파워라인은 상기 제1및 제2의 컬럼라인과 본질적으로 병렬로 연장하고 있는 반도체 집적회로.

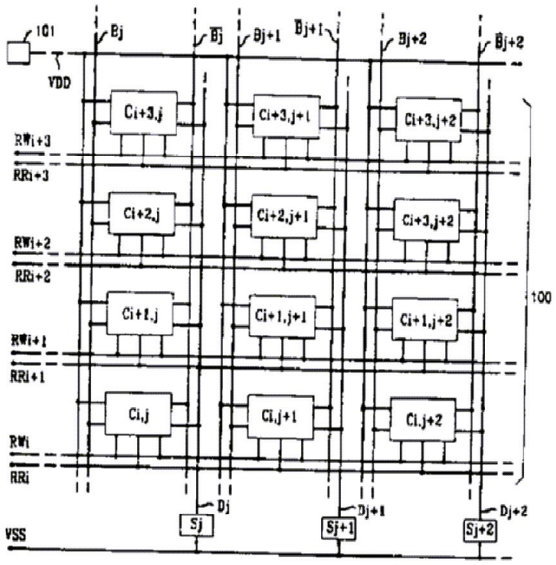
청구항 6

제1,2,3항 또는 제4항에 있어서, 상기 제1및 제2의 셀 사이에서, 상기 제1의 파워라인은 상기 제1및 제2의 컬럼라인과 본질적으로 병렬로 연장하고 있는 반도체 집적회로.

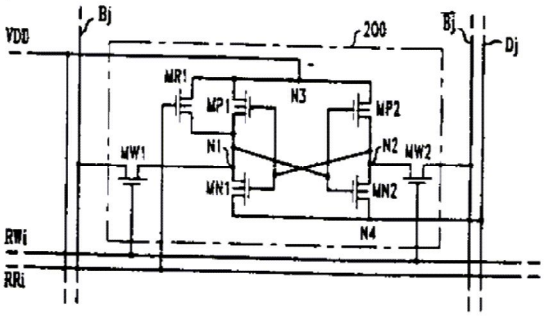
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2


VDD
Bj
200
$\overline{Bj}$
Dj
MR1
MP1
N3
MP2
N1
N2
MW1
MW2
MN1
MN2
N4
RWi
RRi