



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0071020
H01L 21/28 (2006.01) (43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134133
(22) 출원일자 2005년12월29일
심사청구일자 2005년12월29일

(71) 출원인 동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자 황중택
충북 청주시 흥덕구 복대1동 2459 두진백로아파트 102-306
이한춘
서울 강동구 성내2동 125-6 302호

(74) 대리인 김용인
강용복
임성택
양영태

전체 청구항 수 : 총 7 항

(54) 캐핑 금속층에 의해 보호된 구리 금속 배선 및 그 제조방법

(57) 요약

다마신 공정을 이용한 구리 금속 배선의 형성 방법이 개시된다. 본 방법은, (a) 반도체 기판 위의 층간 절연막에 다마신 패턴을 형성하는 단계와, (b) 상기 다마신 패턴 내부에 장벽 금속층을 형성하는 단계와, (c) 상기 다마신 패턴 내부에 구리 도금층을 형성하는 단계와, (d) 상기 구리 도금층 위에 캐핑 금속층을 형성하는 단계를 포함한다. 특히, 캐핑 금속층은 다마신 패턴에 매립된 구리 도금층 상부에 국부적으로 형성되며, Ta, TaN, Co 및 CoWP 중 적어도 하나로 형성될 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

다마신 공정을 이용한 구리 금속 배선의 형성 방법으로서,

(a) 반도체 기판 위의 층간 절연막에 다마신 패턴을 형성하는 단계와,

(b) 상기 다마신 패턴 내부에 장벽 금속층을 형성하는 단계와,

(c) 상기 다마신 패턴 내부에 구리 도금층을 형성하는 단계와,

(d) 상기 구리 도금층 위에 캐핑 금속층을 형성하는 단계를 포함하는 구리 금속 배선의 형성 방법.

청구항 2.

제1항에서,

상기 (c) 단계에서, 상기 다마신 패턴 내부에 매립된 상기 구리 도금층의 상면은 상기 층간 절연막의 표면보다 낮은 것을 특징으로 하는 구리 금속 배선의 형성 방법.

청구항 3.

제1항에서,

상기 (d) 단계는, 상기 캐핑 금속층을 형성한 후, 상기 기판 전면을 평탄화하여 상기 층간 절연막 위에 형성된 상기 캐핑 금속층의 일부를 제거하는 것을 특징으로 하는 구리 금속 배선의 형성 방법.

청구항 4.

제1항에서,

상기 캐핑 금속층은 상기 다마신 패턴에 매립된 상기 구리 도금층 상부에 국부적으로 형성되는 것을 특징으로 하는 구리 금속 배선의 형성 방법.

청구항 5.

제1항에서,

상기 캐핑 금속층은 Ta, TaN, Co, CoSi₂ 및 CoWP 중 적어도 하나로 형성되는 것을 특징으로 하는 구리 금속 배선의 형성 방법.

청구항 6.

다마신 공정을 이용하여 형성된 구리 금속 배선을 포함하는 반도체 소자로서,

상기 구리 금속 배선의 상부에 국부적으로 형성된 캐핑 금속층을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7.

제6항에서,

상기 캐핑 금속층은 Ta, TaN, Co, CoSi₂ 및 CoWP 중 적어도 하나로 형성된 것을 특징으로 하는 반도체 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 기술에 관한 것으로서, 보다 자세하게는 반도체 소자에 금속 배선을 형성하는 기술에 관한 것이다.

반도체 제조 공정은 크게 실리콘 기판에 트랜지스터를 형성하는 기판 공정(Front End of the Line, FEOL)과 배선을 형성하는 배선 공정(Back End Of the Line, BEOL)으로 구분된다. 여기서, 배선 공정은 개별 트랜지스터를 서로 연결하여 집적 회로를 구성하는 전원 공급 및 신호 전달의 통로를 실리콘 기판 위에 구현하는 공정을 말한다.

이러한 배선 공정에 높은 EM(Electro-migration) 내성을 갖는 재료인 구리(Cu)가 많이 사용되고 있다. 그런데, 구리는 식각이 용이하지 않고 공정 중에 산화되는 문제점으로 인하여, 일반적인 사진 기술을 적용하여 패터닝하기가 용이하지 않다. 대안으로서, 구리 금속 배선 형성을 위하여, 듀얼 다마신(dual damascene) 공정 기술이 개발되었다. 듀얼 다마신 공정은, 기판 위에 형성된 층간 절연막에 비아(via)와 트렌치(trench) 등의 다마신 패턴을 형성한 후, 전기화학 도금법(Electro-Chemical Plating; ECP)을 이용하여 다마신 패턴 내부에 구리를 매립한 다음, 기판의 상면을 화학기계적 연마(Chemical Mechanical Polishing; CMP) 공정으로 평탄화시키는 공정이다.

도 1에는 종래의 듀얼 다마신 공정에 의해 하부 금속 배선(18a) 및 상부 금속 배선(18b)이 연이어 형성된 상태를 나타내었다. 도 1을 참조하면, 하부 및 상부 금속 배선(18a, 18b)은 층간 절연막(20a, 20b)에 형성된 비아(12) 및 트렌치(14) 내부에 형성되며, 탄탈륨(Ta) 및/또는 탄탈륨 질화막(TaN) 등으로 형성된 장벽 금속층(16)이 층간 절연막(20a, 20b)과 금속 배선(18a, 18b) 사이에 개재된다. 그리고 층간 절연막들(20a, 20b) 사이에는 실리콘 질화막 등으로 형성된 장벽 절연막(10)이 개재된다.

일반적으로, 금속 재료에서 전자의 이동은 금속 표면에서 이루어진다. 따라서, 소자가 동작되면, 전자(e)는 트렌치(14)의 상부 근처에서 금속 배선의 표면을 따라 이동하게 된다. 그러나, 금속 배선(18a)이 장벽 절연막(10)과 접촉해 있는 영역(A)에서는 전자(e)의 흐름이 원활하지 못하게 된다. 장벽 절연막은 전기 저항이 큰 물질로 형성되므로 전자의 흐름을 방해하게 된다. 따라서, 이러한 조건에서 소자의 동작이 장시간 지속되면 금속 배선의 신뢰성이 저하될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제를 해결하기 위한 것으로서, 그 목적은 구리 금속 배선의 상면을 보호하는 캐핑 금속층을 형성하여 금속 배선 내부에서의 전기 전도 특성을 보다 향상시킬 수 있는 방법을 제공하는 것이다.

발명의 구성

본 발명에 따른 다마신 공정을 이용한 구리 금속 배선의 형성 방법은, (a) 반도체 기판 위의 층간 절연막에 다마신 패턴을 형성하는 단계와, (b) 상기 다마신 패턴 내부에 장벽 금속층을 형성하는 단계와, (c) 상기 다마신 패턴 내부에 구리 도금층을 형성하는 단계와, (d) 상기 구리 도금층 위에 캐핑 금속층을 형성하는 단계를 포함한다.

특히, 다마신 패턴 내부에 매립된 구리 도금층의 상면은 층간 절연막의 표면보다 낮게 형성된다. 또한, 캐핑 금속층을 형성한 후, 기판 전면을 평탄화하여 층간 절연막 위에 형성된 캐핑 금속층의 일부를 제거할 수 있다. 아울러, 캐핑 금속층은 다마신 패턴에 매립된 구리 도금층 상부에 국부적으로 형성되며, Ta, TaN, Co 및 CoWP 중 적어도 하나로 형성될 수 있다.

본 발명에 따른 반도체 소자는, 다마신 공정을 이용하여 형성된 구리 금속 배선을 포함하며, 구리 금속 배선의 상부에는 Ta, TaN, Co, CoSi₂ 및 CoWP 중 적어도 하나로 형성된 캐핑 금속층을 포함한다.

이하에서는 첨부한 도면을 참조하여 본 발명에 따른 구리 금속 배선 및 그 형성 방법을 자세히 설명하기로 한다.

도 2a에는 층간 절연막(20a)에 비아(12) 및 트렌치(14)로 이루어진 다마신 패턴 내부에 전기화학 도금법을 이용하여 구리 도금층(18)을 형성한 상태를 도시하였다. 층간 절연막(20a)에 다마신 패턴을 형성하는 공정과, Ta막 또는 Ta/TaN 이중막으로 된 장벽 금속층(16) 및 구리 시드층(미도시)을 형성하는 공정은 종래의 방법과 유사하므로 여기서는 자세한 설명을 생략하기로 한다.

한편, 일반적인 다마신 공정에서는, 기판 위에 형성된 다마신 패턴 중에서 폭이 작은 패턴은 폭이 큰 패턴보다 더 빨리 매립되는데, 매립 속도가 느린 폭이 큰 패턴 내부에 갭필이 충분히 이루어질 수 있도록 추가적인 도금을 진행하게 된다. 이러한 추가적인 도금을 보통 벌크 도금(Bulk Plating)이라고 하는데, 즉 층간 절연막(20a)의 표면 위로 두껍게 형성되는 도금층을 말한다.

그러나, 본 실시예에서는 벌크 도금을 진행하지 않는다. 즉, 다마신 패턴을 완전히 매립하지 않고 그 상부에 리세스(Recess)가 소정의 깊이로 형성될 때까지 구리 도금을 진행한다. 다시 말해서, 구리 도금층(18) 위에는 다마신 패턴의 일부가 미처 채워지지 않음으로 인해 리세스(R)가 형성될 수 있다. 따라서, 도 2a에서 보듯이, 다마신 패턴에 매립된 구리 도금층(18)의 상면이 적어도 층간 절연막(20a)의 상면보다 낮게 형성된다.

그 후, 도 2b에서 보듯이, 기판 전면에 캐핑 금속층(19)을 형성한다. 캐핑 금속층(19)은, Ta(Tantalum), TaN(Tantalum Nitride), Co(Cobalt), CoSi₂, CoWP 등으로 형성될 수 있다. 또한 캐핑 금속층(19)은 물리기상증착(Physical Vapor Deposition), 화학기상증착(Chemical Vapor Deposition), 원자층증착(Atomic Layer Deposition) 등을 이용하여 형성할 수 있다.

그 후, 도 2c에서 보듯이, 기판을 화학적 기계적 연마 공정(Chemical-Mechanical Polishing)을 이용하여 평탄화한다. 이 평탄화 공정을 통해서, 층간 절연막(20a) 위에 형성된 캐핑 금속층(19)의 일부를 제거한다. 그 결과, 다마신 패턴 내부에는 구리 금속 배선(18)이 형성되며, 구리 금속 배선(18)의 상면에는 캐핑 금속층(19a)이 남게 된다.

도 3에는 상술한 방법으로 2개의 금속 배선(18a, 18b)이 연속하여 형성된 상태를 나타내었다. 도 3을 참조하면, 장벽 금속층(16)이 형성되지 않는 금속 배선(18a, 18b)의 상면에 캐핑 금속층(19a, 19b)이 형성되어 있으므로, 금속 배선의 상면이 전기 저항이 큰 절연막과 직접 접촉하지 않는다. 따라서, 절연막에 의해 전자의 흐름이 방해되지 않으므로, 금속 배선의 성능이 향상될 수 있다.

발명의 효과

본 발명에 따르면, 금속 배선의 상면이 절연막과 직접 접촉하지 않고 캐핑 금속층에 의해 보호되므로, 금속 배선에서의 전자가 원활하게 이동할 수 있다.

지금까지 본 발명의 바람직한 실시예에 대해 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 변형된 형태로 구현할 수 있을 것이다. 그러므로 여기서 설명한 본 발명의 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 상술한 설명이 아니라 특허 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

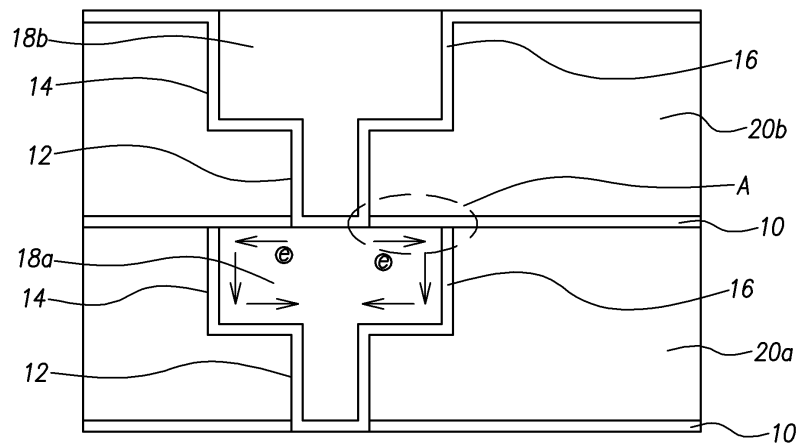
도 1은 상부 및 하부 구리 금속 배선이 형성된 종래의 반도체 소자의 단면을 도시한다.

도 2a 내지 도 2c는 본 발명에 따른 구리 금속 배선의 형성 방법을 설명하는 도면들이다.

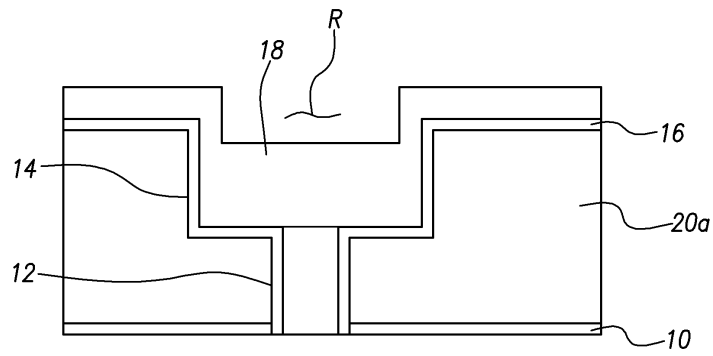
도 3은 본 발명에 따른 방법에 의해 상부 및 하부 금속 배선이 형성된 반도체 소자의 단면을 도시한다.

도면

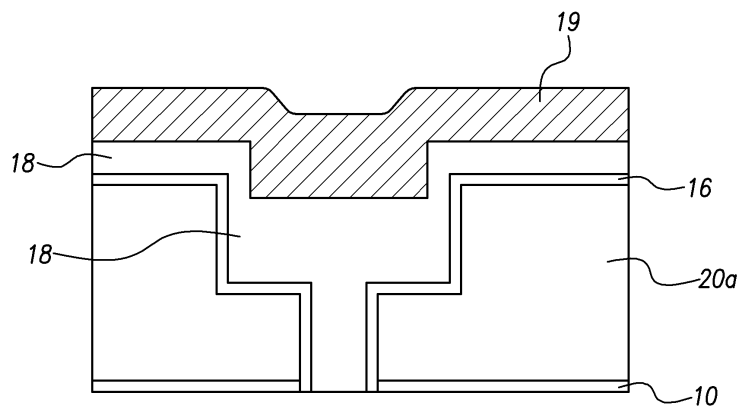
도면1



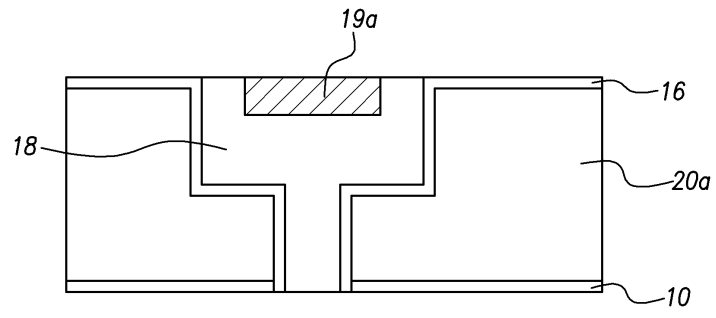
도면2a



도면2b



도면2c



도면3

