

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月12日(12.05.2022)



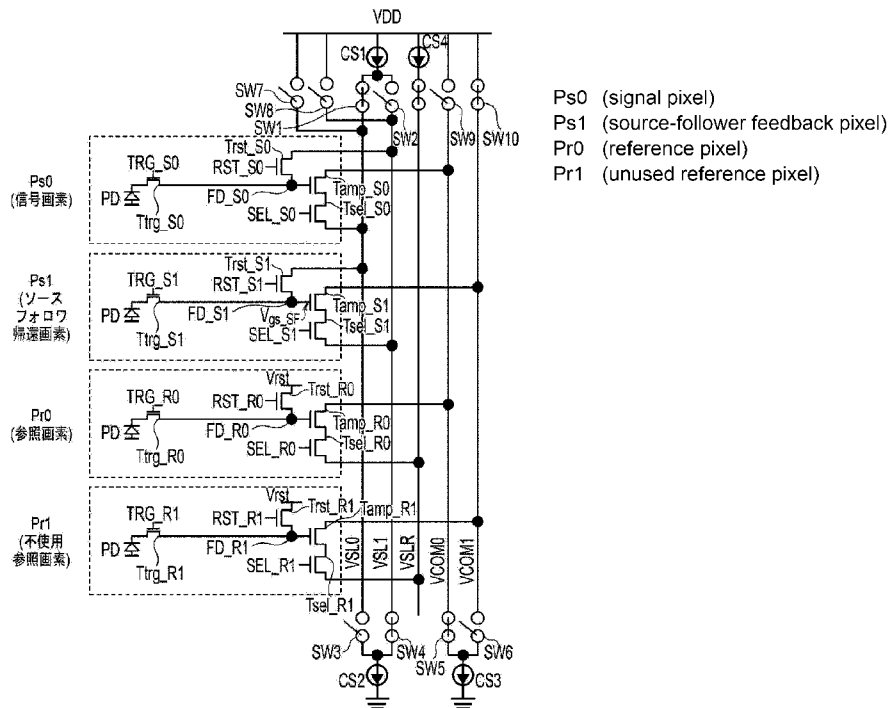
(10) 国際公開番号

WO 2022/097446 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/378 (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2021/038109 (72) 発明者: 佐藤 守(SATO Mamoru); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2021年10月14日(14.10.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-184435 2020年11月4日(04.11.2020) JP (74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子



(57) Abstract: [Problem] To provide a solid-state imaging element that has high conversion efficiency and that is capable of suppressing variation in the conversion efficiency of each pixel. [Solution] A solid-state imaging element of the present disclosure comprises: among a plurality of pixels that output an electrical signal by photoelectrically converting light, a first signal pixel that outputs a first signal to be detected; among the plurality of pixels, a reference pixel that outputs a reference signal that serves as a reference for a comparison by a differential amplification operation with respect to the

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first signal; and, among the plurality of pixels, a first feedback pixel that is connected to a first output signal line and that applies a feedback voltage to the first output signal line, the first output signal line being connected to the first signal pixel and transmitting the first signal.

(57) 要約: [課題] 高い変換効率を有し、かつ、各画素の変換効率のばらつきを抑制することができる固体撮像素子を提供する。 [解決手段] 本開示の固体撮像素子は、光を光電変換して電気信号を出力する複数の画素のうち、検出対象の第1信号を出力する第1信号画素と、複数の画素のうち、第1信号に対して差動増幅動作の比較の基準となる基準信号を出力する参照画素と、複数の画素のうち、第1信号画素に接続され第1信号を伝達する第1出力信号線に接続され、第1出力信号線に帰還電圧を印加する第1帰還画素と、を備える。

明 細 書

発明の名称： 固体撮像素子

技術分野

[0001] 本開示は、固体撮像素子に関する。

背景技術

[0002] C M O S (Complementary Metal Oxide Semiconductor) イメージセンサにおいては、画素アレイ部に配置された複数の画素で光電変換された信号電荷を読み出す回路として、ソースフォロア回路が広く利用されている。また、読み出し回路には、ソースフォロア回路のほか、ソース接地回路や差動増幅回路が用いられる場合もある。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 0 5 - 3 1 1 4 8 7 号公報

特許文献2：特開 2 0 1 8 - 1 8 2 4 9 6 号公報

発明の概要

発明が解決しようとする課題

[0004] 差動増幅回路による読み出しを行う場合、高い変換効率が得られるものの、差動増幅回路のゲインのばらつきが、変換効率を画素ごとにばらつかせる。これは、所謂、感度不均一性（P R N U (Photo Response Non-Uniformity)）の悪化に繋がる。P R N U は、入力信号に比例した固定パタンノイズとして撮像画像に現れる。例えば、画素の増幅トランジスタの飽和領域における動作マージンが小さいと、ゲインは小さくなり、ゲインのばらつきは大きくなる。これにより、P R N U が悪化する。

[0005] そこで、本開示は、高い変換効率を有し、かつ、各画素の変換効率のばらつきを抑制することができる固体撮像素子を提供する。

課題を解決するための手段

[0006] 本開示の一側面の固体撮像素子は、光を光電変換して電気信号を出力する

複数の画素のうち、検出対象の第1信号を出力する第1信号画素と、複数の画素のうち、第1信号に対して差動増幅動作の比較の基準となる基準信号を出力する参照画素と、複数の画素のうち、第1信号画素に接続され第1信号を伝達する第1出力信号線に接続され、該第1出力信号線に帰還電圧を印加する第1帰還画素と、を備える。

[0007] 第1信号画素および参照画素をリセットするときに、第1帰還画素は、ソースフォロワ帰還回路として機能し第1出力信号線に帰還電圧を印加する。

[0008] 第1信号画素は、第1出力信号線と第1共通配線との間に設けられた第1増幅トランジスタと、第2出力信号線と第1増幅トランジスタのゲートとの間に接続された第1リセットトランジスタとを備え、第1帰還画素は、第2出力信号線と第2共通配線との間に設けられた第2増幅トランジスタと、第1出力信号線と第2増幅トランジスタのゲートとの間に接続された第2リセットトランジスタとを備え、参照画素は、第1共通配線と参照信号線との間に設けられた第3増幅トランジスタと、リセット電圧源と第3増幅トランジスタのゲートとの間に接続された第3リセットトランジスタとを備え、第1出力信号線は、第1定電流源を介して第1電圧源に接続され、第2出力信号線は、第2定電流源を介して第2電圧源に接続され、第1共通配線は、第3定電流源を介して第2電圧源に接続され、第2共通配線は、第1電圧源に接続され、参照信号線は、第4定電流源を介して第1電圧源に接続されている。

[0009] 第1信号画素および参照画素をリセットするときに、第1～第3リセットトランジスタは導通状態となり、第1信号画素の第1信号を第1出力信号線に出力するときに、第1～第3リセットトランジスタは非導通状態となっている。

[0010] 第1信号画素、第1帰還画素および参照画素は、第1および第2出力信号線、第1および第2共通配線、並びに、参照信号線を共有する画素列に含まれており、第1定電流源と第1出力信号線との間に設けられた第1スイッチと、第1定電流源と第2出力信号線との間に設けられた第2スイッチと、第

2 定電流源と第 1 出力信号線との間に設けられた第 3 スイッチと、第 2 定電流源と第 2 出力信号線との間に設けられた第 4 スイッチと、第 3 定電流源と第 1 共通配線との間に設けられた第 5 スイッチと、第 3 定電流源と第 2 共通配線との間に設けられた第 6 スイッチとをさらに備え、第 1、第 4 および第 5 スイッチがオンであり、第 2、第 3 および第 6 スイッチがオフであるときに、第 1 信号画素が第 1 出力信号線に接続され、第 1 帰還画素は第 2 出力信号線に接続され、参照画素は第 1 共通配線に接続され、第 1、第 4 および第 5 スイッチがオフであり、第 2、第 3 および第 6 スイッチがオンであるときに、第 1 信号画素が第 2 出力信号線に接続され、第 1 帰還画素は第 1 出力信号線に接続され、参照画素は第 2 共通配線に接続される。

[0011] 第 1 信号画素および第 1 帰還画素は、画素列において任意に選択された 2 つの有効画素である。

[0012] 第 1 および第 2 定電流源は、カレントミラー回路を構成している。

[0013] 第 1 モードにおいて、第 1 信号画素および参照画素をリセットするときに、第 1 帰還画素は、ソースフォロワ帰還回路として機能し第 1 出力信号線に帰還電圧を印加し、第 1 信号を検出するときに、第 1 信号画素および参照画素が差動増幅回路として機能し、第 2 モードにおいて、第 1 信号画素は、ソースフォロワ回路として機能し、第 1 信号を第 1 出力信号線に出力する。

[0014] 第 1 信号画素、第 1 帰還画素および参照画素は、第 1 および第 2 出力信号線、第 1 および第 2 共通配線、並びに、参照信号線を共有する画素列に含まれており、第 1 定電流源と第 1 出力信号線との間に設けられた第 1 スイッチと、第 1 定電流源と第 2 出力信号線との間に設けられた第 2 スイッチと、第 2 定電流源と第 1 出力信号線との間に設けられた第 3 スイッチと、第 2 定電流源と第 2 出力信号線との間に設けられた第 4 スイッチと、第 3 定電流源と第 1 共通配線との間に設けられた第 5 スイッチと、第 3 定電流源と第 2 共通配線との間に設けられた第 6 スイッチと、第 1 電圧源と第 1 出力信号線との間に設けられた第 7 スイッチと、第 1 電圧源と第 2 出力信号線との間に設けられた第 8 スイッチと、第 1 電圧源と第 1 共通配線との間に設けられた第 9

スイッチと、第1電圧源と第2共通配線との間に設けられた第10スイッチと、をさらに備え、

第1モードにおいて、第1、第4、第5および第10スイッチがオンであり、第2、第3、第6および第7～第9スイッチがオフであるときに、第1信号画素が第1出力信号線に接続され、第1帰還画素は第2出力信号線に接続され、参照画素は第1共通配線に接続され、第2、第3、第6および第9スイッチがオンであり、第1、第4、第5、第7、第8および第10スイッチがオフであるときに、第1信号画素が第2出力信号線に接続され、第1帰還画素は第1出力信号線に接続され、参照画素は第2共通配線に接続され

第2モードにおいて、第3、第8～第10スイッチがオンであり、第1、第2、第4～第7スイッチがオフであるときに、第1信号画素が第1出力信号線に接続され、

第4、第7、第9、第10スイッチがオンであり、第1～第3、第5、第6および第8スイッチがオフであるときに、第1信号画素が第2出力信号線に接続されている。

第1信号画素および第1帰還画素は、複数の画素の画素列において互いに隣接している。

[0015] 複数の画素の画素列において、第1信号画素に対して複数の第1帰還画素が選択される。

[0016] 第2モードにおいて、第1および第2出力信号線のそれぞれに接続される複数の画素がソースフォロワ回路として機能し、第1および第2出力信号線にそれぞれ信号を同時に出力する。

[0017] 複数の画素のうち、検出対象の第2信号を出力する第2信号画素と、複数の画素のうち、第2信号画素に接続され第2信号を伝達する第3出力信号線に接続され、該第2出力信号線に帰還電圧を印加する第2帰還画素と、を備え、第1および第2信号画素は、第1および第2出力信号線へ第1および第2信号をそれぞれ同時に出力する。

[0018] 第1または第2出力信号線と第1電圧源との間の第1ノードと第1または

第2共通配線との間に接続されたクリップトランジスタと、第1共通配線と第2共通配線との間に接続され、複数の画素と同一の基板に設けられたバイパススイッチとをさらに備える。

[0019] クリップトランジスタは、第1または第2出力信号線の電圧が所定のクリップ電圧を超えたときに第1または第2出力信号線から第1または第2共通配線へバイパス電流を流し、バイパススイッチは、バイパス電流を第1および第2共通配線の一方から他方へ流す。

[0020] 第1～第3増幅トランジスタは、Fin型トランジスタである。

[0021] 複数の画素列に設けられた複数の第1共通配線に共通に接続された第1グローバル配線と、複数の画素列に設けられた複数の第2共通配線に共通に接続された第2グローバル配線と、複数の画素列に設けられた複数の参照信号線に共通に接続されたグローバル配線とをさらに備える。

図面の簡単な説明

[0022] [図1]第1実施形態による固体撮像素子の構成例を示す図。

[図2]画素アレイ部内の複数の画素を含む画素列およびその周辺部の構成例を示す回路図。

[図3]図2に示す回路構成の等価回路図。

[図4]図2に示す回路構成の等価回路図。

[図5]本実施形態による信号画素の増幅トランジスタのI-V特性を示すグラフ。

[図6]固体撮像素子を差動増幅モードで動作させるときの回路構成を示す図。

[図7]固体撮像素子を差動増幅モードで動作させるときの回路構成を示す図。

[図8]図6の回路構成の動作の一例を示すタイミング図。

[図9]図7の回路構成の動作の一例を示すタイミング図。

[図10]固体撮像素子をソースフォロワモードで動作させるときの回路構成を示す図。

[図11]固体撮像素子をソースフォロワモードで動作させるときの回路構成を示す図。

[図12]図10の回路構成の動作の一例を示すタイミング図。

[図13]図11の回路構成の動作の一例を示すタイミング図。

[図14]第2実施形態による固体撮像素子の構成例を示す回路図。

[図15]第2実施形態による固体撮像素子の差動増幅モードの動作例を示す概念図。

[図16]第2実施形態による固体撮像素子の差動増幅モードの他の動作例を示す概念図。

[図17]第2実施形態による固体撮像素子の差動増幅モードの他の動作例を示す概念図。

[図18]第3実施形態による固体撮像素子の構成例を示す回路図。

[図19]第4実施形態による固体撮像素子の構成例を示す回路図。

[図20]第4実施形態による固体撮像素子の構成例を示す回路図。

[図21]第4実施形態による固体撮像素子の差動増幅モードの動作例を示す概念図。

[図22]第4実施形態による固体撮像素子のソースフォロフモードの動作例を示す概念図。

[図23]第5実施形態による固体撮像素子の構成例を示す回路図

[図24]図23の回路構成の動作の一例を示すタイミング図。

[図25]第6実施形態による画素の構成例を示す斜視図。

[図26A]Fin型FETの構成例を示す断面図。

[図26B]Fin型FETの構成例を示す断面図。

[図27]第7実施形態による固体撮像素子の構成例を示す回路図。

[図28]高感度画素および低感度画素のそれぞれの構成を示す平面図。

[図29]第7実施形態による固体撮像素子の動作例を示すタイミング図。

[図30]画素アレイ部の半導体チップと周辺回路部の半導体チップとを積層した固体撮像素子の例を示す概念図。

[図31]車両制御システムの概略的な構成例を示すブロック図。

[図32]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0023] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0024] (第1実施形態)

図1は、第1実施形態による固体撮像素子の構成例を示す図である。本開示による固体撮像素子10は、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサ(以下、CISともいう)である。固体撮像素子10は、光学レンズ系(不図示)を介して被写体からの入射光(像光)を取り込んで、画素アレイ部11の撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0025] 固体撮像素子10は、画素アレイ部11と、垂直駆動部12と、カラム読出し回路部13と、カラム信号処理部14と、水平駆動部15と、システム制御部16と、信号処理部17と、データ格納部18とを備える。

[0026] 画素アレイ部11、垂直駆動部12、カラム読出し回路部13、カラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17およびデータ格納部18は、同一または電氣的に接続された複数の積層半導体基板(チップ)に設けられている。

[0027] 画素アレイ部11は、行列状に2次元配置された複数の単位画素(以下、画素ともいう)を備える。画素は、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力を行うことが可能な光電変換部(例えば、フォトダイオード)を有する。画素アレイ部11は、有効な画素(有効画素)の他に、フォトダイオードを有さない構造のダミー画素、あるいは、受光面を遮光して外部からの光入射を遮断している遮光画素も含む場合がある。尚、フォトダイオードで光電変換された光電荷を、単に「電荷」という場合がある。

- [0028] 画素アレイ部 11 は、画素配列に対して行ごとに画素駆動線 31 が画素行の方向に沿って設けられ、画素配列の列ごとに垂直信号線 32 が画素列の方向に沿って設けられている。画素駆動線 31 の一端は、垂直駆動部 12 の各行に対応した出力端に接続されている。垂直信号線 32 は、後述する垂直信号線 VSL0、VLS1 および共通配線 VCOM0、VCOM1 を含む。
- [0029] カラム読出し回路部 13 は、画素アレイ部 11 内で選択された画素行に列ごとに定電流を供給する回路、高ゲインアンプを構成するカレントミラー回路、読出しモード切替スイッチを備える。選択画素は、画素内のトランジスタによって光電荷信号を電圧信号に変換し、この電圧信号を垂直信号線 32 に出力する。
- [0030] 垂直駆動部 12 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 11 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。垂直駆動部 12 は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。
- [0031] 読み出し走査系は、画素から信号を読み出すために、画素アレイ部 11 の画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。
- [0032] また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。この掃き出しにより、読み出し行の画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。
- [0033] ここで、電子シャッタ動作とは、直前まで光電変換素子に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作である。読み出し走査系による読み出し動作によって読み出される信号は

、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応する。

[0034] 行駆動の場合は、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、画素における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの時間が蓄積時間（露光時間）となる。

[0035] 垂直駆動部 12 によって選択走査された画素行の各画素から出力される画素信号は、垂直信号線 32 の各々を通してカラム信号処理部 14 に供給される。カラム信号処理部 14 は、画素アレイ部 11 の画素列ごとに、選択行の各画素から垂直信号線 32 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0036] 具体的には、カラム信号処理部 14 は、信号処理として少なくとも、ノイズ除去処理、例えば、相関二重サンプリング（CDS : Correlated Double Sampling）処理を行う。このカラム信号処理部 14 による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パタンノイズが除去される。なお、カラム信号処理部 14 にノイズ除去処理以外に、例えば、AD（アナログーデジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

[0037] 水平駆動部 15 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム信号処理部 14 の画素列に対応する単位回路を順番に選択する。水平駆動部 15 による選択走査により、カラム信号処理部 14 で信号処理された画素信号が順番に信号処理部 17 に出力される。

[0038] システム制御部 16 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 12、カラム信号処理部 14、及び水平駆動部 15 などの駆動制御を行う。

[0039] 固体撮像素子 10 は、さらに、信号処理部 17 およびデータ格納部 18 を

備えている。信号処理部 17 は、加算処理機能を有し、カラム信号処理部 14 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 18 は、信号処理部 17 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

[0040] 信号処理部 17 およびデータ格納部 18 については、固体撮像素子 10 とは別の基板に設けられる外部信号処理部、例えば、DSP (Digital Signal Processor) やソフトウェアによる処理でも構わないし、固体撮像素子 10 と同じ基板上に搭載しても構わない。

[0041] 図 2 は、画素アレイ部 11 内の複数の画素を含む画素列およびその周辺部の構成例を示す回路図である。画素アレイ部 11 内の画素列は、例えば、信号画素 P_{s0} と、ソースフォロワ帰還画素 P_{s1} と、参照画素 P_{r0} 、 P_{r1} とを含む。この画素列は、垂直信号線 V_{SL0} 、 V_{SL1} と、共通配線 V_{COM0} 、 V_{COM1} と、参照信号線 V_{SLR} とを共有している。

[0042] 垂直信号線 V_{SL0} 、 V_{SL1} の一方は、定電流源 C_{S1} を介して電源 V_{DD} に接続されており、他方は、定電流源 C_{S2} を介してグランドに接続されている。共通配線 V_{COM0} 、 V_{COM1} の一方は、電源 V_{DD} に接続され、他方は、接地されている。

[0043] 信号画素 P_{s0} およびソースフォロワ帰還画素 P_{s1} は、画素列に含まれる複数の有効画素から任意に選択された 2 つの画素である。参照画素 P_{r0} 、 P_{r1} は、各画素列に対して 1 つずつ設けられた画素であり、有効画素とは別に設けられている。従って、参照画素 P_{r0} 、 P_{r1} は、信号画素 P_{s0} またはソースフォロワ帰還画素 P_{s1} として選択されることはない。

[0044] (信号画素 P_{s0})

第 1 信号画素としての信号画素 P_{s0} は、フォトダイオード PD と、転送トランジスタ T_{trg_S0} と、増幅トランジスタ T_{amp_S0} と、選択トランジスタ T_{sel_S0} と、リセットトランジスタ T_{rst_S0} と、浮遊拡散領域 FD_S0 とを備えている。

[0045] フォトダイオード PD は、光を光電変換して光量に応じた電荷を生成し蓄

積する。フォトダイオードPDのアノードは接地されており、そのカソードは転送トランジスタT t r g _ S Oのソースに接続されている。

[0046] 転送トランジスタT t r g _ S Oのドレインは、リセットトランジスタT r s t _ S Oのソースおよび増幅トランジスタT a m p _ S Oのゲートに接続されており、この接続点が浮遊拡散領域F D _ S Oとなっている。転送トランジスタT t r g _ S Oのゲートは、制御信号T R G _ S Oを垂直駆動部1 2から受け取る。

[0047] リセットトランジスタT r s t _ S Oは、増幅トランジスタT a m p _ S Oのゲート（浮遊拡散領域F D _ S O）と垂直信号線V S L 1との間に接続されている。リセットトランジスタT r s t _ S Oのゲートは、制御信号R S T _ S Oを垂直駆動部1 2から受け取る。

[0048] 増幅トランジスタT a m p _ S Oは、垂直信号線V S L 0と共通配線V C O M 0との間に設けられている。増幅トランジスタT a m p _ S Oのソースは、共通配線V C O M 0に接続されている。増幅トランジスタT a m p _ S Oのドレインは、選択トランジスタT s e l _ S Oのソースに接続されている。増幅トランジスタT a m p _ S Oのゲートは、浮遊拡散領域F D _ S Oに接続されている。これにより、増幅トランジスタT a m p _ S Oは、浮遊拡散領域F D _ S Oに蓄積された電荷量に応じた導通状態となる。

[0049] 選択トランジスタT s e l _ S Oのドレインは、垂直信号線V S L 0に接続されている。選択トランジスタT s e l _ S Oのゲートは、制御信号S E L _ S Oを垂直駆動部1 2から受け取る。

[0050] 信号画素P s 0は、画素列の有効画素の1つであり、フォトダイオードPDで光電変換された検出対象の第1信号を垂直信号線V S L 0に出力する。

[0051] （ソースフォロワ帰還画素P s 1）

ソースフォロワ帰還画素P s 1の構成は、信号画素P s 0とほぼ同じ内部構成を有するが、垂直信号線V S L 0、V S L 1および共通配線V C O M 0、V C O M 1に対する接続関係が信号画素P s 0と異なる。

[0052] 第1帰還画素としてのソースフォロワ帰還画素P s 1は、フォトダイオー

ドPDと、転送トランジスタ T_{trg_S1} と、増幅トランジスタ T_{amp_S1} と、選択トランジスタ T_{sel_S1} と、リセットトランジスタ T_{rst_S1} と、浮遊拡散領域 FD_S1 とを備えている。

[0053] フォトダイオードPDは、信号画素 P_{s0} のフォトダイオードPDと同じ構成でよい。

[0054] 転送トランジスタ T_{trg_S1} のドレインは、リセットトランジスタ T_{rst_S1} のソースおよび増幅トランジスタ T_{amp_S1} のゲートに接続されており、この接続点が浮遊拡散領域 FD_S1 となっている。転送トランジスタ T_{trg_S1} のゲートは、制御信号 TRG_S1 を垂直駆動部12から受け取る。

[0055] リセットトランジスタ T_{rst_S1} は、増幅トランジスタ T_{amp_S1} のゲート（浮遊拡散領域 FD_S1 ）と垂直信号線 V_{SL0} との間に接続されている。リセットトランジスタ T_{rst_S1} のゲートは、制御信号 RST_S1 を垂直駆動部12から受け取る。

[0056] 増幅トランジスタ T_{amp_S1} は、垂直信号線 V_{SL1} と共通配線 V_{COM1} との間に設けられている。増幅トランジスタ T_{amp_S1} のソースは、共通配線 V_{COM1} に接続されている。増幅トランジスタ T_{amp_S1} のドレインは、選択トランジスタ T_{sel_S1} のソースに接続されている。増幅トランジスタ T_{amp_S1} のゲートは、浮遊拡散領域 FD_S1 に接続されている。これにより、増幅トランジスタ T_{amp_S1} は、浮遊拡散領域 FD_S1 に蓄積された電荷量に応じた導通状態となる。

[0057] 選択トランジスタ T_{sel_S1} のドレインは、垂直信号線 V_{SL1} に接続されている。選択トランジスタ T_{sel_S1} のゲートは、制御信号 SEL_S1 を垂直駆動部12から受け取る。

[0058] ソースフォロワ帰還画素 P_{s1} は、画素列の有効画素の1つであり、第1信号を伝達する 垂直信号線 V_{SL0} に接続され、該垂直信号線 V_{SL0} に帰還電圧 V_{gs_SF} を印加する。

[0059] このように、信号画素 P_{s0} の増幅トランジスタ T_{amp_S0} および選

択トランジスタ T_{sel_S0} は、垂直信号線 V_{SL0} と共通配線 V_{COM0} との間に直列に接続されている。信号画素 P_{s0} のリセットトランジスタ T_{rst_S0} は、垂直信号線 V_{SL1} と浮遊拡散領域 FD_S0 との間に接続されている。

[0060] ソースフォロワ帰還画素 P_{s1} の増幅トランジスタ T_{amp_S1} および選択トランジスタ T_{sel_S1} は、垂直信号線 V_{SL1} と共通配線 V_{COM1} との間に直列に接続されている。信号画素 P_{s1} のリセットトランジスタ T_{rst_S1} は、垂直信号線 V_{SL0} と浮遊拡散領域 FD_S1 との間に接続されている。

[0061] 本実施形態では、同一の画素列において、画素 P_{s0} 、 P_{s1} の接続構成は、1行ごとに交互に現れる。従って、或る画素列において、列方向に隣接する2つの有効画素を選択し、一方を信号画素 P_{s0} とし、他方をソースフォロワ帰還画素 P_{s1} として機能させることができる。

[0062] (参照画素 P_{r0})

参照画素 P_{r0} は、フォトダイオード PD と、転送トランジスタ T_{trg_R0} と、増幅トランジスタ T_{amp_R0} と、選択トランジスタ T_{sel_R0} と、リセットトランジスタ T_{rst_R0} と、浮遊拡散領域 FD_R0 とを備えている。

[0063] フォトダイオード PD は、信号画素 P_{s0} のフォトダイオード PD と同じ構成でよい。

[0064] 転送トランジスタ T_{trg_R0} のドレインは、リセットトランジスタ T_{rst_R0} のソースおよび増幅トランジスタ T_{amp_R0} のゲートに接続されており、この接続点が浮遊拡散領域 FD_R0 となっている。転送トランジスタ T_{trg_R0} のゲートは、制御信号 TRG_R0 を垂直駆動部 12 から受け取る。

[0065] リセットトランジスタ T_{rst_R0} は、増幅トランジスタ T_{amp_R0} のゲート（浮遊拡散領域 FD_R0 ）と所定のリセット電圧源 V_{rst} との間に接続されている。リセットトランジスタ T_{rst_R0} のゲートは、

制御信号 RST__R0 を垂直駆動部 12 から受け取る。

[0066] 増幅トランジスタ T amp__R0 は、共通配線 VCOM0 と参照信号線 VSLR との間に設けられている。増幅トランジスタ T amp__R0 のソースは、共通配線 VCOM0 に接続されている。増幅トランジスタ T amp__R0 のドレインは、選択トランジスタ T sel__R0 のソースに接続されている。増幅トランジスタ T amp__R0 のゲートは、浮遊拡散領域 FD__R0 に接続されている。これにより、増幅トランジスタ T amp__R0 は、リセット電圧源 Vrst から浮遊拡散領域 FD__R0 に蓄積された電荷量に応じた導通状態となる。

[0067] 選択トランジスタ T sel__R0 のドレインは、参照信号線 VSLR に接続されている。選択トランジスタ T sel__R0 のゲートは、制御信号 SEL__R0 を垂直駆動部 12 から受け取る。

[0068] 参照画素 P r0 は、画素列のうち有効画素以外の画素であり、信号画素 P s0 の第 1 信号に対して差動増幅動作の比較の基準となる基準信号を出力する。

[0069] (参照画素 P r1)

参照画素 P r1 は、フォトダイオード PD と、転送トランジスタ T trg__R1 と、増幅トランジスタ T amp__R1 と、選択トランジスタ T sel__R1 と、リセットトランジスタ T rst__R1 と、浮遊拡散領域 FD__R1 とを備えている。

[0070] フォトダイオード PD は、信号画素 P s1 のフォトダイオード PD と同じ構成でよい。

[0071] 転送トランジスタ T trg__R1 のドレインは、リセットトランジスタ T rst__R1 のソースおよび増幅トランジスタ T amp__R1 のゲートに接続されており、この接続点が浮遊拡散領域 FD__R1 となっている。転送トランジスタ T trg__R1 のゲートは、制御信号 TRG__R1 を垂直駆動部 12 から受け取る。

[0072] リセットトランジスタ T rst__R1 は、増幅トランジスタ T amp__R

1のゲート（浮遊拡散領域FD__R1）と所定のリセット電圧源Vrstとの間に接続されている。リセットトランジスタTrst__R1のゲートは、制御信号RST__R1を垂直駆動部12から受け取る。

[0073] 増幅トランジスタTamp__R1は、共通配線VCOM1と参照信号線VSLRとの間に設けられている。増幅トランジスタTamp__R1のソースは、共通配線VCOM1に接続されている。増幅トランジスタTamp__R1のドレインは、選択トランジスタTsel__R1のソースに接続されている。増幅トランジスタTamp__R1のゲートは、浮遊拡散領域FD__R1に接続されている。これにより、増幅トランジスタTamp__R1は、リセット電圧源Vrstから浮遊拡散領域FD__R1に蓄積された電荷量に応じた導通状態となる。

[0074] 選択トランジスタTsel__R1のドレインは、参照信号線VSLRに接続されている。選択トランジスタTsel__R1のゲートは、制御信号SEL__R1を垂直駆動部12から受け取る。

[0075] このように、参照画素Pr0の増幅トランジスタTamp__R0および選択トランジスタTsel__R0は、参照信号線VSLRと共通配線VCOM0との間に直列に接続されている。参照画素Pr0のリセットトランジスタTrst__R0は、リセット電圧源Vrstと浮遊拡散領域FD__R0との間に接続されている。

[0076] 参照画素Pr1の増幅トランジスタTamp__R1および選択トランジスタTsel__R1は、参照信号線VSLRと共通配線VCOM1との間に直列に接続されている。参照画素Pr1のリセットトランジスタTrst__R1は、リセット電圧源Vrstと浮遊拡散領域FD__R1との間に接続されている。

[0077] 参照画素Pr0、Pr1は、同一の画素列に対して1つずつ（1組）、有効画素とは別に配置されている。画素Ps0と同一の接続構成を有する画素が信号画素として選択される場合、参照画素Pr0が参照画素として用いられ、参照画素Pr1は用いられない。信号画素Ps1と同一の接続構成を有

する画素が信号画素として選択される場合、参照画素 P_{r1} が参照画素として用いられ、参照画素 P_{r0} は用いられない。尚、本実施形態では、画素 P_{s0} が信号画素として選択され、参照画素 P_{r0} が参照画素として用いられるものとして説明する。

[0078] (スイッチの構成)

画素アレイ部 11 は、スイッチ $SW1 \sim SW10$ と、定電流源 $CS1 \sim CS4$ とをさら備えている。第1スイッチとしてのスイッチ $SW1$ は、第1電流源としての定電流源 $CS1$ と垂直信号線 $VSL0$ との間に接続されている。第2スイッチとしてのスイッチ $SW2$ は、定電流源 $CS1$ と垂直信号線 $VSL1$ との間に接続されている。第3スイッチとしてのスイッチ $SW3$ は、第2電流減としての定電流源 $CS2$ と垂直信号線 $VSL0$ との間に接続されている。第4スイッチとしてのスイッチ $SW4$ は、定電流源 $CS2$ と垂直信号線 $VSL1$ との間に接続されている。第5スイッチとしてのスイッチ $SW5$ は、第3電流減としての定電流源 $CS3$ と共通配線 $VCOM0$ との間に接続されている。第6スイッチとしてのスイッチ $SW6$ は、定電流源 $CS3$ と共通配線 $VCOM1$ との間に接続されている。第7スイッチとしてのスイッチ $SW7$ は、第1電圧源としての電源 VDD と垂直信号線 $VSL0$ との間に接続されている。第8スイッチとしてのスイッチ $SW8$ は、電源 VDD と垂直信号線 $VSL1$ との間に接続されている。第9スイッチとしてのスイッチ $SW9$ は、電源 VDD と共通配線 $VCOM0$ との間に設けられている。第10スイッチとしてのスイッチ $SW10$ は、電源 VDD と共通配線 $VCOM1$ との間に設けられている。尚、参照信号線 $VSLR$ は定電流源 $CS4$ に接続されている。

[0079] このようなスイッチ $SW1 \sim SW10$ および定電流源 $CS1 \sim CS4$ によって、画素列の画素のうち任意に選択された2つの有効画素を、信号画素 P_{s0} およびソースフォロワ帰還画素 P_{s1} にすることができる。また、画素列内の2つの参照画素 P_{r0} 、 P_{r1} のうち一方を参照画素として用いることができる。

- [0080] 例えば、図2では、スイッチSW1、SW4、SW5、SW10がオンであり、スイッチSW2、SW3、SW6、SW7～SW9、がオフである。このとき、図3または図4に示す回路構成となる。
- [0081] 図3および図4は、図2に示す回路構成の等価回路図である。図3は、リセット動作における等価回路を示し、図4は、信号検出動作における等価回路を示す。
- [0082] 定電流源CS1、CS4は、電源VDDに接続されたカレントミラー回路を構成する。定電流源CS1は、垂直信号線VSL0を介して画素信号Ps0の増幅トランジスタTamp__R0のドレインに接続されている。定電流源CS4は、参照信号線VSLRを介して参照画素Pr0の増幅トランジスタTamp__S0のドレインに接続されている。増幅トランジスタTamp__R0および増幅トランジスタTamp__S0のソースは、共通配線VCOMを介して定電流源CS2に接続され、定電流源CS2を介して接地されている。
- [0083] ソースフォロワ帰還画素Ps1の増幅トランジスタTamp__S1は、共通配線VCOM1を介して電源VDDと接続されており、垂直信号線VSL1を介して定電流源CS3に接続されている。
- [0084] 出力信号は、垂直信号線VSL0から出力される。
- [0085] 本実施形態において、図3に示すように、リセット動作は、リセットトランジスタTrst__S0、Trst__S1およびTrst__R0をオンになることによって実行される。リセット動作により、ソースフォロワ帰還画素Ps1の増幅トランジスタTamp__S1がソースフォロワ回路として機能する。これにより、垂直信号線VSL0の電圧が、浮遊拡散領域FD__S0の電圧よりも、増幅トランジスタTamp__S1のゲートソース間の電圧（第1帰還電圧）Vgs__SFだけシフトし、浮遊拡散領域FD__S0に負帰還される。また、差動増幅回路を構成する増幅トランジスタTamp__R0、Tamp__S0には同一の電流が流れ、浮遊拡散領域FD__R0と浮遊拡散領域FD__S0は仮想短絡している。また、浮遊拡散領域FD__R0に

は、リセット電圧 V_{rst} が印加されている。これにより、浮遊拡散領域 FD_R0 、 FD_S0 の電圧はほぼ等しく、ともにリセット電圧 V_{rst} になる。つまり、垂直信号線 $VSL0$ の電圧（信号画素 $Ps0$ および参照画素 $Pr0$ からなる差動増幅回路の出力信号）は、 $V_{rst} + V_{gs_SF}$ となり、リセット電圧 V_{rst} よりも第1帰還電圧としての帰還電圧 V_{gs_SF} だけ高い電圧に設定される。

[0086] 図4に示すように、信号検出動作では、リセット終了後、リセットトランジスタ $Trst_S0$ 、 $Trst_S1$ および $Trst_R0$ をオフにする。これにより、信号画素 $Ps0$ の浮遊拡散領域 FD_S0 、参照画素 $Pr0$ の浮遊拡散領域 FD_R0 およびソースフォロワ帰還画素 $Ps1$ の浮遊拡散領域 FD_S1 は電氣的に浮遊状態となる。信号画素 $Ps0$ および参照画素 $Pr0$ はほぼ同じ内部構成を有するので、浮遊拡散領域 FD_S0 の電圧と浮遊拡散領域 FD_R0 の電圧は、ほぼ同じまま、ともにリセットフィードスルー電圧 ΔV_{FT} だけシフトする。よって、リセットトランジスタ $Trst_S0$ 、 $Trst_S1$ および $Trst_R0$ をオフにしても、信号画素 $Ps0$ および参照画素 $Pr0$ からなる差動増幅回路の出力信号は、 $V_{rst} + V_{gs_SF}$ のままとなる。尚、リセットフィードスルー電圧 ΔV_{FT} は、リセットトランジスタをオン状態からオフ状態にしたときの浮遊拡散領域の変動電圧である。

[0087] 信号検出動作では、垂直信号線 $VSL0$ は、リセット状態の出力信号（P相信号）をカラム読出し回路部13へ出力する。次に、転送トランジスタ t_{rg_S0} が信号画素 $Ps0$ のフォトダイオードPDに蓄積された信号電荷を浮遊拡散領域 FD_S0 に転送し、垂直信号線 $VSL0$ は、信号電荷に応じた出力信号（S相信号）をカラム読出し回路部13へ出力する。カラム読出し回路部13は、リセット状態の出力信号および信号電荷に応じた出力信号をAD変換し、さらに、CDS処理することによって画素信号を得る。

[0088] ここで、信号画素 $Ps0$ 内の増幅トランジスタ T_{amp_S0} のソースドレイン間の電圧 V_{ds_amp} は、増幅トランジスタ T_{amp_S0} のゲ

ートーソース間の電圧 V_{gs_amp} と、増幅トランジスタ T_{amp_S1} のゲートーソース間の電圧 V_{gs_SF} と、リセットフィードスルー電圧 ΔV_{FT} との和 ($V_{ds_amp} = V_{gs_amp} + V_{gs_SF} + \Delta V_{FT}$) になる。

[0089] 本実施形態では、リセット動作において、ソースフォロフ帰還画素 P_{s1} は、ソースフォロフ帰還回路として機能し、垂直信号線 VS_{L0} に帰還電圧 V_{gs_SF} を印加する。リセット動作後、信号検出動作において、信号画素 P_{s0} および参照画素 P_{r0} が差動増幅回路として機能し、浮遊拡散領域 FD_S0 と浮遊拡散領域 FD_R0 との電圧差を増幅して出力信号として出力する。このとき、浮遊拡散領域 FD_S0 、 FD_R0 は、電氣的に浮遊状態となっているため、帰還電圧 V_{gs_SF} のシフト分は、浮遊拡散領域 FD_S0 、 FD_R0 に維持されている。従って、信号画素 P_{s0} のソースドレイン電圧 V_{ds_amp} は、 $V_{gs_amp} + \Delta V_{FT}$ よりも V_{gs_SF} だけ上昇した電圧となっている。参照画素 P_{r0} のソースドレイン電圧もほぼ同じ電圧となっている。

[0090] 信号画素 P_{s0} および参照画素 P_{r0} のソースドレイン電圧 V_{ds_amp} を上昇させることによる効果について説明する。

[0091] 一般に、画素からの信号の読出し方式には、増幅トランジスタで構成されたソースフォロフ回路によって信号を読み出すソースフォロフ方式と、増幅トランジスタで構成された差動増幅回路によって信号を読み出す差動増幅方式とがある。

[0092] ソースフォロフ方式の場合、浮遊拡散領域の電圧振幅に対する垂直信号線の電圧振幅のゲイン A_{msf} は、理論的に1倍以下である。また、垂直信号線における電子ー電圧変換効率を η_{vsl} とし、浮遊拡散領域における電子ー電圧変換効率（以下、単に変換効率ともいう）を η_{fd} とすると、式1が成り立つ。

$$\eta_{vsl} = A_{msf} \times \eta_{fd} \quad (\text{式1})$$

ゲイン A_{msf} は、理論的に1倍以下であるので、変換効率 η_{vsl} を上

昇させるためには、変換効率 η_{fd} を上昇させる必要がある。 η_{fd} は、式2で表すことができる。

$$\eta_{fd} = e / C_{fd} \quad (\text{式2})$$

ここで、 e は電気素量であり、 C_{fd} は、浮遊拡散領域における寄生容量である。即ち、変換効率 η_{fd} を上昇させるためには、寄生容量 C_{fd} を低下させることが考えられる。しかし、画素のトランジスタを複数の浮遊拡散領域で共有するような固体撮像素子では、寄生容量 C_{fd} が大きくなってしまい、逆に変換効率 η_{fd} は低下してしまう。変換効率 η_{fd} が低下すると、変換効率 η_{vsl} も低下し、ノイズを低減することができなくなってしまう。

[0093] 一方、差動増幅方式の場合、オープンループゲイン $|A_v|$ は、一般に、数10～100倍である。また、変換効率 η_{vsl} は、式3で表すことができる。

$$\eta_{vsl} = e / \{ C_{fd} / (-A_v) + (C_{gd} + C_{fd-vsl}) \} \quad (\text{式3})$$

C_{gd} は、増幅トランジスタのゲートドレイン間の寄生容量である。 C_{fd-vsl} は、浮遊拡散領域と垂直信号線VSLとの間の配線容量であり、ゲイン調整のために付加される。よって、 C_{fd-vsl} は無視できるほど小さくすることができる。オープンループゲイン $|A_v|$ は、数10～100倍であるため、 C_{fd} の影響を小さくすることができる。従って、変換効率 η_{vsl} は、式4のように表すことができる。

$$\eta_{vsl} = e / C_{gd} \quad (\text{式4})$$

C_{gd} は、浮遊拡散領域の容量 C_{fd} の一部であり、 C_{fd} よりも小さい。また、増幅トランジスタを複数の画素で共有する場合、 C_{gd} は増大しない。即ち、増幅トランジスタを複数の画素で共有しても、変換効率 η_{fd} 、 η_{vsl} は低下せず、ノイズを低減することが可能となる。

[0094] しかし、増幅トランジスタのばらつきは、オープンループゲインのばらつき ΔA_v を増大させる。オープンループゲインのばらつき ΔA_v は、PRNU (Photo Response Non-Uniformity) の悪化に繋がる。PRNUは、入力信

号に比例した固定パタンノイズとして撮像画像に現れる。特に、増幅トランジスタの飽和領域における動作マージンが小さいときには、 $|A_v|$ は小さい値となり、式3の $C_{fd} / (-A_v)$ の項の寄与が大きくなる。この場合、 C_{fd} が無視できなくなり、式4が成立しなくなる。また、増幅トランジスタの線形領域と飽和領域との境界近くでは、ゲインのバラつき ΔA_v が大きくなる。そのため、PRNUが悪化する。

[0095] これに対し、本実施形態では、図5に示すように、増幅トランジスタの飽和領域における動作マージンを大きくすることによって、PRNUを向上させている。

[0096] 図5は、本実施形態による信号画素 P_{s0} の増幅トランジスタ T_{amp_S0} の $I-V$ 特性を示すグラフである。横軸は、増幅トランジスタ T_{amp_S0} のソースドレイン電圧 V_{ds_amp} を示す。縦軸は、増幅トランジスタ T_{amp_S0} のソースドレイン電流 I_{ds_amp} を示す。

[0097] 電圧 V_{dlin} は、線形領域における増幅トランジスタ T_{amp_S0} のソースドレイン電圧 V_{ds_amp} を示す。ソースドレイン電圧 V_{ds_amp} が電圧 V_{dlin} 以上になると、増幅トランジスタ T_{amp_S0} の飽和領域になる。飽和領域において、増幅トランジスタ T_{amp_S0} のソースドレイン電圧 V_{ds_amp} (動作点) は、高いほど、 $I-V$ 特性のグラフに対する接線の傾きが小さくなる。この接線の傾きが小さいほど、ゲイン $|A_v|$ が大きくなり、ばらつき ΔA_v が小さくなる。従って、ゲイン $|A_v|$ の観点から、増幅トランジスタ T_{amp_S0} の動作点は高いほど好ましい。即ち、線形領域と飽和領域との境界電圧 (V_{dlin}) から増幅トランジスタ T_{amp_S0} の動作点までの動作マージンは、大きい方が好ましい。

[0098] 例えば、信号画素 P_{s0} および参照画素 P_{r0} からなる差動増幅回路に、ソースフォロワ帰還画素 P_{s1} が設けられていない場合、増幅トランジスタ T_{amp_S0} のソースドレイン間の電圧 V_{ds_amp} は、ソースフォロワ帰還画素 P_{s1} の増幅トランジスタ T_{amp_S1} のゲートソース間

の電圧 V_{gs_SF} を含まず、 $V_{gs_amp} + \Delta V_{FT}$ になる。この場合、増幅トランジスタ T_{amp_SO} の動作点は、 $OP0$ となり、その動作マージンは ΔV_{op0} となる。

[0099] 一方、本実施形態のように、信号画素 P_{s0} および参照画素 P_{r0} からなる差動増幅回路に、ソースフォロワ帰還画素 P_{s1} が設けられている場合、増幅トランジスタ T_{amp_SO} のソースドレイン間の電圧 V_{ds_amp} は、上述の通り、 $V_{gs_amp} + V_{gs_SF} + \Delta V_{FT}$ になる。この場合、増幅トランジスタ T_{amp_SO} の動作点は、 $OP1$ となり、その動作マージンは ΔV_{op1} となる。

[0100] 本実施形態による信号画素 P_{s0} の動作マージン ΔV_{op1} は、上記動作マージン ΔV_{op0} よりも大きい。よって、本実施形態による信号画素 P_{s0} では、ゲイン $|A_v|$ が大きくなり、ばらつき ΔA_v が小さくなる。即ち、ソースフォロワ帰還画素 P_{s1} による帰還電圧 V_{gs_SF} の分だけ、信号画素 P_{s0} の動作マージンが広がり、その結果、 $PRNU$ が改善する。これにより、本実施形態による固体撮像素子 10 は、高い変換効率を有し、かつ、各画素の変換効率のばらつきを抑制することができる。

[0101] (差動増幅モード)

図6および図7は、固体撮像素子10を差動増幅モードで動作させるときの回路構成を示す図である。図6は、垂直信号線 VS_L0 から出力信号を出力する回路構成を示す。図7は、垂直信号線 VS_L1 から出力信号を出力する回路構成を示す。図6および図7は、図2と同じ画素の回路構成を示しているが、スイッチ $SW1 \sim SW10$ のオン／オフ状態が異なる。

実際には、図2に示すように、有効画素 P_{s0} 、 P_{s1} および参照画素 P_{r0} 、 P_{r1} は、1つの画素列に配列されている。しかし、図6および図7は、便宜的に、有効画素 P_{s0} 、 P_{s1} と参照画素 P_{r0} 、 P_{r1} とを横に並べて表示している。

[0102] 図6に示すスイッチ $SW1 \sim SW10$ は、図2のそれらと同じ状態となっている。即ち、スイッチ $SW1$ 、 $SW4$ 、 $SW5$ 、 $SW10$ がオンであり、

スイッチSW2、SW3、SW6、SW7～SW9がオフである。従って、垂直駆動部12は、選択トランジスタが垂直信号線VSL0に接続された有効画素Ps0を信号画素として選択している。これにより、有効画素Ps0は、垂直信号線VSL0に出力信号を出力する。一方、垂直駆動部12は、選択トランジスタが垂直信号線VSL1に接続されている有効画素Ps1をソースフォロワ帰還画素として選択している。さらに、垂直駆動部12は、参照信号線VSLRおよび共通配線VCOM0に接続された参照画素Pr0を参照画素として選択している。一方、垂直駆動部12は、参照信号線VSLRおよび共通配線VCOM1に接続された参照画素Pr1を不使用参照画素とする。尚、定電流源CS1、CS4は、図6および図7に示すようにP型MOSFETからなるカレントミラー回路を構成している。カレントミラー回路以外の画素内のトランジスタは、N型MOSFETで構成されている。しかし、制御信号の論理を変更し、かつ、電源の電圧の極性を変更することによって、画素内のトランジスタは、P型MOSFETで構成されてもよい。

[0103] 差動増幅モードでは、出力信号の読出し時に、カレントミラー回路（CS1、CS4）、信号画素Ps0および参照画素Pr0が差動増幅回路を構成する。また、リセット動作においては、ソースフォロワ帰還画素Ps1がソースフォロワ回路を構成する。尚、信号画素Ps0および参照画素Pr0は、リセット時における浮遊拡散領域FD__S0、PD__R0の電位変動が等しくなるように基本的に同じ構成であることが好ましい。

[0104] 参照信号線VSLRは、カレントミラー回路（CS1、CS4）を構成する2つのP型MOSFETのゲート電極に共通に接続され、かつ、一方のP型MOSFETのドレインに接続されている。一方、垂直信号線VSL0は、カレントミラー回路の他方のP型MOSFETのドレインに接続されている。

[0105] リセット動作では、リセットトランジスタTrst__S0、Trst__R0、Trst__S1が導通状態であり、上述の通り、浮遊拡散領域FD__S

0、FD__R0がリセット電圧 V_{rst} になる。それとともに、リセットトランジスタ $Trst_S0$ を介して垂直信号線 $VSL1$ もリセット電圧 V_{rst} にほぼ等しくなる。また、ソースフォロフ帰還画素 $Ps1$ によるソースフォロフ回路が、破線矢印 A_{rst} に示す経路で電流を流し、増幅トランジスタ $Tamp_S1$ のソースーゲート間において、帰還電圧 V_{gs_SF} を発生する。従って、浮遊拡散領域FD__S1の電圧は、垂直信号線 $VSL1$ のリセット電圧 V_{rst} から V_{gs_SF} だけシフトした電圧($V_{rst} + V_{gs_SF}$)になり、リセットトランジスタ $Trst_S1$ を介して垂直信号線 $VSL0$ の電圧も($V_{rst} + V_{gs_SF}$)になる。

[0106] 差動増幅動作では、リセットトランジスタ $Trst_S0$ 、 $Trst_R0$ 、 $Trst_S1$ が非導通状態になり、信号画素 $Ps0$ 、参照画素 $Pr0$ およびカレントミラー回路が破線矢印 A_{amp} に示すように差動増幅動作を行う。このとき、信号画素 $Ps0$ および参照画素 $Pr0$ は、リセット電圧 V_{rst} から V_{gs_SF} だけシフトした電圧($V_{rst} + V_{gs_SF}$)を垂直信号線 $VSL0$ のリセットレベル(P相)として動作する。即ち、ソースフォロフ帰還画素 $Ps1$ により、信号画素 $Ps0$ および参照画素 $Pr0$ の増幅トランジスタ $Tamp_S0$ 、 $Tamp_R0$ の動作点を V_{gs_SF} だけ上昇させることができる。これにより、図2を参照して説明した通り、固体撮像素子10は、ソースフォロフ帰還画素 $Ps1$ による帰還電圧 V_{gs_SF} の分だけ、信号画素 $Ps0$ の動作マージンを広げることができ、その結果、PRNUを改善することができる。

[0107] 図7では、スイッチSW2、SW3、SW6、SW9がオンであり、スイッチSW1、SW4、SW5、SW7、SW8、SW10がオフである。従って、垂直駆動部12は、選択トランジスタが垂直信号線 $VSL1$ に接続された有効画素 $Ps1$ を信号画素として選択している。これにより、有効画素 $Ps1$ は、垂直信号線 $VSL1$ に出力信号を出力する。一方、垂直駆動部12は、選択トランジスタが垂直信号線 $VSL0$ に接続されている有効画素 $Ps0$ をソースフォロフ帰還画素として選択している。さらに、垂直駆動部1

2は、参照信号線VSLRおよび共通配線VCOM1に接続された参照画素Pr1を参照画素として選択している。一方、垂直駆動部12は、参照信号線VSLRおよび共通配線VCOM0に接続された参照画素Pr0を不使用参照画素とする。

[0108] リセット動作では、リセットトランジスタTrst__S1、Trst__R1、Trst__S0が導通状態であり、上述の通り、浮遊拡散領域FD__S1、FD__R1がリセット電圧Vrstになる。それとともに、リセットトランジスタTrst__S1を介して垂直信号線VSL0もリセット電圧Vrstにほぼ等しくなる。また、ソースフォロワ帰還画素Ps0によるソースフォロワ回路が、破線矢印Arstに示す経路で電流を流し、増幅トランジスタTamp__S0のソースゲート間において、帰還電圧Vgs__SFを発生する。従って、浮遊拡散領域FD__S0の電圧は、垂直信号線VSL0のリセット電圧VrstからVgs__SFだけシフトした電圧($Vrst + Vgs_SF$)になり、リセットトランジスタTrst__S0を介して垂直信号線VSL1の電圧も($Vrst + Vgs_SF$)になる。

[0109] 差動増幅動作では、リセットトランジスタTrst__S1、Trst__R1、Trst__S0が非導通状態になり、信号画素Ps1、参照画素Pr1およびカレントミラー回路が破線矢印Aampに示すように差動増幅動作を行う。このとき、信号画素Ps1および参照画素Pr1は、リセット電圧VrstからVgs__SFだけシフトした電圧($Vrst + Vgs_SF$)を垂直信号線VSL1のリセットレベル(P相)として出力する。即ち、ソースフォロワ帰還画素Ps0により、信号画素Ps1および参照画素Pr1の増幅トランジスタTamp__S1、Tamp__R1の動作点をVgs__SFだけ上昇させることができる。これにより、固体撮像素子10は、ソースフォロワ帰還画素Ps0による帰還電圧Vgs__SFの分だけ、信号画素Ps1の動作マージンを広げることができ、その結果、PRNUを改善することができる。

[0110] このように、信号画素とソースフォロワ帰還画素は、スイッチSW1～S

W10の切り替えによって入れ替えることができる。また、参照画素と不使用参照画素もスイッチSW1～SW10の切り替えによって入れ替えることができる。

[0111] 図8は、図6の回路構成の動作の一例を示すタイミング図である。t0以降、信号画素Ps0のフォトダイオードPDは入射光を光電変換して電荷を生成し蓄積しているものとする。

[0112] 図8に示すt0～t1において、固体撮像素子10は、リセット動作を行っている。尚、制御信号TRG__R0、SEL__R1、TRG__R1、TRG__S1は、ロウレベルを維持しており、制御信号RST__R1は、ハイレベルを維持している。従って、参照画素Pr0、不使用参照画素Pr1およびソースフォロワ帰還画素Ps1のそれぞれの転送トランジスタTtrg__R0、Ttrg__R1、Ttrg__S1は非導通状態を維持している。よって、参照画素Pr0、不使用参照画素Pr1およびソースフォロワ帰還画素Ps1は、それぞれのフォトダイオードPDと浮遊拡散領域FD__R0、FD__R1、FD__S1との間を電氣的に分離している。さらに、不使用参照画素Pr1の選択トランジスタTsel__R1は非導通状態を維持し、参照信号線VSLRから電氣的に分離されている。また、リセットトランジスタTrst__R1は非導通状態となっているので、不使用参照画素Pr1の浮遊拡散領域FD__R1は、電源VDDに接続されておりリセット状態を維持している。

[0113] このような状態のもと、まず、t0において、制御信号SEL__R0、SEL__S0、SEL__S1がハイレベルに立ち上がる。図6の定電流源CS3が増幅トランジスタTamp__S0、Tamp__R0にテール電流を流す。これにより、信号画素Ps0の浮遊拡散領域FD__S0の電圧を入力信号とし、垂直信号線VSL0の電圧を出力信号とする差動増幅回路が動作する。

[0114] 制御信号RST__R0、RST__S0、RST__S1がハイレベルに立ち上がる。これにより、参照画素Pr0、信号画素Ps0およびソースフォロ

ワ帰還画素 P_{s1} のそれぞれのリセットトランジスタ T_{rst_R0} 、 T_{rst_S0} 、 T_{rst_S1} が導通状態となる。

[0115] これにより、図3に示すリセット動作状態となり、浮遊拡散領域 FD_R0 、 FD_S0 、 FD_S1 の電荷が排出され、浮遊拡散領域 FD_R0 、 FD_S0 、 FD_S1 がリセット状態になる。尚、不使用参照画素 P_{r1} のリセットトランジスタ T_{rst_R1} は導通状態を維持しており、浮遊拡散領域 FD_R1 はリセット状態を維持している。

[0116] 浮遊拡散領域 FD_R0 、 FD_S0 は、仮想短絡によって、電圧 V_{rst} に等しくリセットされる。また、図6のソースフォロワ帰還画素 P_{s1} の増幅トランジスタ T_{amp_S1} は、浮遊拡散領域 FD_S1 の電圧を、垂直信号線 V_{SL1} の電圧から帰還電圧 V_{gs_SF} だけシフトさせた電圧にする。垂直信号線 V_{SL1} は、リセットトランジスタ T_{rst_S0} を介して浮遊拡散領域 FD_S0 に電氣的に接続されているため、リセット電圧 V_{rst} となる。従って、浮遊拡散領域 FD_S1 の電圧は、 $(V_{rst} + V_{gs_SF})$ となる。また、垂直信号線 V_{SL0} は、リセットトランジスタ T_{rst_S1} を介して浮遊拡散領域 FD_S1 に接続される。従って、垂直信号線 V_{SL0} も、リセットレベルとして $(V_{rst} + V_{gs_SF})$ となっている。即ち、垂直信号線 V_{SL0} の出力信号の電圧は、ソースフォロワ回路の帰還電圧 V_{gs_SF} だけシフトして、入力側の浮遊拡散領域 FD_S0 に負帰還される。

[0117] 次に、 t_1 において、制御信号 RST_R0 、 RST_S0 、 RST_S1 がロウレベルに立ち下り、リセットトランジスタ T_{rst_R0} 、 T_{rst_S0} 、 T_{rst_S1} が非導通状態となる。これにより、リセット動作が終了し、図4に示す回路状態となる。従って、浮遊拡散領域 FD_R0 、 FD_S0 がリセットフィードスルー電圧 ΔV_{FT} だけ低下する。ここで、信号画素 P_{s0} と参照画素 P_{r0} とはほぼ等しい内部構成を有する。よって、浮遊拡散領域 FD_R0 、 FD_S0 は、ほぼ等しいリセットフィードスルー電圧 ΔV_{FT} だけシフトするので、浮遊拡散領域 FD_R0 、 FD_S

0の電圧は、依然としてほぼ等しい状態を維持する。よって、垂直信号線VSL0は、リセットレベル($V_{rst} + V_{gs_SF}$)を維持する。差動増幅回路は、両入力の同相信号成分を増幅しないからである。このときのリセットレベルの出力信号(P相)をカラム読出し回路部13はAD変換する。

[0118] 次に、 t_2 において、垂直駆動部12が制御信号TRG_S0をハイレベルに立ち上げて、信号画素Ps0の転送トランジスタTtrg_S0を導通状態にする。これにより、信号画素Ps0のフォトダイオードPDに蓄積された信号電荷が転送トランジスタTtrg_S0を介して浮遊拡散領域FD_S0へ転送される。この転送された電荷により、浮遊拡散領域FD_S0の電圧が変調される。

[0119] 次に t_3 において、垂直駆動部12が制御信号TRG_S0をロウレベルに立ち下げる。 $t_3 \sim t_4$ において、増幅トランジスタTamp_S0は、浮遊拡散領域FD_S0の電圧変調を受けて、これに応じた信号レベルの電圧信号を、選択トランジスタTsel_S0を介して垂直信号線VSL0へ出力する。このとき出力された信号レベルの出力信号(D相)をカラム読出し回路部13はAD変換する。

[0120] カラム信号処理部14あるいは信号処理部17は、信号レベルの出力信号からリセットレベルの出力信号を減算することにより、CDS処理を行う。これにより、固定パタンノイズまたはオフセットが除去された画素信号が読み出される。

[0121] 図9は、図7の回路構成の動作の一例を示すタイミング図である。図7に示す構成は、図6に対して、信号画素、参照画素、ソースフォロフ帰還画素が異なるだけであり、基本的にその動作は同じである。図7の構成では、信号画素、参照画素、ソースフォロフ帰還画素は、それぞれPs1、Pr1、Pr0、Ps0となる。Pr0は、不使用参照画素となる。従って、信号画素Ps1のフォトダイオードPDが入射光を光電変換して電荷を生成し蓄積する。

[0122] $t_0 \sim t_1$ において、固体撮像素子10は、リセット動作を実行する。 t

0において、制御信号SEL__R1、SEL__S0、SEL__S1がハイレベルに立ち上がる。これにより、参照画素Pr1、ソースフォロフ帰還画素Ps0および信号画素Ps1のそれぞれの選択トランジスタTsel__R1、Tsel__S0、Tsel__S1が導通状態となる。図7の定電流源CS4が増幅トランジスタTamp__S1、Tamp__R1にテール電流を流す。これにより、信号画素Ps1の浮遊拡散領域FD__S1の電圧を入力信号とし、垂直信号線VSL1の電圧を出力信号とする差動増幅回路が動作する。

[0123] RST__R1、RST__S0、RST__S1がハイレベルに立ち上がる。これにより、参照画素Pr1、ソースフォロフ帰還画素Ps0および信号画素Ps1のそれぞれのリセットトランジスタTrst__R1、Trst__S0、Trst__S1が導通状態となる。

[0124] これにより、リセット動作状態となり、浮遊拡散領域FD__R1、FD__S0、FD__S1の電荷が排出され、浮遊拡散領域FD__R1、FD__S0、FD__S1がリセット状態になる。尚、不使用参照画素Pr0のリセットトランジスタTrst__R0は導通状態を維持しており、浮遊拡散領域FD__R0はリセット状態を維持している。

[0125] 浮遊拡散領域FD__R1、FD__S1は、仮想短絡によって、電圧Vrstに等しくリセットされる。また、図7のソースフォロフ帰還画素Ps0の増幅トランジスタTamp__S0は、浮遊拡散領域FD__S0の電圧を、垂直信号線VSL0の電圧から帰還電圧Vgs__SFだけシフトさせた電圧にする。垂直信号線VSL0は、リセットトランジスタTrst__S1を介して浮遊拡散領域FD__S1に電氣的に接続されているため、リセット電圧Vrstとなる。従って、浮遊拡散領域FD__S0の電圧は、 $(Vrst + Vgs_SF)$ となる。また、垂直信号線VSL1は、リセットトランジスタTrst__S0を介して浮遊拡散領域FD__S0に接続される。従って、垂直信号線VSL1も、リセットレベルとして $(Vrst + Vgs_SF)$ となっている。即ち、垂直信号線VSL1の出力信号の電圧は、ソースフォロ

ワ回路の帰還電圧 V_{gs_SF} だけシフトして、入力側の浮遊拡散領域 FD_S1 に負帰還される。

[0126] 次に、 t_1 において、制御信号 RST_R1 、 RST_S0 、 RST_S1 がロウレベルに立ち下り、リセットトランジスタ $Trst_R1$ 、 $Trst_S0$ 、 $Trst_S1$ が非導通状態となる。これにより、リセット動作が終了する。従って、浮遊拡散領域 FD_R1 、 FD_S1 がリセットフィードスルー電圧 ΔV_{FT} だけ低下する。ここで、信号画素 $Ps1$ と参照画素 $Pr1$ とはほぼ等しい内部構成を有する。よって、浮遊拡散領域 FD_R1 、 FD_S1 は、ほぼ等しいリセットフィードスルー電圧 ΔV_{FT} だけシフトするので、浮遊拡散領域 FD_R1 、 FD_S1 の電圧は、依然としてほぼ等しい状態を維持する。よって、垂直信号線 $VSL1$ は、リセットレベル($V_{rst} + V_{gs_SF}$)を維持する。差動増幅回路は、両入力の同相信号成分を増幅しないからである。このときのリセットレベルの出力信号(P相)をカラム読出し回路部13はAD変換する。

[0127] 次に、 t_2 において、垂直駆動部12が制御信号 TRG_S1 をハイレベルに立ち上げて、信号画素 $Ps1$ の転送トランジスタ $Ttrg_S1$ を導通状態にする。これにより、信号画素 $Ps1$ のフォトダイオードPDに蓄積された電荷が転送トランジスタ $Ttrg_S1$ を介して浮遊拡散領域 FD_S1 へ転送される。この転送された電荷により、浮遊拡散領域 FD_S1 の電圧が変調される。

[0128] 次に t_3 において、垂直駆動部12が制御信号 TRG_S1 をロウレベルに立ち下げる。 $t_3 \sim t_4$ において、増幅トランジスタ $Tamp_S1$ は、浮遊拡散領域 FD_S1 の電圧変調を受けて、これに応じた信号レベルの電圧信号を、選択トランジスタ $Tsel_S1$ を介して垂直信号線 $VSL1$ へ出力する。このとき出力された信号レベルの出力信号(D相)をカラム読出し回路部13はAD変換する。

[0129] カラム信号処理部14あるいは信号処理部17は、信号レベルの出力信号からリセットレベルの出力信号を減算することにより、CDS処理を行う。

これにより、固定パタンノイズまたはオフセットが除去された画素信号が読み出される。

[0130] 本実施形態によれば、信号画素を P_{s0} とした場合に、リセット動作において、ソースフォロワ帰還画素 P_{s1} は、垂直信号線 V_{SL0} に帰還電圧 V_{gs_SF} を印加する。そして、信号検出動作において、信号画素 P_{s0} および参照画素 P_{r0} は、差動増幅回路として機能し、垂直信号線 V_{SL0} から信号を出力する。

[0131] リセット動作において、垂直信号線 V_{SL0} の電圧は、リセット電圧 V_{rst} からソースフォロワ回路の帰還電圧 V_{gs_SF} だけ嵩上げされ、リセットレベル ($V_{rst} + V_{gs_SF}$) となっている。よって、その後の差動増幅動作において、信号画素 P_{s0} または P_{s1} の増幅トランジスタ T_{amp_S0} または T_{amp_S1} の飽和領域における動作マージンが図5に示すように、 ΔV_{op0} から ΔV_{op1} へ広がる。これにより、 $PRNU$ が改善する。

[0132] 後述するように、画素 P_{s0} 、 P_{s1} は、画素列内の複数の有効画素において互いに隣接しており、列方向に交互に現れるように配列される。これにより、垂直駆動部12は、スイッチ $SW1 \sim SW10$ の切り替えによって、図6および図7に示すように、隣接する2つの有効画素のうち任意の一方を信号画素として選択し、他方をソースフォロワ帰還画素として選択することができる。

[0133] (ソースフォロワモード)

図10および図11は、固体撮像素子10をソースフォロワモードで動作させるときの回路構成を示す図である。図10は、垂直信号線 V_{SL0} から出力信号を出力する回路構成を示す。図11は、垂直信号線 V_{SL1} から出力信号を出力する回路構成を示す。図10および図11は、図6および図7と同じ画素の回路構成を示しているが、スイッチ $SW1 \sim SW10$ のオン／オフ状態が異なる。図10および図11は、図6および図7と同様に、便宜的に、有効画素 P_{s0} 、 P_{s1} と参照画素 P_{r0} 、 P_{r1} とを横に並べて表

示している。

[0134] 図10では、スイッチSW3、SW8～SW10がオンであり、その他のスイッチがオフである。有効画素Ps0が選択信号画素であり、画素列の他の有効画素Ps1は非選択信号画素である。また、ソースフォロフモードでは、参照画素Pr0、Pr1は使用されない。

[0135] 垂直駆動部12は、選択された信号画素Ps0の選択トランジスタTs0のI_{DS}が垂直信号線VSL0に接続される。これにより、信号画素Ps0の増幅トランジスタTamp₀のドレインが共通配線VCOM0を介して電源VDDに接続され、そのソースが垂直信号線VSL0を介して定電流源CS2に接続される。よって、破線矢印Asfの電流経路が構成される。

[0136] 信号画素Ps0の増幅トランジスタTamp₀は、定電流源CS2を負荷電流源としたソースフォロフ回路として機能し、浮遊拡散領域FD₀の電圧に応じた出力信号を垂直信号線VSL0に出力する。

[0137] 垂直信号線VSL1は、スイッチSW8を介して電源VDDに接続されている。垂直信号線VSL1は、信号画素Ps0をリセットする際に、リセットトランジスタTrst₀を介して浮遊拡散領域FD₀に接続される。これにより、浮遊拡散領域FD₀の電荷を電源VDDへ排出して信号画素Ps0をリセットすることができる。

[0138] 尚、共通配線VCOM1は、共通配線VCOM0からの近接効果を受けないように、スイッチSW10を介して電源VDDに接続されている。

[0139] 図11では、スイッチSW4、SW7、SW9、SW10がオンであり、その他のスイッチがオフである。有効画素Ps1が選択信号画素であり、画素列の他の有効画素Ps0は非選択信号画素である。また、ソースフォロフモードでは、参照画素Pr0、Pr1は使用されない。

[0140] 垂直駆動部12は、選択された信号画素Ps0の選択トランジスタTs0のI_{DS}が垂直信号線VSL1に接続される。これにより、信号画素Ps1の増幅トランジスタTamp₁のドレインが共通配線VCOM1を介して電源VDDに接続され、そのソースが垂直信号線VSL1を介して定電流

源CS2に接続される。よって、破線矢印Asfの電流経路が構成される。

[0141] 信号画素Ps1の増幅トランジスタTamp__S1は、定電流源CS2を負荷電流源としたソースフォロワ回路として機能し、浮遊拡散領域FD__S1の電圧に応じた出力信号を垂直信号線VSL1に出力する。

[0142] 垂直信号線VSL0は、スイッチSW7を介して電源VDDに接続されている。垂直信号線VSL0は、信号画素Ps1をリセットする際に、リセットトランジスタTrst__S1を介して浮遊拡散領域FD__S1に接続される。これにより、浮遊拡散領域FD__S1の電荷を電源VDDへ排出して信号画素Ps1をリセットすることができる。

[0143] 尚、共通配線VCOM0は、共通配線VCOM1からの近接効果を受けないように、スイッチSW9を介して電源VDDに接続されている。

[0144] 図12は、図10の回路構成の動作の一例を示すタイミング図である。t0以降、信号画素Ps0のフォトダイオードPDが入射光を光電変換して電荷を生成し蓄積しているものとする。

[0145] 図12に示すt0～t1において、固体撮像素子10は、リセット動作を実行している。尚、制御信号SEL__R0、TRG__R0、SEL__R1、TRG__R1、SEL__S1、RST__S1、TRG__S1は、ロウレベルを維持しており、制御信号RST__R0、RST__R1は、ハイレベルを維持している。従って、選択された信号画素Ps0は信号の検出に用いられるが、参照画素Pr0、Pr1および非選択の信号画素Ps1は用いられない。尚、ソースフォロワモードでは、参照画素Pr0、Pr1は使用しない。不使用の参照画素Pr0、Pr1の浮遊拡散領域FD__R1、FD__R0は、電源VDDに接続されておりリセット状態を維持している。

[0146] まず、t0において、制御信号SEL__S0がハイレベルに立ち上がる。図10の定電流源CS2が増幅トランジスタTamp__S0にテール電流を流す。これにより、信号画素Ps0の浮遊拡散領域FD__S0の電圧を入力信号とするソースフォロワ回路が動作する。

[0147] 制御信号RST__S0がハイレベルに立ち上がる。これにより、信号画素

P s 0のリセットトランジスタT r s t __ S 0が導通状態となる。これにより、浮遊拡散領域F D __ S 0の電荷が排出され、浮遊拡散領域F D __ S 0がリセット状態になる。

[0148] 次に、t 1において、制御信号R S T __ S 0がロウレベルに立ち下り、リセットトランジスタT r s t __ S 0が非導通状態となる。これにより、リセット動作が終了し、浮遊拡散領域F D __ S 0がリセットフィードスルー電圧 $\Delta V F T$ だけ低下した電圧になる。増幅トランジスタT a m p __ S 0は、浮遊拡散領域F D __ S 0の電圧に応じたりセットレベルの出力信号を垂直信号線V S L 0に出力する。カラム読出し回路部1 3は、垂直信号線V S L 0のリセットレベルの出力信号（P相）をA D変換する。

[0149] 次に、t 2において、垂直駆動部1 2が制御信号T R G __ S 0をハイレベルに立ち上げて、信号画素P s 0の転送トランジスタT t r g __ S 0を導通状態にする。これにより、信号画素P s 0のフォトダイオードP Dに蓄積された信号電荷が転送トランジスタT t r g __ S 0を介して浮遊拡散領域F D __ S 0へ転送される。この転送された電荷により、浮遊拡散領域F D __ S 0の電圧が変調される。

[0150] 次に、t 3において、垂直駆動部1 2が制御信号T R G __ S 0をロウレベルに立ち下げる。t 3～t 4において、増幅トランジスタT a m p __ S 0は、浮遊拡散領域F D __ S 0の電圧変調を受けて、これに応じた信号レベルの電圧信号を、選択トランジスタT s e l __ S 0を介して垂直信号線V S L 0へ出力する。このとき出力された信号レベルの出力信号（D相）をカラム読出し回路部1 3はA D変換する。

[0151] カラム信号処理部1 4あるいは信号処理部1 7は、信号レベルの出力信号からリセットレベルの出力信号を減算することにより、C D S処理を行う。これにより、固定パタンノイズまたはオフセットが除去された画素信号が読み出される。

[0152] 図1 3は、図1 1の回路構成の動作の一例を示すタイミング図である。図1 1に示す構成は、図1 0に対して、選択信号画素が異なるだけであり、基

本的にその動作は同じである。図11の構成では、選択信号画素は P_{s1} となる。 P_{s0} は、非選択画素となる。従って、 t_0 以降、信号画素 P_{s1} のフォトダイオードPDが入射光を光電変換して電荷を生成し蓄積しているものとする。

[0153] 非選択画素 P_{s0} の制御信号 SEL_S0 、 RST_S0 、 TRG_S0 は、ロウレベルを維持しており、非選択の信号画素 P_{s0} は用いられない。尚、上述の通り、ソースフォロワモードでは、参照画素 P_{r0} 、 P_{r1} は使用しない。

[0154] まず、 t_0 において、制御信号 SEL_S1 がハイレベルに立ち上がる。図11の定電流源 $CS2$ が増幅トランジスタ T_{amp_S1} にテール電流を流す。これにより、信号画素 P_{s1} の浮遊拡散領域 FD_S1 の電圧を入力信号とするソースフォロワ回路が動作する。

制御信号 RST_S1 がハイレベルに立ち上がる。これにより、信号画素 P_{s1} のリセットトランジスタ T_{rst_S1} が導通状態となる。これにより、浮遊拡散領域 FD_S1 の電荷が排出され、浮遊拡散領域 FD_S1 がリセット状態になる。

[0155] 次に、 t_1 において、制御信号 RST_S1 がロウレベルに立ち下り、リセットトランジスタ T_{rst_S1} が非導通状態となる。これにより、リセット動作が終了し、浮遊拡散領域 FD_S1 がリセットフィードスルー電圧 ΔV_{FT} だけ低下した電圧になる。増幅トランジスタ T_{amp_S1} は、浮遊拡散領域 FD_S1 の電圧に応じたりセットレベルの出力信号を垂直信号線 V_{SL1} に出力する。カラム読出し回路部13は、垂直信号線 V_{SL1} のりセットレベルの出力信号（P相）をAD変換する。

[0156] 次に、 t_2 において、垂直駆動部12が制御信号 TRG_S1 をハイレベルに立ち上げて、信号画素 P_{s1} の転送トランジスタ T_{trg_S1} を導通状態にする。これにより、信号画素 P_{s1} のフォトダイオードPDに蓄積された信号電荷が転送トランジスタ T_{trg_S1} を介して浮遊拡散領域 FD_S1 へ転送される。この転送された電荷により、浮遊拡散領域 FD_S1

の電圧が変調される。

[0157] 次に、 t_3 において、垂直駆動部12が制御信号 TRG_S1 をロウレベルに立ち下げる。 $t_3 \sim t_4$ において、増幅トランジスタ T_{amp_S1} は、浮遊拡散領域 FD_S1 の電圧変調を受けて、これに応じた信号レベルの電圧信号を、選択トランジスタ T_{sel_S1} を介して垂直信号線 $VSL1$ へ出力する。このとき出力された信号レベルの出力信号（D相）をカラム読み出し回路部13はAD変換する。

[0158] カラム信号処理部14あるいは信号処理部17は、信号レベルの出力信号からリセットレベルの出力信号を減算することにより、CDS処理を行う。これにより、固定パタンノイズまたはオフセットが除去された画素信号が読み出される。

[0159] このように、本実施形態による固体撮像素子10は、スイッチ $SW1 \sim SW10$ の切り替えおよび制御信号によって、差動増幅モードとソースフォロワモードとのいずれかを用いて画素からの出力信号を検出することができる。

[0160] （第2実施形態）

図14は、第2実施形態による固体撮像素子の構成例を示す回路図である。画素アレイ部11は、複数の画素列 PC_n （ n は2以上の整数）を含む。図14では、複数の画素列 PC_n のうち画素列 PC_k 、 PC_{k+1} を示している。各画素列 PC_n は、図2の構成と同じである。尚、スイッチ $SW1 \sim SW10$ 、定電流源 $CS1 \sim CS4$ は、カラム読み出し回路部13に設けられている。

[0161] 各画素列 PC_n は、2つの参照画素 $Pr0$ 、 $Pr1$ と、複数の有効画素 $Ps0$ 、 $Ps1$ とを備えている。有効画素 $Ps0$ 、 $Ps1$ は、列方向に交互に配置されている。有効画素 $Ps0$ 、 $Ps1$ は、信号画素として用いられ得るため、多数配列されている。参照画素 $Pr0$ 、 $Pr1$ は、或る画素列において複数の有効画素 $Ps0$ 、 $Ps1$ に対して共有されており、画素列に対して1組設けられている。

[0162] 固体撮像素子10は、グローバル参照信号線VSLR_gと、グローバル共通配線VCOM0_g、VCOM1_gとをさらに備えている。グローバル参照信号線VSLR_gは、複数の画素列PC_nの参照信号線VSLRに共通に接続されており、ほぼ同一の参照電圧を各参照信号線VSLRに供給する。グローバル共通配線VCOM0_gは、複数の画素列PC_nの共通配線VCOM0に共通に接続されており、ほぼ同一の電圧を各共通配線VCOM0に供給する。グローバル共通配線VCOM1_gは、複数の画素列PC_nの共通配線VCOM1に共通に接続されており、ほぼ同一の電圧を各共通配線VCOM1に供給する。これにより、参照信号線VSLR、共通配線VCOM0、VCOM1のいずれかにノイズが混入しても、そのノイズによる影響を分散させることができる。よって、ノイズによる参照信号線VSLR、共通配線VCOM0、VCOM1の電圧変動を抑制することができる。

[0163] 図15は、第2実施形態による固体撮像素子10の差動増幅モードの動作例を示す概念図である。図15では、或る画素列PC_kにおける信号画素等の選択順を示す。垂直駆動部12は、信号画素およびソースフォロフ帰還画素を、画素列PC_kの有効画素Ps0、Ps1の中から矢印Aの方向に順番に選択する。尚、横軸は、時間である。

[0164] 例えば、垂直駆動部12は、或る有効画素Ps0を信号画素として選択し、それに隣接する有効画素Ps1をソースフォロフ帰還画素として選択する。このとき、Pr0が参照画素として選択され、Pr1は不使用参照画素となる。その他の有効画素は、非選択画素である。

[0165] 上記実施形態に従ってリセット動作および信号検出動作を実行した後、垂直駆動部12は、信号画素Ps0に隣接する有効画素Ps1を次の信号画素として選択する。このとき選択された有効画素Ps1に隣接する有効画素Ps0がソースフォロフ帰還画素として選択される。図15の例では、信号画素として選択された有効画素（読み出し完了後の有効画素）が次のソースフォロフ帰還画素として選択されている。この場合、Pr1が参照画素として選択され、Pr0は不使用参照画素となる。その他の有効画素は、非選択画

素である。

[0166] このように、垂直駆動部12は、互いに隣接する有効画素 P_{s0} 、 P_{s1} を信号画素およびソースフォロワ帰還画素として配列方向に順番に選択する。これに伴い、垂直駆動部12は、参照画素として P_{r0} と P_{r1} とを交互に選択する。これにより、ソースフォロワ帰還画素は、固定されず、有効画素内において順番に移動する。従って、画素列 PC_k において、ソースフォロワ帰還画素に起因する定常的なノイズの発生を抑制することができる。これは、画像に定常的に現れる縦筋状のノイズの抑制に繋がる。

[0167] 尚、垂直駆動部12は、信号画素として有効画素 P_{s0} と P_{s1} とを交互に選択している。しかし、垂直駆動部12は、参照画素と差動対を構成可能で有る限りにおいて、 P_{s0} または P_{s1} を連続して信号画素として選択してもよい。

[0168] 図16は、第2実施形態による固体撮像素子10の差動増幅モードの他の動作例を示す概念図である。信号画素およびソースフォロワ帰還画素として選択される有効画素 P_{s0} 、 P_{s1} は、必ずしも隣接している必要は無く、離間していてもよい。例えば、図16に示すように、信号画素とソースフォロワ帰還画素は互いに離間した画素列 PC_k 内の有効画素 P_{s0} 、 P_{s1} であってもよい。

[0169] 図17は、第2実施形態による固体撮像素子10の差動増幅モードの他の動作例を示す概念図である。図17では、同一画素列 PC_k において、複数の有効画素がソースフォロワ帰還画素として同時に選択されている。例えば、垂直駆動部12は、1つの有効画素 P_{s0} を信号画素として選択し、2つの有効画素 P_{s1} をソースフォロワ帰還画素として選択する。ソースフォロワ帰還画素として選択された2つの有効画素 P_{s1} の増幅トランジスタ T_{amp_S1} は、垂直信号線 V_{SL1} と共通配線 V_{COM1} との間に並列接続される。これにより、リセット動作における帰還電圧 V_{gs_SF} のばらつきが抑制され、 $PRNU$ がさらに改善される。

[0170] 垂直駆動部12は、1つの有効画素 P_{s1} を信号画素として選択した場合

、2つの有効画素 P_{s0} をソースフォロワ帰還画素として選択する。ソースフォロワ帰還画素として選択された2つの有効画素 P_{s0} の増幅トランジスタ T_{amp_S0} は、垂直信号線 V_{SL0} と共通配線 V_{COM0} との間に並列接続される。これにより、同様に、リセット動作における帰還電圧 V_{gs_SF} のばらつきが抑制され、 $PRNU$ がさらに改善される。

[0171] 尚、同時に選択されるソースフォロワ帰還画素の個数は、3個以上の有効画素であってもよい。

[0172] (第3実施形態)

図18は、第3実施形態による固体撮像素子の構成例を示す回路図である。第3実施形態による画素 P_{s0} 、 P_{s1} 、 P_{r0} 、 P_{r1} は、それぞれ複数のリセットトランジスタを備えている点で第1または第2実施形態と異なる。各画素 P_{s0} 、 P_{s1} 、 P_{r0} 、 P_{r1} の複数のリセットトランジスタのうち一方はそれぞれリセットトランジスタ T_{rst_S0} 、 T_{rst_S1} 、 T_{rst_R0} 、 T_{rst_R1} である。リセットトランジスタ T_{rst_S0} 、 T_{rst_S1} 、 T_{rst_R0} 、 T_{rst_R1} は、第1実施形態のそれらと同じ構成を有する。他方は、リセットトランジスタ $T_{rst_s_S0}$ 、 $T_{rst_s_S1}$ 、 $T_{rst_s_R0}$ 、 $T_{rst_s_R1}$ である。リセットトランジスタ $T_{rst_s_S0}$ 、 $T_{rst_s_S1}$ 、 $T_{rst_s_R0}$ 、 $T_{rst_s_R1}$ は、追加のリセットトランジスタである。

[0173] リセットトランジスタ $T_{rst_s_S0}$ は、共通配線 V_{COM0} と浮遊拡散領域 FD_S0 との間に接続されている。リセットトランジスタ $T_{rst_s_S1}$ は、共通配線 V_{COM1} と浮遊拡散領域 FD_S1 との間に接続されている。リセットトランジスタ $T_{rst_s_R0}$ は、共通配線 V_{COM0} と浮遊拡散領域 FD_R0 との間に接続されている。リセットトランジスタ $T_{rst_s_R1}$ は、共通配線 V_{COM1} と浮遊拡散領域 FD_R1 との間に接続されている。

[0174] スイッチ $SW1 \sim SW10$ は、ソースフォロワモードに設定されている。スイッチ $SW3$ が垂直信号線 V_{SL0} を定電流源 $CS2$ に接続し、スイッチ

SW4が垂直信号線VSL1を定電流源CS3に接続する。スイッチSW9、SW10が共通配線VCOM0、VCOM1を電源VDDに接続する。その他のスイッチSW1、SW2、SW5～SW8はオフである。

[0175] 本実施形態によるリセットトランジスタTrsts__S0、Trsts__S1は、共通配線VCOM0またはVCOM1を介して、浮遊拡散領域FD__S0、FD__S1をリセットすることができる。つまり、リセットトランジスタTrst__S0、Trsts__S1を用いることによって、垂直信号線VSL0、VSL1を介することなく、浮遊拡散領域FD__S0、FD__S1を同時にリセットすることができる。従って、有効画素Ps0、Ps1が同時にソースフォロワモードで動作することができ、複数の有効画素Ps0、Ps1が同時に垂直信号線VSL0、VSL1に出力信号を出力することができる。

[0176] 例えば、リセット動作において、リセットトランジスタTrsts__S0、Trsts__S1が導通状態になり、有効画素Ps0、Ps1の浮遊拡散領域FD__S0、FD__S1がリセットされる。

[0177] 次に、リセットトランジスタTrsts__S0、Trsts__S1を非導通状態にして、選択トランジスタTsel__S0、Tsel__S1が導通状態になる。これにより、増幅トランジスタTamp__S0、Tamp__S1がソースフォロワ回路となり、出力信号を垂直信号線VSL0、VSL1へ同時に出力することができる。その結果、本実施形態による固体撮像素子10は、ソースフォロワモードにおける読出し速度（フレームレート）を2倍にすることができる。

[0178] 本実施形態では、2本の垂直信号線VSL0、VSL1が各画素列に対して設けられているのであるので、2つの出力信号を同時に読み出すことができる。第4実施形態のように、垂直信号線の本数を3本以上にするによって、同時に出力可能な信号数を3つ以上にすることもできる。

[0179] （第4実施形態）

図19および図20は、第4実施形態による固体撮像素子10の構成例を

示す回路図である。第4実施形態では、4本の垂直信号線VSL0～VSL3を設けることによって、同時に選択可能な信号電荷の数を増大させている。

[0180] 第4実施形態による固体撮像素子10は、画素列に対応して設けられた4本の垂直信号線VSL0～VSL3と、それに伴い、スイッチSW1__1、SW1__2、SW2__1、SW2__2と、マルチプレクサMUXと、定電流源CS1__1、CS1__2、CS2__1、CS2__2、CS3__1、CS3__2とをさらに備えている。

[0181] スイッチSW1__1、SW1__2は、定電流源CS1__1と垂直信号線VSL1、VSL3との間にそれぞれ接続されている。スイッチSW2__1、SW2__2は、定電流源CS1__2と垂直信号線VSL2、VSL4との間にそれぞれ接続されている。定電流源CS1__2は、CS1__1と同様に、CS4とともにカレントミラー回路を構成する。

[0182] 定電流源CS2__1～CS3__2は、グラウンドとマルチプレクサMUXとの間に接続されている。マルチプレクサMUXは、定電流源CS2__1～CS3__2と垂直信号線VSL1～VSL3、共通配線VCOM0、VCOM1との間に設けられており、それらの間を任意に接続可能となっている。

[0183] 図19は、差動増幅モードの構成を示しており、スイッチSW1__1、SW2__1、SW10がオンになっており、スイッチSW1__2、SW2__2、SW9はオフになっている。また、マルチプレクサMUXは、定電流源CS2__1を垂直信号線VSL2に接続し、定電流源CS3__1を垂直信号線VSL3に接続し、定電流源CS2__2を共通配線VCOM0に接続している。

[0184] このような構成において、垂直駆動部12は、2つの有効画素Ps0__1、Ps0__2を信号画素として選択し、2つの有効画素（第1および第2帰還画素）Ps1__1、Ps1__2をソースフォロワ帰還画素として選択する。また、垂直駆動部12は、2つの有効画素Ps0__1、Ps0__2と共通配線VCOM0を共有する参照画素Pr1を選択する。参照画素Pr0は、

不使用参照画素となる。

[0185] 画素列の各画素の内部構成は、第3実施形態の画素の内部構成と同じでよい。ただし、第4実施形態では、同一画素列内の複数の有効画素は、垂直信号線VSL0～VSL4に順番に接続されている。また、同一画素列内の複数の有効画素は、2画素ずつ交互に共通配線VCOM0と共通配線VCOM1に接続されている。例えば、信号画素Ps0__2の選択トランジスタおよび増幅トランジスタは、垂直信号線VSL0と共通配線VCOM0との間に直列に接続されている。信号画素Ps0__1の選択トランジスタおよび増幅トランジスタは、垂直信号線VSL1と共通配線VCOM0との間に直列に接続されている。信号画素Ps1__2の選択トランジスタおよび増幅トランジスタは、垂直信号線VSL3と共通配線VCOM1との間に直列に接続されている。信号画素Ps1__1の選択トランジスタおよび増幅トランジスタは、垂直信号線VSL4と共通配線VCOM1との間に直列に接続されている。

[0186] 差動増幅モードの動作は、基本的に図12に示す動作と同様でよい。

[0187] リセット動作において、参照画素Pr1のリセットトランジスタTrst__R1、信号画素Ps0__1、Ps0__2のリセットトランジスタTrst__S0__1、Trst__S0__2、ソースフォロワ帰還画素Ps1__1、Ps1__2のリセットトランジスタTrst__S1__1、Trst__S1__2がオンになる。参照画素Pr1、信号画素Ps0__1、Ps0__2、ソースフォロワ帰還画素Ps1__1、Ps1__2の選択トランジスタもオンである。これにより、参照画素Pr1の浮遊拡散領域および信号画素Ps0__1、Ps0__2の浮遊拡散領域が仮想短絡によってリセット電圧Vrstに設定される。信号画素Ps0__1、Ps0__2の浮遊拡散領域は、リセットトランジスタを介して垂直信号線VSL3、VSL2にそれぞれ接続されているので、垂直信号線VSL3、VSL2の電圧もリセット電圧Vrstになる。また、ソースフォロワ帰還画素Ps1__1、Ps1__2の各増幅トランジスタは、スイッチSW10を介して電源VDDに接続され、垂直信号線VS

L 3、V S L 2 に帰還電圧 V_{gs_SF} を印加する。これにより、ソースフォロワ帰還画素 P_{s1_1} 、 P_{s1_2} の各増幅トランジスタは、垂直信号線 V S L 3、V S L 2 の電圧を基準として帰還電圧 V_{gs_SF} だけシフトした電圧をそれぞれ垂直信号線 V S L 1、V S L 0 へ印加する。これにより、垂直信号線 V S L 1、V S L 0 の電圧は、同時に、 $V_{rst} + V_{gs_SF}$ に設定される。

[0188] 次に、リセット動作が終了すると、リセットトランジスタ T_{rst_R1} 、 $T_{rst_S0_1}$ 、 $T_{rst_S0_2}$ 、 $T_{rst_S1_1}$ 、 $T_{rst_S1_2}$ がオフになる。これにより、参照画素 P_{r1} と信号画素 P_{s0_1} 、 P_{s0_2} とがそれぞれ差動増幅回路を構成し、垂直信号線 V S L 1、V S L 0 のそれぞれに検出対象の出力信号（第 1 信号および第 2 信号）を同時に出力することができる。このとき、信号画素 P_{s0_1} 、 P_{s0_2} の増幅トランジスタの飽和領域における動作点が V_{gs_SF} だけ高くなるので、それらの動作マージンを大きくすることができる。

[0189] 図 20 は、ソースフォロワモードの構成を示しており、スイッチ SW 9、SW 10 がオンになっており、スイッチ SW 1_1、SW 1_2、SW 2_1、SW 2_2 はオフになっている。また、マルチプレクサ MUX は、定電流源 CS 2_1、CS 3_1、CS 2_2、CS 3_2 を垂直信号線 V S L 0 ~ V S L 3 にそれぞれ接続している。

[0190] このような構成において、垂直駆動部 12 は、4 つの有効画素 P_{s0_1} 、 P_{s0_2} 、 P_{s1_1} 、 P_{s1_2} を信号画素として選択し、2 つの参照画素 P_{r0} 、 P_{r1} はいずれも選択しない。また、参照画素 P_{r0} 、 P_{r1} は、不使用参照画素となる。

[0191] ソースフォロワモードの動作は、基本的に第 3 実施形態のソースフォロワモードの動作と同様でよい。従って、リセット動作では、追加のリセットトランジスタ $T_{rst_s_S0_1}$ 、 $T_{rst_s_S0_2}$ 、 $T_{rst_s_S1_1}$ 、 $T_{rst_s_S1_2}$ が、共通配線 VCOM0、VCOM1 を介して信号画素 P_{s0_1} 、 P_{s0_2} 、 P_{s1_1} 、 P_{s1_2} の各浮遊拡散

領域をリセットする。即ち、リセット動作において、信号画素 P_{s0_1} 、 P_{s0_2} 、 P_{s1_1} 、 P_{s1_2} のリセットトランジスタ $Trsts_S0_1$ 、 $Trsts_S0_2$ 、 $Trsts_S1_1$ 、 $Trsts_S1_2$ がオンになる。これにより、信号画素 P_{s0_1} 、 P_{s0_2} 、 P_{s1_1} 、 P_{s1_2} の各浮遊拡散領域が電源 VDD によりリセットされる。

[0192] 次に、リセット動作が終了すると、リセットトランジスタ $Trsts_S0_1$ 、 $Trsts_S0_2$ 、 $Trsts_S1_1$ 、 $Trsts_S1_2$ がオフになる。これにより、信号画素 P_{s0_1} 、 P_{s0_2} 、 P_{s1_1} 、 P_{s1_2} の増幅トランジスタは、それぞれソースフォロワ回路を構成する。例えば、信号画素 P_{s0_2} の増幅トランジスタは、電源 VDD に接続された共通配線 $VCOM0$ と、定電流源 $CS2_1$ に接続された垂直信号線 $VS L0$ との間に接続される。信号画素 P_{s0_1} の増幅トランジスタは、共通配線 $VCOM0$ と、定電流源 $CS3_1$ に接続された垂直信号線 $VS L1$ との間に接続される。信号画素 P_{s1_2} の増幅トランジスタは、電源 VDD に接続された共通配線 $VCOM1$ と、定電流源 $CS2_2$ に接続された垂直信号線 $VS L2$ との間に接続される。信号画素 P_{s1_1} の増幅トランジスタは、共通配線 $VCOM1$ と、定電流源 $CS3_2$ に接続された垂直信号線 $VS L3$ との間に接続される。これにより、信号画素 P_{s0_2} 、 P_{s0_1} 、 P_{s1_2} 、 P_{s1_1} の増幅トランジスタは、それぞれソースフォロワ回路として機能し、それぞれ垂直信号線 $VS L0 \sim VS L3$ から出力信号を同時に出力する。

[0193] 以上のように、本実施形態による固体撮像素子 10 は、差動増幅モードにおいて 2 つの画素から同時に出力信号を出力することができ、かつ、ソースフォロワモードにおいて 4 つの画素から同に出力信号を出力することができる。

[0194] 図 21 は、第 4 実施形態による固体撮像素子 10 の差動増幅モードの動作例を示す概念図である。図 21 では、或る画素列 PCk における信号画素等の選択順を示す。垂直駆動部 12 は、2 つの信号画素および 2 つのソースフ

オロワ帰還画素を、画素列PCkの有効画素Ps0、Ps1の中から矢印Aの方向に順番に選択する。尚、横軸は、時間である。

[0195] 画素列PCkでは、有効画素Ps0、Ps1が2つずつ交互に配列されている。隣接する2つの有効画素Ps0は、図19のPs0__1、Ps0__2のいずれでもよい。隣接する2つの有効画素Ps1は、図19のPs1__1、Ps1__2のいずれでもよい。

[0196] 例えば、垂直駆動部12は、2つの有効画素Ps0を信号画素として選択し、それに隣接する2つの有効画素Ps1をソースフォロワ帰還画素として選択する。このとき、参照画素Pr0が選択され、参照画素Pr1は不使用参照画素となる。その他の有効画素は、非選択画素である。

[0197] 図19を参照して説明したリセット動作および信号検出動作を実行した後、垂直駆動部12は、2つの信号画素Ps0に隣接する2つの有効画素Ps1を次の信号画素として選択する。このとき選択された2つの有効画素Ps1に隣接する2つの有効画素Ps0がソースフォロワ帰還画素として選択される。図21の例では、信号画素として選択された有効画素（読み出し完了後の有効画素）が次のソースフォロワ帰還画素として選択されている。この場合、参照画素Pr1が選択され、参照画素Pr0は不使用参照画素となる。その他の有効画素は、非選択画素である。

[0198] このように、垂直駆動部12は、隣接する2つの有効画素Ps0と2つの有効画素Ps1と（計4つの画素）を、それぞれ2つの信号画素と2つのソースフォロワ帰還画素として選択する。垂直駆動部12は、選択される4つの画素を、配列方向に順番に2つずつずらす。これに伴い、垂直駆動部12は、参照画素としてPr0とPr1とを交互に選択する。これにより、ソースフォロワ帰還画素は、固定されず、有効画素内において順番に移動する。従って、画素列PCkにおいて、ソースフォロワ帰還画素に起因する定常的なノイズの発生を抑制することができる。これは、画像に定常的に現れる縦筋状のノイズの抑制に繋がる。

[0199] 尚、垂直駆動部12は、信号画素として2つの有効画素Ps0と2つの有

効画素 P_{s1} とを交互に選択している。しかし、垂直駆動部12は、参照画素と差動対を構成可能で有る限りにおいて、2つの有効画素 P_{s0} または2つの有効画素 P_{s1} のいずれかを連続して信号画素として選択してもよい。

[0200] 図22は、第4実施形態による固体撮像素子10のソースフォロフモードの動作例を示す概念図である。図22では、或る画素列 PC_k における信号画素等の選択順を示す。垂直駆動部12は、4つの信号画素を、画素列 PC_k の有効画素 P_{s0} 、 P_{s1} の中から矢印Aの方向に順番に選択する。尚、横軸は、時間である。

[0201] 例えば、垂直駆動部12は、隣接する2つの有効画素 P_{s0} 、 P_{s1} を信号画素として選択する。このとき、参照画素 P_{r0} 、 P_{r1} は不使用参照画素となる。その他の有効画素は、非選択画素である。

[0202] 図20を参照して説明したリセット動作および信号検出動作を実行した後、垂直駆動部12は、4つの信号画素 P_{s0} 、 P_{s1} に隣接する4つの有効画素 P_{s0} 、 P_{s1} を次の信号画素として選択する。

[0203] このように、垂直駆動部12は、互いに隣接する4つの有効画素 P_{s0} 、 P_{s1} を信号画素として配列方向に順番に選択する。これにより、本実施形態による固体撮像素子10は、4つの有効画素 P_{s0} 、 P_{s1} から同時に出力信号を垂直信号線 $VSL0 \sim VSL3$ へ出力することができる。

[0204] (第5実施形態)

図23は、第5実施形態による固体撮像素子10の構成例を示す回路図である。第5実施形態は、クリップトランジスタ T_{crip} と、バイパススイッチ SW_v と、スイッチ $SW12$ 、 $SW13$ とをさらに備えている。第5実施形態のその他の構成は、第4実施形態の構成と同じでよい。

[0205] スイッチ $SW12$ 、 $SW13$ は、クリップトランジスタ T_{crip} と共通配線 $VCOM0$ 、 $VCOM1$ との間にそれぞれ接続されている。

[0206] クリップトランジスタ T_{crip} は、カレントミラー回路の定電流源 $CS1$ とスイッチ $SW12$ 、 $SW13$ との間に接続されている。即ち、クリップトランジスタ T_{crip} は、垂直信号線 $VSL0$ 、 $VSL1$ と電源 VDD と

の間のノードN1と共通配線VCOM0、VCOM1との間に接続されている。クリップトランジスタTclipは、例えば、P型MOSFETで構成されており、垂直信号線VSL0、VSL1が所定のクリップ電圧Vclipを超えると、導通状態になり、電流を共通配線VCOM0、VCOM1へと流す。

[0207] バイパススイッチSWvは、共通配線VCOM0と共通配線VCOM1との間に接続されており、共通配線VCOM0とVCOM1とを短絡させることができる。バイパススイッチSWvは、画素アレイ部11と同一の半導体チップ（基板）に設けられている。

[0208] 例えば、信号レベル（D相）の出力信号が垂直信号線VSL0から出力されるときに、出力信号がクリップ電圧Vclipを超えた場合、クリップトランジスタTclipがスイッチSW13を介して共通配線VCOM1へ電流（バイパス電流）を流す。これにより、垂直信号線VSL0の出力信号の電圧レベルをクリップ電圧Vclip以下に抑えることができる。このとき共通配線VCOM1に流れた電流は、バイパススイッチSWvを介して共通配線VCOM0に流れ、共通配線VCOM0を介してグランドへ流れる。垂直信号線VSL0の出力信号の電圧レベルをクリップ電圧Vclip以下に抑えることによって、カレントミラー回路（CS1、CS4）を飽和領域で動作させることができる。

[0209] 入射光の光量が多い場合であっても、出力信号の電圧レベルをクリップ電圧Vclip以下に抑えることによって、横筋状の固定ノイズ（ストリーキング）の発生を抑制することができる。クリップ電圧Vclipを調節することによって、垂直信号線VSL0に出力される出力信号の電圧レベルを設定することができる。

[0210] また、本実施形態では、バイパススイッチSWvが画素アレイ部11側に設けられている。

[0211] 例えば、画素アレイ部11とカラム読出し回路部13とが異なる半導体チップに設けられている場合、画素アレイ部11とカラム読出し回路部13と

の間の共通配線VCOM0、VCOM1の長さは、非常に長くなることがある。この場合、もし、バイパススイッチSWvをカラム読出し回路部13側の半導体チップに設けると、バイパススイッチSWvから定電流源CS3までの共通配線VCOM0、VCOM1は非常に短くなる。一方、参照画素Pr0、Pr1から定電流源CS3までの共通配線VCOM0、VCOM1の配線長が非常に長くなる。従って、バイパススイッチSWvから定電流源CS3までの電圧降下（IRドロップ）は、参照画素Pr0、Pr1から定電流源CS3までのIRドロップと比べて非常に小さくなる。

[0212] このような、バイパススイッチSWvから定電流源CS3までIRドロップと、参照画素Pr0、Pr1から定電流源CS3までのIRドロップとの差を小さくするために、本実施形態では、バイパススイッチSWvを画素アレイ部11側の半導体チップに設けている。これにより、バイパススイッチSWvから定電流源CS3までの共通配線VCOM0、VCOM1の配線長が、参照画素Pr0、Pr1から定電流源CS3までの共通配線VCOM0、VCOM1の配線長に接近する。従って、バイパススイッチSWvから定電流源CS3までのIRドロップは、参照画素Pr0、Pr1から定電流源CS3までのIRドロップに近くなる。

[0213] これにより、垂直信号線の数を増大させることなく、IRドロップによる画素等の動作点の変動を抑制し、ストリーキングの発生をさらに抑制することができる。

さらに、グローバル共通配線VCOM0g、VCOM1gも、画素アレイ部11側の半導体チップに設けられ、参照画素Pr0、Pr1の近傍に設けられていることが好ましい。これにより、参照画素Pr0、Pr1とグローバル共通配線VCOM0g、VCOM1gとの間のIRドロップが抑制され得る。

[0214] 図23では、スイッチSW1、SW4、SW5、SW10、SW13がオンしており、スイッチSW2、SW3、SW6、SW9、SW12がオフしている。これにより、信号画素Ps0が垂直信号線VSL0へ出力信号を出

力するときに、クリップトランジスタ T_{clip} は出力信号をクリップ電圧 V_{clip} 以下に抑制する。

[0215] 一方、スイッチ SW_1 、 SW_4 、 SW_5 、 SW_{10} 、 SW_{13} がオフし、スイッチ SW_2 、 SW_3 、 SW_6 、 SW_9 、 SW_{12} がオンした場合、信号画素 P_{s1} が垂直信号線 V_{SL1} へ出力信号を出力する。このときに、クリップトランジスタ T_{clip} が出力信号をクリップ電圧 V_{clip} 以下に抑制する。

[0216] 図 24 は、図 23 の回路構成の動作の一例を示すタイミング図である。 t_0 以降、信号画素 P_{s0} のフォトダイオード PD が入射光を光電変換して電荷を生成し蓄積しているものとする。尚、図 24 では、選択される参照画素 P_{r0} および信号画素 P_{s0} の動作を示し、不使用参照画素 P_{r1} および非選択画素 P_{s1} の動作については省略している。

[0217] 図 24 に示す $t_0 \sim t_1$ において、固体撮像素子 10 は、リセット動作を実行している。垂直駆動部 12 は、参照画素 P_{r0} および信号画素 P_{s0} の制御信号 SEL_R_0 、 SEL_S_0 をハイレベルにする。これにより、参照画素 P_{r0} の増幅トランジスタ $T_{amp_R_0}$ および信号画素 P_{s0} の増幅トランジスタ $T_{amp_S_0}$ が、参照信号線 V_{SLR} および垂直信号線 V_{SL0} にそれぞれ接続される。また、垂直駆動部 12 は、制御信号 RST_R_0 、 RST_S_0 を立ち上げる。これにより、リセットトランジスタ $T_{rst_R_0}$ が参照画素 P_{r0} の浮遊拡散領域をリセット電圧 V_{rst} に設定し、リセットトランジスタ $T_{rst_S_0}$ が信号画素 P_{s0} の浮遊拡散領域を垂直信号線 V_{SL1} に接続する。このとき、参照画素 P_{r0} および信号画素 P_{s0} の浮遊拡散領域は、仮想短絡によりリセット電圧 V_{rst} に設定される。

[0218] このとき、スイッチ SW_9 はオフを維持し、スイッチ SW_{10} がオンになる。これにより、画素 O_{s1} がソースフォロワ帰還画素として機能する。よって、垂直信号線 V_{SL0} は、 $V_{rst} + V_{gs_SF}$ に設定される。

[0219] 次に、 t_1 において、制御信号 RST_R_0 、 RST_S_0 が立ち下がり

、リセット動作が終了する。これと共に、スイッチSW10がオフになり、バイパススイッチSWvがオンになる。これにより、共通配線VCOM0とVCOM1とが短絡される。

[0220] 次に、 $t_1 \sim t_2$ において、リセットレベルの出力信号が検出された後、 $t_2 \sim t_3$ において、垂直駆動部12が制御信号PRG__Sを立ち上げ、転送トランジスタTtrg__S0を導通状態にする。これにより、信号画素Ps0のフォトダイオードPDに蓄積された電荷を浮遊拡散領域に転送する。

[0221] 次に、 $t_3 \sim t_4$ において、増幅トランジスタTamp__S0は、浮遊拡散領域の電圧変調を受けて、これに応じた信号レベルの電圧信号を、垂直信号線VSL0へ出力する。このとき、光量が多く、垂直信号線VSL0の電圧がクリップ電圧Vclipを超える場合、クリップトランジスタTclipが垂直信号線VSL0の電圧をクリップ電圧Vclip以下に抑える。従って、垂直信号線VSL0の電圧は、クリップ電圧Vclipを上限に頭打ちとなっている。

[0222] このとき、クリップトランジスタTclipを流れた電流は、バイパススイッチSWvを介して共通配線VCOM1からVCOM0へ流れ、定電流源CS3を介してグランドへ流れる。

[0223] 尚、画素Pr1を参照画素とし、画素Ps1を信号画素とする場合には、上述の通り、スイッチの構成を変更して同様の動作を実行すればよい。これにより、信号画素Ps1が垂直信号線VSL1へ出力信号を出力する。この場合も、クリップトランジスタTclipが垂直信号線VSL1の電圧をクリップ電圧Vclip以下に抑えることができる。

[0224] (第6実施形態)

図25は、第6実施形態による画素の構成例を示す斜視図である。第6実施形態による画素を構成するトランジスタは、縦型チャネル構造を有する、所謂、Fin型FETである。上記実施形態の有効画素Ps0、Ps1および参照画素Pr0、Pr1を構成するトランジスタは、Fin型FETであってもよい。例えば、有効画素Ps0、Ps1および参照画素Pr0、Pr

1の増幅トランジスタは、F i n型F E Tでよい。

[0225] 図26Aおよび図26Bは、F i n型F E Tの構成例を示す断面図である。図26Aは、図25のA-A線に沿った断面に対応し、図26Bは、図25のB-B線に沿った断面に対応する。

[0226] F i n型F E Tは、基板S U B上に設けられた縦型のF i n型半導体層23と、F i n型半導体層23の両側面および上面の一部に設けられたゲート絶縁膜21と、F i n型半導体層23の両側面および上面にゲート絶縁膜21を介して設けられたゲート電極22とを備えている。

[0227] F i n型半導体層23は、基板S U Bと一体化されており、基板S U Bの表面を選択的にエッチングすることによって形成される。F i n型半導体層23は、例えば、シリコン酸化膜等の絶縁膜20で埋め込まれている。F i n型半導体層23の両側の絶縁膜20を選択的に除去することによって、F i n型半導体層23の両側にゲート電極を形成するためのトレンチを形成する。トレンチ内において露出されたF i n型半導体層23の側面および上面にゲート絶縁膜21を形成し、さらにトレンチ内にゲート電極22の材料としてポリシリコンを埋め込む。これにより、ゲート電極22が、絶縁膜20内に掘り込まれ、F i n型半導体層23の両側側面にゲート絶縁膜21を介して面するように設けられる。また、ゲート電極22は、F i n型半導体層23の上面にもゲート絶縁膜21を介して設けられる。さらに、ゲート電極22の材料を加工することによって、図25に示すF i n型F E T（掘り込みF i n構造）が得られる。

[0228] 本実施形態では、図25の矢印の方向に電荷が移動する。よって、増幅トランジスタにF i n型F E Tを適用した場合、F i n型半導体層23の一端は、共通配線V C O M 0またはV C O M 1に接続され、他端は選択トランジスタに接続される。ゲート電極22は、浮遊拡散領域に接続されている。

[0229] 尚、F i n型F E Tは、増幅トランジスタ、リセットトランジスタ、転送トランジスタ、選択トランジスタのいずれかまたは全部に適用してもよい。

[0230] 画素のトランジスタをF i n型F E Tで構成することによって、相互コン

ダクタンス g_m が上昇するので、ノイズを低減させることができる。一方、 F_{in} 型 FET は、ディプレッション型トランジスタになる場合がある。画素の増幅トランジスタがこのようなディプレッション型トランジスタである場合、飽和領域での動作マージンが十分に取れず、増幅トランジスタとして機能しない。これに対し、本実施形態による固体撮像素子 10 では、増幅トランジスタの動作点を帰還電圧 V_{gs_SF} だけ上昇させることができる。よって、増幅トランジスタが F_{in} 型 FET のようにディプレッション型トランジスタで構成されていても、帰還電圧 V_{gs_SF} を調節することによって、増幅トランジスタを飽和領域で動作させることができる。

[0231] (第 7 実施形態)

図 27 は、第 7 実施形態による固体撮像素子 10 の構成例を示す回路図である。図 27 の各画素 P_{r0} 、 P_{s0} 、 P_{s1} の構成は、図 18 のそれらの構成と同様である。図 28 は、高感度画素 P_{s0} および低感度画素 P_{s1} のそれぞれの構成を示す平面図である。

[0232] 第 7 実施形態では、有効画素 P_{s0} 、 P_{s1} を低感度画素および高感度画素として用いる。この場合、図 28 に示すように、有効画素 P_{s0} は、面積の比較的大きなフォトダイオード PD を有し、高感度画素として用いられる。有効画素 P_{s1} は、面積の比較的小さなフォトダイオード PD を有し、低感度画素として用いられる。

[0233] 図 27 に示すように、スイッチ $SW1$ 、 $SW4$ 、 $SW5$ 、 $SW10$ がオンになっており、スイッチ $SW2$ 、 $SW3$ 、 $SW6$ 、 $SW9$ は、オフになっている。本実施形態による固体撮像素子 10 は、差動増幅モードおよびソースフォロワモードを同時並行して実行することができる。

[0234] 高感度画素 P_{s0} による差動増幅モードでは、低感度画素 P_{s1} がソースフォロワ帰還画素として機能する。従って、リセット動作において、高感度画素 P_{s0} と参照画素 P_{r0} は、差動増幅回路を構成し、浮遊拡散領域 FD_S0 、 FD_R0 の電圧は、ともにリセット電圧 V_{rst} および帰還電圧 V_{gs_SF} の和 ($V_{rst} + V_{gs_SF}$) に設定される。信号検出動作

において、信号画素 P_{s0} および参照画素 P_{r0} は、差動増幅回路として機能し、垂直信号線 V_{SL0} から信号を出力する。このとき、高感度画素 P_{s0} からのリセットレベルおよび信号レベルの出力信号は、帰還電圧 V_{gs_SF} だけシフトされた電圧で垂直信号線 V_{SL0} に出力される。よって、信号画素 P_{s0} 、 P_{r0} の増幅トランジスタ T_{amp_S0} または T_{amp_R0} の飽和領域における動作マージンが広がる。これにより、 $PRNU$ が改善する。

[0235] 一方、低感度画素 P_{s1} によるソースフォロワモードでは、低感度画素 P_{s1} のみがソースフォロワ回路として機能する。上記高感度画素 P_{s0} および参照画素 P_{r0} のリセット動作の後、低感度画素 P_{s1} のリセット動作を実行する。このとき、追加のリセットトランジスタ T_{rst_S1} が浮遊拡散領域 FD_S1 を電源 V_{DD} の電圧にリセットする。その後、信号検出動作において、信号画素 P_{s1} は、ソースフォロワ回路として機能し、垂直信号線 V_{SL1} から信号を出力する。このとき、低感度画素 P_{s1} からのリセットレベルおよび信号レベルに応じた出力信号は、垂直信号線 V_{SL1} から出力される。よって、高感度画素 P_{s0} からの出力信号は、垂直信号線 V_{SL0} から出力され、低感度画素 P_{s1} からの出力信号は、垂直信号線 V_{SL1} から出力される。

[0236] 図29は、第7実施形態による固体撮像素子10の動作例を示すタイミング図である。 $t_0 \sim t_1$ において、参照画素 P_{r0} および高感度画素 P_{s0} がリセットされる。このとき、制御信号 SEL_R0 、 SEL_S0 、 SEL_S1 、 RST_R0 、 RST_S0 、 $RSTS_S0$ 、 RST_S1 がハイレベルに立ち上がる。これにより、選択トランジスタ T_{sel_R0} 、 T_{sel_S0} 、 T_{sel_S1} が導通状態になり、増幅トランジスタ T_{amp_R0} 、 T_{amp_S0} 、 T_{amp_S1} がそれぞれ参照信号線 V_{SLR} 、垂直信号線 V_{SL1} 、 V_{SL0} に接続される。また、リセットトランジスタ T_{rst_R0} が導通状態になり、浮遊拡散領域 FD_R0 をリセット電圧 V_{rst} に設定する。リセットトランジスタ T_{rst_S0} 、 T_{rst}

s__S0が導通状態になり、浮遊拡散領域FD__S0が浮遊拡散領域FD__R0と仮想短絡される。低感度画素Ps1の増幅トランジスタは、ソースフォロワ帰還画素として機能し、浮遊拡散領域FD__S1を介して垂直信号線VSL0を帰還電圧Vgs__SFだけシフトさせる。これにより、上述の通り、浮遊拡散領域FD__S0、FD__R0の電圧は、ともに電圧($V_{rst} + V_{gs_SF}$)に設定される。

[0237] 次に、制御信号RST__R0、RST__S0、RSTS__S0、RST__S1をロウレベルに立ち下げ、リセットトランジスタTrst__R0、Trst__S0、Trst__S1を非導通状態にする。これにより、差動増幅回路を構成する参照信号Pr0および高感度画素Ps0のリセット動作が完了する。

[0238] 一方、 $t1 \sim T1_1$ において、制御信号RSTS__S1をハイレベルに立ち上げて、低感度画素Ps1の追加のリセットトランジスタTrsts__S1を導通状態にする。これにより、低感度画素Ps1の浮遊拡散領域FD__S1を電源VDDでリセットする。

[0239] 次に、 $t1_1 \sim t2$ において、参照画素Pr0および高感度画素Ps0の差動増幅回路がリセットレベルの出力信号を垂直信号線VSL0に出力する。それとともに、低感度画素Ps1のソースフォロワ回路が、リセットレベルの出力信号を垂直信号線VSL1に出力する。

[0240] 次に $t2 \sim t3$ において、制御信号TRG__S0、TRG__S1をハイレベルに立ち上げ、高感度画素Ps0および低感度画素Ps1の転送トランジスタTtrg__S0、Ttrg__S1を導通状態にする。これにより、高感度画素Ps0および低感度画素Ps1は、それぞれのフォトダイオードPDから浮遊拡散領域FD__S0、FD__R1へ信号電荷を転送する。

[0241] $t3 \sim t4$ において、参照画素Pr0および高感度画素Ps0の差動増幅回路が信号レベルの出力信号を垂直信号線VSL0に出力する。それとともに、低感度画素Ps1のソースフォロワ回路が、信号レベルの出力信号を垂直信号線VSL1に出力する。

[0242] 本実施形態による固体撮像素子10は、高感度画素 P_{s0} および低感度画素 P_{s1} を用いて、差動増幅モードによる出力信号およびソースフォロフモードによる出力信号の両方を同時に読み出すことができる。これにより、光量の少ない暗い画像領域、および、光量の多い明るい画像領域が画像中にあっても、固体撮像素子10は、それぞれを適切な感度で検出することができる。例えば、高感度画素 P_{s0} は、撮像画像の暗領域を高感度かつ差動増幅モードによる高変換効率で、S/N比の高い信号を出力することができる。また、低感度画素 P_{s1} は、撮像画像の明領域を低感度かつソースフォロフモードによる低変換効率で、白飛び(飽和)せずに信号を出力することができる。即ち、本実施形態による固体撮像素子10は、ダイナミックレンジを広げることができる。

[0243] また、固体撮像素子10は、高感度画像および低感度画像を同時並行して読出している。従って、本実施形態による固体撮像素子10は、ダイナミックレンジを広げつつ、画素信号の高速読出しが可能になる。

[0244] (変形例)

第7実施形態では、高感度画素 P_{s0} および低感度画素 P_{s1} は、それぞれのフォトダイオードPDのレイアウト面積を相違させている。しかし、高感度画素 P_{s0} および低感度画素 P_{s1} のフォトダイオードPDのレイアウト面積を等しくし、高感度画素 P_{s0} および低感度画素 P_{s1} の電子シャッタの露光期間を相違させてもよい。例えば、高感度画素 P_{s0} の露光期間(フォトダイオードPDの電荷蓄積期間)を $1/30$ 秒とし、低感度画素 P_{s1} の露光期間を $1/300$ 秒としてもよい。これにより、高感度画素 P_{s0} の感度は、低感度画素 P_{s1} の感度に対して実質的に10倍となる。

[0245] この場合、各フレーム内において、高感度画素 P_{s0} のシャッタ(リセット)を行ってから高感度画素 P_{s0} のフォトダイオードPDが蓄積を開始する。次に、低感度画素 P_{s1} のシャッタを行って低感度画素 P_{s0} のフォトダイオードPDが蓄積を開始する。その後、高感度画素 P_{s0} および低感度画素 P_{s1} は、図29を参照して説明した通り、同時に出力信号をそれぞれ

垂直信号線VSL0、VSL1に読み出す。このように、高感度画素Ps0および低感度画素Ps1は同一構成を有していても、露光期間を調整することによって感度を相違させることができる。

[0246] 尚、上記実施形態の固体撮像素子10は、全体として1つの半導体チップとして構成してもよく、あるいは、複数の半導体チップで構成してもよい。固体撮像素子10を複数の半導体チップとして構成する場合、画素アレイ部11およびそれ以外の周辺回路部150をそれぞれ別々の半導体チップ511、512として形成し、画素アレイ部11の半導体チップ511と周辺回路部150の半導体チップ512とを積層してもよい。

[0247] 例えば、図30は、画素アレイ部11の半導体チップ511と周辺回路部150の半導体チップ512とを積層した固体撮像素子の例を示す概念図である。図30に示されるように、固体撮像素子10は、積層される2枚の半導体チップ511および512で構成されている。

[0248] 半導体チップの積層数は、3層以上であってもよい。半導体チップ511は、半導体基板上に形成された画素アレイ部11を備える。半導体チップ512は、他の半導体基板上に形成された周辺回路部150を備える。周辺回路部150は、垂直駆動部12、カラム読出し回路部13、カラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17、データ格納部18の全部または一部を含む。半導体チップ511の画素アレイ部11の各画素と半導体チップ512の周辺回路部150の素子は、例えば、ビア領域513およびビア領域514に設けられたTSV（Through Silicon Via）のような貫通電極等を用いて電氣的に接続してもよい。また、画素アレイ部11の半導体チップ511の配線と周辺回路部150の半導体チップ512の配線とを接触させるように、両方の半導体チップを貼り合わせてもよい（Cu-Cu接合）。さらに、画素アレイ部11および周辺回路部150の一部を1つの半導体チップとして構成し、その他の構成を他の半導体チップとして構成してもよい。

[0249] （移動体への応用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0250] 図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0251] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0252] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0253] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット

１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0254] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0255] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0256] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0257] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）

の機能実現を目的とした協調制御を行うことができる。

[0258] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0259] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0260] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 31 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0261] 図 32 は、撮像部 12031 の設置位置の例を示す図である。

[0262] 図 32 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0263] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、

主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0264] なお、図 32 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0265] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0266] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0267] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0268] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0269] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、本実施形態による固体撮像素子10は、撮像部12031に適用することができる。

[0270] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る固体撮像素子は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。これにより、撮像部12031は、上記実施形態の効果を得ることができる。

[0271] なお、本技術は、以下のような構成をとることができる。

(1)

光を光電変換して電気信号を出力する複数の画素のうち、検出対象の第1信号を出力する第1信号画素と、

前記複数の画素のうち、前記第1信号に対して差動増幅動作の比較の基準となる基準信号を出力する参照画素と、

前記複数の画素のうち、前記第1信号画素に接続され前記第1信号を伝達する第1出力信号線に接続され、該第1出力信号線に帰還電圧を印加する第1帰還画素と、を備えた固体撮像素子。

(2)

前記第1信号画素および前記参照画素をリセットするときに、前記第1帰還画素は、ソースフォロワ帰還回路として機能し前記第1出力信号線に前記帰還電圧を印加する、(1)に記載の固体撮像素子。

(3)

前記第1信号画素は、前記第1出力信号線と第1共通配線との間に設けられた第1増幅トランジスタと、第2出力信号線と前記第1増幅トランジスタのゲートとの間に接続された第1リセットトランジスタとを備え、

前記第1帰還画素は、前記第2出力信号線と第2共通配線との間に設けられた第2増幅トランジスタと、第1出力信号線と前記第2増幅トランジスタのゲートとの間に接続された第2リセットトランジスタとを備え、

前記参照画素は、前記第1共通配線と参照信号線との間に設けられた第3増幅トランジスタと、リセット電圧源と前記第3増幅トランジスタのゲートとの間に接続された第3リセットトランジスタとを備え、

前記第1出力信号線は、第1定電流源を介して第1電圧源に接続され、

前記第 2 出力信号線は、第 2 定電流源を介して第 2 電圧源に接続され、
前記第 1 共通配線は、第 3 定電流源を介して前記第 2 電圧源に接続され、
前記第 2 共通配線は、前記第 1 電圧源に接続され、
前記参照信号線は、第 4 定電流源を介して前記第 1 電圧源に接続されている、（１）または（２）に記載の固体撮像素子。

（４）

前記第 1 信号画素および前記参照画素をリセットするときに、前記第 1 ～第 3 リセットトランジスタは導通状態となり、

前記第 1 信号画素の前記第 1 信号を前記第 1 出力信号線に出力するときに、前記第 1 ～第 3 リセットトランジスタは非導通状態となっている、（２）または（３）に記載の固体撮像素子。

（５）

前記第 1 信号画素、前記第 1 帰還画素および前記参照画素は、前記第 1 および第 2 出力信号線、前記第 1 および第 2 共通配線、並びに、前記参照信号線を共有する画素列に含まれており、

前記第 1 定電流源と前記第 1 出力信号線との間に設けられた第 1 スイッチと、

前記第 1 定電流源と前記第 2 出力信号線との間に設けられた第 2 スイッチと、

前記第 2 定電流源と前記第 1 出力信号線との間に設けられた第 3 スイッチと、

前記第 2 定電流源と前記第 2 出力信号線との間に設けられた第 4 スイッチと、

前記第 3 定電流源と前記第 1 共通配線との間に設けられた第 5 スイッチと、

前記第 3 定電流源と前記第 2 共通配線との間に設けられた第 6 スイッチとをさらに備え、

前記第 1、第 4 および第 5 スイッチがオンであり、前記第 2、第 3 および

第6スイッチがオフであるときに、前記第1信号画素が前記第1出力信号線に接続され、前記第1帰還画素は前記第2出力信号線に接続され、前記参照画素は前記第1共通配線に接続され、

前記第1、第4および第5スイッチがオフであり、前記第2、第3および第6スイッチがオンであるときに、前記第1信号画素が前記第2出力信号線に接続され、前記第1帰還画素は前記第1出力信号線に接続され、前記参照画素は前記第2共通配線に接続される、(3)または(4)に記載の固体撮像素子。

(6)

前記第1信号画素および前記第1帰還画素は、前記画素列において任意に選択された2つの有効画素である、(5)に記載の固体撮像素子。

(7)

前記第1および第2定電流源は、カレントミラー回路を構成している、(1)から(6)のいずれか一項に記載の固体撮像素子。

(8)

第1モードにおいて、前記第1信号画素および前記参照画素をリセットするときに、前記第1帰還画素は、ソースフォロワ帰還回路として機能し前記第1出力信号線に前記帰還電圧を印加し、前記第1信号を検出するときに、前記第1信号画素および前記参照画素が差動増幅回路として機能し、

第2モードにおいて、前記第1信号画素は、ソースフォロワ回路として機能し、前記第1信号を前記第1出力信号線に出力する、(3)から(7)のいずれか一項に記載の固体撮像素子。

(9)

前記第1信号画素、前記第1帰還画素および前記参照画素は、前記第1および第2出力信号線、前記第1および第2共通配線、並びに、前記参照信号線を共有する画素列に含まれており、

前記第1定電流源と前記第1出力信号線との間に設けられた第1スイッチと、

前記第 1 定電流源と前記第 2 出力信号線との間に設けられた第 2 スイッチと、

前記第 2 定電流源と前記第 1 出力信号線との間に設けられた第 3 スイッチと、

前記第 2 定電流源と前記第 2 出力信号線との間に設けられた第 4 スイッチと、

前記第 3 定電流源と前記第 1 共通配線との間に設けられた第 5 スイッチと、

前記第 3 定電流源と前記第 2 共通配線との間に設けられた第 6 スイッチと、

前記第 1 電圧源と前記第 1 出力信号線との間に設けられた第 7 スイッチと、

前記第 1 電圧源と前記第 2 出力信号線との間に設けられた第 8 スイッチと、

前記第 1 電圧源と前記第 1 共通配線との間に設けられた第 9 スイッチと、
前記第 1 電圧源と前記第 2 共通配線との間に設けられた第 10 スイッチと

、をさらに備え、

第 1 モードにおいて、

前記第 1、第 4、第 5 および第 10 スイッチがオンであり、前記第 2、第 3、第 6 および第 7～第 9 スイッチがオフであるときに、前記第 1 信号画素が前記第 1 出力信号線に接続され、前記第 1 帰還画素は前記第 2 出力信号線に接続され、前記参照画素は前記第 1 共通配線に接続され、

前記第 2、第 3、第 6 および第 9 スイッチがオンであり、前記第 1、第 4、第 5、第 7、第 8 および第 10 スイッチがオフであるときに、前記第 1 信号画素が前記第 2 出力信号線に接続され、前記第 1 帰還画素は前記第 1 出力信号線に接続され、前記参照画素は前記第 2 共通配線に接続され

第 2 モードにおいて、

前記第 3、第 8～第 10 スイッチがオンであり、前記第 1、第 2、第 4～

第7スイッチがオフであるときに、前記第1信号画素が前記第1出力信号線に接続され、

前記第4、第7、第9、第10スイッチがオンであり、前記第1～第3、第5、第6および第8スイッチがオフであるときに、前記第1信号画素が前記第2出力信号線に接続されている、(8)に記載の固体撮像素子。

(10)

前記第1信号画素および前記第1帰還画素は、前記複数の画素の画素列において互いに隣接している、(1)から(9)のいずれか一項に記載の固体撮像素子。

(11)

前記複数の画素の画素列において、前記第1信号画素に対して複数の前記第1帰還画素が選択される、(1)から(9)のいずれか一項に記載の固体撮像素子。

(12)

前記第2モードにおいて、前記第1および第2出力信号線のそれぞれに接続される複数の前記画素がソースフォロウ回路として機能し、前記第1および第2出力信号線にそれぞれ信号を同時に出力する、(8)または(9)に記載の固体撮像素子。

(13)

前記複数の画素のうち、検出対象の第2信号を出力する第2信号画素と、
前記複数の画素のうち、前記第2信号画素に接続され前記第2信号を伝達する第3出力信号線に接続され、該第2出力信号線に前記帰還電圧を印加する第2帰還画素と、を備え、

前記第1および第2信号画素は、前記第1および第2出力信号線へ前記第1および第2信号をそれぞれ同時に出力する、(3)から(12)のいずれか一項に記載の固体撮像素子。

(14)

前記第1または第2出力信号線と前記第1電圧源との間の第1ノードと前

記第 1 または第 2 共通配線との間に接続されたクリップトランジスタと、

前記第 1 共通配線と前記第 2 共通配線との間に接続され、前記複数の画素と同一の基板に設けられたバイパススイッチとをさらに備える、(3) から (13) のいずれか一項に記載の固体撮像素子。

(15)

前記クリップトランジスタは、前記第 1 または第 2 出力信号線の電圧が所定のクリップ電圧を超えたときに前記第 1 または第 2 出力信号線から前記第 1 または第 2 共通配線へバイパス電流を流し、

前記バイパススイッチは、前記バイパス電流を前記第 1 および第 2 共通配線の一方から他方へ流す、(14) に記載の固体撮像素子。

(16)

前記第 1 ～第 3 増幅トランジスタは、Fin 型トランジスタである、(3) に記載の固体撮像素子。

(17)

複数の前記画素列に設けられた複数の前記第 1 共通配線に共通に接続された第 1 グローバル配線と、

前記複数の画素列に設けられた複数の前記第 2 共通配線に共通に接続された第 2 グローバル配線と、

前記複数の画素列に設けられた複数の前記参照信号線に共通に接続されたグローバル配線とをさらに備えた、(5) に記載の固体撮像素子。

[0272] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0273] 11 画素アレイ部、Ps0, Ps1, Pr0, Pr1 画素、VSL0, VSL1 垂直信号線、VCOM0, VCOM1 共通配線、VSLR 参照信号線、VDD 電源、PD フォトダイオード、Ttrg_S0, Tt

r g__S 1 転送トランジスタ、T a m p__S 0, T a m p__S 1 増幅トランジスタ、T s e l__S 0, T s e l__S 1 選択トランジスタ、T r s t__S 0, T r s t__S 1 リセットトランジスタ、F D__S 0, F D__S 1 浮遊拡散領域

請求の範囲

- [請求項1] 光を光電変換して電気信号を出力する複数の画素のうち、検出対象の第1信号を出力する第1信号画素と、
- 前記複数の画素のうち、前記第1信号に対して差動増幅動作の比較の基準となる基準信号を出力する参照画素と、
- 前記複数の画素のうち、前記第1信号画素に接続され前記第1信号を伝達する第1出力信号線に接続され、該第1出力信号線に帰還電圧を印加する第1帰還画素と、を備えた固体撮像素子。
- [請求項2] 前記第1信号画素および前記参照画素をリセットするときに、前記第1帰還画素は、ソースフォロワ帰還回路として機能し前記第1出力信号線に前記帰還電圧を印加する、請求項1に記載の固体撮像素子。
- [請求項3] 前記第1信号画素は、前記第1出力信号線と第1共通配線との間に設けられた第1増幅トランジスタと、第2出力信号線と前記第1増幅トランジスタのゲートとの間に接続された第1リセットトランジスタとを備え、
- 前記第1帰還画素は、前記第2出力信号線と第2共通配線との間に設けられた第2増幅トランジスタと、第1出力信号線と前記第2増幅トランジスタのゲートとの間に接続された第2リセットトランジスタとを備え、
- 前記参照画素は、前記第1共通配線と参照信号線との間に設けられた第3増幅トランジスタと、リセット電圧源と前記第3増幅トランジスタのゲートとの間に接続された第3リセットトランジスタとを備え、
- 前記第1出力信号線は、第1定電流源を介して第1電圧源に接続され、
- 前記第2出力信号線は、第2定電流源を介して第2電圧源に接続され、
- 前記第1共通配線は、第3定電流源を介して前記第2電圧源に接続

され、

前記第2共通配線は、前記第1電圧源に接続され、

前記参照信号線は、第4定電流源を介して前記第1電圧源に接続されている、請求項1に記載の固体撮像素子。

[請求項4]

前記第1信号画素および前記参照画素をリセットするときに、前記第1～第3リセットトランジスタは導通状態となり、

前記第1信号画素の前記第1信号を前記第1出力信号線に出力するときに、前記第1～第3リセットトランジスタは非導通状態となっている、請求項2に記載の固体撮像素子。

[請求項5]

前記第1信号画素、前記第1帰還画素および前記参照画素は、前記第1および第2出力信号線、前記第1および第2共通配線、並びに、前記参照信号線を共有する画素列に含まれており、

前記第1定電流源と前記第1出力信号線との間に設けられた第1スイッチと、

前記第1定電流源と前記第2出力信号線との間に設けられた第2スイッチと、

前記第2定電流源と前記第1出力信号線との間に設けられた第3スイッチと、

前記第2定電流源と前記第2出力信号線との間に設けられた第4スイッチと、

前記第3定電流源と前記第1共通配線との間に設けられた第5スイッチと、

前記第3定電流源と前記第2共通配線との間に設けられた第6スイッチとをさらに備え、

前記第1、第4および第5スイッチがオンであり、前記第2、第3および第6スイッチがオフであるときに、前記第1信号画素が前記第1出力信号線に接続され、前記第1帰還画素は前記第2出力信号線に接続され、前記参照画素は前記第1共通配線に接続され、

前記第1、第4および第5スイッチがオフであり、前記第2、第3および第6スイッチがオンであるときに、前記第1信号画素が前記第2出力信号線に接続され、前記第1帰還画素は前記第1出力信号線に接続され、前記参照画素は前記第2共通配線に接続される、請求項3に記載の固体撮像素子。

[請求項6] 前記第1信号画素および前記第1帰還画素は、前記画素列において任意に選択された2つの有効画素である、請求項5に記載の固体撮像素子。

[請求項7] 前記第1および第2定電流源は、カレントミラー回路を構成している、請求項1に記載の固体撮像素子。

[請求項8] 第1モードにおいて、前記第1信号画素および前記参照画素をリセットするときに、前記第1帰還画素は、ソースフォロワ帰還回路として機能し前記第1出力信号線に前記帰還電圧を印加し、前記第1信号を検出するときに、前記第1信号画素および前記参照画素が差動増幅回路として機能し、

第2モードにおいて、前記第1信号画素は、ソースフォロワ回路として機能し、前記第1信号を前記第1出力信号線に出力する、請求項3に記載の固体撮像素子。

[請求項9] 前記第1信号画素、前記第1帰還画素および前記参照画素は、前記第1および第2出力信号線、前記第1および第2共通配線、並びに、前記参照信号線を共有する画素列に含まれており、

前記第1定電流源と前記第1出力信号線との間に設けられた第1スイッチと、

前記第1定電流源と前記第2出力信号線との間に設けられた第2スイッチと、

前記第2定電流源と前記第1出力信号線との間に設けられた第3スイッチと、

前記第2定電流源と前記第2出力信号線との間に設けられた第4ス

イッチと、

前記第3定電流源と前記第1共通配線との間に設けられた第5スイッチと、

前記第3定電流源と前記第2共通配線との間に設けられた第6スイッチと、

前記第1電圧源と前記第1出力信号線との間に設けられた第7スイッチと、

前記第1電圧源と前記第2出力信号線との間に設けられた第8スイッチと、

前記第1電圧源と前記第1共通配線との間に設けられた第9スイッチと、

前記第1電圧源と前記第2共通配線との間に設けられた第10スイッチと、をさらに備え、

第1モードにおいて、

前記第1、第4、第5および第10スイッチがオンであり、前記第2、第3、第6および第7～第9スイッチがオフであるときに、前記第1信号画素が前記第1出力信号線に接続され、前記第1帰還画素は前記第2出力信号線に接続され、前記参照画素は前記第1共通配線に接続され、

前記第2、第3、第6および第9スイッチがオンであり、前記第1、第4、第5、第7、第8および第10スイッチがオフであるときに、前記第1信号画素が前記第2出力信号線に接続され、前記第1帰還画素は前記第1出力信号線に接続され、前記参照画素は前記第2共通配線に接続され

第2モードにおいて、

前記第3、第8～第10スイッチがオンであり、前記第1、第2、第4～第7スイッチがオフであるときに、前記第1信号画素が前記第1出力信号線に接続され、

前記第4、第7、第9、第10スイッチがオンであり、前記第1～第3、第5、第6および第8スイッチがオフであるときに、前記第1信号画素が前記第2出力信号線に接続されている、請求項8に記載の固体撮像素子。

[請求項10] 前記第1信号画素および前記第1帰還画素は、前記複数の画素の画素列において互いに隣接している、請求項1に記載の固体撮像素子。

[請求項11] 前記複数の画素の画素列において、前記第1信号画素に対して複数の前記第1帰還画素が選択される、請求項1に記載の固体撮像素子。

[請求項12] 前記第2モードにおいて、前記第1および第2出力信号線のそれぞれに接続される複数の前記画素がソースフォロワ回路として機能し、前記第1および第2出力信号線にそれぞれ信号を同時に出力する、請求項8に記載の固体撮像素子。

[請求項13] 前記複数の画素のうち、検出対象の第2信号を出力する第2信号画素と、

前記複数の画素のうち、前記第2信号画素に接続され前記第2信号を伝達する第3出力信号線に接続され、該第2出力信号線に前記帰還電圧を印加する第2帰還画素と、を備え、

前記第1および第2信号画素は、前記第1および第2出力信号線へ前記第1および第2信号をそれぞれ同時に出力する、請求項3に記載の固体撮像素子。

[請求項14] 前記第1または第2出力信号線と前記第1電圧源との間の第1ノードと前記第1または第2共通配線との間に接続されたクリップトランジスタと、

前記第1共通配線と前記第2共通配線との間に接続され、前記複数の画素と同一の基板に設けられたバイパススイッチとをさらに備える、請求項3に記載の固体撮像素子。

[請求項15] 前記クリップトランジスタは、前記第1または第2出力信号線の電圧が所定のクリップ電圧を超えたときに前記第1または第2出力信号

線から前記第 1 または第 2 共通配線へバイパス電流を流し、

前記バイパススイッチは、前記バイパス電流を前記第 1 および第 2 共通配線の一方から他方へ流す、請求項 14 に記載の固体撮像素子。

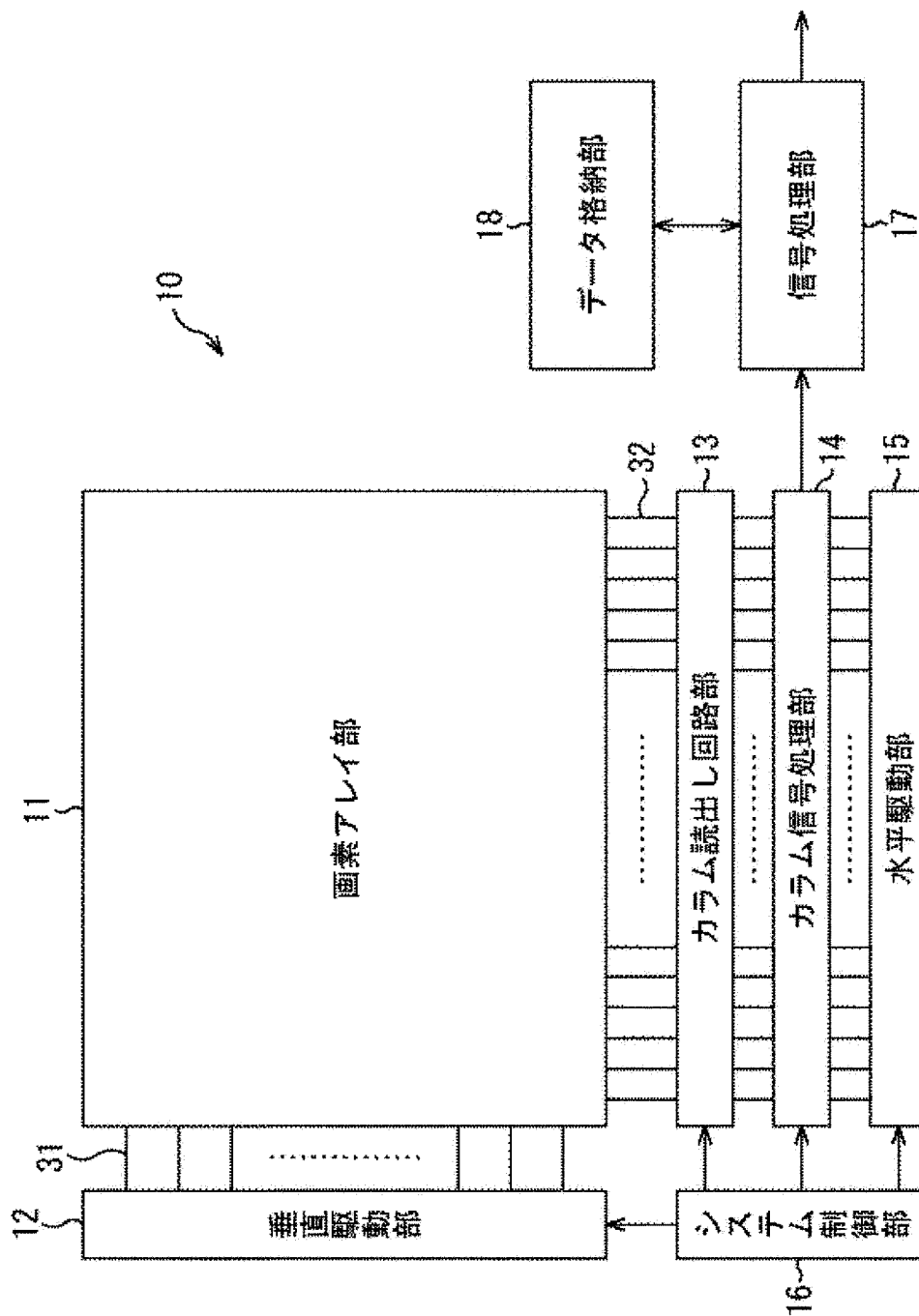
[請求項16] 前記第 1 ～第 3 増幅トランジスタは、F i n 型トランジスタである、請求項 3 に記載の固体撮像素子。

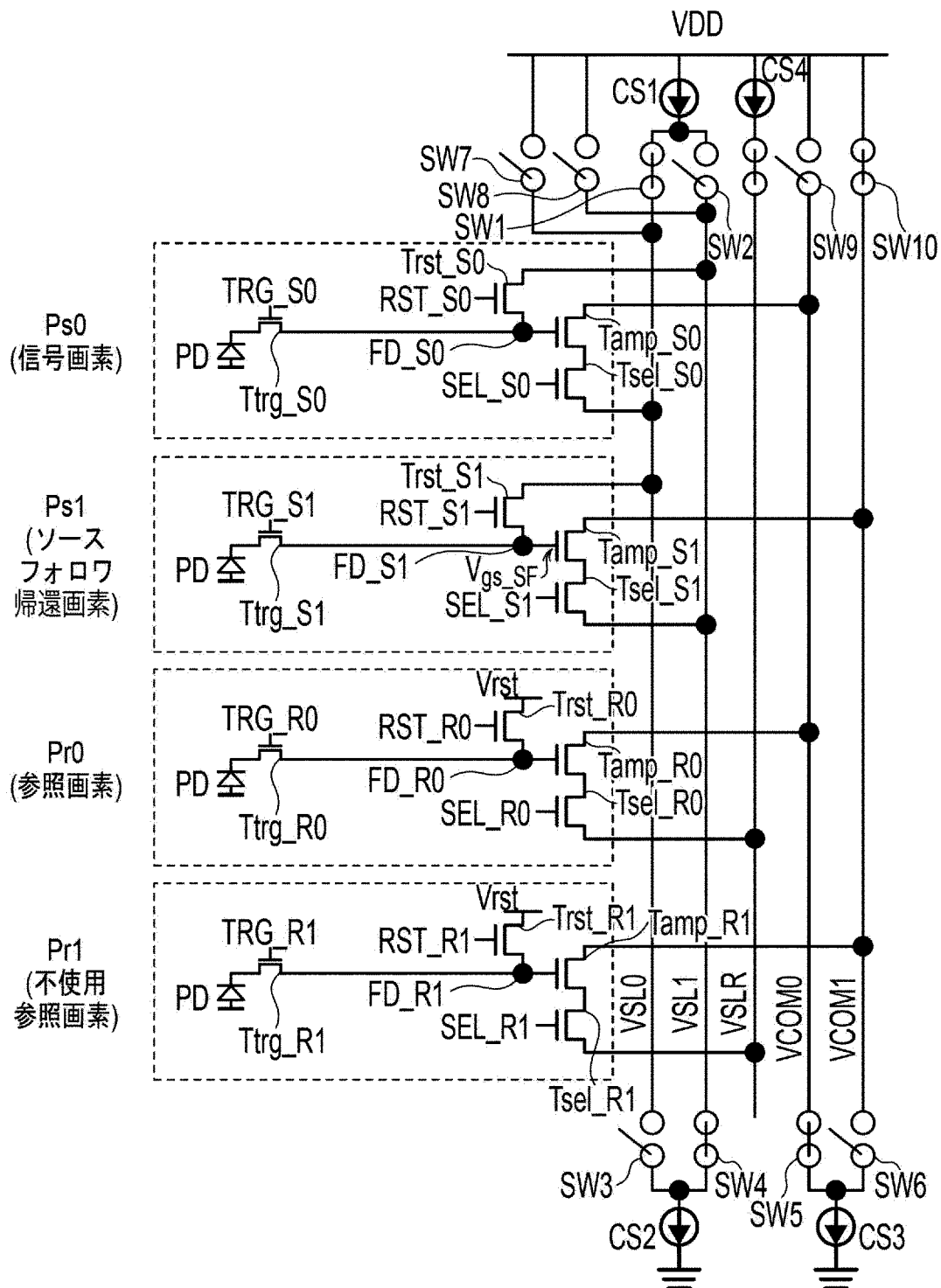
[請求項17] 複数の前記画素列に設けられた複数の前記第 1 共通配線に共通に接続された第 1 グローバル配線と、

前記複数の画素列に設けられた複数の前記第 2 共通配線に共通に接続された第 2 グローバル配線と、

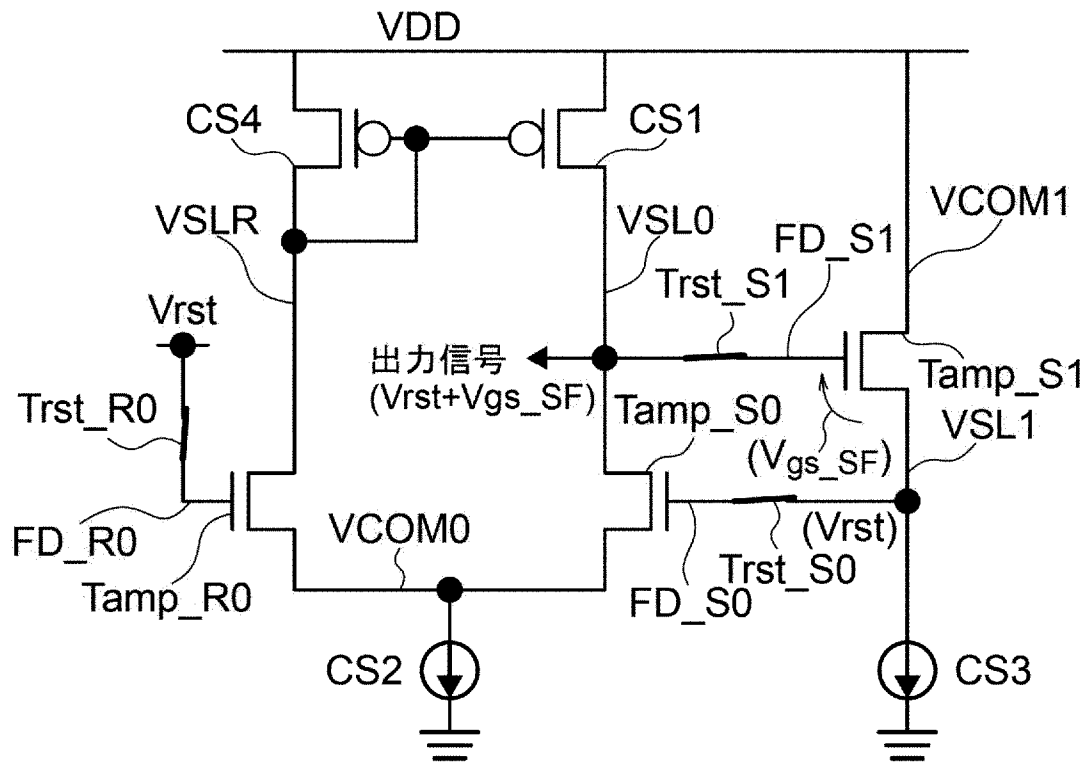
前記複数の画素列に設けられた複数の前記参照信号線に共通に接続されたグローバル配線とをさらに備えた、請求項 5 に記載の固体撮像素子。

[図1]

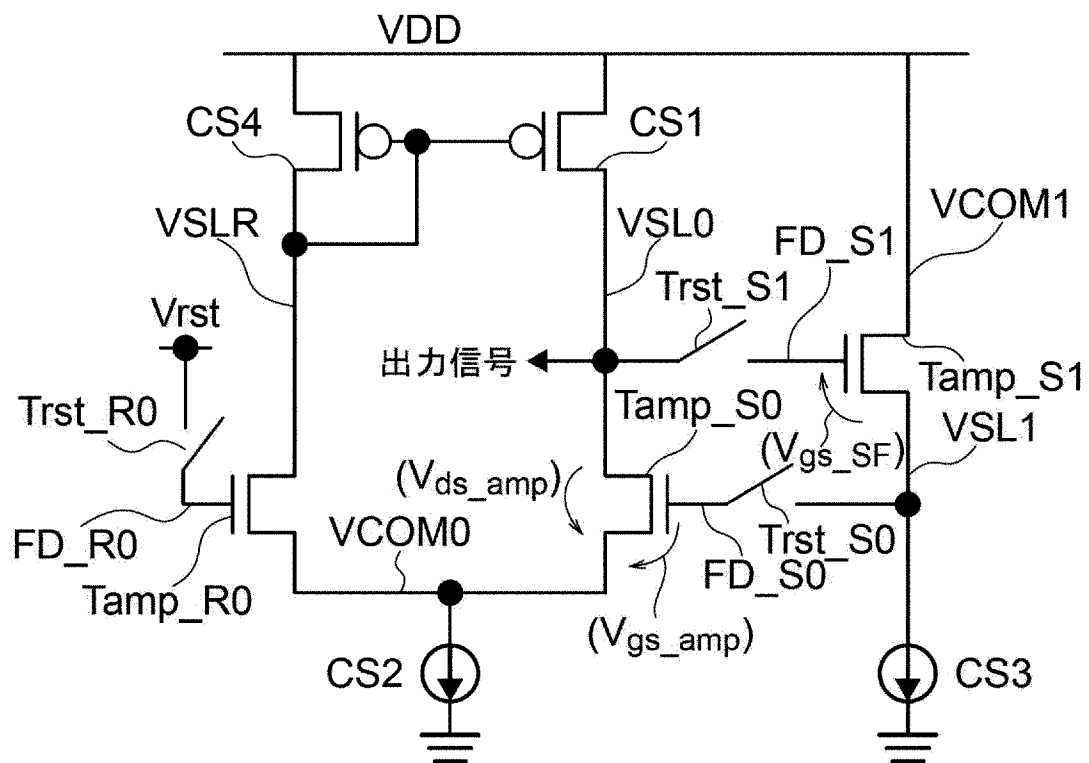




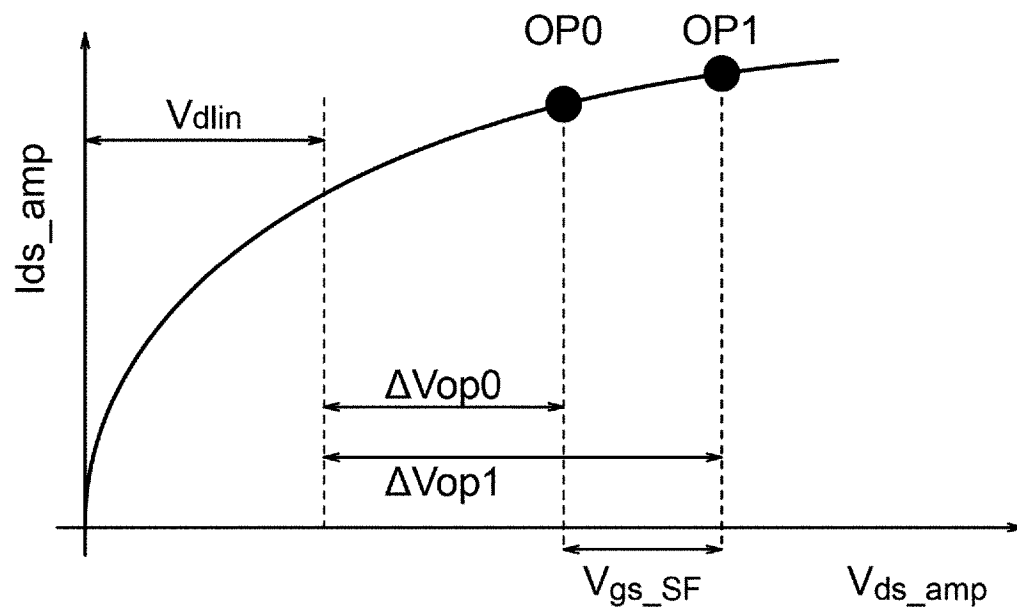
[図3]



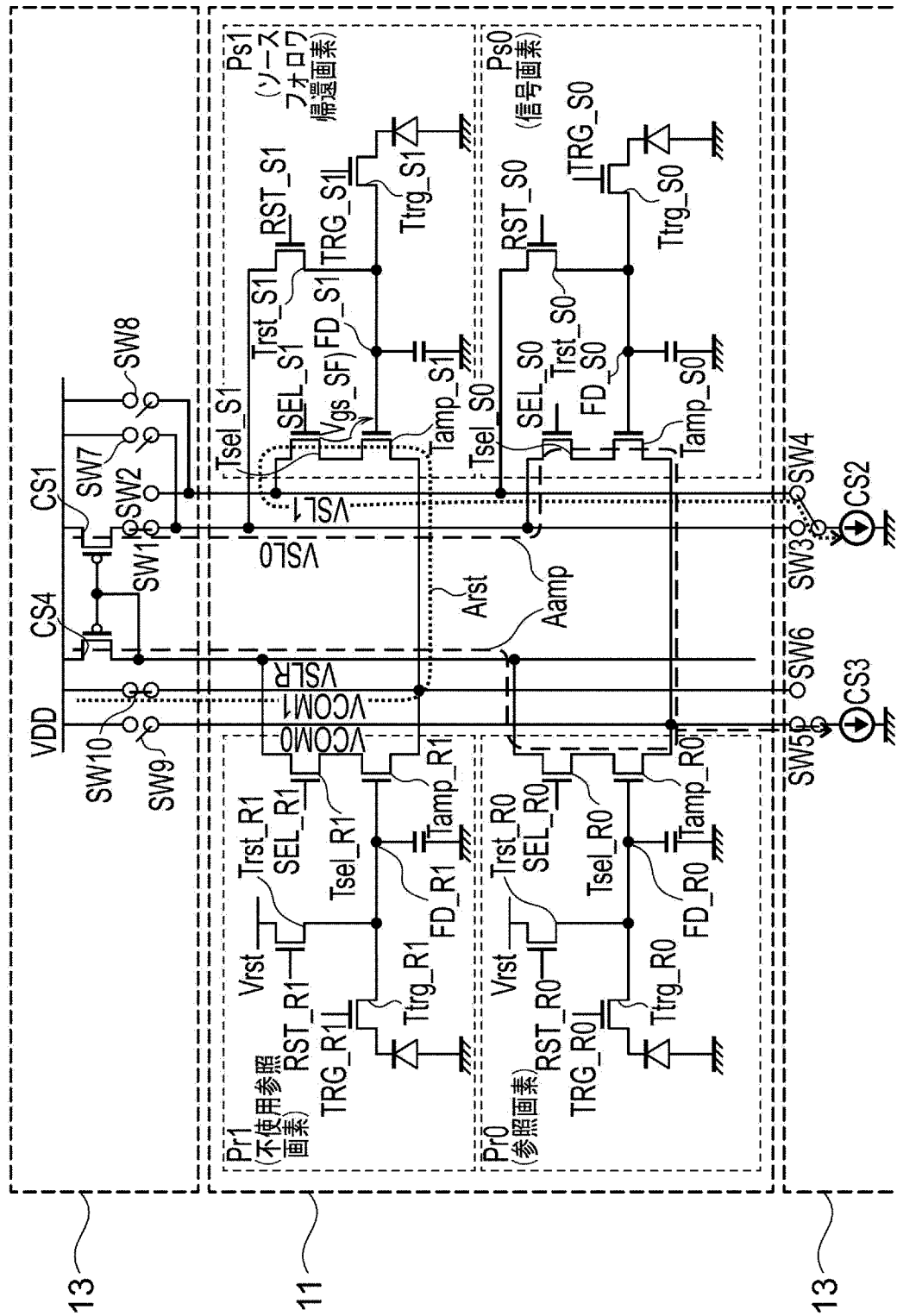
[図4]



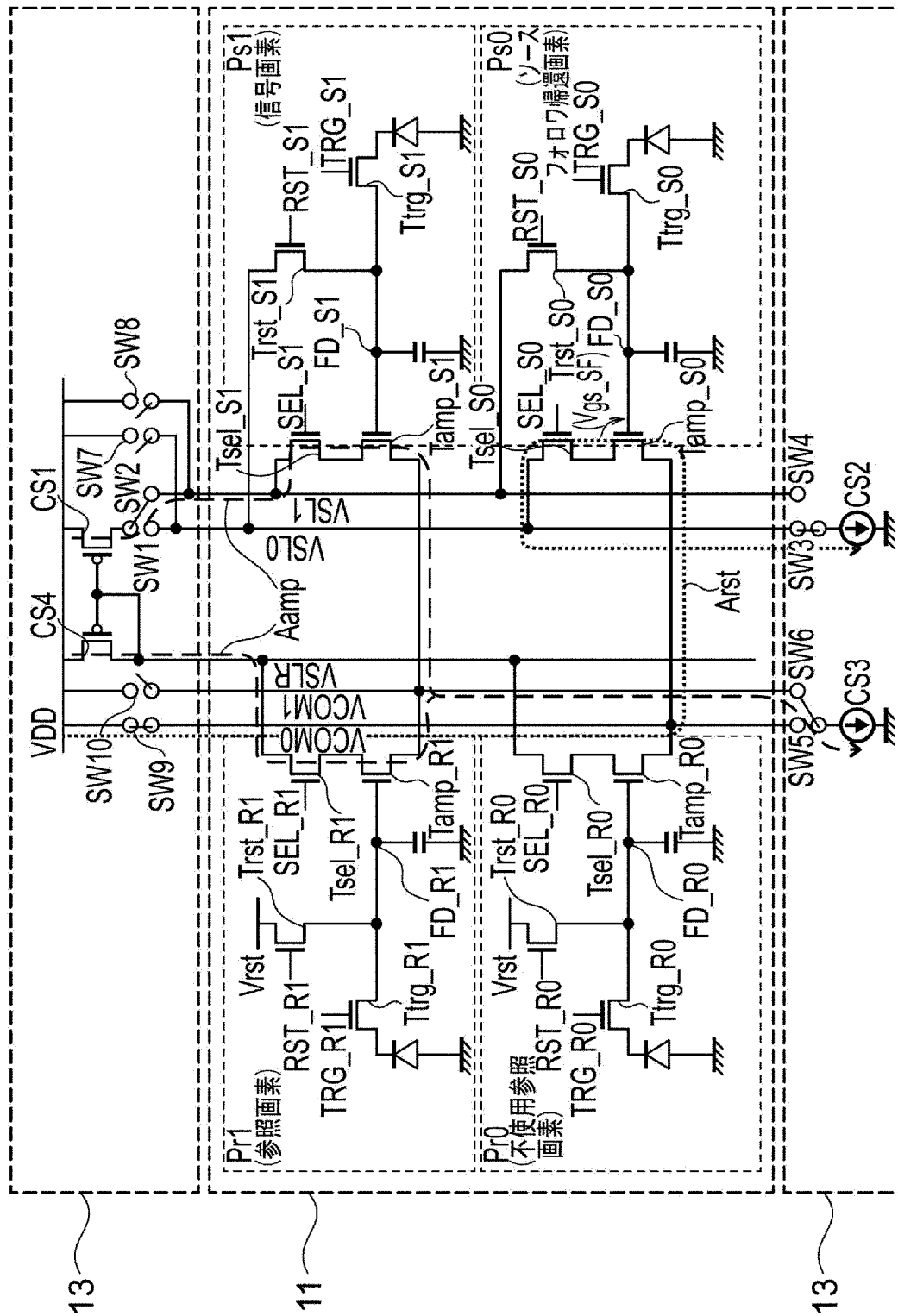
[図5]



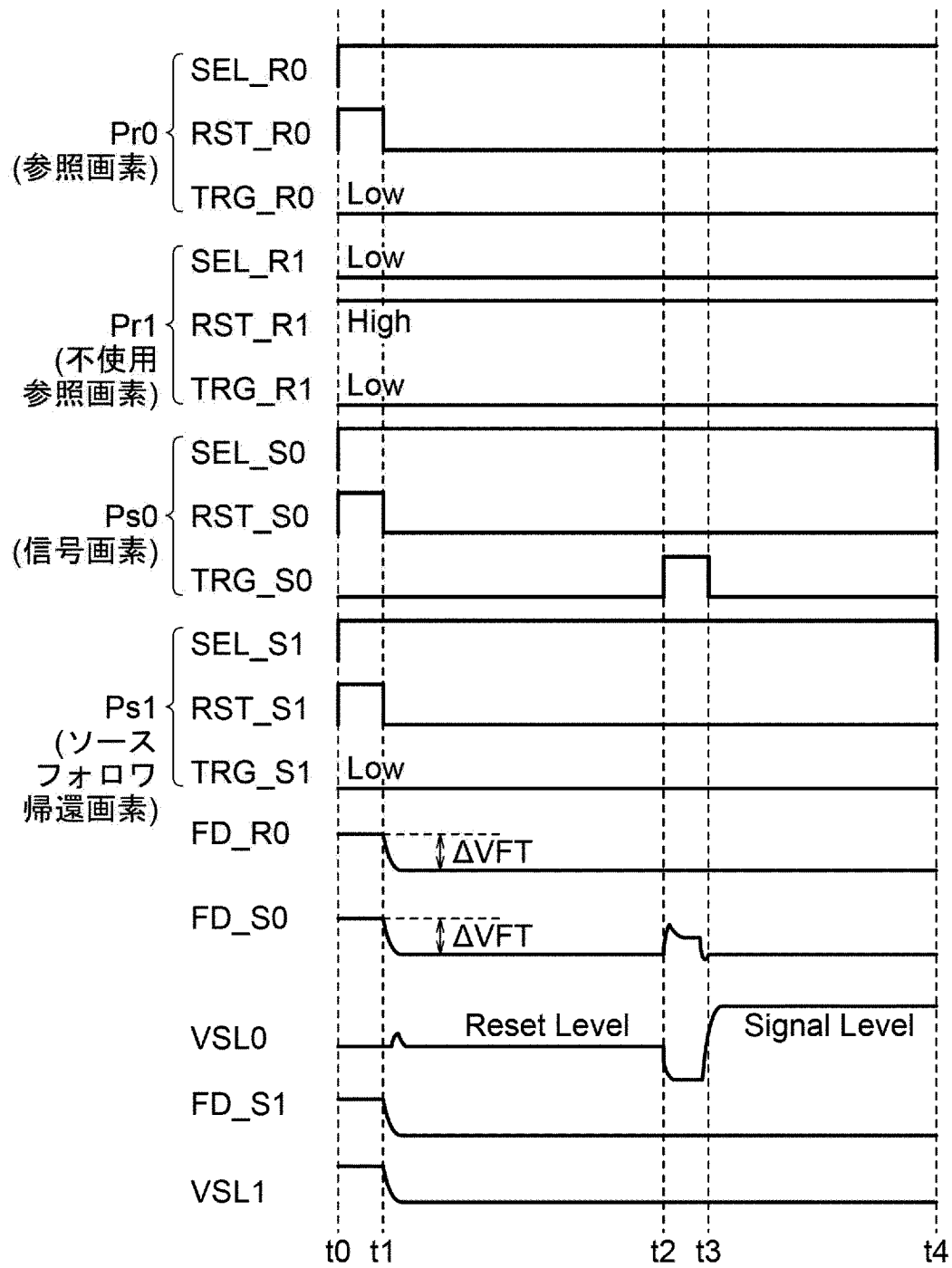
[図6]



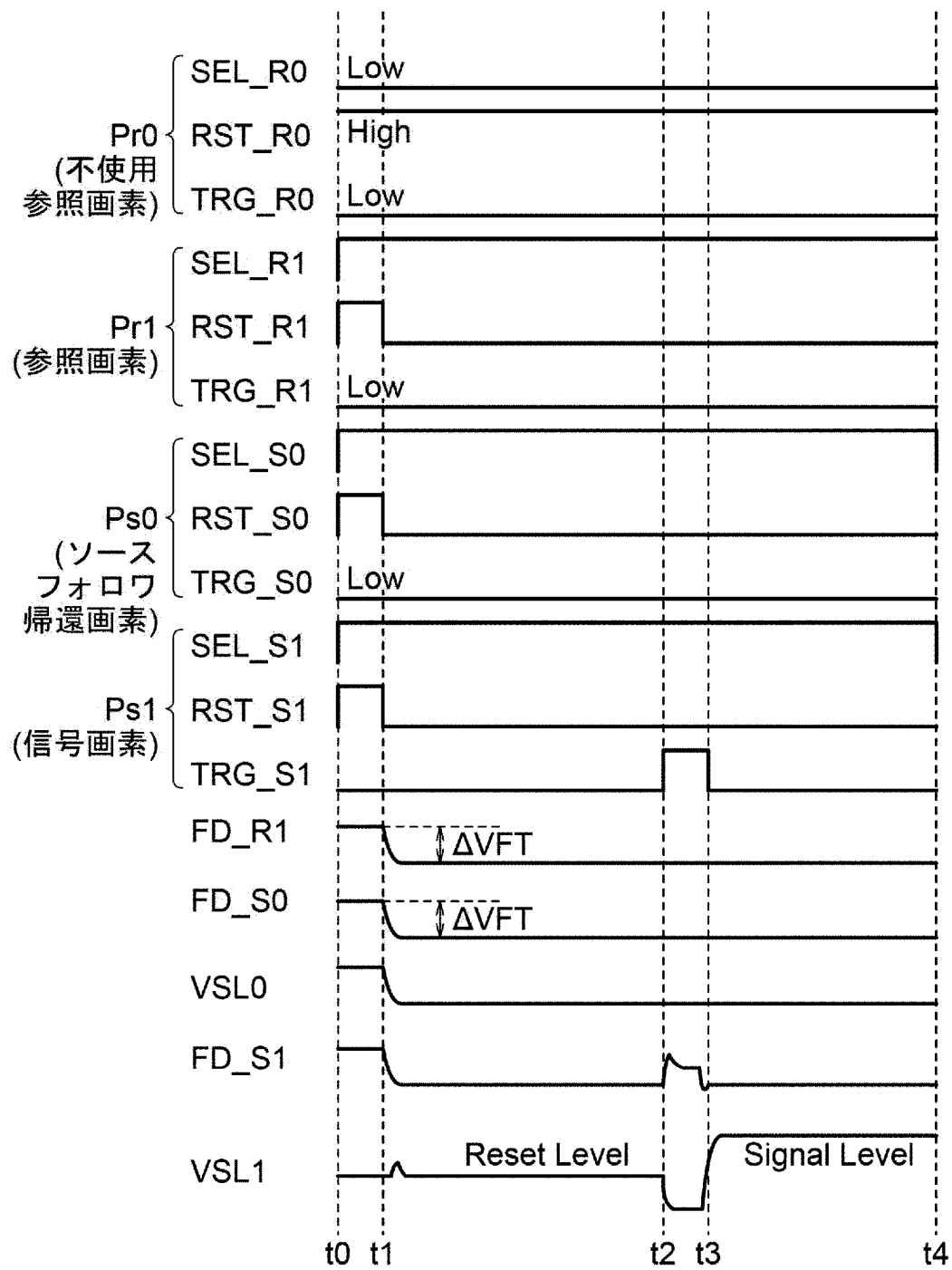
[図7]



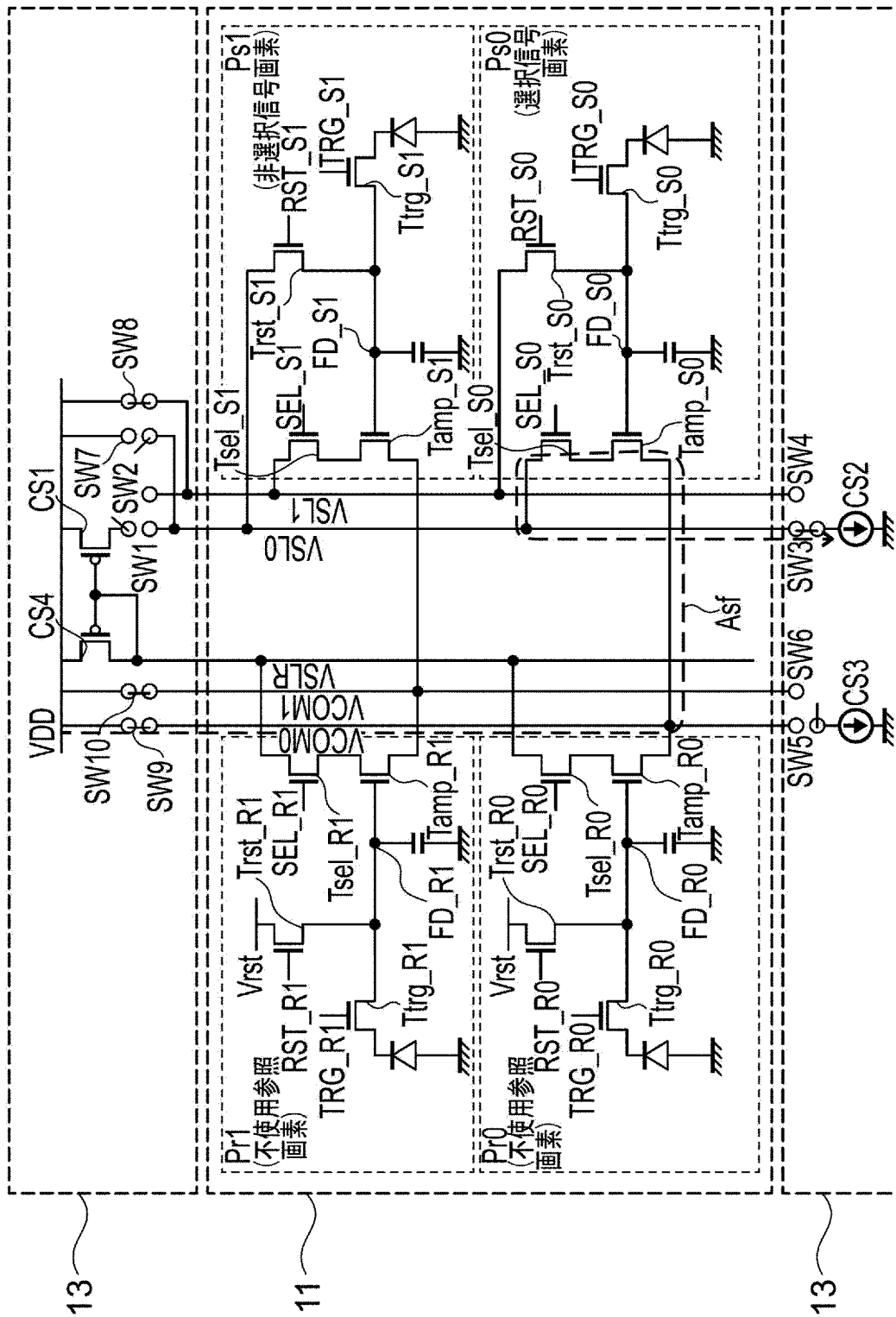
[図8]



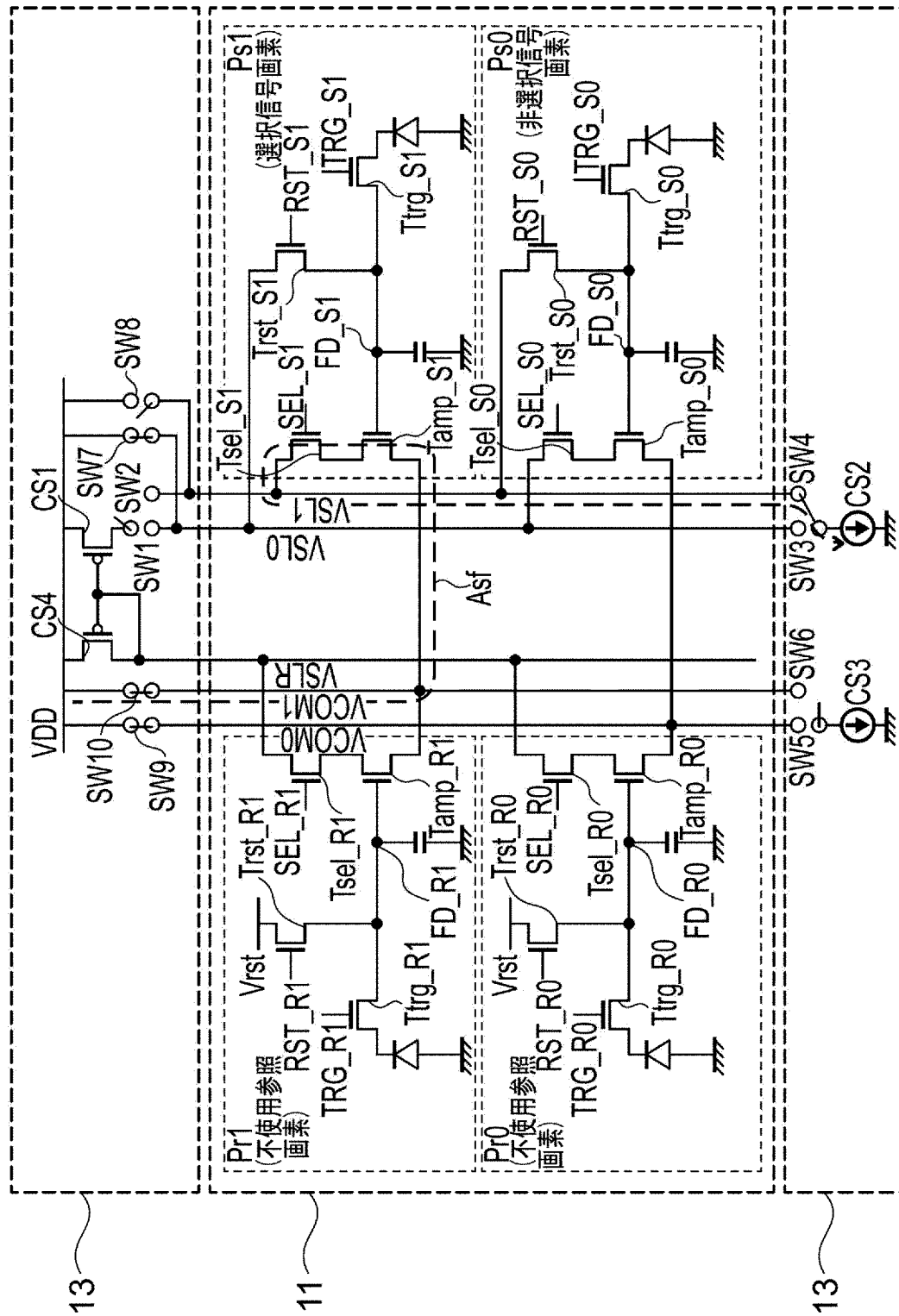
[図9]



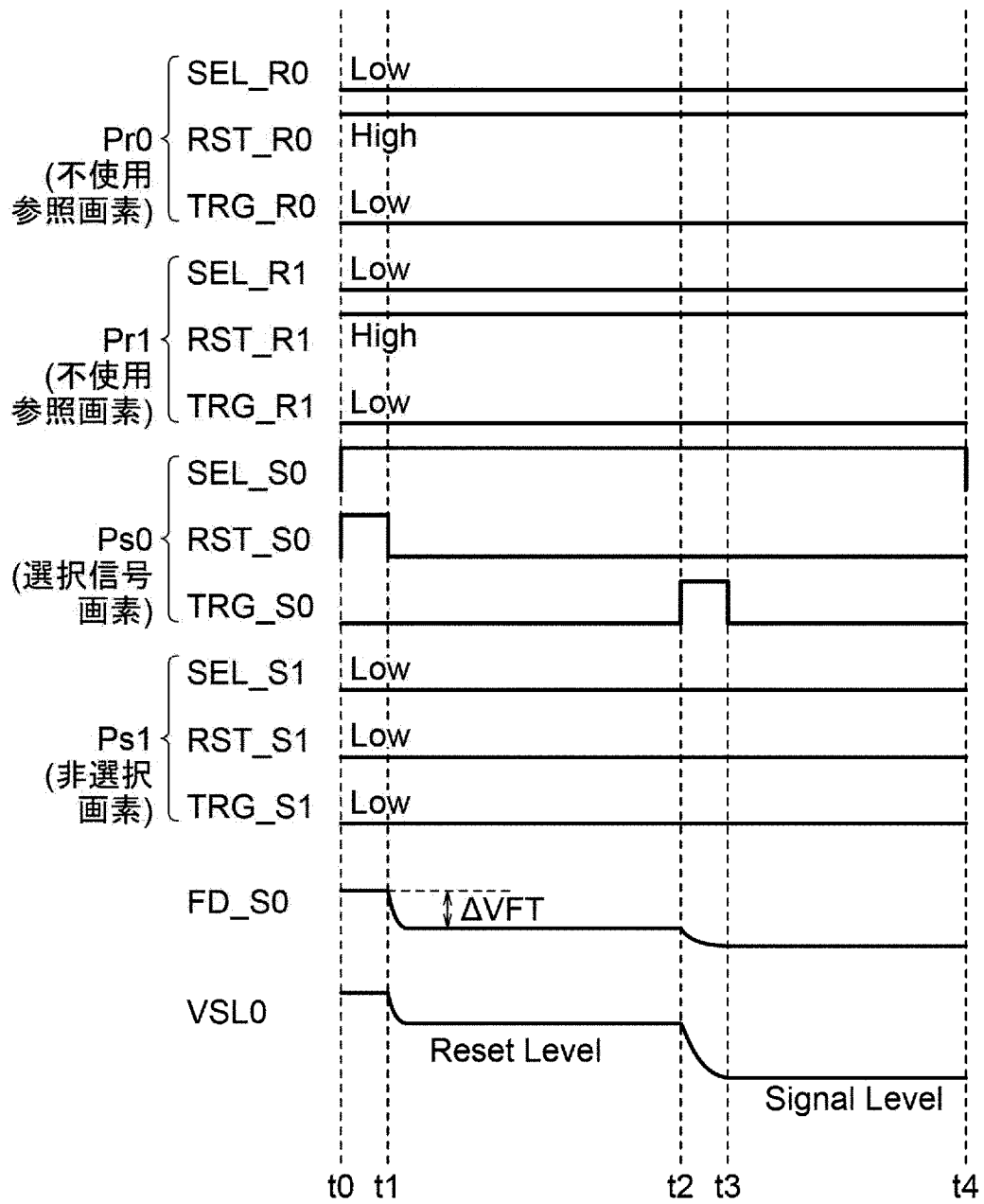
[図10]



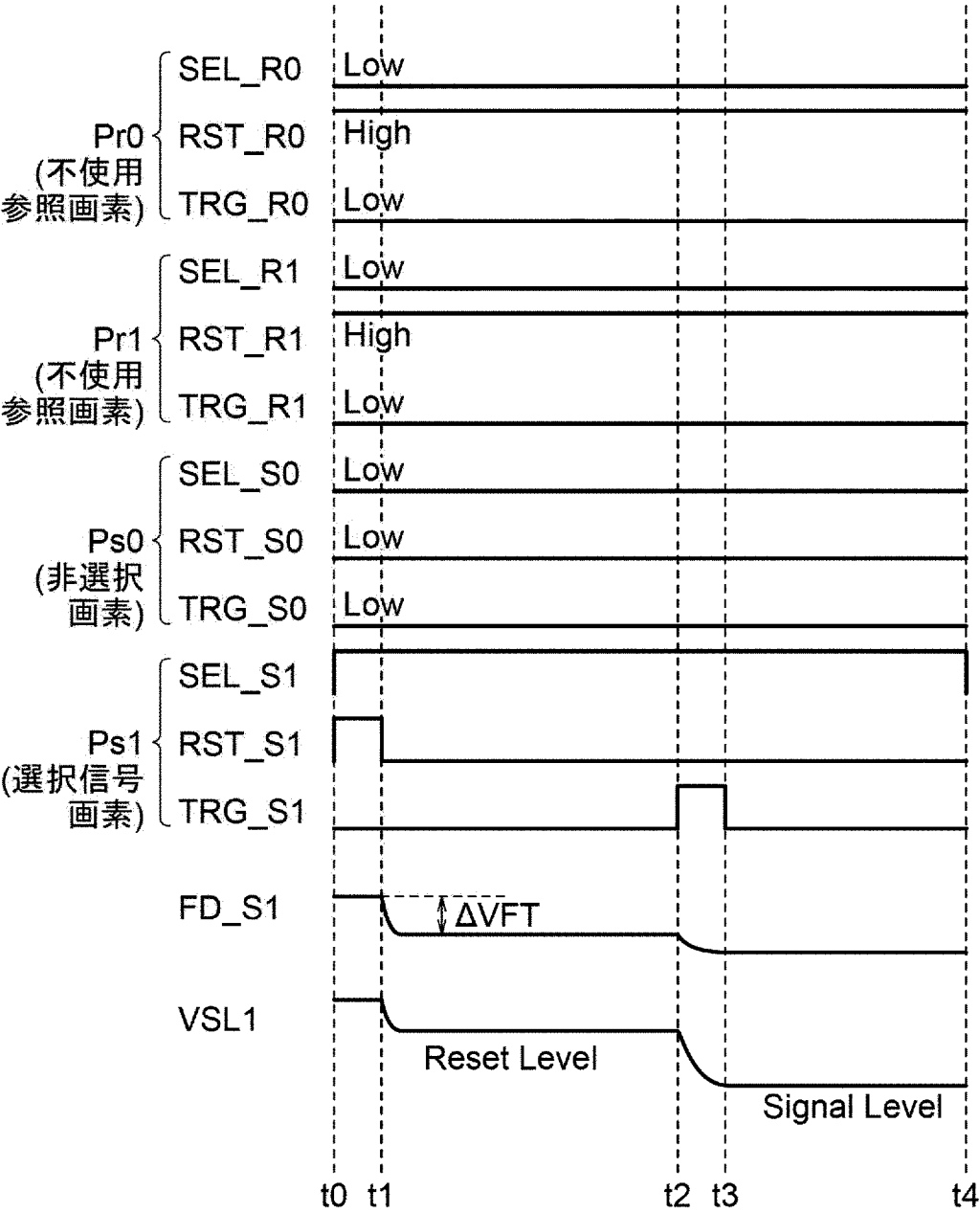
[図11]



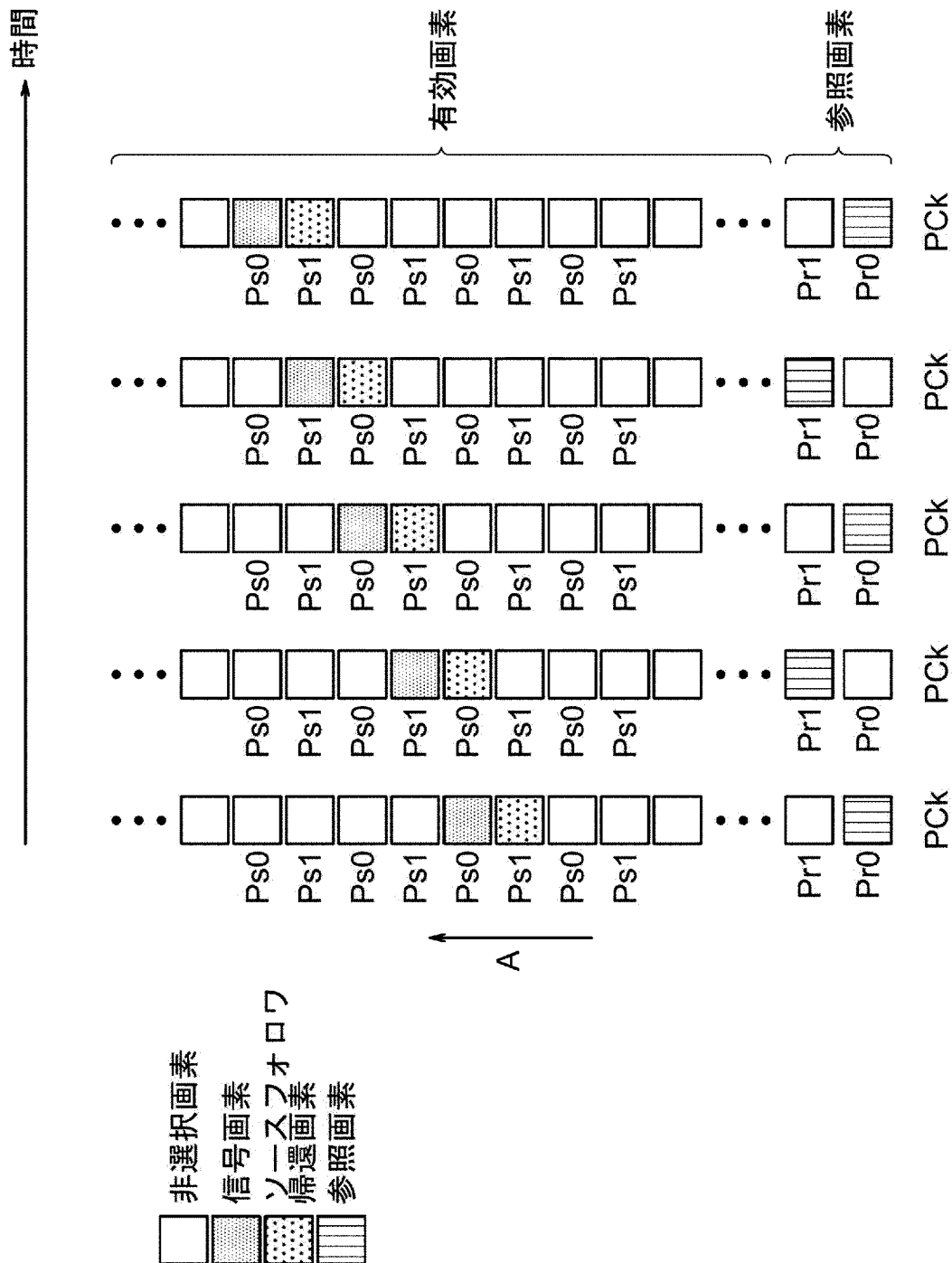
[図12]



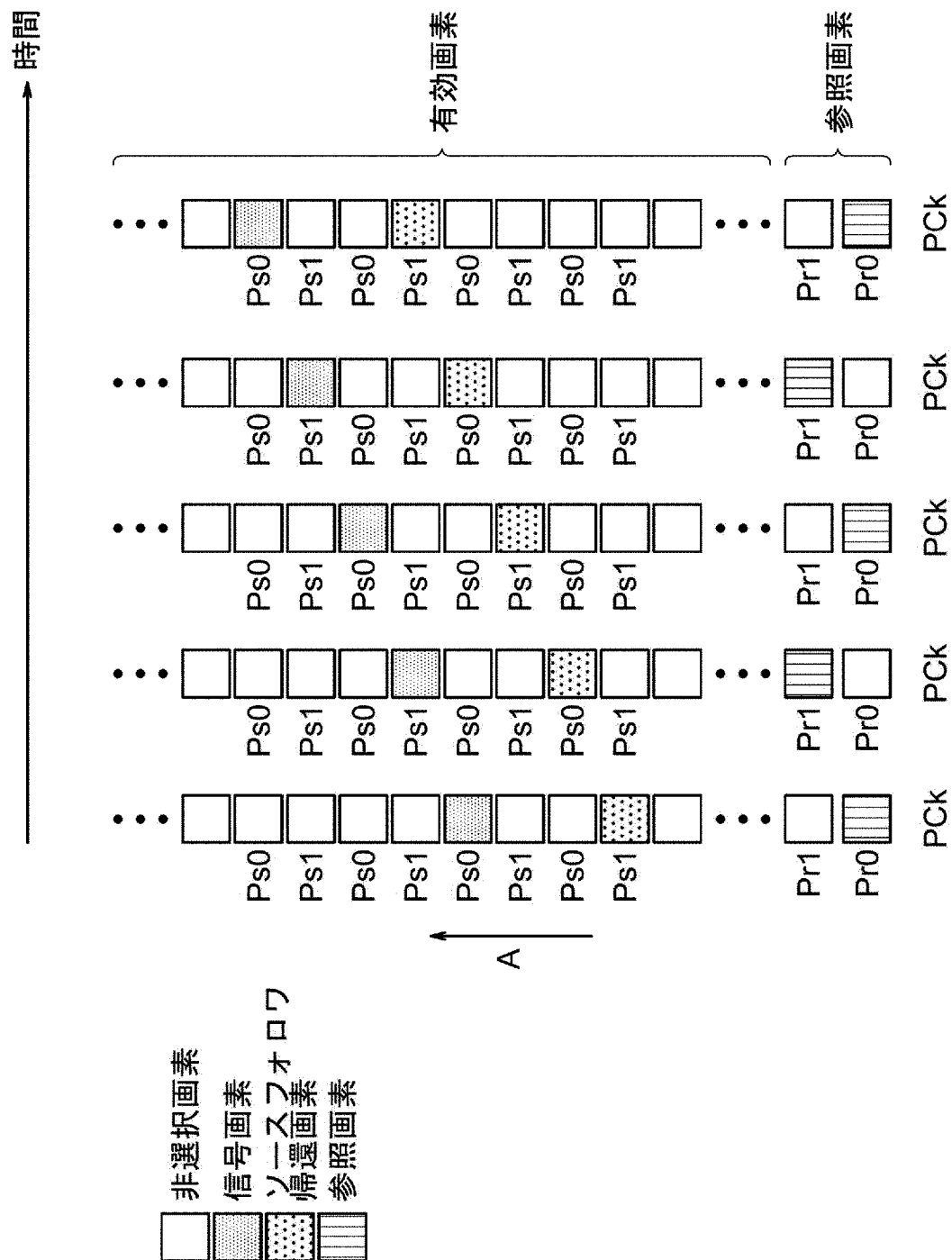
[図13]



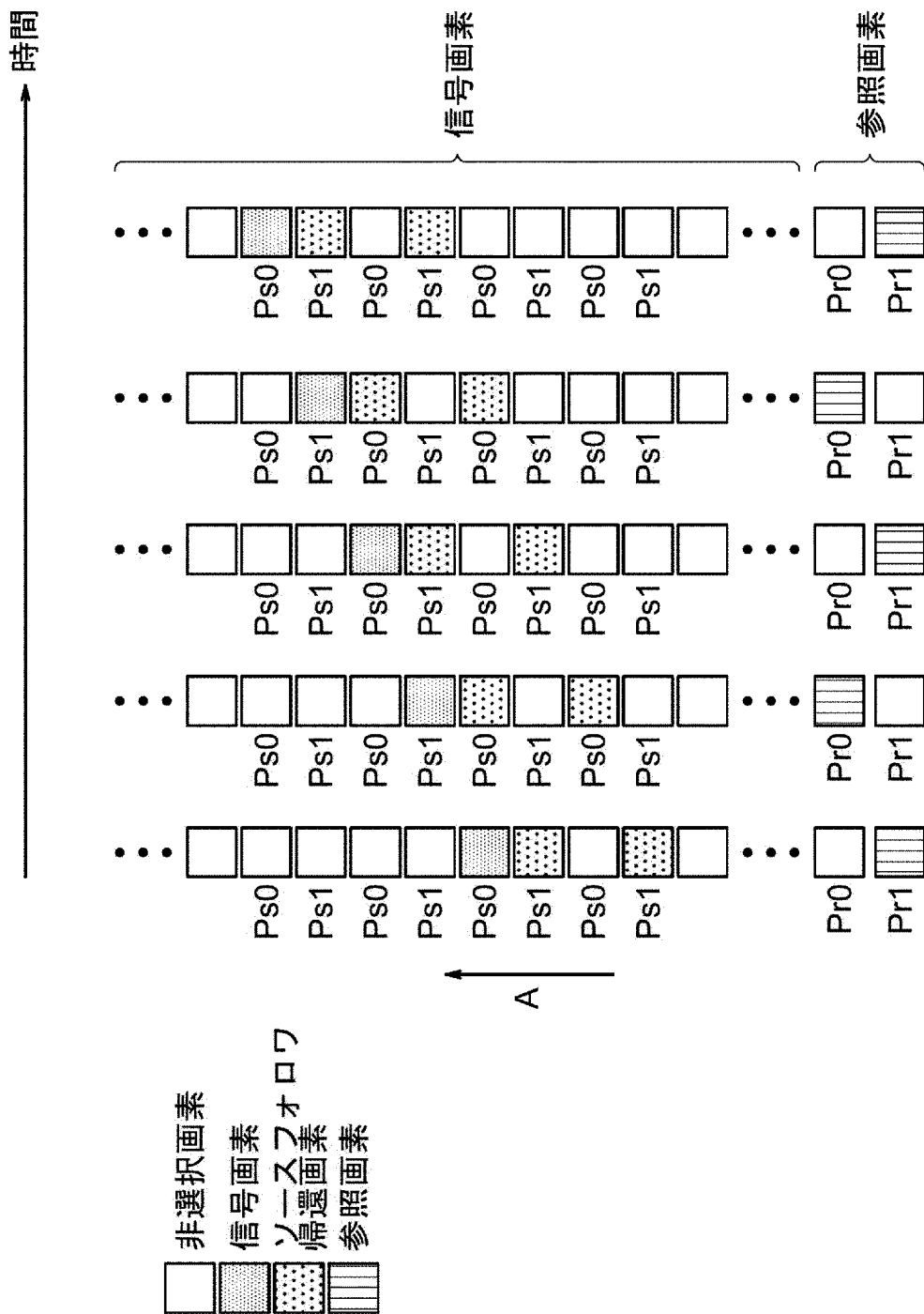
[図15]



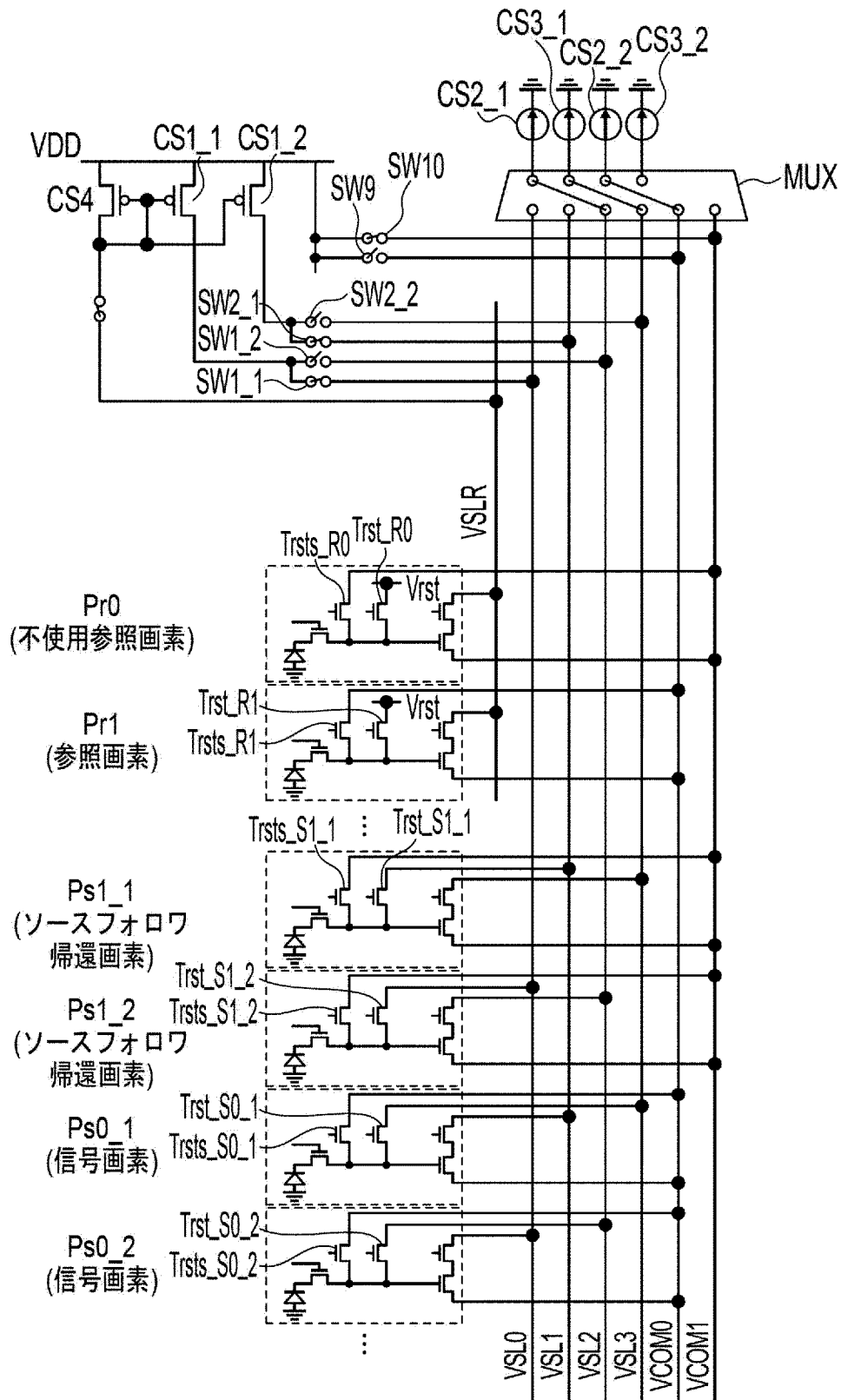
[図16]



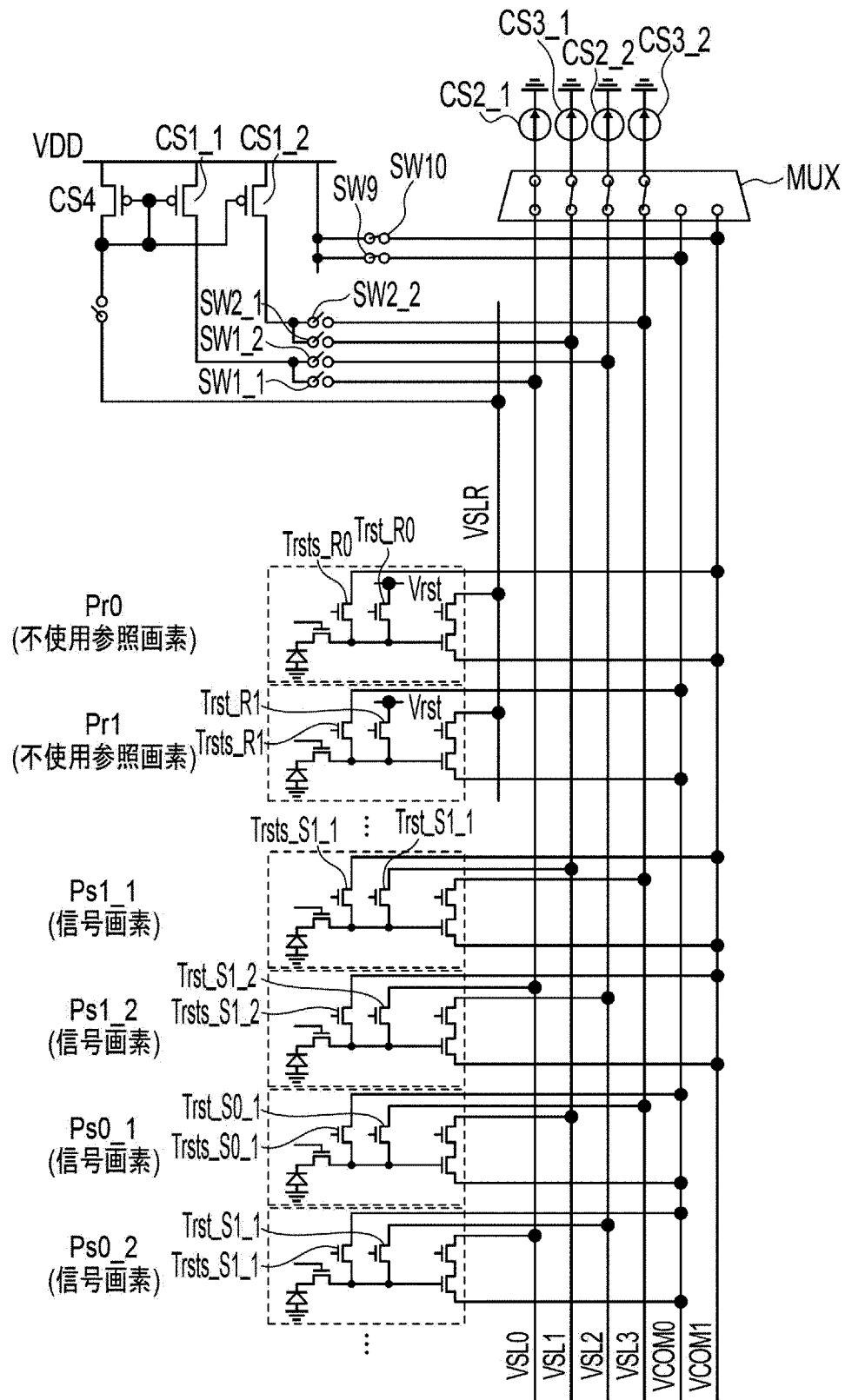
[図17]



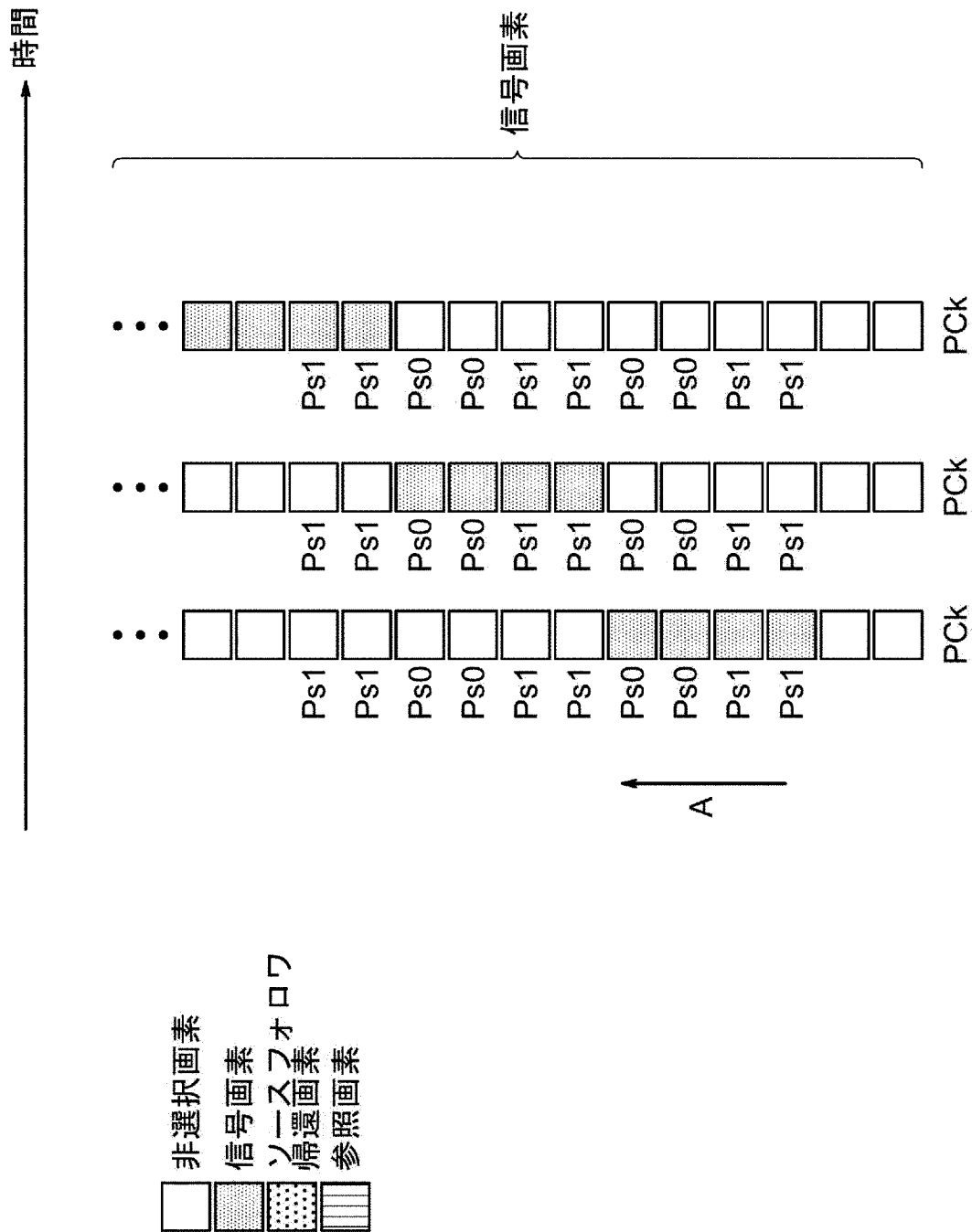
[図19]



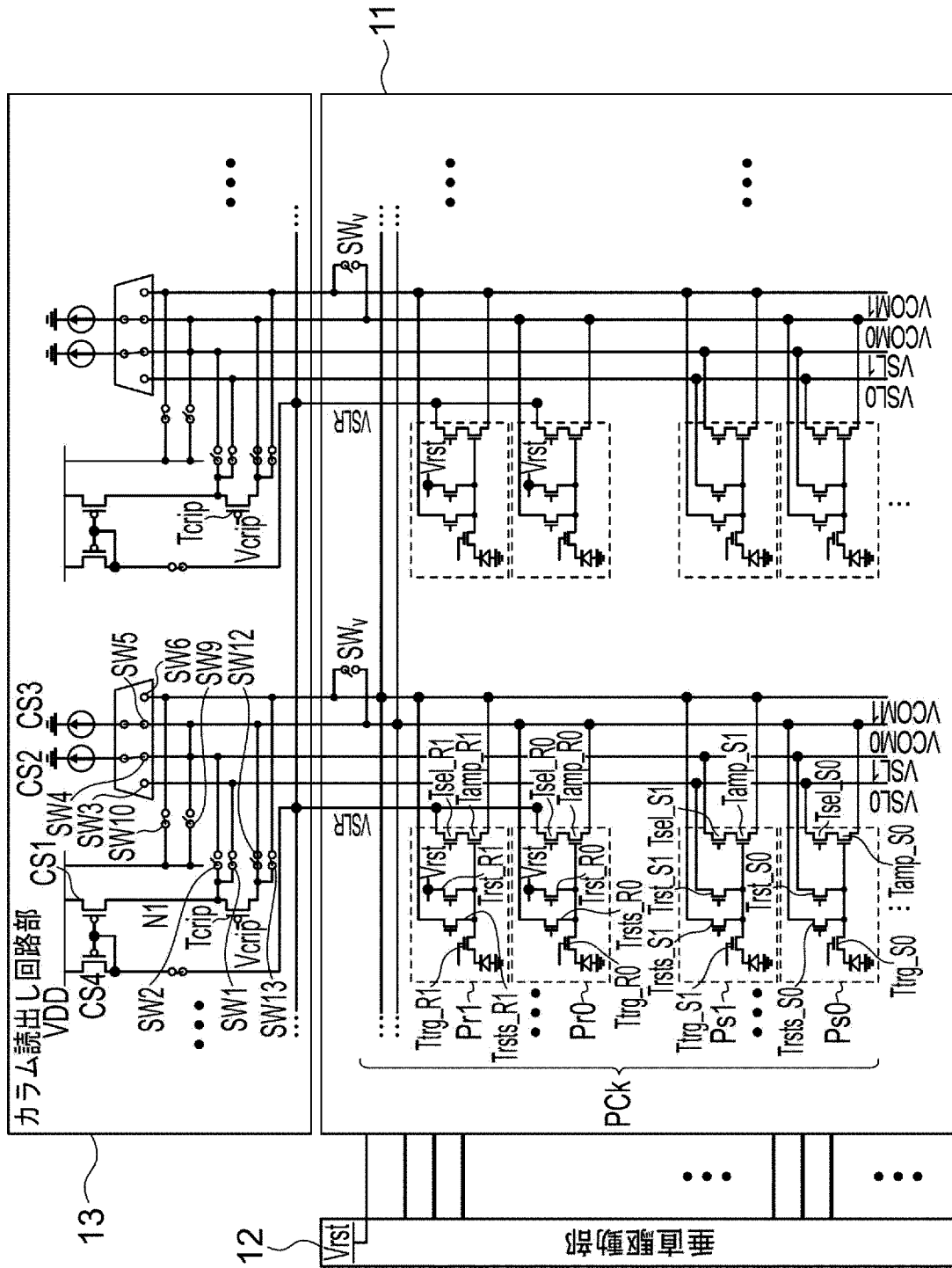
[図20]



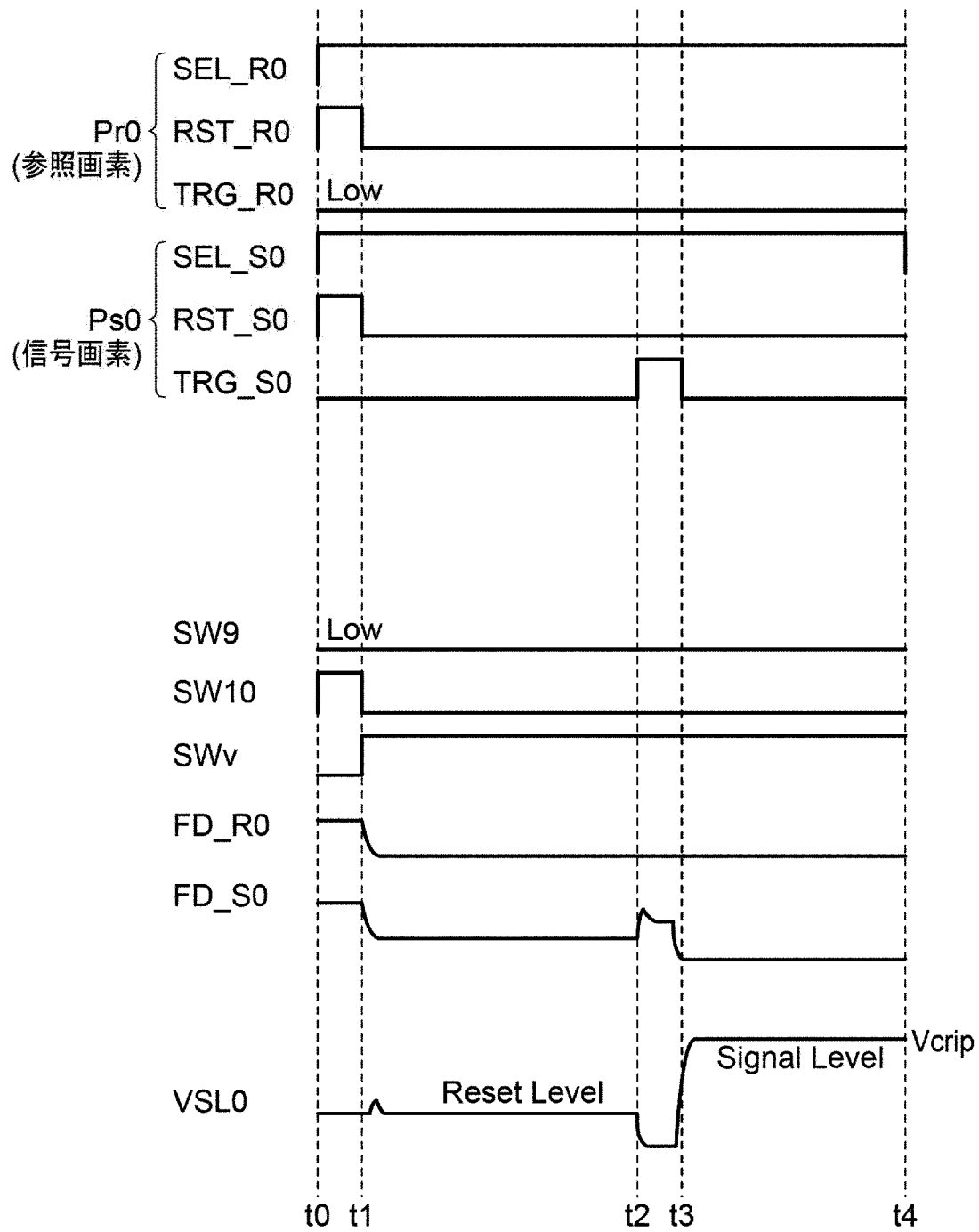
[図22]



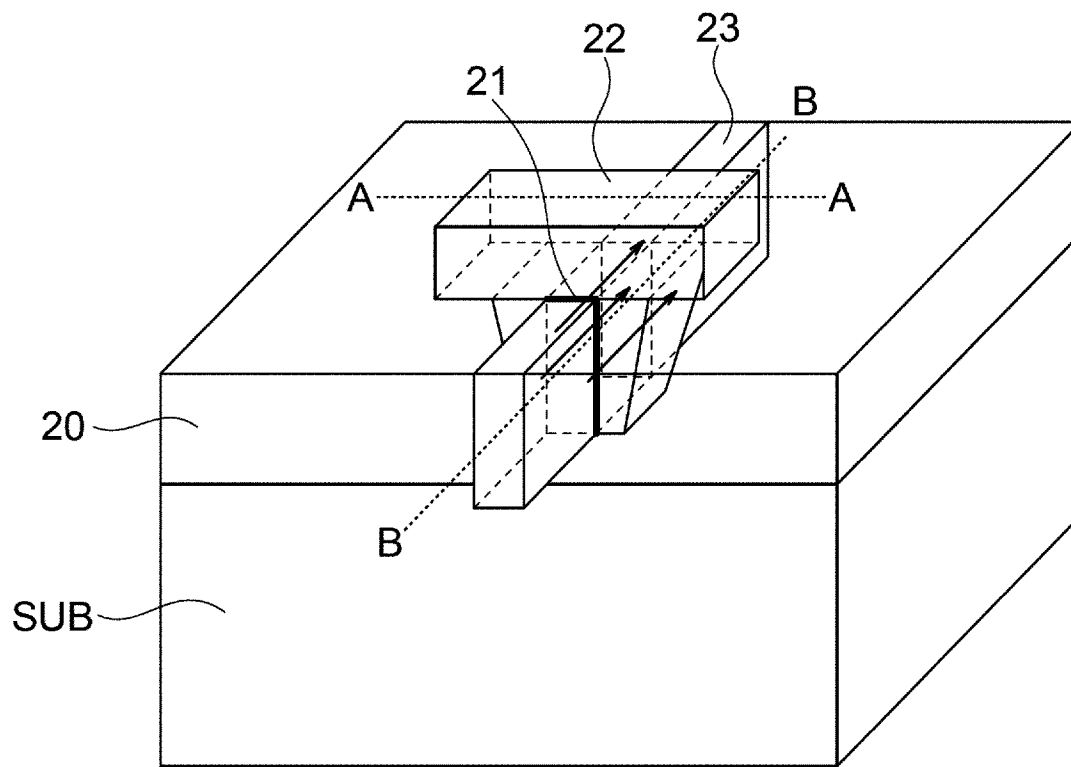
[図23]



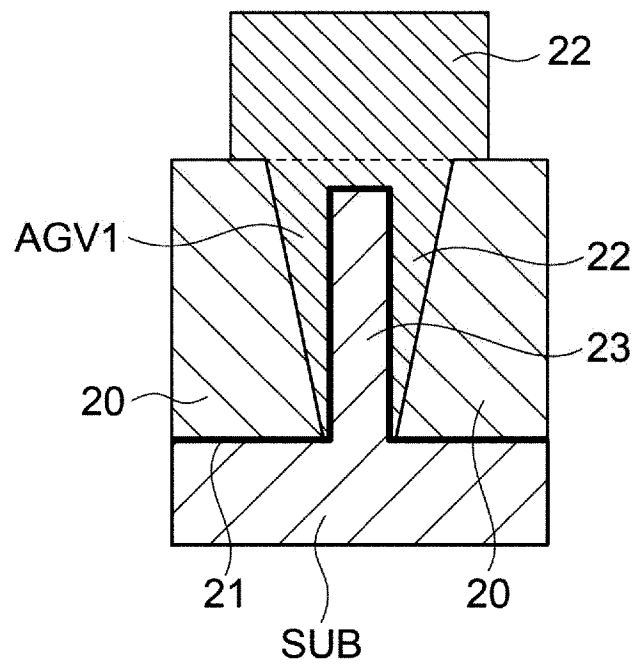
[図24]



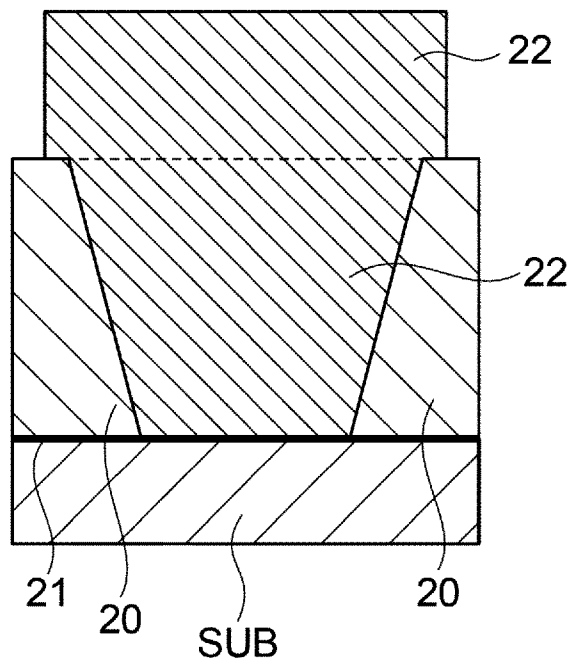
[図25]



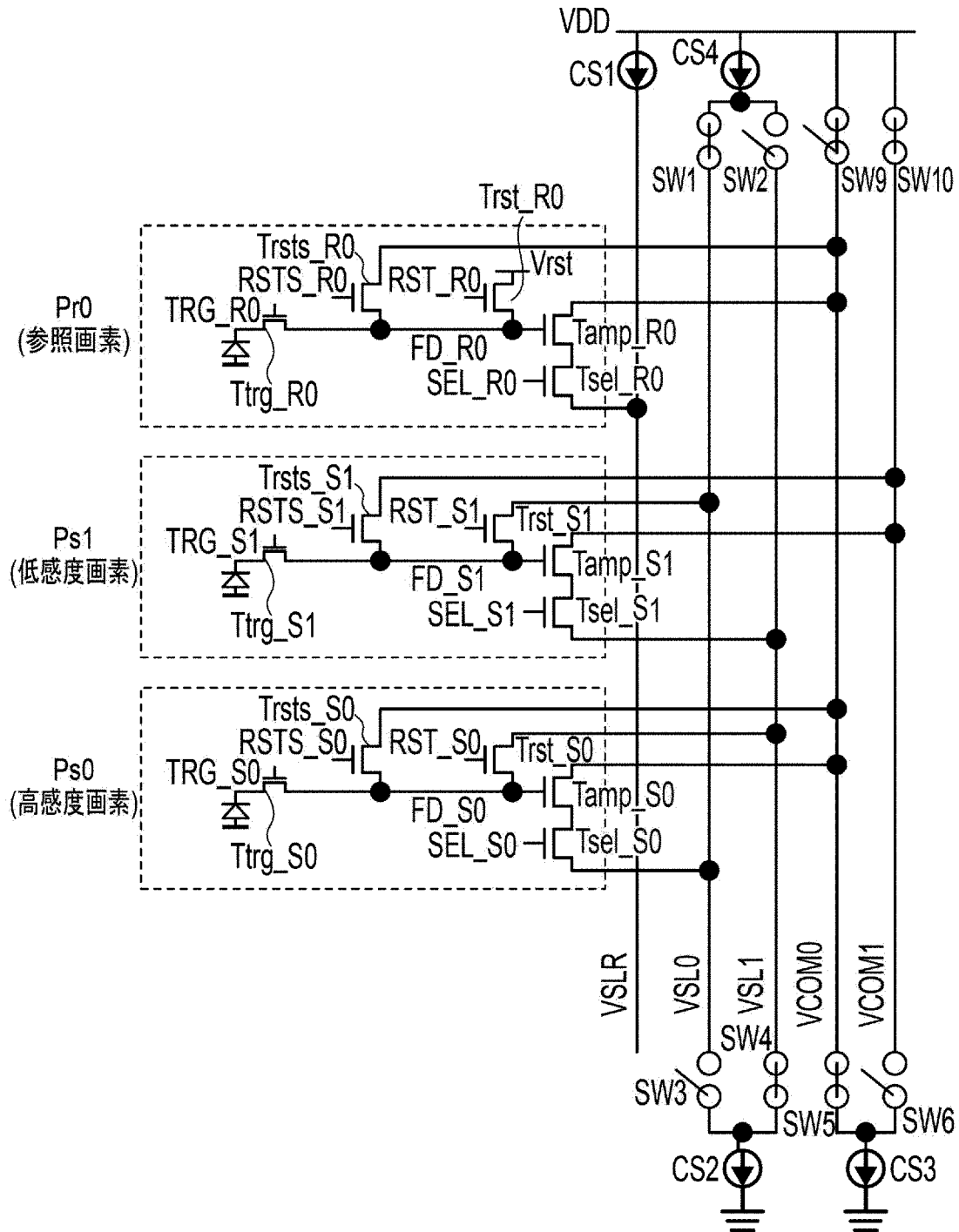
[図26A]



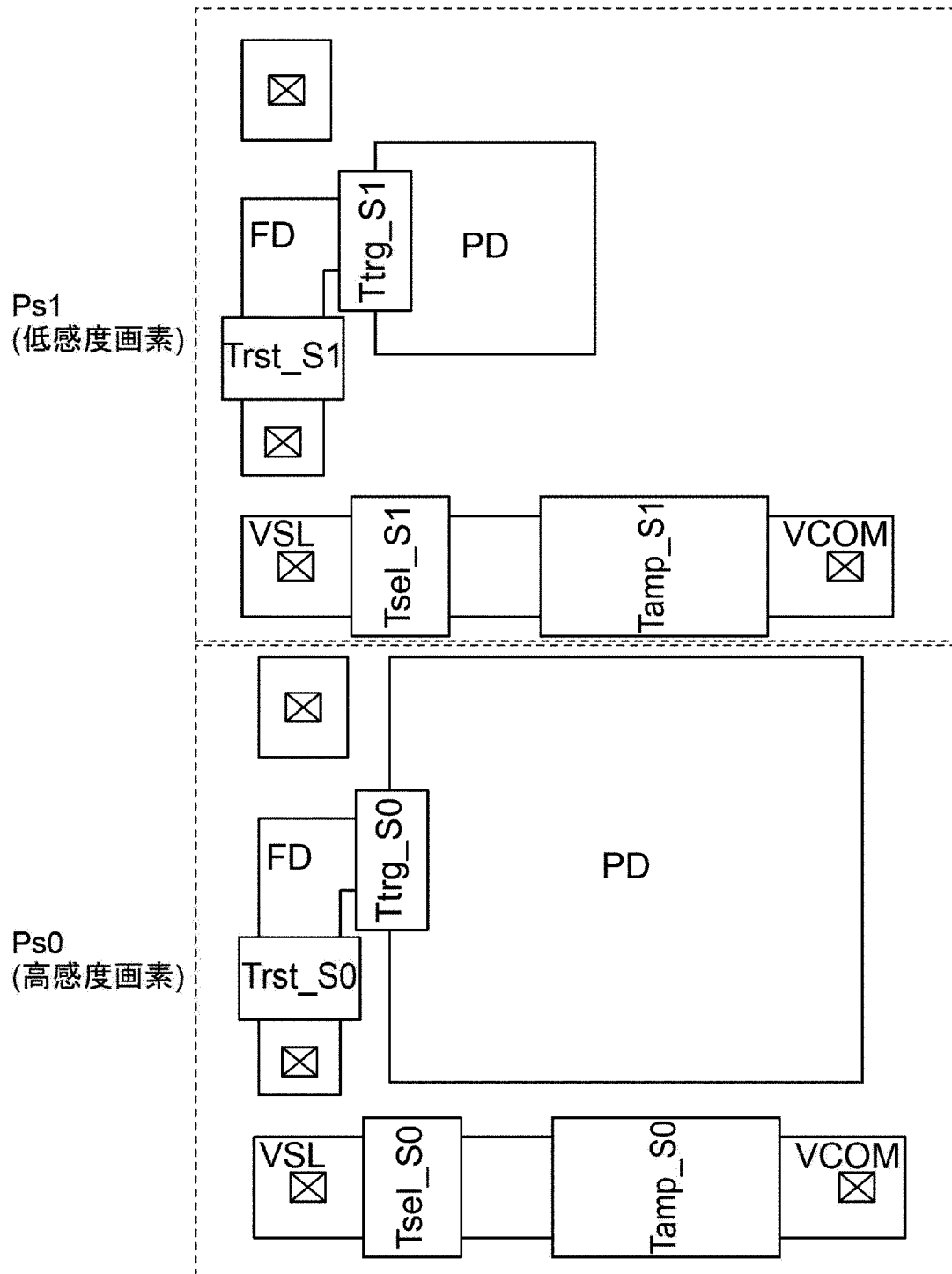
[図26B]



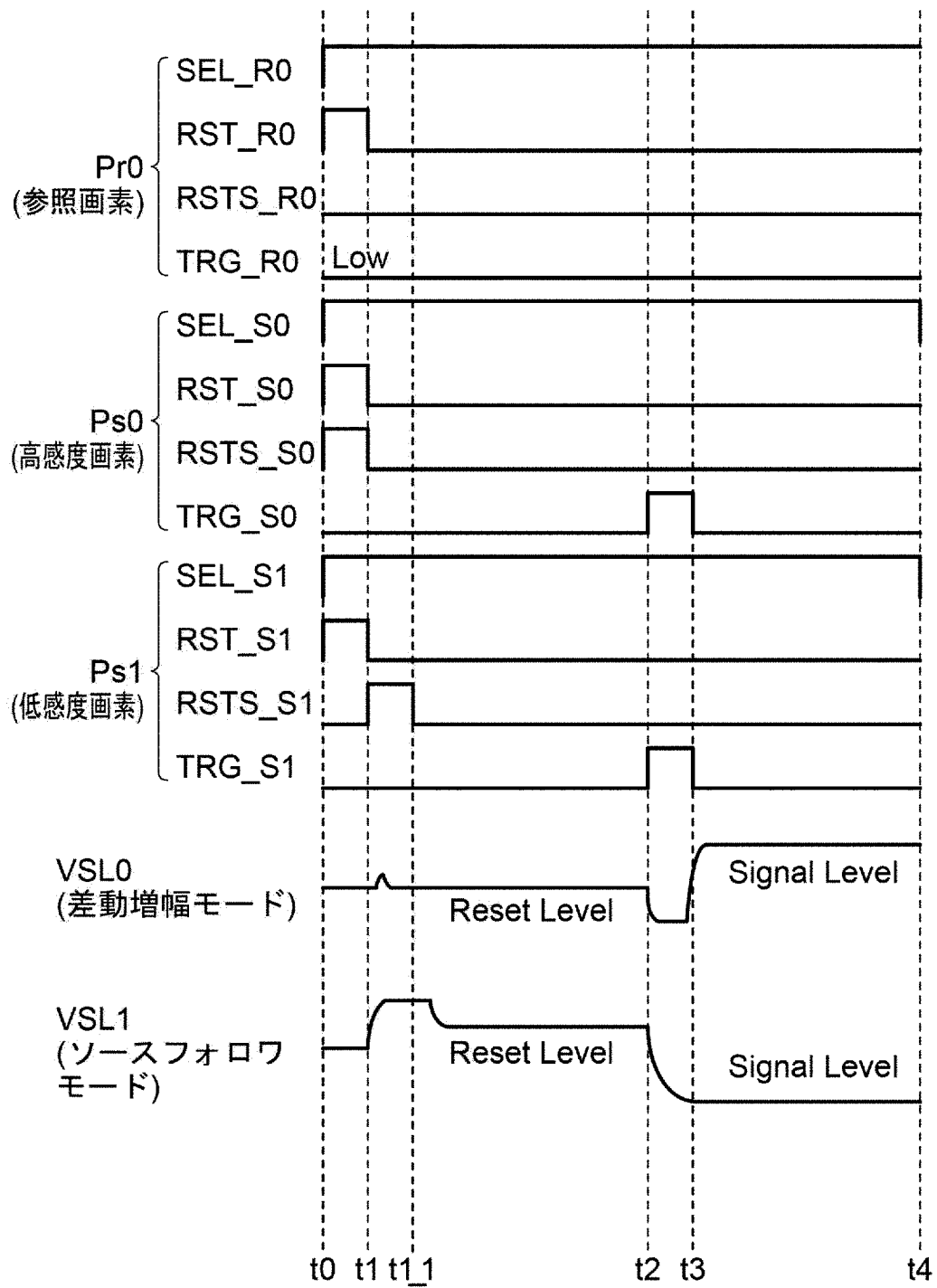
[図27]



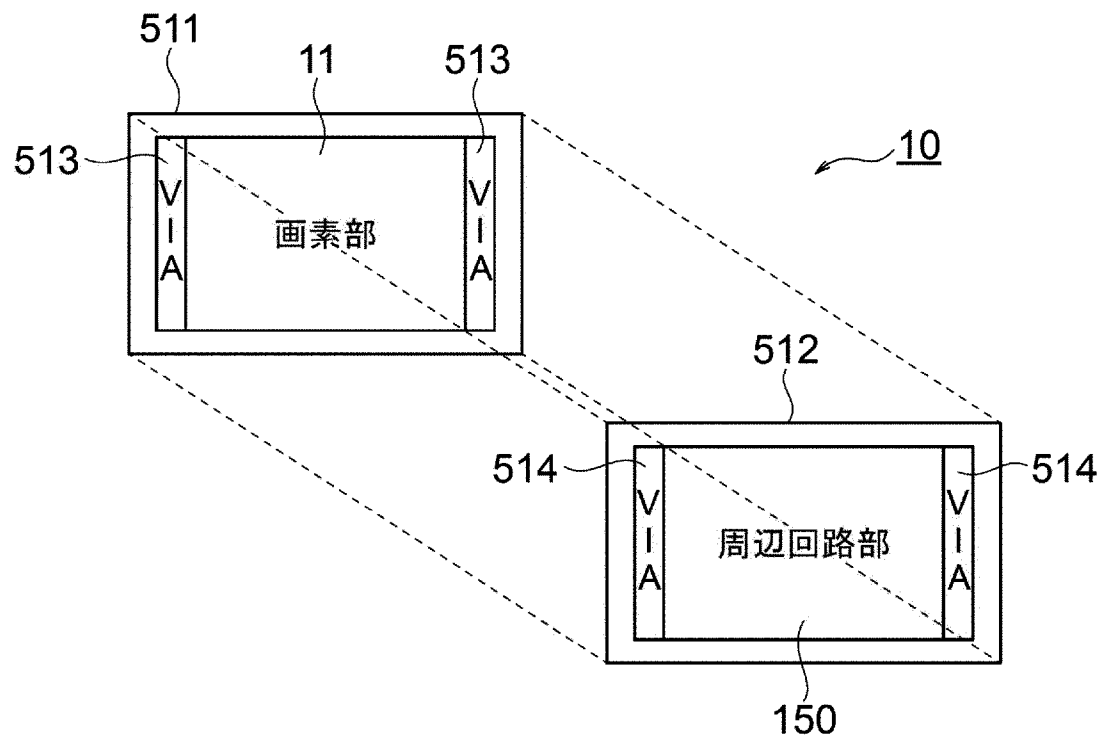
[図28]



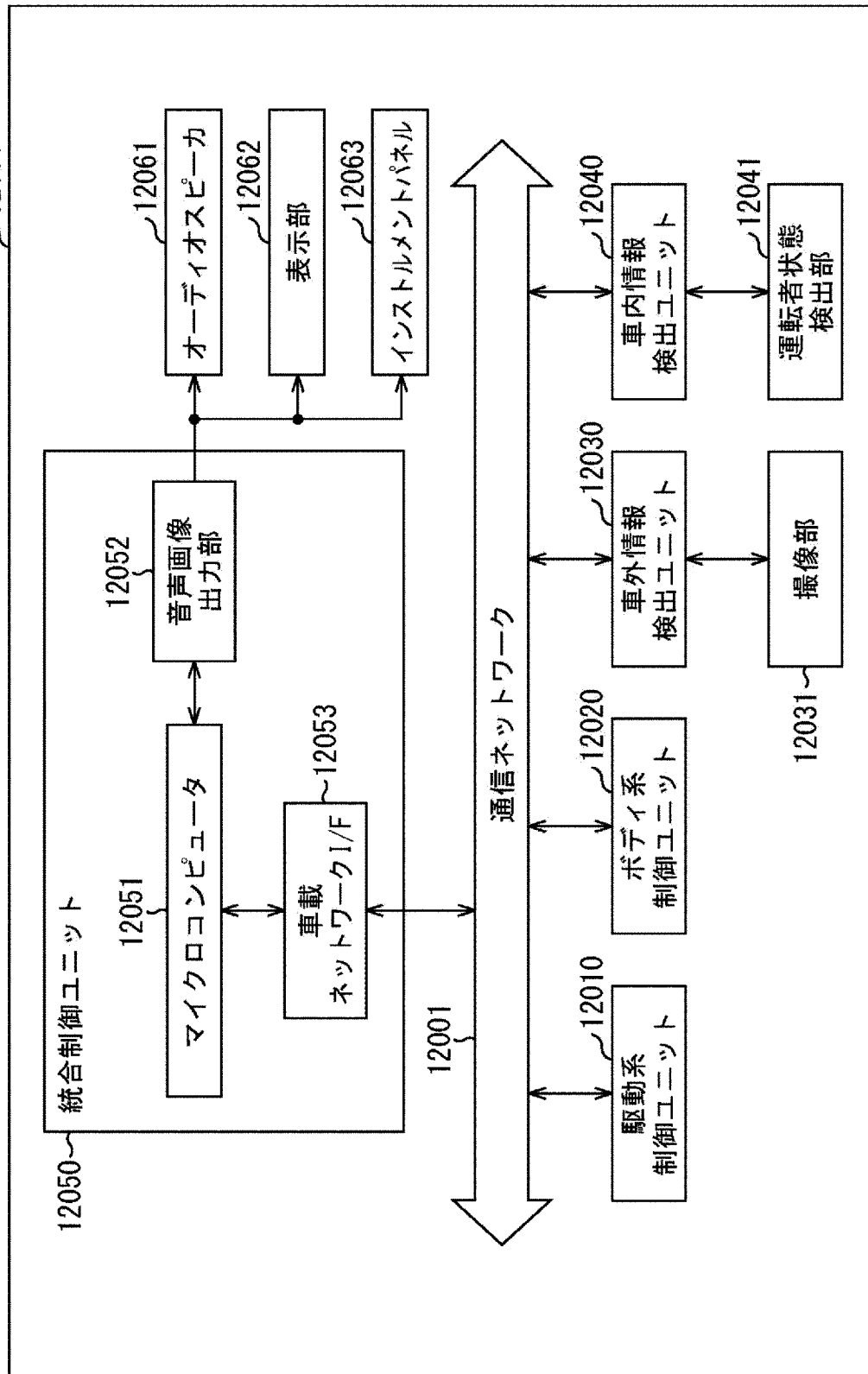
[図29]



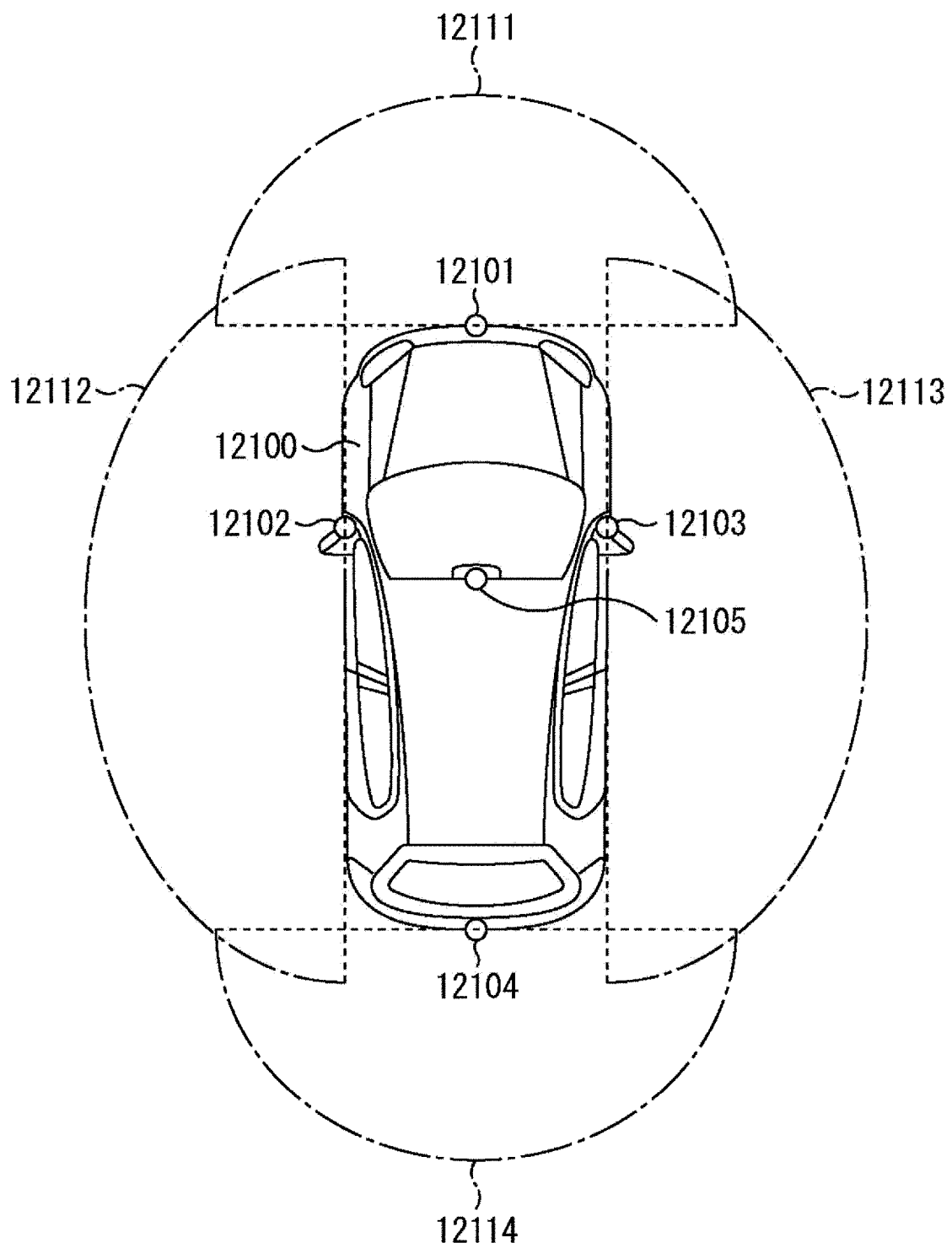
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/038109

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/3745**(2011.01)i; **H04N 5/378**(2011.01)i

FI: H04N5/3745; H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-182496 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 15 November 2018 (2018-11-15) paragraphs [0155]-[0157], fig. 11	1-17
A	JP 2020-156070 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 24 September 2020 (2020-09-24) paragraphs [0054]-[0061], fig. 3	1-17
A	JP 2020-31402 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 27 February 2020 (2020-02-27) paragraphs [0136]-[0140], fig. 15	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

21 December 2021

Date of mailing of the international search report

11 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/038109

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-182496	A	15 November 2018	US 2020/0106975 A1 paragraphs [0188]-[0191], fig. 11 WO 2018/190127 A1 CN 110537366 A KR 10-2019-0132402 A	
JP	2020-156070	A	24 September 2020	WO 2020/183809 A1 paragraphs [0054]-[0061], fig. 3	
JP	2020-31402	A	27 February 2020	WO 2020/040065 A1 paragraphs [0136]-[0140], fig. 15 CN 112567732 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/3745; H04N5/378														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/3745; H04N5/378														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2018-182496 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018 (2018 - 11 - 15) 段落 [0155] - [0157]、図11	1-17												
A	JP 2020-156070 A（ソニーセミコンダクタソリューションズ株式会社）24.09.2020 (2020 - 09 - 24) 段落 [0054] - [0061]、図3	1-17												
A	JP 2020-31402 A（ソニーセミコンダクタソリューションズ株式会社）27.02.2020 (2020 - 02 - 27) 段落 [0136] - [0140]、図15	1-17												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 21.12.2021	国際調査報告の発送日 11.01.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/038109

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-182496	A	15.11.2018	US 2020/0106975 A1 段落 [0188] - [0191]、図 11 WO 2018/190127 A1 CN 110537366 A KR 10-2019-0132402 A	
JP	2020-156070	A	24.09.2020	WO 2020/183809 A1 段落 [0054] - [0061]、図 3	
JP	2020-31402	A	27.02.2020	WO 2020/040065 A1 段落 [0136] - [0140]、図 15 CN 112567732 A	