

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 8 月 4 日 (2005.8.4)

【公開番号】特開 2002-305437 (P2002-305437A)
 【公開日】平成 14 年 10 月 18 日 (2002.10.18)
 【出願番号】特願 2002-22435 (P2002-22435)
 【国際特許分類第 7 版】

H 0 3 K 19/096
 G 0 6 F 7/50
 H 0 3 K 19/0175
 H 0 3 K 19/21

【F I】

H 0 3 K 19/096 B
 G 0 6 F 7/50 G
 H 0 3 K 19/21
 H 0 3 K 19/00 1 0 1 F

【手続補正書】
 【提出日】平成 17 年 1 月 12 日 (2005.1.12)
 【手続補正 1】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

アクセスアドレス信号に基づいて複数のバンクを備えた同期型 D R A M をアクセスする同期型 D R A M のアクセス方法において、

前記同期型 D R A M の各バンクの最終アドレス又は前記最終アドレス近辺のアドレスを比較アドレスとしてレジスタに記憶し、

前記アクセスアドレス信号に含まれるコラムアドレスと前記比較アドレスとを比較し、該比較結果に基づいて、前記コラムアドレスが前記比較アドレスと一致する場合に、当該コラムアドレスにてアクセスするバンクの次のバンクに対するアクティブコマンドを発行するようにした同期型 D R A M のアクセス方法。

【請求項 2】

請求項 1 に記載の同期型 D R A M のアクセス方法において、

前記同期型 D R A M が所定回数以上連続してアクセスされた連続アクセスを確認した後、前記コラムアドレスが前記比較アドレスと一致した場合に次のバンクに対するアクティブコマンドを発行するようにした同期型 D R A M のアクセス方法。

【請求項 3】

請求項 2 に記載の同期型 D R A M のアクセス方法において、

前記同期型 D R A M を連続してアクセスした回数をカウントし、該カウント結果に基づいて前記連続アクセスを確認するようにした同期型 D R A M のアクセス方法。

【請求項 4】

アドレス信号に基づいて複数のバンクを備えた同期型 D R A M をアクセスする同期型 D R A M のアクセス方法において、

アクセスに対応して入力される第 1 命令と、第 2 の命令とを記憶すると共に、前記第 1 命令及び第 2 命令におけるアドレス信号を第 1 アドレス及び第 2 アドレスとして記憶し、選択信号に基づいて前記第 1 命令又は前記第 2 命令を選択命令として出力し、前記選択信

号に基づいて前記第 1 アドレス又は前記第 2 アドレスを選択アドレスとして出力し、前記選択アドレスのバンクアドレス、ローアドレスと前記第 1 アドレス及び第 2 アドレスのバンクアドレス及びローアドレスを比較し、前記第 1 命令及び第 2 命令がリード命令又はライト命令か否かを比較し、該比較結果に基づいて所定の場合に前記第 1 命令に対するコマンドを前記第 2 命令に対するコマンドよりも先に出力するようにした同期型 D R A M のアクセス方法。

【請求項 5】

請求項 4 に記載の同期型 D R A M のアクセス方法において、

前記選択アドレスに対して前記第 1 アドレスのローアドレス及びバンクアドレスが一致する場合に、第 1 命令に対するコマンドを前記第 2 命令に対するコマンドよりも先に同期型 D R A M に出力するようにした同期型 D R A M のアクセス方法。

【請求項 6】

アドレス信号に基づいて複数のバンクを備えた同期型 D R A M をアクセスする同期型 D R A M のアクセス方法において、

バンク切り替えを伴うリード又はライトコマンドを発行する時に、アクティブコマンド、プリチャージコマンド、リード又はライトコマンドの順番でコマンドを発行するようにした同期型 D R A M のアクセス方法。

【請求項 7】

請求項 1 乃至 6 のうちの何れか 1 項に記載の同期型 D R A M のアクセス方法において、

前記同期型 D R A M が動作するためのクロック信号の供給 / 停止を前記同期型 D R A M の動作状態に基づいて制御するようにした同期型 D R A M のアクセス方法。

【請求項 8】

アクセスアドレス信号に基づいて複数のバンクを備えた同期型 D R A M をアクセスするインタフェース回路において、

前記同期型 D R A M の各バンクの最終アドレス又は最終アドレス近辺のアドレスが比較アドレスとして記憶されたレジスタと、

前記アクセスアドレス信号に含まれるコラムアドレスと前記レジスタに記憶された比較アドレスを比較するコラムアドレス比較回路と、

前記コラムアドレス比較回路の比較結果に基づいて、入力されるコラムアドレスが比較アドレスと一致する場合に、当該コラムアドレスにてアクセスするバンクの次のバンクに対するアクティブコマンドを発行するコマンド生成部と

を備えたインタフェース回路。

【請求項 9】

請求項 8 に記載のインタフェース回路において、

前記アクセスアドレス信号が入力され、該アクセスアドレスが連続しているか否かを検出するアドレス連続検出回路と、

前記アドレス連続検出回路の検出結果に基づいて前記同期型 D R A M を連続してアクセスした回数をカウントする連続アクセスカウンタとを備え、

前記コマンド生成部は、前記連続アクセスカウンタのカウント結果に基づいて前記同期型 D R A M が所定回数以上連続してアクセスした連続アクセスを確認した後、前記コラムアドレス比較回路の比較結果に基づいて次のバンクに対するアクティブコマンドを発行するようにしたインタフェース回路。

【請求項 10】

アクセスアドレス信号に基づいて複数のバンクを備えた同期型 D R A M をアクセスするインタフェース回路において、

アクセスに対応して入力される命令を第 1 命令として記憶する第 1 命令バッファと、

前記第 1 命令バッファの出力信号を第 2 命令として記憶する第 2 命令バッファと、

前記第 1 命令及び第 2 命令におけるアドレス信号をそれぞれ第 1 アドレス及び第 2 アドレスとして記憶する第 1 アドレスバッファ及び第 2 アドレスバッファと、

選択信号に基づいて前記

第 1 命令バッファの出力信号又は前記第 2 命令バッファの出力信号を選択命令として出力する第 1 セクタと、

前記選択信号に基づいて前記第 1 アドレスバッファの出力信号又は前記第 2 アドレスバッファの出力信号を選択アドレスとして出力する第 2 セクタと、

前記第 1 アドレスバッファ及び第 2 アドレスバッファの出力信号と前記選択アドレスが入力され、前記選択アドレスのバンクアドレス、ローアドレスと前記第 1 第 1 アドレス及び第 2 アドレスのバンクアドレス、ローアドレスを比較し、該比較結果に基づいて第 1 判定信号を出力するアドレス比較器と、

前記第 1 命令及び第 2 命令がリード命令又はライト命令か否かを比較し、該比較結果に基づいて第 2 判定信号を出力する命令比較器と、

前記第 1 判定信号と前記第 2 判定信号とに基づいて、所定の場合に前記第 1 命令を前記第 2 命令よりも先に出力するべく選択信号を出力する選択信号生成回路と、

を備えたインタフェース回路。

【請求項 11】

請求項 10 に記載のインタフェース回路において、

前記選択信号生成回路は、

前記選択アドレスに対して前記第 1 アドレスがローアドレス及びバンクアドレスが一致する場合に、第 1 命令を前記第 2 命令よりも先に出力するべく選択信号を出力するようにしたインタフェース回路。

【請求項 12】

請求項 8 乃至 11 のうちの何れか 1 項に記載のインタフェース回路と、

同期型 D R A M が動作するためのクロック信号の供給 / 停止を前記同期型 D R A M の動作状態に基づいて制御するクロック制御回路とを備えた半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明による C M O S 回路装置は、

相補型パストランジスタ論理回路と、

上記相補型パストランジスタ論理回路に接続され、上記相補型パストランジスタ論理回路の相補型入力ノードを低振幅電圧で駆動するスタティック型ドライバと、

上記スタティック型ドライバが上記相補型パストランジスタ論理回路を駆動しないときに、上記相補型パストランジスタ論理回路に接続され上記相補型パストランジスタ論理回路の上記相補型入力ノードで電荷を共有させる電荷再利用回路と、を含む。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明による低振幅電荷再利用型 C M O S 回路装置は、

駆動入力信号を受ける駆動入力と、正及び補の相補型出力信号を発生する相補型出力とを有し、論理動作を決める相補型パスゲート段と、

入力信号を受ける信号入力と、クロック信号を受けるクロック入力とを有し、上記クロック信号が一方の状態をとるときに上記相補型パスゲート段の上記駆動入力へ供給される低振幅の相補型信号を発生する出力を有するスタティック型低振幅ドライバ段と、

クロック信号を受ける別のクロック入力を有し、上記クロック信号が他方の状態をとる

ときに上記相補型パスゲート段の上記駆動入力へ電荷供給された中間電位の相補型信号を発生する等化器段と、
を具備したＣＭＯＳ回路装置である。