

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-201839
(P2009-201839A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl. F I テーマコード (参考)
A 6 3 F 7/02 (2006.01) A 6 3 F 7/02 3 2 6 Z 2 C 0 8 8
 A 6 3 F 7/02 3 3 4

審査請求 未請求 請求項の数 15 O L (全 66 頁)

(21) 出願番号 特願2008-48920 (P2008-48920)
 (22) 出願日 平成20年2月29日 (2008. 2. 29)

(71) 出願人 597044139
 株式会社大都技研
 東京都台東区東上野一丁目1番14号
 (74) 代理人 100128934
 弁理士 横田 一樹
 (74) 代理人 100112689
 弁理士 佐原 雅史
 (72) 発明者 原 誠
 東京都台東区東上野一丁目1番14号 株
 式会社大都技研内
 Fターム(参考) 2C088 AA42 BA02 BA09 BC15 BC22
 BC56 EA10

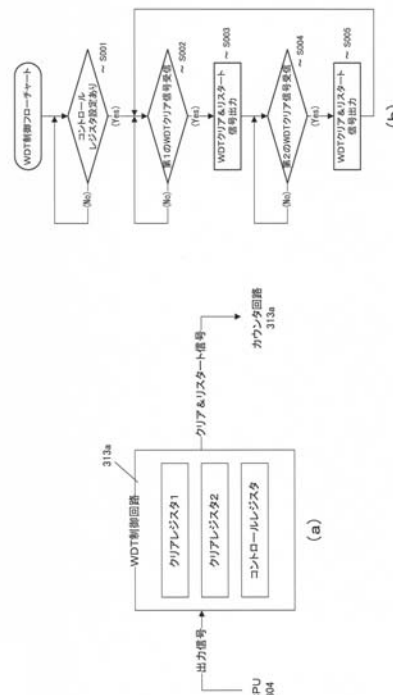
(54) 【発明の名称】 遊技台

(57) 【要約】 (修正有)

【課題】CPUの暴走などの異常を従来よりも正確に検知する。

【解決手段】CPU異常監視手段と、前記計時手段が行う計時中の計時値をクリアするためのクリア信号を出力するクリア信号出力処理を少なくとも含む複数の処理の制御を行う遊技制御手段と、を備える。そして、前記遊技制御手段が制御するクリア信号出力処理は、第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理と、を少なくとも含み、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアする。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段と、

前記計時手段が行う計時中の計時値をクリアするためのクリア信号を出力するクリア信号出力処理を少なくとも含む複数の処理の制御を行う遊技制御手段と、を備えた遊技台において、

前記遊技制御手段が制御するクリア信号出力処理は、

第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理と、を少なくとも含み、

前記CPU異常監視手段は、

前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号に基づいてクリアすることを特徴とする、

遊技台。

【請求項 2】

前記遊技制御手段は、

前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の一方を、メインループ処理内で行い、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の他方を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理内で行うことを特徴とする、

請求項1に記載の遊技台。

【請求項 3】

前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間との和を、前記CPU異常判定手段がCPUの異常と判定するタイムアウト時間よりも短い時間に設定することを特徴とする、

請求項1または2に記載の遊技台。

【請求項 4】

前記遊技制御手段が制御するクリア信号出力処理は、

前記第1のタイミングおよび前記第2のタイミングとは異なる第3のタイミングで前記クリア信号を出力する第3のクリア信号出力処理をさらに含み、

前記CPU異常監視手段は、

前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第2のクリア信号出力処理によるクリア信号に基づいて次回の計時値をクリアした場合に、次々回の計時値は、前記第2のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第3のクリア信号出力処理によるクリア信号に基づいて次々回の計時値をクリアした場合に、前記次々回の計時値の次回の計時値は、前記第3のクリア信号出力処理によるクリア信号に基づいてクリアしないことを特徴とする、

請求項1～3のいずれかに記載の遊技台。

【請求項 5】

前記CPU異常監視手段は、

前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、前記次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアし、

10

20

30

40

50

前記次々回の計時値は、前記第 1 のクリア信号出力処理および前記第 2 のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第 3 のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とする、

請求項 4 に記載の遊技台。

【請求項 6】

前記遊技制御手段は、

前記第 1 のクリア信号出力処理、前記第 2 のクリア信号出力処理および前記第 3 のクリア信号出力処理のうち 2 つのクリア信号出力処理を、メインループ処理内で行い、前記 2 つのクリア信号出力処理を除く 1 つのクリア信号出力処理を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理内で行うことを特徴とする、

10

請求項 3 ~ 5 のいずれかに記載の遊技台。

【請求項 7】

前記遊技制御手段は、

前記メインループ処理内で行う 2 つのクリア信号出力処理の一方を、前記メインループ処理の開始時に行い、前記メインループ処理内で行う 2 つのクリア信号出力処理の他方を、前記メインループ処理の終了時に行うことを特徴とする、

請求項 6 に記載の遊技台。

【請求項 8】

前記遊技制御手段は、

前記メインループ処理前の初期設定処理において、前記第 1 のクリア信号出力処理、前記第 2 のクリア信号出力処理および前記第 3 のクリア信号出力処理のいずれかのクリア信号出力処理によって前記クリア信号を出力するとともに、

20

前記初期設定処理内で最後にクリア信号を出力させるクリア信号出力処理を、前記メインループ処理の開始時に行うクリア信号出力処理と異ならせることを特徴とする、

請求項 6 または 7 に記載の遊技台。

【請求項 9】

前記第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第 2 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第 2 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第 3 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第 3 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間との和を、前記 CPU 異常判定手段が CPU の異常と判定するタイムアウト時間よりも短い時間に設定することを特徴とする、

30

請求項 3 ~ 8 のいずれかに記載の遊技台。

【請求項 10】

電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段をさらに備え、

前記遊技制御手段は、

前記電圧値判定手段が電源の電圧値が所定の電圧値以上であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力することを特徴とする、

40

請求項 1 ~ 9 のいずれかに記載の遊技台。

【請求項 11】

電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段をさらに備え、

前記遊技制御手段は、

前記電圧値判定手段が電源の電圧値が所定の電圧値未満であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力することを特徴とする、

請求項 1 ~ 10 のいずれかに記載の遊技台。

50

【請求項 1 2】

計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段を備えた遊技台において、

前記CPU異常監視手段は、

第1のAND回路と、第2のAND回路と、RSフリップフロップ回路をさらに有し、

前記CPUの第1の出力を前記第1のAND回路の第1の入力に接続し、

前記CPUの第2の出力を前記第2のAND回路の第1の入力に接続し、

前記第1のAND回路の出力を前記RSフリップフロップ回路のR入力および前記計時手段の入力に接続し、

前記第2のAND回路の出力を前記RSフリップフロップ回路のS入力および前記計時手段の入力に接続し、

前記RSフリップフロップ回路のQ出力を前記第1のAND回路の第2の入力に接続し

、
前記RSフリップフロップ回路のQ反転出力を前記第2のAND回路の第2の入力に接続し、

前記計時手段が計時中の計時値を前記第1のAND回路の出力に基づいてクリアした場合に、次回の計時値は、前記第1のAND回路の出力に基づいてクリアせずに前記第2のAND回路の出力に基づいてクリアすることを特徴とする、

遊技台。

【請求項 1 3】

計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段と、

前記計時手段が行う計時中の計時値をクリアするためのクリア信号を出力するクリア信号出力手段と、を備えた遊技台において、

前記クリア信号出力手段は、

第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理と、を少なくとも含む複数種類のクリア信号出力処理で前記クリア信号を出力し

、
前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とする、

遊技台。

【請求項 1 4】

所定の遊技領域に球を発射する発射装置と、

前記発射装置から発射された球を入球可能に構成された入賞口と、

前記入賞口に入球した球を検知する検知手段と、

前記検知手段が球を検知した場合に球を払出す払出手段と、をさらに備えたことを特徴とする、

請求項 1 ~ 1 3 のいずれかに記載の遊技台。

【請求項 1 5】

複数種類の図柄が施された複数のリールと、

前記複数のリールの回転を開始させるスタートスイッチと、

前記複数のリールの各々に対応して設けられ、前記リールの回転を個別に停止させるストップスイッチと、

予め定められた複数種類の入賞役の内部当選の可否を抽選により判定する抽選手段と、

停止時の前記複数のリールにより表示された図柄の組合せが前記抽選手段により内部当選した入賞役の図柄組合せであるか否かにより前記入賞役への入賞を判定する判定手段と、をさらに備えたことを特徴とする、

10

20

30

40

50

請求項 1 ~ 13 のいずれかに記載の遊技台。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スロットマシンやパチンコ機などに代表される遊技台に関する。

【背景技術】

【0002】

従来の遊技台（例えば、パチンコ機）は、発射装置によって球を遊技領域に向けて発射し、遊技領域に設けられた所定の入賞口に球を入球させることで、遊技者が所定の利益を獲得できるように構成されている。そして、このような遊技台の一つとして、制御プログラムが暴走した場合に自動的にCPUをリセット状態に戻すためのWDT（ウォッチドッグタイマ）を備えた遊技台が提供されている（例えば、特許文献1参照）。

10

【特許文献1】特開2006-102530号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記特許文献1に記載の遊技台では、制御プログラムが暴走した際に、制御プログラム上の所定の処理において出力されるWDTクリア出力処理を含む無限ループが発生してしまった場合にWDTの暴走監視が機能しなくなってしまうという問題があった。

20

【0004】

本発明は、このような問題点を解決するためになされたものであって、CPUの暴走などの異常を従来よりも正確に検知し、遊技制御を安定的に行うことができる遊技台を提供することを目的とする。

【課題を解決するための手段】

【0005】

(1)本発明は、計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段と、前記計時手段が行う計時中の計時値をクリアするためのクリア信号を出力するクリア信号出力処理を少なくとも含む複数の処理の制御を行う遊技制御手段と、を備えた遊技台において、前記遊技制御手段が制御するクリア信号出力処理は、第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理と、を少なくとも含み、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とする、遊技台である。

30

【0006】

(2)本発明はまた、前記遊技制御手段は、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の一方を、メインループ処理内で行い、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の他方を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理内で行うことを特徴とする、(1)に記載の遊技台である。

40

【0007】

(3)本発明はまた、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間との和を、前記CPU異常判定手段がCPUの異常と判定するタイムアウト時間よりも短い時間に設定することを特徴とする、(1)または(2)に記載の遊技台である。

50

【 0 0 0 8 】

(4) 本発明はまた、前記遊技制御手段が制御するクリア信号出力処理は、前記第1のタイミングおよび前記第2のタイミングとは異なる第3のタイミングで前記クリア信号を出力する第3のクリア信号出力処理をさらに含み、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第2のクリア信号出力処理によるクリア信号に基づいて次の計時値をクリアした場合に、次々回の計時値は、前記第2のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第3のクリア信号出力処理によるクリア信号に基づいて次々回の計時値をクリアした場合に、前記次々回の計時値の次の計時値は、前記第3のクリア信号出力処理によるクリア信号に基づいてクリアしないことを特徴とする、(1)～(3)のいずれかに記載の遊技台である。

10

【 0 0 0 9 】

(5) 本発明はまた、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、前記次の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアし、前記次々回の計時値は、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第3のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とする、(4)に記載の遊技台である。

20

【 0 0 1 0 】

(6) 本発明はまた、前記遊技制御手段は、前記第1のクリア信号出力処理、前記第2のクリア信号出力処理および前記第3のクリア信号出力処理のうち2つのクリア信号出力処理を、メインループ処理内で行い、前記2つのクリア信号出力処理を除く1つのクリア信号出力処理を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理内で行うことを特徴とする、(3)～(5)のいずれかに記載の遊技台である。

【 0 0 1 1 】

(7) 本発明はまた、前記遊技制御手段は、前記メインループ処理内で行う2つのクリア信号出力処理の一方を、前記メインループ処理の開始時に行い、前記メインループ処理内で行う2つのクリア信号出力処理の他方を、前記メインループ処理の終了時に行うことを特徴とする、(6)に記載の遊技台である。

30

【 0 0 1 2 】

(8) 本発明はまた、前記遊技制御手段は、前記メインループ処理前の初期設定処理において、前記第1のクリア信号出力処理、前記第2のクリア信号出力処理および前記第3のクリア信号出力処理のいずれかのクリア信号出力処理によって前記クリア信号を出力するとともに、前記初期設定処理内で最後にクリア信号を出力させるクリア信号出力処理を、前記メインループ処理の開始時に行うクリア信号出力処理と異ならせることを特徴とする、(6)または(7)に記載の遊技台である。

【 0 0 1 3 】

(9) 本発明はまた、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第3のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第3のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間との和を、前記CPU異常判定手段がCPUの異常と判定するタイムアウト時間よりも短い時間に設定することを特徴とする、(3)～(8)のいずれかに記載の遊技台である。

40

【 0 0 1 4 】

50

(10) 本発明はまた、電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段をさらに備え、前記遊技制御手段は、前記電圧値判定手段が電源の電圧値が所定の電圧値以上であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力することを特徴とする、(1)～(9)のいずれかに記載の遊技台である。

【0015】

(11) 本発明はまた、電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段をさらに備え、前記遊技制御手段は、前記電圧値判定手段が電源の電圧値が所定の電圧値未満であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力することを特徴とする、(1)～(10)のいずれかに記載の遊技台である。

【0016】

(12) 本発明はまた、計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段と、前記計時手段が行う計時中の計時値をクリアするためのクリア信号を出力するクリア信号出力手段と、を備えた遊技台において、前記クリア信号出力手段は、第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理と、を少なくとも含む複数種類のクリア信号出力処理で前記クリア信号を出力し、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とする、遊技台である。

【0017】

(13) 本発明はまた、計時手段により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段を備えた遊技台において、前記CPU異常監視手段は、第1のAND回路と、第2のAND回路と、RSフリップフロップ回路をさらに有し、前記CPUの第1の出力を前記第1のAND回路の第1の入力に接続し、前記CPUの第2の出力を前記第2のAND回路の第1の入力に接続し、前記第1のAND回路の出力を前記RSフリップフロップ回路のR入力および前記計時手段の入力に接続し、前記第2のAND回路の出力を前記RSフリップフロップ回路のS入力および前記計時手段の入力に接続し、前記RSフリップフロップ回路のQ出力を前記第1のAND回路の第2の入力に接続し、前記RSフリップフロップ回路のQ反転出力を前記第2のAND回路の第2の入力に接続し、前記計時手段が計時中の計時値を前記第1のAND回路の出力に基づいてクリアした場合に、次の計時値は、前記第1のAND回路の出力に基づいてクリアせずに前記第2のAND回路の出力に基づいてクリアすることを特徴とする、遊技台である。

【0018】

(14) 本発明はまた、所定の遊技領域に球を発射する発射装置と、前記発射装置から発射された球を入球可能に構成された入賞口と、前記入賞口に入球した球を検知する検知手段と、前記検知手段が球を検知した場合に球を払出す払出手段と、をさらに備えたことを特徴とする、(1)～(13)のいずれかに記載の遊技台である。

【0019】

(15) 本発明はまた、複数種類の図柄が施された複数のリールと、前記複数のリールの回転を開始させるスタートスイッチと、前記複数のリールの各々に対応して設けられ、前記リールの回転を個別に停止させるストップスイッチと、予め定められた複数種類の入賞役の内部当選の可否を抽選により判定する抽選手段と、停止時の前記複数のリールにより表示された図柄の組合せが前記抽選手段により内部当選した入賞役の図柄組合せであるか否かにより前記入賞役への入賞を判定する判定手段と、をさらに備えたことを特徴とする、(1)～(13)のいずれかに記載の遊技台である。

【発明の効果】

【0020】

本発明に係る遊技台によれば、CPUの暴走などの異常を従来よりも正確に検知し、遊技制御を安定的に行うことができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0021】

以下、図面を用いて、本発明の実施例1に係るパチンコ機（遊技台）について詳細に説明する。

【実施例1】

【0022】

<全体構成>

まず、図1を用いて、パチンコ機100の全体構成について説明する。なお、同図はパチンコ機100を正面側（遊技者側）から見た外観斜視図である。

【0023】

パチンコ機100は、ガラス製または樹脂製の透明板部材152および透明部材保持枠（ガラス枠）154からなる扉部材156の奥側に視認可能に配設した後述する遊技盤（盤面）102を備えている。

【0024】

また、発射杆138および発射槌140の下方には、発射杆138を制御して遊技領域104に向けて球の発射強度の操作を行うための操作ハンドル148を配設していると共に、貯留皿144の下方には、貯留皿144に貯留できない溢れ球を貯留するための下皿150を設けている。

【0025】

図2は、遊技盤102を正面から見た略示正面図である。遊技盤102には、外レール106と内レール108とを配設し、遊技球（以下、単に「球」と称する場合がある。）が転動可能な遊技領域104を区画形成している。

【0026】

遊技領域104の略中央には、演出装置200を配設している。この演出装置200には、略中央に横長の装飾図柄表示装置110を配設し、その周囲に、普通図柄表示装置112と、特別図柄表示装置114と、普通図柄保留ランプ116と、特別図柄保留ランプ118と、高確中ランプ120を配設している。なお、以下、普通図柄を「普図」、特別図柄を「特図」と称する場合がある。

【0027】

演出装置200は、可動部を動作して演出を行うものであり、詳細については後述する。装飾図柄表示装置110は、装飾図柄ならびに演出に用いる様々な画像を表示するための表示装置であり、本実施例では液晶表示装置（Liquid Crystal Display）によって構成する。この装飾図柄表示装置110は、左図柄表示領域110a、中図柄表示領域110b、右図柄表示領域110cおよび演出表示領域110dの4つの表示領域に分割し、左図柄表示領域110a、中図柄表示領域110bおよび左図柄表示領域110cはそれぞれ異なった装飾図柄を表示し、演出表示領域110dは演出に用いる画像を表示する。さらに、各表示領域110a、110b、110c、110dの位置や大きさは、装飾図柄表示装置110の表示画面内で自由に変更することを可能としている。なお、装飾図柄表示装置110は、液晶表示装置に代えて、ドットマトリクス表示装置、7セグメント表示装置、EL（Electro Luminescence）表示装置、ドラム式表示装置、リーフ式表示装置等他の表示デバイスを採用してもよい。

【0028】

普図表示装置112は、普図の表示を行うための表示装置であり、本実施例では7セグメントLEDによって構成する。特図表示装置114は、特図の表示を行うための表示装置であり、本実施例では7セグメントLEDによって構成する。

【0029】

普図保留ランプ116は、保留している普図変動遊技の数を示すためのランプであり、本実施例では、普図変動遊技を2つまで保留することを可能としている。特図保留ランプ118は、保留している特図変動遊技の数を示すためのランプであり、本実施例では、特図変動遊技を4つまで保留することを可能としている。高確中ランプ120は、遊技状態

10

20

30

40

50

が高確率状態（後述する大当り遊技の当選確率を通常の高確率よりも高く設定した遊技状態）であること、または高確率状態になることを示すためのランプであり、遊技状態を低確率状態（後述する大当り遊技の当選確率を通常の高確率に設定した遊技状態）から高確率状態にする場合に点灯し、高確率状態から低確率状態にする場合に消灯する。なお、本実施例では、後述するミッションタイムに移行する場合にも高確中ランプ120を点灯し、ミッションタイムを終了した場合に高確中ランプ120を消灯するように構成している。

【0030】

また、この演出装置200の周囲には、一般入賞口122と、普図始動口124と、第1特図始動口126と、第2特図始動口128と、可変入賞口130を配設している。一般入賞口122は、本実施例では遊技盤102に複数配設しており、この一般入賞口122への入球を所定の球検出センサ（図示省略）が検出した場合（一般入賞口122に入賞した場合）、後述する払出装置552を駆動し、所定の個数（本実施例では10個）の球を賞球として貯留皿144に排出する。貯留皿144に排出した球は遊技者が自由に取り出すことが可能であり、これらの構成により、入賞に基づいて賞球を遊技者に払い出すようにしている。なお、一般入賞口122に入球した球は、パチンコ機100の裏側に誘導した後、遊技島側に排出する。本実施例では、入賞の対価として遊技者に払い出す球を「賞球」、遊技者に貸し出す球を「貸球」と区別して呼ぶ場合があり、「賞球」と「貸球」を総称して「球（遊技球）」と呼ぶ。

10

【0031】

普図始動口1124は、ゲートやスルーチャッカーと呼ばれる、遊技領域の所定の領域を球が通過したか否かを判定するための装置で構成しており、本実施例では遊技盤102の左側に1つ配設している。普図始動口124を通過した球は一般入賞口122に入球した球と違って、遊技島側に排出することはない。球が普図始動口124を通過したことを所定の玉検出センサが検出した場合、パチンコ機100は、普図表示装置112による普図変動遊技を開始する。

20

【0032】

第1特図始動口126は、本実施例では遊技盤102の中央に1つだけ配設している。この第1特図始動口126への入球を所定の球検出センサが検出した場合、後述する払出装置552を駆動し、所定の個数（本実施例では3個）の球を賞球として貯留皿144に排出するとともに、特図表示装置114による特図変動遊技を開始する。なお、第1特図始動口126に入球した球は、パチンコ機100の裏側に誘導した後、遊技島側に排出する。

30

【0033】

第2特図始動口128は、電動チューリップ（電チュー）と呼ばれ、本実施例では第1特図始動口126の真下に1つだけ配設している。この第2特図始動口128は、左右に開閉自在な羽根を備え、羽根の開鎖中は球の入球が不可能であり、普図変動遊技に当選し、普図表示装置112が当たり図柄を停止表示した場合に羽根が所定の時間間隔、所定の回数で開閉する。第2特図始動口128への入球を所定の球検出センサが検出した場合、後述する払出装置552を駆動し、所定の個数（本実施例では5個）の球を賞球として後述する貯留皿144に排出するとともに、特図表示装置114による特図変動遊技を開始する。なお、第2特図始動口128に入球した球は、パチンコ機100の裏側に誘導した後、遊技島側に排出する。

40

【0034】

可変入賞口130は、大入賞口またはアタッカーと呼ばれ、本実施例では遊技盤102の中央部下方に1つだけ配設している。この可変入賞口130は、開閉自在な扉部材を備え、扉部材の開鎖中は球の入球が不可能であり、特図変動遊技に当選し、特図表示装置114が大当たり図柄を停止表示した場合に扉部材が所定の時間間隔（例えば、開放時間2.9秒、閉鎖時間1.5秒）、所定の回数（例えば15回）で開閉する。可変入賞口130への入球を所定の球検出センサが検出した場合、後述する払出装置552を駆動し、所定の個数（本実施例では15球）の球を賞球として貯留皿144に排出する。なお、可変入

50

賞口 130 に入球した球は、パチンコ機 100 の裏側に誘導した後、遊技島側に排出する。

【0035】

さらに、これらの入賞口や始動口の近傍には、風車と呼ばれる円盤状の打球方向変換部材 132 や、遊技釘 134 を複数個、配設していると共に、内レール 108 の最下部には、いずれの入賞口や始動口にも入賞しなかった球をパチンコ機 100 の裏側に誘導した後、遊技島側に排出するためのアウト口 136 を設けている。

【0036】

このパチンコ機 100 は、遊技者が貯留皿 144 に貯留している球を発射レール 142 の発射位置に供給し、遊技者の操作ハンドル 148 の操作量に応じた強度で発射モータ 602 を駆動し、発射杆 138 および発射槌 140 によって外レール 106、内レール 108 を通過させて遊技領域 104 に打ち出す。そして、遊技領域 104 の上部に到達した球は、打球方向変換部材 132 や遊技釘 134 等によって進行方向を変えながら下方に落下し、入賞口（一般入賞口 122、可変入賞口 130）や始動口（第 1 特図始動口 126、第 2 特図始動口 128）に入賞するか、いずれの入賞口や始動口にも入賞することなく、または普図始動口 124 を通過するのみでアウト口 136 に到達する。

10

【0037】

< 演出装置 >

次に、パチンコ機 100 の演出装置 200 について説明する。この演出装置 200 の前面側には、ワープ装置 230 およびステージを配設し、演出装置 200 の背面側には、装飾図柄表示装置 110 および遮蔽手段 250 を配設している。すなわち、演出装置 200 において、装飾図柄表示装置 110 および遮蔽手段 250 は、ワープ装置 230 およびステージの後方に位置することとなる。

20

【0038】

ワープ装置 230 は、演出装置 200 の左上方に設けた入球口 232 に入った遊技球を演出装置 200 の前面下方の前面ステージ 234 に排出し、さらに、前面ステージ 234 に排出した遊技球が前面ステージ 234 の中央部後方に設けた第 2 の入球口 236 に入った場合は、遊技球を、第 1 特図始動口 126 の上方である演出装置 200 の下部中央に設けた排出口 238 から第 1 特図始動口 126 に向けて排出するものである。この排出口 238 から排出した遊技球は特図始動口 126 に入球しやすくなっている。

30

【0039】

遮蔽手段 250 は、格子状の左扉 250 a および右扉 250 b からなり、装飾図柄表示装置 110 および前面ステージ 234 の間に配設する。左扉 250 a および右扉 250 b の上部には、図示しない 2 つのプーリに巻き回したベルトをそれぞれ固定している。すなわち、左扉 250 a および右扉 250 b は、モータによりプーリを介して駆動するベルトの動作に伴って左右にそれぞれ移動する。遮蔽手段 250 は、左右扉 250 a、250 b を閉じた状態ではそれぞれの内側端部が重なり、遊技者が装飾図柄表示装置 110 を視認し難いように遮蔽する。左右扉 250 a、250 b を開いた状態ではそれぞれの内側端部が装飾図柄表示装置 110 の表示画面の外側端部と若干重なるが、遊技者は装飾図柄表示装置 110 の表示の全てを視認可能である。また、左右扉 250 a、250 b は、それぞれ任意の位置で停止可能であり、例えば、表示した装飾図柄がどの装飾図柄であるかを遊技者が識別可能な程度に、装飾図柄の一部だけを遮蔽するようなことができる。なお、左右扉 250 a、250 b は、格子の孔から後方の装飾図柄表示装置 110 の一部を視認可能にしてもよいし、格子の孔の障子部分を半透明のレンズ体で塞ぎ、後方の装飾図柄表示装置 110 による表示を漠然と遊技者に視認させるようにしてもよいし、格子の孔の障子部分を完全に塞ぎ（遮蔽し）、後方の装飾図柄表示装置 110 を全く視認不可にしてもよい。

40

【0040】

< 図柄の種類 >

次に、図 3 (a) ~ (c) を用いて、パチンコ機 100 の特図表示装置 114、装飾図

50

柄表示装置 110、普図表示装置 112 が停止表示する特図および普図の種類について説明する。

【0041】

同図(a)は特図の停止表示態様の一例を示したものである。本実施例の特図の停止表示態様には、大当たり図柄である「特図1」と、特別大当たり図柄である「特図2」と、外れ図柄である「特図3」の3種類がある。第1特図始動口126または第2特図始動口128に球が入賞したことを所定の球検出センサが検出したことを条件として特図変動遊技を開始した場合には、特図表示装置114は、7個のセグメントの全点灯と、中央の1個のセグメントの点灯を繰り返す「特図の変動表示」を行う。そして、特図の変動開始前に決定した変動時間が経過すると、特図変動遊技の当選を報知する場合には「特図1」または「特図2」を停止表示し、特図変動遊技の外れを報知する場合には「特図3」を停止表示する。なお、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を示している。

10

【0042】

同図(b)は装飾図柄の一例を示したものである。本実施例の装飾図柄には、「装飾1」～「装飾10」の10種類がある。第1特図始動口126または第2特図始動口128に球が入賞したことを所定の球検出センサが検出したことを条件にして、装飾図柄表示装置110の左図柄表示領域110a、中図柄表示領域110b、右図柄表示領域110cの各図柄表示領域に、「装飾1」「装飾2」「装飾3」・・・「装飾9」「装飾10」「装飾1」・・・の順番で表示を切り替える「装飾図柄の変動表示」を行う。そして、後述する大当たり種別抽選用乱数値を用いた大当たり遊技の抽選の結果、大当たりを報知する場合には、図柄表示領域110a～110cに大当たりに対応する図柄組合せ(本実施例では、同一の数字の装飾図柄の組合せ(例えば、「装飾2-装飾2-装飾2」))を停止表示し、特別大当たりを報知する場合には、特別大当たりに対応する図柄組合せ(本実施例では、同一の奇数番号数字の装飾図柄の組合せ(例えば、「装飾1-装飾1-装飾1」))を停止表示する。なお、大当たりに対応する図柄の組合せを停止表示した場合には、大当たり遊技または特別大当たり遊技を開始し、特別大当たりに対応する図柄の組合せを停止表示した場合には、特別大当たり遊技を開始する。また、外れを報知する場合には、図柄表示領域110a～110cに大当たりに対応する図柄組合せ以外の図柄組合せを停止表示した後で、保留している装飾図柄の変動表示があれば、その変動表示を開始する。

20

30

【0043】

同図(c)は普図の停止表示態様の一例を示したものである。本実施例の普図の停止表示態様には、当たり図柄である「普図1」と、外れ図柄である「普図2」の2種類がある。普図始動口124を球が通過したことを所定の球検出センサが検出したことを条件として普図表示遊技を開始した場合には、普図表示装置112は、7個のセグメントの全点灯と、中央の1個のセグメントの点灯を繰り返す「普図の変動表示」を行う。そして、後述する普図抽選用乱数値を用いた普図変動遊技の抽選の結果、普図変動遊技の当選を報知する場合には「普図1」を停止表示し、普図変動遊技の外れを報知する場合には「普図2」を停止表示する。

40

【0044】

<制御部>

次に、図4を用いて、このパチンコ機100の制御部の回路構成について詳細に説明する。なお、同図は制御部の回路ブロック図を示したものである。

【0045】

パチンコ機100の制御部は、大別すると、遊技の中枢部分を制御する主制御部300と、主制御部300が送信するコマンド信号(以下、単に「コマンド」と呼ぶ)に応じて、主に演出の制御を行う副制御部400と、主制御部300が送信するコマンドに応じて、主に遊技球の払い出しに関する制御を行う払出制御部550と、遊技球の発射制御を行う発射制御部600と、パチンコ機100に供給される電源を制御する電源管理部650

50

によって構成している。

【0046】

<主制御部>

まず、パチンコ機100の主制御部300について説明する。

【0047】

主制御部300は、主制御部300の全体を制御する基本回路302を備えており、この基本回路302には、CPU304と、制御プログラムや各種データを記憶するためのROM306と、一時的にデータを記憶するためのRAM308と、各種デバイスの入出力を制御するためのI/O310と、時間や回数等を計測するためのカウンタタイマ312と、後述するウォッチドッグタイマ回路(以下、単にWDT回路と称する場合がある)313を搭載している。なお、ROM306やRAM308については他の記憶手段を用いてもよく、この点は後述する副制御部400についても同様である。この基本回路302のCPU304は、水晶発信器314が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。

10

【0048】

また、基本回路302には、水晶発信器314aが出力するクロック信号を受信する度に0~65535の範囲で数値を変動させるハードウェア乱数カウンタとして使用しているカウンタ回路316と、各始動口、入賞口の入り口および可変入賞口の内部に設けた球検出センサを含む各種センサ318が出力する信号を受信し、増幅結果や基準電圧との比較結果(例えば、後述する入球検知信号)を基本回路302に出力するためのセンサ回路320と、特図表示装置114の表示制御を行うための表示回路322と、普図表示装置112の表示制御を行うための表示回路324と、各種状態表示部326(普図保留ランプ116、特図保留ランプ118、高確中ランプ118等)の表示制御を行うための表示回路328と、第2特図始動口128や可変入賞口130等を開閉駆動する各種ソレノイド330を制御するためのソレノイド回路332を接続している。

20

【0049】

また、基本回路302には、情報出力回路334を接続しており、主制御部300は、この情報出力回路334を介して、外部のホールコンピュータ(図示省略)等が備える情報入力回路652にパチンコ機100の遊技情報(例えば、遊技状態)を出力する。

【0050】

また、主制御部300は、副制御部400にコマンドを送信するための出力インタフェースと、払出制御部550にコマンドを送信するための出力インタフェースをそれぞれ備えており、この構成により、副制御部400および払出制御部550との通信を可能としている。なお、主制御部300と副制御部400および払出制御部550との情報通信は一方方向の通信であり、主制御部300は副制御部400および払出制御部550にコマンド等の信号を送信できるように構成しているが、副制御部400および払出制御部550からは主制御部300にコマンド等の信号を送信できないように構成している。

30

【0051】

<副制御部>

次に、パチンコ機100の副制御部400について説明する。

40

【0052】

副制御部400は、主に主制御部300が送信したコマンド等に基づいて副制御部400の全体を制御する基本回路402を備えており、この基本回路402には、CPU404と、制御プログラムや各種データを記憶するためのROM406と、一時的にデータを記憶するためのRAM408と、各種デバイスの入出力を制御するためのI/O410と、時間や回数等を計測するためのカウンタタイマ412を搭載している。この基本回路402のCPU404は、水晶発信器414が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。

【0053】

また、基本回路402には、スピーカ416(およびアンプ)の制御を行うための音源

50

IC 418 と、各種ランプ 420 の制御を行うための表示回路 422 と、演出装置 200 の演出用可動体等を駆動する駆動装置であるソレノイドまたはモータ等が含まれる各種演出用駆動装置 424 の制御を行うための演出用駆動装置制御回路 426 と、装飾図柄表示装置（液晶表示装置）110 および遮蔽手段 250 の制御を行うための副制御部 500 と、チャンスボタン 146 の押下を検出して信号を出力するチャンスボタン検出回路 380 を接続している。

【0054】

< 払出制御部、発射制御部、電源管理部 >

次に、パチンコ機 100 の払出制御部 550、発射制御部 600、電源管理部 650 について説明する。

10

【0055】

払出制御部 550 は、主に主制御部 300 が送信したコマンド等の信号に基づいて払出装置 552 を制御すると共に、払出センサ 554 が出力する制御信号に基づいて賞球または貸球の払い出しが完了したか否かを検出すると共に、インタフェース部 556 を介して、パチンコ機 100 とは別体で設けられたカードユニット 654 との通信を行う。

【0056】

発射制御部 600 は、払出制御部 550 が出力する、発射許可または停止を指示する制御信号や、操作ハンドル 148 内に設けた発射強度出力回路が出力する、遊技者による発射ハンドル 148 の操作量に応じた発射強度を指示する制御信号に基づいて、発射杆 138 および発射槌 140 を駆動する発射モータ 602 の制御や、貯留皿 144 から発射レー

20

【0057】

電源管理部 650 は、パチンコ機 100 に外部から供給される交流電源を直流化し、所定の電圧に変換して主制御部 300、副制御部 400 等の各制御部や払出装置 552 等の各装置に供給する。さらに、電源管理部 650 は、外部からの電源が断たれた後も所定の部品（例えば主制御部 300 の RAM 308 等）に所定の期間（例えば 10 日間）電源を供給するための蓄電回路（例えばコンデンサ）を備えている。

【0058】

< 主制御部の WDT 回路 >

次に、図 5 および図 6 (a) を用いて、上述の主制御部 300 の基本回路 302 が備える WDT 回路 313 について詳細に説明する。なお、図 5 は WDT 回路 313 の主要構成を示したブロック図であり、図 6 (a) は WDT 回路 313 が備える WDT 制御回路 313a の主要構成を示したブロック図である。

30

【0059】

図 5 に示すように、WDT 回路 313 は、内部バスを介して CPU 304 と通信可能に接続された WDT 制御回路 313a と、水晶発振器 314b（図 4 参照）から入力するクロック信号を分周可能なプリスケアラ 313b と、このプリスケアラ 313b から入力するクロック信号をさらに分周可能なカウンタクロック選択回路 313c と、このカウンタクロック選択回路 313c から入力するカウンタクロック信号に基づいてカウンタ値を更新するカウンタ回路 313d と、このカウンタ回路 313d から入力する制御信号に基づ

40

【0060】

図 6 に詳細に示すように、WDT 制御回路 313a は、CPU 304 によって設定可能なコントロールレジスタとクリアレジスタを備える。コントロールレジスタは、WDT を

50

使用しない設定、または、WDTを使用する場合のWDTのタイムアウト時間の設定が可能なタイマ設定機能と、WDTを単純クリアモードでクリアするか、WDTを循環クリアモードでクリアするかを選択が可能なクリアモード設定機能の2つの機能を有している。また、クリアレジスタは、クリアモード設定を単純クリアモードに設定した場合にWDTをクリアするために使用するクリアレジスタ0（図示省略）と、クリアモード設定を循環クリアモードに設定した場合にWDTをクリアするために使用するクリアレジスタ1、2を有している。

【0061】

コントロールレジスタのタイマ設定機能を用いてCPU304によってWDTのタイムアウト時間を設定した場合には、設定したタイムアウト時間がカウンタクロック選択回路313cに設定され、カウンタ回路313dにおけるカウント値（WDT）の加算が開始される。なお、コントロールレジスタのタイマ設定機能によって設定可能なWDTのタイムアウト時間は特に限定されないが、本実施例では、プリスケアラ313bに入力するクロック信号の周期が20MHzの場合、0.1秒～12.7秒の範囲の時間に設定することが可能である。

10

【0062】

また、コントロールレジスタのクリアモード設定機能を用いてCPU304によって単純クリアモードを設定した場合には、クリアレジスタ0に所定値（本実施例では019H）を設定することによってWDT制御回路313aからカウンタ回路313dにクリア&リスタートを指示する制御信号が出力されてWDTをクリアできるように構成している。一方、コントロールレジスタのクリアモード設定機能を用いてCPU304によって循環クリアモードを設定した場合には、最初にクリアレジスタ1に第1の所定値（本実施例では、051H）を設定したときに、WDT制御回路313aからカウンタ回路313dにクリア&リスタートを指示する制御信号が出力されてWDTをクリアし、次にクリアレジスタ2に第2の所定値（本実施例では、004H）を設定したときに、WDT制御回路313aからカウンタ回路313dにクリア&リスタートを指示する制御信号が出力されてWDTをクリアできるように構成している（WDTのクリア処理の詳細は後述する）。

20

【0063】

カウンタクロック選択回路313cは、WDT制御回路313aのコントロールレジスタによって設定されたタイムアウト時間を記憶し、このタイムアウト時間と、カウンタ回路313dで加算するカウント値がオーバーフローする時間とが等しくなるようにカウンタクロック信号の周期を調整してカウンタ回路313dに出力する。

30

【0064】

カウンタ回路313dは、カウンタクロック選択回路313cから入力するカウンタクロック信号に基づいてカウント値を加算し、加算したカウント値がオーバーフローした場合（カウント値がコントロールレジスタによって設定されたタイムアウト時間と等しくなった場合）に出力制御回路313eにリセット信号の出力を指示する制御信号を出力する。一方、カウンタ回路313dは、WDT制御回路313aからクリア&リスタートを指示する制御信号が入力した場合に、加算中のカウント値を0にクリアした後、カウンタクロック選択回路313cから入力するカウンタクロック信号に基づいてカウント値の加算を0から開始する。なお、本実施例では1回の信号出力でクリアおよびリスタートを行うように構成されているが、クリア信号とリスタート信号を別々に送信することでクリアタイミングとリスタートタイミングを異ならせる構成でもよい。

40

【0065】

次に、図6（b）および図7を用いて、WDT回路313におけるWDTのクリア制御について説明する。なお、図6（b）はWDTのクリア制御の流れを示したフローチャートであり、図7はWDTのクリア制御の流れを模式的に示した図である。

【0066】

WDT制御回路313aは、ステップS001においてコントロールレジスタによってクリアモードが循環モードに設定され、且つ、WDTのタイムアウト時間が設定されてW

50

D Tが起動された場合にステップS 0 0 2以降の処理に進む。最初に、ステップS 0 0 2では、C P U 3 0 4によって設定されたW D Tのタイムアウト時間内に、第1のW D Tクリア信号を受信したか否か、すなわち、C P U 3 0 4によってクリアレジスタ1に第1の所定値(0 5 1 H)が設定されたか否かを判定し、該当する場合にステップS 0 0 3に進む。ステップS 0 0 3では、W D T制御回路3 1 3 aはカウンタ回路3 1 3 dに対してクリア&リスタート信号を出力してW D Tをクリアする。

【0 0 6 7】

続いて、W D T制御回路3 1 3 aは、ステップS 0 0 4において、C P U 3 0 4によって設定されたW D Tのタイムアウト時間内に、第2のW D Tクリア信号を受信したか否か、すなわち、C P U 3 0 4によってクリアレジスタ2に第2の所定値(0 0 4 H)が設定されたか否かを判定し、該当する場合にステップS 0 0 5に進む。ステップS 0 0 5では、W D T制御回路3 1 3 aはカウンタ回路3 1 3 dに対してクリア&リスタート信号を出力してW D Tをクリアする。

10

【0 0 6 8】

以降、W D T制御回路3 1 3 aは、ステップS 0 0 2～S 0 0 5の処理を繰り返し実行することによって、クリアレジスタ1に第1の所定値(0 5 1 H)が設定されたとき(第1のW D Tクリア信号を受信したとき)にW D Tをクリアした後、次にクリアレジスタ2に第2の所定値(0 0 4 H)が設定されたとき(第2のW D Tクリア信号を受信したとき)だけW D Tをクリアする。したがって、クリアモード設定を循環クリアモードに設定している場合は、クリアレジスタ1 クリアレジスタ2 クリアレジスタ1 クリアレジスタ2 …以外の順番でクリアレジスタ1、2の設定を行ったとき、クリアレジスタ1に第1の所定値とは異なる値(本実施例では、0 5 1 H以外の値)を設定したとき、または、クリアレジスタ2に第2の所定値とは異なる値(本実施例では、0 0 4 H以外の値)を設定したときには、W D T制御回路3 1 3 aからカウンタ回路3 1 3 dにクリア&リスタート信号は出力されず、W D Tはクリアすることができない。なお、本実施例ではクリアレジスタ1に第1の所定値を設定してW D Tをクリアしてから第2の所定値を設定してW D Tをクリアするまでのタイムアウト時間と、クリアレジスタ2に第2の所定値を設定してW D Tをクリアしてから第1の所定値を設定してW D Tをクリアするまでのタイムアウト時間を同一の設定としているが、異なる設定にしてもよい。換言すれば、「C P U異常監視手段は、C P Uの異常と判定するための計時値を複数設定可能に構成され、第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合の次の計時値と、第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合の次の計時値と、をそれぞれ異なるように構成」してもよい。

20

30

【0 0 6 9】

<主制御部メイン処理>

次に、図8を用いて、主制御部3 0 0のC P U 3 0 4が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【0 0 7 0】

上述したように、主制御部3 0 0には、電源が投入されると起動信号(リセット信号)を出力する起動信号出力回路(リセット信号出力回路)3 3 8を設けている。この起動信号を入力した基本回路3 0 2のC P U 3 0 4は、リセット割り込みによりリセットスタートしてR O M 3 0 6に予め記憶している制御プログラムに従って処理を実行する。

40

【0 0 7 1】

ステップS 1 0 1では、初期設定1を行う。この初期設定1では、C P U 3 0 4の内部機能レジスタによるメモリ空間およびI/O空間の割り当て設定、C P U 3 0 4のスタックポインタ(S P)へのスタック初期値の設定、割り込みマスクの設定、I/Oポート3 1 0の初期設定、R A M 3 0 8に記憶する各種変数の初期設定などに加えて、W D T回路3 1 3のコントロールレジスタの設定を行う。本実施例では、W D T回路3 1 3のコントロールレジスタによって、クリアモード設定を循環モードに設定するとともに、W D Tのタイムアウト時間(例えば、1 0 0 m sに相当する数値)を設定してW D Tを起動する。

50

なお、コントロールレジスタのクリアモード設定のタイミングはこれに限定されず、例えば、電源投入後は単純モードに設定し、初期設定後に循環モードに設定してもよく、また、後述する電断時に循環モードを単純モードに変更してもよい。また、電源投入後は循環モードに設定し、初期設定後に単純モードに設定してもよく、また、後述する電断時に単純モードを循環モードに変更してもよい。

【0072】

ステップS102では、第1のWDTクリア信号を出力する(WDT回路313のクリアレジスタ1に第1の所定値(051H)を設定する)。これにより、WDT制御回路313aは、カウンタ回路313dに対してクリア&リスタート信号を出力してWDTをクリアする。なお、このステップS102では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、ステップS101においてWDTのタイムアウト時間を設定してから(WDTを起動してから)WDTのタイムアウト時間が経過する前までに第1のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS101においてWDTのタイムアウト時間を設定してからステップS102において第1のWDTクリア信号を出力するまでに必要なCPU304の最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、電源投入後の最初の第1のWDTクリア信号の出力タイミングはこれに限定されず、例えば、最初の第2のWDTクリア信号の出力タイミングよりも前であって、低電圧信号の監視後、RAMチェック後、電断時からの復帰後などでもよい。また、本実施例では単純クリアモードと循環クリアモードの設定を行い、循環クリアモードを選択した場合は単純クリアモードでのクリア(クリアレジスタ0に対するクリア信号出力によるクリア)を行うことができないようにしているが、それに限られず、循環クリアモードを選択した場合でもクリアレジスタ0に対するクリア信号出力によるクリアを行うことができるように構成してもよい。この場合、メインループに入る前の初期設定中または電源断時の処理でWDTをクリアする場合はクリアレジスタ0に対するクリア信号出力でクリアし、メインループ後の所定の処理ではクリアレジスタ1またはクリアレジスタ2によるクリアを行うように構成してもよい。

10

20

【0073】

ステップS103では、低電圧信号がオンであるか否か、すなわち、電圧監視回路336が、電源管理部650から主制御部300に供給している電源の電圧値が所定の値(本実施例では9V)未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合(CPU304が電源の遮断を検知した場合)にはステップS102に戻り、低電圧信号がオフの場合(CPU304が電源の遮断を検知していない場合)にはステップS104に進む。

30

【0074】

ステップS104では、第2のWDTクリア信号を出力する(WDT回路313のクリアレジスタ2に第2の所定値(004H)を設定する)。これにより、WDT制御回路313aは、カウンタ回路313dに対してクリア&リスタート信号を出力してWDTをクリアする。なお、このステップS104では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、ステップS102において第1のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第2のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS102において第1のWDTクリア信号を出力してからステップS104において第2のWDTクリア信号を出力するまでに必要なCPU304の最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、本実施例では、ステップS104において第2のWDTクリア信号を出力する例を示したが、ステップS102において第1のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第2のWDTクリア信号を出力してWDTをクリアすればよいため、例えば、ステップS102の処理の直後で第2のWDTクリア信号を出力するように構成してもよい。

40

【0075】

50

ステップ S 1 0 5 では、初期設定 2 を行う。この初期設定 2 では、後述する主制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマ 3 1 2 に設定する処理、I / O 3 1 0 の所定のポート（例えば試験用出力ポート、副制御部 4 0 0 への出力ポート）からクリア信号を出力する処理、R A M 3 0 8 への書き込みを許可する設定等を行う。

【 0 0 7 6 】

ステップ S 1 0 6 では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部 3 0 0 の基本回路 3 0 2 を初期状態にする場合）にはステップ S 1 0 8 に進み、該当しない場合はステップ S 1 0 7 に進む。

【 0 0 7 7 】

具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信される R A M クリア信号がオン（操作があったことを示す）であるか否か、すなわち R A M クリアが必要であるか否かを判定し、R A M クリア信号がオンの場合（R A M クリアが必要な場合）には、基本回路 3 0 2 を初期状態にすべくステップ S 1 0 8 に進む。一方、R A M クリア信号がオフの場合（R A M クリアが必要でない場合）は、R A M 3 0 8 に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路 3 0 2 を初期状態にすべくステップ S 1 0 8 に進み、電源ステータスの情報がサスペンドを示す情報である場合には、R A M 3 0 8 の所定の領域（例えば全ての領域）に記憶している 1 バイトデータを初期値が 0 である 1 バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば 0）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば 0）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップ S 1 0 7 に進み、チェックサムの結果が特定の値（例えば 0）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機 1 0 0 を初期状態にすべくステップ S 1 0 8 に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップ S 1 0 8 に進む。

【 0 0 7 8 】

ステップ S 1 0 7 では、復電時処理を行う。この復電時処理では、電断時に R A M 3 0 8 に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタを読み出し、スタックポインタに再設定する。また、電断時に R A M 3 0 8 に設けられたレジスタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割り込み許可の設定を行う。以降、C P U 3 0 4 が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機 1 0 0 は電源断時の状態に復帰する。すなわち、電断直前にタイマ割り込み処理（後述）に分岐する直前に行った（ステップ S 1 0 9 ~ S 1 1 1 内の所定の）命令の次の命令から処理を再開する。

【 0 0 7 9 】

ステップ S 1 0 8 では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、R A M 3 0 8 の全ての記憶領域の初期化などを行う。

【 0 0 8 0 】

ステップ S 1 0 9 では、第 1 の W D T クリア信号を出力する（W D T 回路 3 1 3 のクリアレジスタ 1 に第 1 の所定値（0 5 1 H）を設定する）。これにより、W D T 制御回路 3 1 3 a は、カウンタ回路 3 1 3 d に対してクリア & リスタート信号を出力して W D T をクリアする。なお、このステップ S 1 0 9 では、W D T 回路 3 1 3 からのリセット信号の入力（C P U 3 0 4 のリセット）を回避するために、ステップ S 1 0 4 において第 2 の W D T クリア信号を出力して W D T をクリアしてから W D T のタイムアウト時間が経過する前までに第 1 の W D T クリア信号を出力して W D T をクリアする必要があるが、ステップ S 1 0 4 において第 2 の W D T クリア信号を出力してからステップ S 1 0 9 において最初の

10

20

30

40

50

第1のWDTクリア信号を出力するまでに必要なCPU304の最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、CPU304では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、このステップS109において第1のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第2のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS109において第1のWDTクリア信号を出力した後、WDTのタイムアウト時間が経過する前に、後述する主制御部タイマ割り込み処理において第2のWDTクリア信号を出力してWDTを定期的にクリアするように構成している(詳細は後述)。

【0081】

ステップS110では、割り込み禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための2つの初期値生成用乱数カウンタと、普図タイマ乱数値、特図タイマ乱数値をそれぞれ生成するための2つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が0~20とすると、RAM308に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に1を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に1を加算した結果が21であれば0を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。また、この基本乱数初期値更新処理の終了後に割り込み許可の設定を行ってステップS111に進む。なお、このステップS110の割り込み許可後は、割り込み禁止中に保留されている割り込み処理がある場合と無い場合の両方に対応するために、第1、第2のWDTクリア信号の両方を出力することが好ましい。

【0082】

ステップS111では、演出乱数更新処理を行う。この演出乱数更新処理では、演出乱数として使用する所定のソフトカウンタを更新すると共に、割り込み許可の設定を行う。以降、主制御部300は、所定の周期ごとに開始するタイマ割り込み処理を行っている間を除いて、ステップS109~S111の処理を繰り返し実行する。

【0083】

<主制御部タイマ割り込み処理>

次に、図9を用いて、主制御部300のCPU304が実行する主制御部タイマ割り込み処理について説明する。なお、同図は主制御部タイマ割り込み処理の流れを示すフローチャートである。

【0084】

主制御部300は、所定の周期(本実施例では約1msに1回)でタイマ割り込み信号(CTC信号)を発生するカウンタタイマ312を備えており、このCTC信号を契機として主制御部タイマ割り込み処理を所定の周期で開始する。なお、主制御部タイマ割り込み処理の周期はこの例に限定されず、例えば、CTC信号の発生回数がN(Nは2以上の整数)回に達するたびに主制御部タイマ割り込み処理を実行するように構成してもよい。

【0085】

ステップS201では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、CPU304の各レジスタの値をスタック領域に一時的に退避する処理などを行う。

【0086】

ステップS202では、第2のWDTクリア信号を出力する(WDT回路313のクリアレジスタ2に第2の所定値(004H)を設定する)。これにより、WDT制御回路313aは、カウンタ回路313dに対してクリア&リスタート信号を出力してWDTをクリアする。なお、このステップS202では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、上記主制御部メイン処理のステップS109において第1のWDTクリア信号を出力してWDTをクリアしてからWDTのタイ

10

20

30

40

50

ムアウト時間が経過する前までに第2のWDTクリア信号を出力してWDTをクリアする必要があるが、上記主制御部メイン処理のステップS109において第1のWDTクリア信号を出力してからステップS202において第2のWDTクリア信号を出力するまでに必要なCPU304の最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、CPU304では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、このステップS202において第2のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第1のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS202において第2のWDTクリア信号を出力した後、WDTのタイムアウト時間が経過する前に、上記主制御部メイン処理のステップS109において第1のWDTクリア信号を出力してWDTをクリアするように構成している。

10

【0087】

ステップS203では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、I/O310の入力ポートを介して、上述のガラス枠154が開放状態または閉鎖状態のいずれの状態であるかを検出するための開放センサ、上述の下皿150が球で一杯になったか否かを検出するための下皿満タンセンサ、および複数の球検出センサを含む各種センサ318の検出信号を入力して検出信号の有無を監視し、RAM308に各種センサ318ごとに区画して設けた信号状態記憶領域に記憶する。本実施例では、前々回のタイマ割り込み処理(約2ms前)で検出した各々の球検出センサの検出信号の有無の情報を、RAM308に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をRAM308に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割り込み処理(約1ms前)で検出した各々の球検出センサの検出信号の有無の情報を、RAM308に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

20

【0088】

また、ステップS203では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記憶領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去3回分の検出信号の有無の情報が一致するか否かを判定する。そして、各々の球検出センサにおいて過去3回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報(本実施例では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報)と一致した場合に、入賞口(一般入賞口122、可変入賞口130)や始動口(第1特図始動口126、第2特図始動口128)への入球、または普図始動口124の通過があったと判定する。例えば、一般入賞口122への入球を検出する球検出センサにおいて過去3回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口122へ入球したと判定し、以降の一般入賞口122への入球に伴う処理を行うが、過去3回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口122への入球に伴う処理を行わずに後続の処理に分岐する。

30

40

【0089】

ステップS204およびステップS205では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップS110で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部300で使用する普図当選乱数値および特図乱数値をそれぞれ生成するための2つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が0~100とすると、RAM308に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に1を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に1を加算した結果が101であれば0を元の乱数カウンタ記憶領域に記憶する。また、取得した値に1を加算した結果、乱数カウンタが一周していると判定した

50

場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、0～100の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に1を加算した結果が、RAM308に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば7）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に1周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。なお、普図当選乱数値生成用の乱数カウンタが次に1周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが1周したことを判定するための初期値記憶領域をRAM308に設けている。

10

【0090】

ステップS206では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部300で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【0091】

ステップS207では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置112に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、特別図柄表示装置114に図柄を変動・停止表示する時間を計時するための特図表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

20

【0092】

ステップS208では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口（一般入賞口122、第1、第2特図始動口126、128、および可変入賞口130）に入賞（入球）があった場合に、RAM308に各入賞口ごとに設けた賞球数記憶領域の値を読み出し、1を加算して、元の賞球数記憶領域に設定する。

【0093】

ステップS209では、入賞受付処理を行う。この入賞受付処理では、第1、第2特図始動口126、128の入賞と判定し、且つ、保留している特図変動遊技の数が4未満である場合には、入賞した始動口に対応するハードウェア乱数を特図当選乱数値として取得する。また、大当たり種別抽選用カウンタ回路からカウント値を取得し、大当たり種別抽選用乱数値としてRAM308に設けた乱数値記憶領域に記憶する。また、普図始動口124の入賞と判定し、且つ、保留している普図変動遊技の数が2未満の場合には、普図抽選用カウンタ回路からカウント値を取得し、普図抽選用乱数値としてRAM308に設けた上述の特図用とは別の乱数値記憶領域に記憶する。なお、カウント値を取得する前にカウンタ回路が更新中か否かを判定し、更新中でない場合にカウント値を取得する構成でもよい。

30

【0094】

ステップS210では、払出要求数送信処理を行う。なお、払出制御部550に出力する出力予定情報および払出要求情報は1バイトで構成しており、ビット7にストロープ情報（オンの場合、データをセットしていることを示す）、ビット6に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット4～5に今回加工種別（0～3）、およびビット0～3に加工後の払出要求数を示すようにしている。

40

【0095】

ステップS211では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの1つの処理を行う。例えば、普図変動中（後述する普図汎用タイマの値が1以上）における普図状態更新処理では、普図表示装置112を構成する7セグメントLEDの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【0096】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が1から0になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、

50

上述の普図 1 の態様となるように普図表示装置 1 1 2 を構成する 7 セグメント L E D の点灯・消灯駆動制御を行い、当りフラグがオフの場合には、上述の普図 2 の態様となるように普図表示装置 1 1 2 を構成する 7 セグメント L E D の点灯・消灯駆動制御を行うと共に、その後、所定の停止表示期間（例えば 5 0 0 m 秒間）その表示を維持するために R A M 3 0 8 に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により普図の停止表示を行い、普図変動遊技の結果を遊技者に報知するようにしている。

【 0 0 9 7 】

また、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が 1 から 0 になったタイミング）で開始する普図状態更新処理では、当りフラグがオンの場合には、所定の開放期間（例えば 2 秒間）、第 2 特図始動口 1 2 8 の羽根部材の開閉駆動用のソレノイド 3 3 0 に、羽根部材を開放状態に保持する信号を出力するとともに、R A M 3 0 8 に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

10

【 0 0 9 8 】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が 1 から 0 になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば 5 0 0 m 秒間）、羽根部材の開閉駆動用のソレノイド 3 3 0 に、羽根部材を閉鎖状態に保持する信号を出力するとともに、R A M 3 0 8 に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【 0 0 9 9 】

20

また、所定の閉鎖期間を経過したタイミング（羽根閉鎖時間管理用タイマの値が 1 から 0 になったタイミング）で開始する普図状態更新処理では、普図の状態を非作動中に設定する。普図の状態が非作動中の場合における普図状態更新処理では、何もせずに次のステップ S 2 1 2 に移行するようにしている。

【 0 1 0 0 】

ステップ S 2 1 2 では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第 2 特図始動口 1 2 8 の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が 1 以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合には R A M 3 0 8 に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置 1 1 2 に普図を変動表示する時間を 1 つ選択し、この変動表示時間を、普図変動表示時間として、R A M 3 0 8 に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、R A M 3 0 8 に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から 1 を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

30

【 0 1 0 1 】

40

ステップ S 2 1 3 では、特図状態更新処理を行う。この特図状態更新処理は、特図の状態に応じて、次の 8 つの処理のうちの一つの処理を行う。例えば、特図変動中（後述する特図汎用タイマの値が 1 以上）における特図状態更新処理では、特図表示装置 1 1 2 を構成する 7 セグメント L E D の点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【 0 1 0 2 】

また、特図変動表示時間が経過したタイミング（特図表示図柄更新タイマの値が 1 から 0 になったタイミング）で開始する特図状態更新処理では、大当たりフラグがオンで確変フラグがオフの場合には特図表示装置 1 1 4 に、上述の特図 1、大当たりフラグがオンで確変フラグがオンの場合には特図表示装置 1 1 4 に、上述の特図 2、大当たりフラグがオフの場合には、上述の特図 3 の態様となるように特図表示装置 1 1 2 を構成する 7 セグメ

50

ントLEDの点灯・消灯駆動制御を行うと共に、その後、所定の停止表示期間（例えば500m秒間）その表示を維持するためにRAM308に設けた特図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により特図の停止表示をおこない、特図変動遊技の結果を遊技者に報知するようにしている。また、コマンド設定送信処理（ステップS215）で一般コマンド回転停止設定送信処理を実行させるために上述の送信情報記憶領域に02Hを送信情報（一般情報）として追加記憶する。

【0103】

また、所定の停止表示期間が終了したタイミング（特図停止時間管理用タイマの値が1から0になったタイミング）で開始する特図状態更新処理では、大当たりフラグがオンの場合には、所定の入賞演出期間（例えば3秒間）すなわち装飾図柄表示装置110による大当たりを開始することを遊技者に報知する画像を表示している期間待機するためにRAM308に設けた特図待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップS215）で一般コマンド入賞演出設定送信処理を実行させるために上述の送信情報記憶領域に04Hを送信情報（一般情報）として追加記憶する。

10

【0104】

また、所定の入賞演出期間が終了したタイミング（特図待機時間管理用タイマの値が1から0になったタイミング）で開始する特図状態更新処理では、所定の開放期間（例えば29秒間、または可変入賞口130に所定球数（例えば10球）の遊技球の入賞を検出するまで）可変入賞口130の扉部材の開閉駆動用のソレノイド330に、扉部材を開放状態に保持する信号を出力するとともに、RAM308に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップS215）で一般コマンド大入賞口開放設定送信処理を実行させるために上述の送信情報記憶領域に10Hを送信情報（一般情報）として追加記憶する。

20

【0105】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が1から0になったタイミング）で開始する特図状態更新処理では、所定の閉鎖期間（例えば1.5秒間）可変入賞口130の扉部材の開閉駆動用のソレノイド330に、扉部材を閉鎖状態に保持する信号を出力するとともに、RAM308に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップS215）で一般コマンド大入賞口閉鎖設定送信処理を実行させるために上述の送信情報記憶領域に20Hを送信情報（一般情報）として追加記憶する。

30

【0106】

また、この扉部材の開放・閉鎖制御を所定回数（例えば15ラウンド）繰り返し、終了したタイミングで開始する特図状態更新処理では、所定の終了演出期間（例えば3秒間）すなわち装飾図柄表示装置110による大当たりを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにRAM308に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、コマンド設定送信処理（ステップS215）で一般コマンド終了演出設定送信処理を実行させるために上述の送信情報記憶領域に08Hを送信情報（一般情報）として追加記憶する。

40

【0107】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が1から0になったタイミング）で開始する特図状態更新処理では、特図の状態を非作動中に設定する。特図の状態が非作動中の場合における特図状態更新処理では、何もせずに次のステップS214に移行するようにしている。

【0108】

ステップS214では、特図関連抽選処理を行う。この特図関連抽選処理では、特図変動遊技および可変入賞口130の開閉制御を行っておらず（特図の状態が非作動中）、且つ、保留している特図変動遊技の数が1以上である場合に、大当たり判定テーブル、高確率状態移行判定テーブル、タイマ番号決定テーブルなどを使用した各種抽選のうち、最初

50

に大当たり判定を行う。具体的には、上述の乱数値記憶領域に記憶した特図当選乱数値が、大当たり判定テーブルの第1特図始動口用抽選データの数値範囲であるか否かを判定し、特図当選乱数値が第1特図始動口用抽選データの数値範囲である場合には、特図変動遊技の当選と判定してRAM308に設けた大当たりフラグの格納領域に大当たりとなることを示す情報を設定する（ここで、大当たりの情報をRAM308に設定することを大当たりフラグをオンに設定するという）。一方、特図当選乱数値が第1特図始動口用抽選データの数値範囲以外である場合には、特図変動遊技の外れと判定してRAM308に設けた大当たりフラグの格納領域に外れとなることを示す情報を設定する（ここで、外れの情報をRAM308に設定することを大当たりフラグをオフに設定するという）。なお、保留している特図変動遊技の数は、RAM308に設けた特図保留数記憶領域に記憶するよう
10

【0109】

大当たりフラグにオンを設定した場合には、次に確変移行判定を行う。具体的には、上述の乱数値記憶領域に記憶した大当たり種別抽選用乱数値が、移行判定乱数の数値範囲であるか否かを判定し、大当たり種別抽選用乱数値が抽選データの数値範囲である場合には、RAM308に設けた確変（確率変動）フラグの格納領域に、特別大当たり遊技を開始することを示す情報を設定する。（ここで、特別大当たり遊技開始の情報をRAM308に設定することを確変フラグをオンに設定するという）。一方、大当たり種別抽選用乱数
20

値が抽選データの数値範囲以外である場合には、上述の確変フラグの格納領域に、大当たり遊技を開始することを示す情報を設定する（ここで、大当たり遊技開始の情報をRAM308に設定することを確変フラグをオフに設定するという）。なお、ここでは特別大当たり遊技か大当たり遊技かを設定しているが、他にも、時短付大当たり、小ノ大当たりなど、複数の大当たり種別抽選を行ってもよい。なお、時短とは、通常の大当たり遊技後の遊技と比較して、普通図柄の当選確率が高くなる、普通図柄の変動時間が短くなる、普通図柄の抽選結果に基づいて開く羽根の開く時間が長くなる、または普通図柄の当選に基づいて開く羽根の開く回数が多くなる、の少なくともいずれかを満たした状態の遊技をいう。また、小ノ大当たりとは、獲得遊技球数の少ない大当たりと獲得遊技球数の多い大当たりのことである。
30

【0110】

大当たり判定の結果に関わらず、次にタイマ番号を決定する処理を行う。具体的には、大当たりフラグの値、および取得した特図タイマ乱数値を含むタイマ乱数の数値範囲に対応するタイマ番号を選択し、RAM308に設けた所定のタイマ番号格納領域に記憶する。さらに、そのタイマ番号に対応する変動時間を、特図変動表示時間として、上述の特図表示図柄更新タイマに記憶し、コマンド設定送信処理（ステップS215）で一般コマンド回転開始設定送信処理を実行させるために上述の送信情報記憶領域に01Hを送信情報（一般情報）として追加記憶してから処理を終了する。

【0111】

ステップS215では、コマンド設定送信処理を行う。なお、副制御部400に送信する出力予定情報（コマンド）は16ビットで構成しており、ビット15はストロブ情報（オンの場合、データをセットしていることを示す）、ビット11～14はコマンド種別（00Hの場合は基本コマンド、01Hの場合は図柄変動開始コマンド、04Hの場合は図柄変動停止コマンド、05Hの場合は入賞演出開始コマンド、06Hの場合は終了演出開始コマンド、07Hの場合は大当たりラウンド数指定コマンド、0EHの場合は復電コマンド、0FHの場合はRAMクリアコマンドをそれぞれ示すなどコマンドの種類を特定可能な情報）、ビット0～10はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。
40

【0112】

具体的には、ストロブ情報はコマンド送信処理でオン、オフするようにしている。ま
50

た、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、大当たりフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、大当たりフラグの値、確変フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、確変フラグの値などを含み、大当たりラウンド数指定コマンドの場合であれば確変フラグの値、大当たりラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第1特図始動口126への入賞の有無、第2特図始動口128への入賞の有無、可変入賞口130への入賞の有無などを含む。

【0113】

また、上述の一般コマンド回転開始設定送信処理では、コマンド種別に01H、コマンドデータにRAM308に記憶している大当たりフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド回転停止設定送信処理では、コマンド種別に04H、コマンドデータにRAM308に記憶している大当たりフラグの値、確変フラグの値などを示す情報を設定する。上述の一般コマンド入賞演出設定送信処理では、コマンド種別に05H、コマンドデータにRAM308に記憶している入賞演出期間中に装飾図柄表示装置110・各種ランプ420・スピーカ416に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド終了演出設定送信処理では、コマンド種別に06H、コマンドデータにRAM308に記憶している演出待機期間中に装飾図柄表示装置110・各種ランプ420・スピーカ416に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口開放設定送信処理では、コマンド種別に07H、コマンドデータにRAM308に記憶している大当たりラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口閉鎖設定送信処理では、コマンド種別に08H、コマンドデータにRAM308に記憶している大当たりラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。副制御部400では、受信した出力予定情報に含まれるコマンド種別により、主制御部300における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【0114】

ステップS216では、外部出力信号設定処理を行う。この外部出力信号設定処理では、RAM308に記憶している遊技情報を、情報出力回路334を介してパチンコ機100とは別体の情報入力回路652に出力する。

【0115】

ステップS217では、デバイス監視処理を行う。このデバイス監視処理では、ステップ203において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、ガラス枠開放エラーの有無または下皿満タンエラーの有無などを監視し、ガラス枠開放エラーまたは下皿満タンエラーを検出した場合に、副制御部400に送信すべき送信情報に、ガラス枠開放エラーの有無または下皿満タンエラーの有無を示すデバイス情報を設定する。また、各種ソレノイド330を駆動して第2特図始動口128や、可変入賞口130の開閉を制御したり、表示回路322、324、328を介して普図表示装置112、特図表示装置114、各種状態表示部326などに出力する表示データを、I/O310の出力ポートに設定する。また、払出要求数送信処理(ステップS210)で設定した出力予定情報を出力ポート310を介して副制御部400に出力する。

【0116】

ステップS218では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合(電源の遮断を検知した場合)にはステップS220に進み、低電圧信号がオフの場合(電源の遮断を検知していない場合)にはステップS219に進む。

【0117】

10

20

30

40

50

ステップS 2 1 9では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップS 2 0 1で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。

【0118】

ステップS 2 2 0では、第1のWDTクリア信号を出力する(WDT回路313のクリアレジスタ1に第1の所定値(051H)を設定する)。これにより、WDT制御回路313aは、カウンタ回路313dに対してクリア&リスタート信号を出力してWDTをクリアする。なお、このステップS 2 2 0では、WDT回路313からのリセット信号の入力(CPU304のリセット)を回避するために、ステップS 2 0 2において第2のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第1のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS 2 0 2において第2のWDTクリア信号を出力してからステップS 2 2 0において第1のWDTクリア信号を出力するまでに必要なCPU304の最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、本実施例では、ステップS 2 2 0において第1のWDTクリア信号のみを出力する例を示したが、この処理に続けて第2のWDTクリア信号を出力するように構成してもよい。また、NMI(ノンマスクابل割り込み)によって電断(低電圧信号のオン)を検知する場合には、WDTを確実にクリアするために電断時に第1、第2のWDTクリア信号を全て出力することが好ましい。

10

【0119】

ステップS 2 2 1では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてRAM308の所定の領域に退避し、入出力ポートの初期化等の電断処理を行う。

20

【0120】

<本実施例に係る遊技台と従来遊技台との違い>

次に、図10および図11を用いて、本実施例に係る遊技台(パチンコ機100)と従来遊技台との違いについて説明する。なお、図10(a)は従来遊技台におけるWDTのクリア処理の流れの一例を示したフローチャートであり、同図(b)は本実施例に係るパチンコ機100におけるWDTのクリア処理の流れの一例を示したフローチャートである。また、図11(a)は従来遊技台におけるWDTのタイムアウト設定時間と最大ループ時間との関係を示した図であり、同図(b)は本実施例に係るパチンコ機100におけるWDTのタイムアウト設定時間と最大ループ時間との関係を示した図である。

30

【0121】

従来遊技台では、図10(a)に示すように、CPUの暴走などによってWDTのクリア処理を含んだ無限ループが発生した場合、WDTが無限ループ内でクリアされ続けるため、WDTによってCPUの暴走などの異常を検知することは不可能である。これに対して、本実施例に係るパチンコ機100では、同図(b)に示すように、例えばメイン処理内で第1のWDTクリア信号を出力してWDTをクリアした場合、次は、例えば割り込み処理内でWDTのタイムアウト時間が経過する前までに第2のWDTクリア信号を出力してWDTをクリアする必要があるが、第1のWDTクリア信号を出力してWDTをクリアする処理と、第2のWDTクリア信号を出力してWDTをクリアする処理を交互に実行する必要がある。そのため、例えば割り込み処理において、第2のWDTクリア信号を出力してWDTをクリアする処理を含んだ無限ループが発生した場合、次はメイン処理における第1のWDTクリア信号を出力してWDTをクリアする処理を行う必要があるが、無限ループによりこの処理が実行できないため、従来遊技台のようにWDTが無限ループ内でクリアされ続けるような事態を回避することができ、WDTによってCPUの暴走などの異常を確実に検知することができる。

40

【0122】

また、従来遊技台では、図11(a)に示すように、WDTのタイムアウト設定時間を最大ループ時間Nよりも長く設定する必要がある。これは、WDTのタイムアウト設定時間を最大ループ時間Nよりも短く設定してしまうと、最大ループ時間Nの間にWDTの

50

クリア処理を行うことができず、予期しないタイミングでWDTによって異常が検知されてしまうためである。ここで、最大ループ時間Nとは、CPUによって連続的に行う必要がある(WDTのクリアを行うことができない)処理の最大処理時間のことである。これに対して、本実施例に係るパチンコ機100では、同図(b)に示すように、タイムアウト設定時間B(例えば、第1のWDTクリア信号を出力してWDTをクリアしてから第2のWDTクリア信号を出力してWDTをクリアするまでに許容される最大時間)や、タイムアウト設定時間A(例えば、第2のWDTクリア信号を出力してWDTをクリアしてから第1のWDTクリア信号を出力してWDTをクリアするまでに許容される最大時間)は、それぞれ最大ループ時間Nよりも短く設定することができる。そのため、WDTのタイムアウト時間をカウントするために必要なカウンタのデータ長を短くすることができ、限られた記憶領域を有効に活用することができる場合がある。なお、本実施例では、タイムアウト設定時間Aを最大ループ時間N以下に設定している。具体的には、上記ステップS109処理内の第1のWDTクリア信号を出力する直前で割り込みが発生し、割り込み処理内のステップS202処理で第2のWDTクリア信号を出力してWDTタイマのクリア&リスタートを行った後、割り込み処理を行いメイン処理に復帰し、その直後に第1のWDTクリア信号を出力してWDTタイマのクリア&リスタートを行ってから、割り込みが発生するまで(設定した割り込み周期(1ms) - WDTクリア信号出力に要する時間)以下に設定している。

10

20

30

40

50

【0123】

以上説明したように、本実施例1に係るパチンコ機100は、計時手段(例えば、カウンタ回路313d)により計時を行い、計時結果に基づいてCPUの異常を判定するCPU異常監視手段(例えば、WDT回路313)と、前記計時値(例えば、カウント値)をクリアするためのクリア信号(例えば、第1、第2のWDTクリア信号)を出力するクリア信号出力処理を少なくとも含む複数の処理の制御を行う遊技制御手段(例えば主制御部300)と、を備えた遊技台において、前記遊技制御手段が制御するクリア信号出力処理は、第1のタイミングで前記クリア信号を出力する第1のクリア信号出力処理(例えば、主制御部メイン処理)と、前記第1のタイミングとは異なる第2のタイミングで前記クリア信号を出力する第2のクリア信号出力処理(例えば、主制御部タイマ割り込み処理)と、を少なくとも含み、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号(例えば、第1のWDTクリア信号)に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせず前記第2のクリア信号出力処理によるクリア信号(例えば、第2のWDTクリア信号)のみに基づいてクリアすることを特徴とする、遊技台である。

【0124】

本実施例1に係るパチンコ機100によれば、CPUの暴走などによって第1のクリア信号出力処理または第2のクリア信号出力処理のいずれかを含んだ無限ループが発生した場合でも、従来の遊技台のようにWDTが無限ループ内でクリアされ続けるような事態を回避することができる。そのため、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

【0125】

また、前記遊技制御手段は、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の一方(例えば、第1のクリア信号出力処理)を、メインループ処理(例えば、主制御部メイン処理のステップS109~S111の処理)内で行い、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理の他方(例えば、第2のクリア信号出力処理)を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理(例えば、主制御部タイマ割り込み処理)内で行うように構成してもよい。

【0126】

このような構成とすれば、メインループ処理内で無限ループが発生した場合や、割り込み処理内で無限ループが発生した場合でも、従来の遊技台のようにWDTが無限ループ内

でクリアされ続けるような事態を回避することができ、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

【0127】

また、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間（例えば、図11（b）のタイムアウト設定時間B）と、前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間（例えば、図11（b）のタイムアウト設定時間A）との和を、前記CPU異常判定手段がCPUの異常と判定するタイムアウト時間（例えば、WDTのタイムアウト時間）よりも短い時間に設定してもよい。

10

【0128】

このような構成とすれば、WDTを確実にクリアすることができる上に、タイムアウトの各々の設定時間を短くすることができ、WDTのカウントに用いるカウンタのデータ長を小さくして記憶領域を有効に活用できる場合がある。

【0129】

また、電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段（例えば、主制御部メイン処理のステップS103）をさらに備え、前記遊技制御手段は、前記電圧値判定手段が電源の電圧値が所定の電圧値以上であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力してもよい。このような構成とすれば、遊技台の起動時に確実にWDTをクリアすることができ、その後の処理を確実に実行できる場合がある。

20

【0130】

また、電源の電圧値が所定の電圧値以上であるか否かを判定可能な電圧値判定手段（例えば、主制御部タイマ割り込み処理のステップS218）をさらに備え、前記遊技制御手段は、前記電圧値判定手段が電源の電圧値が所定の電圧値未満であると判定した場合に、前記クリア信号出力処理によるクリア信号を全て出力してもよい。このような構成とすれば、遊技台の電断時に確実にWDTをクリアすることができ、その後の処理を確実に実行できる場合がある。

【0131】

なお、本実施例1では、第1のWDTクリア信号の出力処理を主制御部メイン処理のメインループの先頭に配置し、第2のWDTクリア信号の出力処理を主制御部タイマ割り込み処理のスタート処理の直後に配置したが、本発明はこれに限定されず、例えば、第1のWDTクリア信号の出力処理を主制御部メイン処理のメインループの先頭に配置し、第2のWDTクリア信号の出力処理を主制御部メイン処理のメインループの最後に配置してもよい。また、第1のWDTクリア信号の出力処理を主制御部タイマ割り込み処理の先頭に配置し、第2のWDTクリア信号の出力処理を主制御部タイマ割り込み処理の最後に配置してもよい。

30

【0132】

また、第1のWDTクリア信号出力処理または第2のWDTクリア信号出力処理を行うための条件を設定してもよい。たとえば、上記ステップS109で行う第1のWDTクリア信号出力処理を行うか否かを所定のソフトカウンタがカウントするカウント値に基づいて判定してもよい。このカウント値は、たとえば第2のWDTクリア信号出力処理を行った際に設定され（たとえば30の値）、割り込み処理後、メインループ内に戻った際の第1のWDTクリア信号出力処理の前に、カウント値を判定する。そして、カウント値が0であった場合は第1のWDTクリア信号出力処理を行い、0でなかった場合はカウント値のデクリメントを行った後、第1のWDTクリア信号を出力せずに終了する。このようにWDTクリア信号の出力タイミングを所定の調整手段（ここではソフトカウンタ）により調整することで、図11のタイムアウト設定時間Aおよびタイムアウト設定時間Bの時間を調節することを可能とし、WDTのタイムアウト設定時間を短くすることができる。な

40

50

お、タイムアウト設定時間を短い時間に設定するためには、タイムアウト設定時間 A およびタイムアウト設定時間 B を略同一にすることが望ましい。

【 0 1 3 3 】

また、本実施例では、第 1 の W D T クリア信号を 1 回受け付けると次回は第 1 の W D T クリア信号を受け付けずに第 2 の W D T クリア信号を受け付け、第 2 の W D T クリア信号を 1 回受け付けると次回は第 2 の W D T クリア信号を受け付けずに第 1 の W D T クリア信号を受け付けるように構成されているが、本発明はこれに限定されず、たとえば、第 1 の W D T クリア信号を複数回受け付けると次回は第 1 の W D T クリア信号を受け付けずに第 2 の W D T クリア信号を受け付け、第 2 の W D T クリア信号を 1 回受け付けると次回は第 1 の W D T クリア信号を受け付けるように構成してもよい。

10

【 0 1 3 4 】

また、本実施例では第 1 の W D T クリア信号を受け付けると第 1 の W D T クリア信号および第 3 の W D T クリア信号を受け付けないなど、所定の W D T クリア信号を受け付けた場合に、次の W D T クリア信号は、前回とは異なる所定の W D T クリア信号のみを受け付けていたが、第 1 の W D T クリア信号を受け付けた場合に第 2 の W D T クリア信号および第 3 の W D T クリア信号を受け付けるといように、前回とは別の W D T クリア信号であればいずれの W D T クリア信号を受け付けるように構成してもよい。

【 0 1 3 5 】

また、本発明に係る遊技台の構成は、上記実施例に係るパチンコ機 1 0 0 の構成に限定されるものではなく、例えば、以下に説明するような構成を採用することもできる。

20

【実施例 2】

【 0 1 3 6 】

次に、本発明の実施例 2 に係るパチンコ機について説明する。なお、上記実施例 1 に係るパチンコ機 1 0 0 と同一の構成については説明を省略するとともに、図中において同一の符号を付すこととし、以下、上記実施例 1 に係るパチンコ機 1 0 0 と異なる構成についてのみ説明する。

【 0 1 3 7 】

< 主制御部の W D T 回路 >

図 1 2 (a) は実施例 2 に係る W D T 回路が備える W D T 制御回路の主要構成を示したブロック図である。

30

【 0 1 3 8 】

実施例 2 に係る W D T 制御回路は、上記実施例 1 のクリアレジスタ 1、2 に加えて、クリアレジスタ 3 を備える。コントロールレジスタのクリアモード設定機能を用いて C P U によって循環クリアモードを設定した場合には、最初にクリアレジスタ 1 に第 1 の所定値 (本実施例では、0 5 1 H) を設定したときに、W D T 制御回路からカウンタ回路にクリア & リスタートを指示する制御信号が出力されて W D T をクリアし、次にクリアレジスタ 2 に第 2 の所定値 (本実施例では、0 0 4 H) を設定したときに、W D T 制御回路からカウンタ回路にクリア & リスタートを指示する制御信号が出力されて W D T をクリアし、最後にクリアレジスタ 3 に第 3 の所定値 (本実施例では、0 0 2 H) を設定したときに、W D T 制御回路からカウンタ回路にクリア & リスタートを指示する制御信号が出力されて W D T をクリアできるように構成している。

40

【 0 1 3 9 】

図 1 2 (b) は実施例 2 に係る W D T のクリア制御の流れを示したフローチャートである。

【 0 1 4 0 】

W D T 制御回路は、ステップ S 5 0 1 においてコントロールレジスタによってクリアモードが循環モードに設定され、且つ、W D T のタイムアウト時間が設定されて W D T が起動された場合にステップ S 5 0 2 以降の処理に進む。最初に、ステップ S 5 0 2 では、C P U によって設定された W D T のタイムアウト時間内に、第 1 の W D T クリア信号を受信したか否か、すなわち、C P U によってクリアレジスタ 1 に第 1 の所定値 (0 5 1 H) が

50

設定されたか否かを判定し、該当する場合にステップS503に進む。ステップS503では、WDT制御回路はカウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。

【0141】

続いて、WDT制御回路は、ステップS504において、CPUによって設定されたWDTのタイムアウト時間内に、第2のWDTクリア信号を受信したか否か、すなわち、CPUによってクリアレジスタ2に第2の所定値(004H)が設定されたか否かを判定し、該当する場合にステップS505に進む。ステップS505では、WDT制御回路はカウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。

【0142】

続いて、WDT制御回路は、ステップS506において、CPUによって設定されたWDTのタイムアウト時間内に、第3のWDTクリア信号を受信したか否か、すなわち、CPUによってクリアレジスタ3に第3の所定値(002H)が設定されたか否かを判定し、該当する場合にステップS507に進む。ステップS507では、WDT制御回路はカウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。

【0143】

以降、WDT制御回路は、ステップS502～S507の処理を繰り返し実行することによって、最初にクリアレジスタ1に第1の所定値(051H)が設定されたとき(第1のWDTクリア信号を受信したとき)にWDTをクリアし、次にクリアレジスタ2に第2の所定値(004H)が設定されたとき(第2のWDTクリア信号を受信したとき)だけWDTをクリアし、最後にクリアレジスタ3に第3の所定値(002H)が設定されたとき(第3のWDTクリア信号を受信したとき)だけWDTをクリアする。したがって、クリアモード設定を循環クリアモードに設定している場合は、クリアレジスタ1 クリアレジスタ2 クリアレジスタ3 クリアレジスタ1 クリアレジスタ2 …以外の順番でクリアレジスタ1～3の設定を行ったとき、クリアレジスタ1に第1の所定値とは異なる値(本実施例では、051H以外の値)を設定したとき、クリアレジスタ2に第2の所定値とは異なる値(本実施例では、004H以外の値)を設定したとき、または、クリアレジスタ3に第3の所定値とは異なる値(本実施例では、002H以外の値)を設定したときには、WDT制御回路からカウンタ回路にクリア&リスタート信号は出力されず、WDTはクリアすることができない。

【0144】

<主制御部メイン処理>

図13は実施例2に係る主制御部メイン処理の流れを示すフローチャートであり、上記図8に対応する図面である。

【0145】

この主制御部メイン処理では、実施例1に係る主制御部メイン処理のステップS109に替えてステップS601の処理を適用するとともに、ステップS602の処理を追加している。ステップS601では、第3のWDTクリア信号を出力する(WDT回路のクリアレジスタ3に第3の所定値(002H)を設定する)。これにより、WDT制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。なお、このステップS601では、WDT回路からのリセット信号の入力(CPUのリセット)を回避するために、ステップS104において第2のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第3のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS104において第2のWDTクリア信号を出力してからステップS601において第3のWDTクリア信号を出力するまでに必要なCPUの最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、CPUでは、WDT回路からのリセット信号の入力(CPUのリセット)を回避するために、このステップS601において第3のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第1のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS601において第3の

10

20

30

40

50

W D Tクリア信号を出力した後、W D Tのタイムアウト時間が経過する前に、後述する主制御部タイマ割り込み処理において第1のW D Tクリア信号を出力してW D Tを定期的にクリアするように構成している（詳細は後述）。

【0146】

また、ステップS 6 0 2では、第2のW D Tクリア信号を出力する（W D T回路のクリアレジスタ2に第2の所定値（0 0 4 H）を設定する）。これにより、W D T制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してW D Tをクリアする。なお、このステップS 6 0 2では、W D T回路からのリセット信号の入力（C P Uのリセット）を回避するために、後述する主制御部タイマ割り込み処理において第1のW D Tクリア信号を出力してW D TをクリアしてからW D Tのタイムアウト時間が経過する前までに第2のW D Tクリア信号を出力してW D Tをクリアする必要があるが、主制御部タイマ割り込み処理において第1のW D Tクリア信号を出力してからステップS 6 0 2において第2のW D Tクリア信号を出力するまでに必要なC P Uの最大処理時間は、W D Tのタイムアウト時間よりも短くなるように設定している。また、本実施例では、ステップS 6 0 2において第2のW D Tクリア信号を出力する例を示したが、主制御部タイマ割り込み処理において第1のW D Tクリア信号を出力してW D TをクリアしてからW D Tのタイムアウト時間が経過する前までに第2のW D Tクリア信号を出力してW D Tをクリアすればよいため、例えば、ステップS 6 0 1の処理の直後で第2のW D Tクリア信号を出力するように構成してもよい。

10

【0147】

<主制御部タイマ割り込み処理>

20

図14は実施例2に係る主制御部タイマ割り込み処理の流れを示すフローチャートであり、上記図9に対応する図面である。

【0148】

この主制御部タイマ割り込み処理では、実施例1に係る主制御部タイマ割り込み処理のステップS 2 0 2に替えてステップS 7 0 1の処理を適用するとともに、ステップS 2 2 0に替えてステップS 7 0 2の処理を適用している。ステップS 7 0 1では、第1のW D Tクリア信号を出力する（W D T回路のクリアレジスタ1に第1の所定値（0 5 1 H）を設定する）。これにより、W D T制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してW D Tをクリアする。なお、このステップS 7 0 1では、W D T回路からのリセット信号の入力（C P Uのリセット）を回避するために、上記主制御部メイン処理のステップS 6 0 1において第3のW D Tクリア信号を出力してW D TをクリアしてからW D Tのタイムアウト時間が経過する前までに第1のW D Tクリア信号を出力してW D Tをクリアする必要があるが、上記主制御部メイン処理のステップS 6 0 1において第3のW D Tクリア信号を出力してからステップS 7 0 1において第1のW D Tクリア信号を出力するまでに必要なC P Uの最大処理時間は、W D Tのタイムアウト時間よりも短くなるように設定している。また、C P Uでは、W D T回路からのリセット信号の入力（C P Uのリセット）を回避するために、このステップS 7 0 1において第1のW D Tクリア信号を出力してW D TをクリアしてからW D Tのタイムアウト時間が経過する前までに第2のW D Tクリア信号を出力してW D Tをクリアする必要があるが、ステップS 7 0 1において第1のW D Tクリア信号を出力した後、W D Tのタイムアウト時間が経過する前に、上記主制御部メイン処理のステップS 6 0 2において第2のW D Tクリア信号を出力してW D Tをクリアするように構成している。

30

40

【0149】

また、ステップS 7 0 2では、第2のW D Tクリア信号を出力する（W D T回路のクリアレジスタ2に第2の所定値（0 0 4 H）を設定する）。これにより、W D T制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してW D Tをクリアする。なお、このステップS 7 0 2では、W D T回路からのリセット信号の入力（C P Uのリセット）を回避するために、ステップS 7 0 1において第1のW D Tクリア信号を出力してW D TをクリアしてからW D Tのタイムアウト時間が経過する前までに第2のW D Tクリア信号

50

を出力してWDTをクリアする必要があるが、ステップS701において第1のWDTクリア信号を出力してからステップS702において第2のWDTクリア信号を出力するまでに必要なCPUの最大処理時間は、WDTのタイムアウト時間よりも短くなるように設定している。また、本実施例では、ステップS702において第2のWDTクリア信号のみを出力する例を示したが、この処理に続けて第3のWDTクリア信号を出力するように構成してもよく、また、第1、第2、第3のWDTクリア信号をこの順番で全て出力するように構成してもよい。

【0150】

以上説明したように、本実施例2に係るパチンコ機は、前記遊技制御手段が制御するクリア信号出力処理は、前記第1のタイミングおよび前記第2のタイミングとは異なる第3のタイミングで前記クリア信号を出力する第3のクリア信号出力処理をさらに含み、前記CPU異常監視手段は、前記第1のクリア信号出力処理（例えば、主制御部タイマ割り込み処理のステップS701）によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第2のクリア信号出力処理（例えば、主制御部メイン処理のステップS602）によるクリア信号に基づいて次の計時値をクリアした場合に、次々回の計時値は、前記第2のクリア信号出力処理によるクリア信号に基づいてクリアせず、前記第3のクリア信号出力処理（例えば、主制御部メイン処理のステップS601）によるクリア信号に基づいて次々回の計時値をクリアした場合に、前記次々回の計時値の次の計時値は、前記第3のクリア信号出力処理によるクリア信号に基づいてクリアしないことを特徴とする遊技台である。

【0151】

本実施例2に係るパチンコ機によれば、CPUの暴走などによって第1のクリア信号出力処理、第2のクリア信号出力処理または第3のクリア信号出力処理のいずれかを含んだ無限ループが発生した場合でも、従来の遊技台のようにWDTが無限ループ内でクリアされ続けるような事態を回避することができる。そのため、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

【0152】

また、前記CPU異常監視手段は、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、前記次々の計時値は、前記第1のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第2のクリア信号出力処理によるクリア信号のみに基づいてクリアし、前記次々回の計時値は、前記第1のクリア信号出力処理および前記第2のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第3のクリア信号出力処理によるクリア信号のみに基づいてクリアしてもよい。

【0153】

このような構成とすれば、CPUの暴走などによって第1のクリア信号出力処理、第2のクリア信号出力処理または第3のクリア信号出力処理のいずれかを含んだ無限ループが発生した場合でも、従来の遊技台のようにWDTが無限ループ内でクリアされ続けるような事態を回避することができる。

【0154】

また、前記遊技制御手段は、前記第1のクリア信号出力処理、前記第2のクリア信号出力処理および前記第3のクリア信号出力処理のうち2つのクリア信号出力処理を、メインループ処理内で行い、前記2つのクリア信号出力処理を除く1つのクリア信号出力処理を、前記メインループ処理の実行中に割り込んで所定の処理を行うことが可能な割り込み処理内で行うように構成してもよい。

【0155】

このような構成とすれば、メインループ処理内で無限ループが発生した場合や、割り込み処理内で無限ループが発生した場合でも、従来の遊技台のようにWDTが無限ループ内でクリアされ続けるような事態を回避することができ、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

10

20

30

40

50

【 0 1 5 6 】

また、前記遊技制御手段は、前記メインループ処理内で行う2つのクリア信号出力処理の一方を、前記メインループ処理の開始時に行い、前記メインループ処理内で行う2つのクリア信号出力処理の他方を、前記メインループ処理の終了時に行うように構成してもよい。このような構成とすれば、いずれか一方の処理を含んだ無限ループが発生した場合（例えば、メインループの一部が無限ループになった場合）においてもCPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

【 0 1 5 7 】

また、前記遊技制御手段は、前記メインループ処理前の初期設定処理において、前記第1のクリア信号出力処理、前記第2のクリア信号出力処理および前記第3のクリア信号出力処理のいずれかのクリア信号出力処理によって前記クリア信号を出力するとともに、前記初期設定処理内で最後にクリア信号を出力させるクリア信号出力処理を、前記メインループ処理の開始時に行うクリア信号出力処理と異ならせてもよい。このような構成とすれば、第1のクリア信号出力処理、第2のクリア信号出力処理、第2のクリア信号出力処理、第3のクリア信号出力処理、または第3のクリア信号出力処理、第1のクリア信号出力処理という順番でクリア信号を出力することができ、WDTを確実にクリアすることができる場合がある。

【 0 1 5 8 】

また、前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第2のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第3のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間と、前記第3のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアしてから前記第1のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアするまでの時間との和を、前記CPU異常判定手段がCPUの異常と判定するタイムアウト時間よりも短い時間に設定してもよい。

【 0 1 5 9 】

このような構成とすれば、WDTを確実にクリアすることができる上に、タイムアウトの各々の設定時間を短くすることができ、WDTのカウントに用いるカウンタのデータ長を小さくして記憶領域を有効に活用できる場合がある。

【 0 1 6 0 】

なお、本実施例2では、第3のWDTクリア信号の出力処理を主制御部メイン処理のメインループの先頭に配置し、第2のWDTクリア信号の出力処理を主制御部メイン処理のメインループの最後に配置し、第1のWDTクリア信号の出力処理を主制御部タイマ割り込み処理のスタート処理の直後に配置したが、本発明はこれに限定されず、例えば、第3のWDTクリア信号の出力処理を主制御部メイン処理のメインループの先頭に配置し、第2のWDTクリア信号の出力処理を主制御部タイマ割り込み処理のスタート処理の直後に配置し、第1のWDTクリア信号の出力処理を主制御部タイマ割り込み処理の最後に配置してもよい。また、4つ以上のWDTクリア信号を用いて同様の処理を行ってもよく、例えば4つのWDTクリア信号を用いる場合、第1、2のWDTクリア信号の出力処理を主制御部メイン処理のメインループ内に配置し、第3、4のWDTクリア信号の出力処理を主制御部タイマ割り込み処理内に配置してもよい。

【 実施例 3 】

【 0 1 6 1 】

次に、本発明の実施例3に係るパチンコ機について説明する。なお、上記実施例1に係るパチンコ機100と同一の構成については説明を省略するとともに、図中において同一の符号を付すこととし、以下、上記実施例1に係るパチンコ機100と異なる構成についてのみ説明する。

【 0 1 6 2 】

図示は省略するが、実施例3に係るWDT制御回路のカウンタ回路は、CPUからWD

Tクリア信号を入力した場合にカウンタ値をクリアするように構成している。

【0163】

<主制御部メイン処理>

図15は実施例3に係る主制御部メイン処理の流れを示すフローチャートであり、上記図8に対応する図面である。

【0164】

この主制御部メイン処理では、実施例1に係る主制御部メイン処理のステップS102に替えてステップS801、S802の処理を適用するとともに、ステップS109に替えてステップS803～S806の処理を適用している。ステップS801では、WDT制御回路のカウンタ回路にWDTクリア信号を出力してWDTをクリアし、ステップS802では、RAM308に記憶している第1のフラグをセットする。また、ステップS803では、第1のフラグがセットされているか否かを判定し、該当する場合にはステップS804においてWDT制御回路のカウンタ回路にWDTクリア信号を出力してWDTをクリアする。また、次のステップS805では、上記第1のフラグをクリアした後、ステップS806では、RAM308に記憶している第2のフラグをセットする。なお、本実施例においては循環モードを搭載していないWDT回路313による例である。

10

【0165】

<主制御部タイマ割り込み処理>

図16は実施例3に係る主制御部タイマ割り込み処理の流れを示すフローチャートであり、上記図9に対応する図面である。

20

【0166】

この主制御部タイマ割り込み処理では、実施例1に係る主制御部タイマ割り込み処理のステップS202に替えてステップS901～904の処理を適用するとともに、ステップS220に替えてステップS905の処理を適用している。ステップS901では、第2のフラグがセットされているか否かを判定し、該当する場合にはステップS902においてWDT制御回路のカウンタ回路にWDTクリア信号を出力してWDTをクリアする。また、次のステップS903では、上記第2のフラグをクリアした後、ステップS904では、上記第1のフラグをセットする。また、ステップS905では、WDT制御回路のカウンタ回路にWDTクリア信号を出力してWDTをクリアする。

【0167】

本実施例3に係るパチンコ機のように、制御プログラムによってWDTのクリア処理の順序を制御しても、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができるという効果を得ることができる場合がある。また、単純な回路構成で、CPUの暴走などの異常を確実に検知し、遊技制御を安定的に行うことができるという効果を得ることができる場合がある。

30

【0168】

なお、本実施例3では第1、第2のフラグを用いてWDTクリア信号の順序を制御する例を示したが、例えば、3種類のフラグを用いて上記実施例2に係るパチンコ機と同様に3つのWDTクリア信号の順序の制御を行ってもよく、また、4種類以上のフラグを用いて4つ以上のWDTクリア信号の順序を制御するように構成してもよい。

40

【実施例4】

【0169】

次に、本発明の実施例4に係るパチンコ機について説明する。この実施例4に係るパチンコ機は、上記実施例1に係るパチンコ機100の副制御部400に本発明を適用したものである。

【0170】

<副制御部メイン処理>

最初に、図17(a)を用いて、副制御部400のCPU404が実行する副制御部メイン処理について説明する。なお、同図は副制御部メイン処理の流れを示すフローチャートである。

50

【0171】

副制御部400には、電源が投入されるとリセット信号を出力するリセット信号出力回路を設けている。このリセット信号を入力した基本回路402のCPU404は、リセット割り込みによりリセットスタートしてROM406に予め記憶した制御プログラムに従って処理を実行する。

【0172】

まず、ステップS1300では、第1のWDTクリア信号を出力する（副制御部400が備えるWDT回路のクリアレジスタ1に第1の所定値（051H）を設定する）。これにより、WDT制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。また、ステップS1301では、入出力ポートの初期設定や、各種変数の初期化等を行う。

10

【0173】

ステップS1302では、第2のWDTクリア信号を出力する（WDT回路のクリアレジスタ2に第2の所定値（004H）を設定する）。これにより、WDT制御回路は、カウンタ回路に対してクリア&リスタート信号を出力してWDTをクリアする。なお、CPU404では、WDT回路からのリセット信号の入力（CPU404のリセット）を回避するために、このステップS1302において第2のWDTクリア信号を出力してWDTをクリアしてからWDTのタイムアウト時間が経過する前までに第1のWDTクリア信号を出力してWDTをクリアする必要があるが、ステップS1302において第2のWDTクリア信号を出力した後、WDTのタイムアウト時間が経過する前に、後述する変数更新割り込み処理において第1のWDTクリア信号を出力してWDTをクリアするように構成している（詳細は後述）。

20

【0174】

ステップS1303では、コマンド入力処理（詳細は後述）を行う。ステップS1304では、I/O410の出力ポートを介して副制御部500にコマンドを出力する。

【0175】

ステップS1305では、後述するタイマ変数記憶領域の値が10以上であるか否かを判定する。タイマ変数記憶領域の値が10以上である場合はステップS1306に進み、タイマ変数記憶領域の値が10未満である場合にはステップS1302に進む。

【0176】

ステップS1307では、タイマ変数記憶領域に0を格納する。ステップS1308では、演出データ更新処理を行う。この演出データ更新処理では、後述する変動パターン選択処理で記憶する変動番号、仮停止図柄の組合せ、および停止図柄の組合せの種別の更新を行うと共に、装飾図柄の変動表示を開始してからの経過時間に基づいて装飾図柄表示装置110、遮蔽手段250、スピーカ416、各種ランプ420および演出装置200の演出用可動体等による演出を制御するための動作制御データの更新を行う。

30

【0177】

ステップS1307では、決定された演出情報が示している態様で装飾図柄変動表示を行うように次回実行する処理で副制御部500に出力するコマンド（例えば左に装飾7を停止することを指示するコマンドや遮蔽手段250を動作させるコマンド等）をRAM408に設けた液晶コマンド格納領域に格納する等、スピーカ416、各種ランプ420、および演出用可動体を制御する準備を行う。また、所定の条件が成立している場合には所定の演出を実行するか否か、例えばチャンスボタンを用いた演出を行うか否か等の抽選を行う。

40

【0178】

ステップS1308では、音出力処理を行う。この音出力処理ではスピーカ制御用の情報に含まれるスピーカ416に出力する音声データをI/O410の出力ポートに設定し、スピーカ416の出力制御を音源IC418に行わせる。

【0179】

ステップS1309では、ランプ制御処理を行う。このランプ制御処理では、各種ラン

50

ブ制御用の情報に含まれる各種ランプ 4 2 0 に出力するランプの点灯・消灯を示すデータ等を I / O 4 1 0 の出力ポートに設定し、各種ランプ 4 2 0 の点灯や消灯の制御を表示回路 4 2 2 に行わせる。

【 0 1 8 0 】

ステップ S 1 3 1 0 では、演出用駆動装置制御処理を行う。この演出用駆動装置制御処理では、演出用可動体の制御用の情報に含まれる動作タイミングを示すデータ等を I / O 4 1 0 の出力ポートに設定し、演出用可動体等を駆動する各種演出用駆動装置 4 2 4 の制御を演出用駆動装置制御回路 4 2 6 に行わせる。

【 0 1 8 1 】

副制御部 4 0 0 は、後述するストロープ処理、チャンスボタン割り込み処理などによる中断を除いて、以降、ステップ S 1 3 0 2 ~ S 1 3 1 0 の処理を繰り返し実行する。

10

【 0 1 8 2 】

< コマンド入力処理 >

次に、図 1 7 (b) を用いて、上記副制御部メイン処理におけるコマンド入力処理について説明する。同図はコマンド入力処理の流れを示すフローチャートである。

【 0 1 8 3 】

ステップ S 1 4 0 1 では、後述するコマンド記憶領域の内容を確認し、未処理のコマンドが残っているか否かを判断する。そして、コマンド記憶領域に未処理のコマンドが残っている場合にはステップ S 1 4 0 2 に進み、コマンド記憶領域に未処理のコマンドが残っていない場合には処理を終了して副制御部メイン処理に復帰する。

20

【 0 1 8 4 】

ステップ S 1 4 0 2 では、コマンド記憶領域に記憶している未処理コマンドのうちの次に処理すべき未処理コマンドの種類に基づいて、図 1 8 (a) に示す変動パターン選択処理（例えば未処理コマンドが上記図柄変動開始コマンドに基づいて実行する）や、同図 (b) に示す図柄停止処理等を行う。未処理コマンドに基づく処理は他にも備えている。例えば、大当たり中に可変入賞口 1 3 0 の開放制御を開始するたびに主制御部 3 0 0 が出力し、大当たり開始後の可変入賞口 1 3 0 の開放回数を示す情報を含むラウンド開始コマンドが未処理コマンドである場合に行うラウンド開始処理等である。その他の処理は、ここでは割愛する。

【 0 1 8 5 】

30

変動パターン選択処理のステップ S 1 5 0 1 では、未処理コマンドに含まれている上記大当たりフラグの値、確変フラグの値、およびタイマ番号を抽出し、R A M 4 0 8 のそれぞれの記憶領域に記憶する。また、上述の変動番号選択テーブルや図柄決定テーブルを参照して演出データ（本実施例では変動番号、仮停止図柄・停止図柄の組合せ等）を選択し、これを R A M 4 0 8 に設けた記憶領域に記憶した後、処理を終了する。

【 0 1 8 6 】

図柄停止処理のステップ S 1 6 0 1 では、上記図柄記憶領域に記憶している停止図柄の組合せを構成する 3 つの装飾図柄を装飾図柄表示装置 1 1 0 の左、中、右図柄表示領域 1 1 0 a ~ 1 1 0 c の 3 つの表示領域に表示するように設定して処理を終了する。また、上記ラウンド開始処理では未処理コマンドに含まれている上記大当たり開始後の可変入賞口 1 3 0 の開放回数を示す情報を抽出し、R A M 4 0 8 の記憶領域に記憶する。

40

【 0 1 8 7 】

< ストロープ割り込み処理 >

次に、図 1 8 (c) を用いて、副制御部 4 0 0 のストロープ割り込み処理について説明する。なお、同図はストロープ割り込み処理の流れを示すフローチャートである。

【 0 1 8 8 】

このストロープ割り込み処理は、副制御部 4 0 0 が、主制御部 3 0 0 が出力するストロープ信号を検出した場合に実行する処理である。ストロープ割り込み処理のステップ S 1 7 0 1 では、主制御部 3 0 0 が出力したコマンドを未処理コマンドとして R A M 4 0 8 に設けた上記コマンド記憶領域に記憶する。

50

【 0 1 8 9 】

< チャンスボタン割り込み処理 >

次に、図 1 8 (d) を用いて、副制御部 4 0 0 のチャンスボタン割り込み処理について説明する。なお、同図はチャンスボタン割り込み処理の流れを示すフローチャートである。

【 0 1 9 0 】

このチャンスボタン割り込み処理は、副制御部 4 0 0 がチャンスボタン検出回路 3 6 4 によってチャンスボタン 1 4 6 の操作を検出した場合に実行する処理である。

【 0 1 9 1 】

チャンスボタン割り込み処理のステップ S 1 8 0 1 では、R A M 4 0 8 の検知カウンタ記憶領域に記憶している、チャンスボタン 1 4 6 の押下回数を計測するための検知カウンタから値を取得し、取得した値に 1 を加算してから元の検知カウンタ記憶領域に記憶する。

10

【 0 1 9 2 】

< 変数更新割り込み処理 >

次に、図 1 8 (e) を用いて、副制御部 4 0 0 の C P U 4 0 4 によって実行する変数更新割り込み処理について説明する。なお、同図は変数更新割り込み処理の流れを示すフローチャートである。

【 0 1 9 3 】

副制御部 4 0 0 は、所定の周期（本実施例では 2 m s に 1 回）でタイマ割り込みを発生するハードウェアタイマを備えており、このタイマ割り込みを契機として、変数更新割り込み処理を所定の周期で実行する。

20

【 0 1 9 4 】

変数更新割り込み処理のステップ S 1 9 0 1 では、第 1 の W D T クリア信号を出力する（W D T 回路のクリアレジスタ 1 に第 1 の所定値（0 5 1 H）を設定する）。これにより、W D T 制御回路は、カウンタ回路に対してクリア & リスタート信号を出力して W D T をクリアする。なお、C P U 4 0 4 では、W D T 回路からのリセット信号の入力（C P U 4 0 4 のリセット）を回避するために、このステップ S 1 9 0 1 において第 1 の W D T クリア信号を出力して W D T をクリアしてから W D T のタイムアウト時間が経過する前までに第 2 の W D T クリア信号を出力して W D T をクリアする必要があるが、ステップ S 1 9 0 1 において第 1 の W D T クリア信号を出力した後、W D T のタイムアウト時間が経過する前に、上記副制御部メイン処理のステップ S 1 3 0 2 において第 2 の W D T クリア信号を出力して W D T をクリアするように構成している。また、ステップ S 1 9 0 2 では、R A M 4 0 8 のタイマ変数記憶領域の値に 1 を加算して元のタイマ変数記憶領域に記憶する。

30

【 0 1 9 5 】

本実施例 4 に係るパチンコ機のように、副制御部 4 0 0 に本発明を適用しても、C P U の暴走などの異常を確実に検知し、遊技制御を安定的に行うことができるという効果を得ることができる場合がある。

【 0 1 9 6 】

なお、上記実施例 2 では、第 1 ~ 第 3 の W D T クリア信号の順序の制御を W D T 回路 3 1 3 で行う例を、また、上記実施例 3 では、第 1、第 2 の W D T クリア信号の順序の制御を制御プログラムで行う例をそれぞれ示したが、例えば、図 1 9、図 2 0 および図 2 1 に示すような外付けの W D T 回路を適用して第 1 ~ 第 2 の W D T クリア信号の順序の制御を行ってもよい。

40

【 0 1 9 7 】

図 1 9 における外付け回路は、コンデンサ C 1 に電圧が蓄積し、所定の電圧となった場合に W D T 2 に信号が入力され、該入力に基づいて W D T 2 はリセット信号を出力するように構成されている。同様に、コンデンサ C 2 に電圧が蓄積し、所定の電圧となった場合に W D T 1 に信号が入力され、該入力に基づいて W D T 1 はリセット信号を出力するように構成されている。すなわち、コンデンサ C 1 および C 2 が上記実施例 1 でいうカウンタ

50

回路 3 1 3 d に相当する。

【 0 1 9 8 】

また、CPU 3 0 4 は第 1 AND 回路 A 1 に出力する第 1 の出力信号と、第 2 AND 回路 2 A 2 に出力する第 2 の出力信号を出力する。なお、ここでいう第 1 の出力信号および第 2 の出力信号は、それぞれ実施例 1 における第 1 の WDT クリア信号および第 2 の WDT クリア信号に相当する。

【 0 1 9 9 】

また、第 1 AND 回路 A 1 は、CPU 3 0 4 からの出力信号と比較信号とを入力した場合に WDT 1 および WDT 2 に信号を出力し、WDT 1 および WDT 2 は該信号の入力に基づいてコンデンサ C 1 および C 2 に蓄積した電圧を放電する。ここで、WDT 1 は遅延回路（コンデンサ）により、WDT 2 よりも信号を遅く入力するため、対応するコンデンサ C 2 の放電はコンデンサ C 1 よりも若干遅く終了する。また、WDT 信号の出力が終了した後も遅延回路（コンデンサ）に電圧が蓄積されているため、WDT 1 の信号入力は WDT 2 よりも遅れて終了する。

10

【 0 2 0 0 】

また、第 2 AND 回路 A 2 は、CPU 3 0 4 からの出力信号と比較信号とを入力した場合に WDT 1 および WDT 2 に信号を出力し、WDT 1 および WDT 2 は該信号の入力に基づいてコンデンサ C 1 および C 2 に蓄積した電圧を放電する。ここで、WDT 2 は遅延回路（コンデンサ）により、WDT 1 よりも信号を遅く入力するため、対応するコンデンサ C 1 の放電はコンデンサ C 2 よりも若干遅く終了する。また、WDT 信号の出力が終了した後も遅延回路（コンデンサ）に電圧が蓄積されているため、WDT 2 の信号入力は WDT 1 よりも遅れて終了する。

20

【 0 2 0 1 】

また、オペアンプ OP 1 は C 1 および C 2 にかかる電圧を比較し、C 1 のほうが C 2 よりも大きかった場合に比較信号比較信号を出力する。

【 0 2 0 2 】

以上の構成により、外付け回路により「第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第 1 のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第 2 のクリア信号出力処理によるクリア信号のみに基づいてクリアする」という本発明の構成を達成することができる。

30

【 0 2 0 3 】

図 2 0 における外付け回路は、コンデンサ C 1 に電圧が蓄積し、所定の電圧となった場合に WDT に信号が入力され、該入力に基づいて WDT はリセット信号を出力するように構成されている。

【 0 2 0 4 】

また、CPU 3 0 4 は第 1 AND 回路 A 1 に出力する第 1 の出力信号と、第 2 AND 回路 2 A 2 に出力する第 2 の出力信号を出力する。なお、ここでいう第 1 の出力信号および第 2 の出力信号は、それぞれ実施例 1 における第 1 の WDT クリア信号および第 2 の WDT クリア信号に相当する。

【 0 2 0 5 】

40

また、第 1 AND 回路 A 1 は、CPU 3 0 4 からの出力信号と比較信号 A とを入力した場合に WDT 1 に信号を出力し、WDT 1 は該信号の入力に基づいてコンデンサ C 1 に蓄積した電圧を放電する。さらに、WDT 1 に出力される信号はフリップフロップ回路の R 端子にも出力され、該出力により比較信号 B が ON 状態になると共に比較信号 A が OFF 状態となる。また、フリップフロップ回路の入力は、コンデンサ C 3 により、WDT 1 の入力よりも若干遅れてフリップフロップ回路に入力される。

【 0 2 0 6 】

同様に、第 2 AND 回路 A 2 は、CPU からの出力信号と比較信号 B とを入力した場合に WDT 1 に信号を出力し、WDT 1 は該信号の入力に基づいてコンデンサ C 1 に蓄積した電圧を放電する。さらに、WDT 1 に出力される信号はフリップフロップ回路の S 端子

50

にも出力され、該出力により比較信号 A が ON 状態になると共に比較信号 B が OFF 状態となる。また、フリップフロップ回路の入力は、コンデンサ C 3 により、W D T 1 の入力よりも若干遅れてフリップフロップ回路に入力される。

【0207】

以上の構成により、外付け回路により「第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第 1 のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第 2 のクリア信号出力処理によるクリア信号のみに基づいてクリアする」という本発明の構成を達成することができる。

【0208】

図 2 1 における外付け回路は、コンデンサ C 1 に電圧が蓄積し、所定の電圧となった場合に W D T に信号が入力され、該入力に基づいて W D T はリセット信号を出力するように構成されている。

【0209】

また、C P U 3 0 4 はフリップフロップ回路の S 端子に出力する第 1 の出力信号と、R 端子に出力する第 2 の出力信号を出力する。なお、ここでいう第 1 の出力信号および第 2 の出力信号は、それぞれ実施例 1 における第 1 の W D T クリア信号および第 2 の W D T クリア信号に相当する。

【0210】

また、エッジ検出回路 A およびエッジ検出回路 B は、それぞれの信号が OFF から ON に変わった場合に W D T 1 に対して W D T クリア信号を出力する。

【0211】

以上の構成により、外付け回路により「第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次回の計時値は、前記第 1 のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第 2 のクリア信号出力処理によるクリア信号のみに基づいてクリアする」という本発明の構成を達成することができる。

【0212】

また、上記実施例においては、遊技球を遊技媒体としたパチンコ機の例を示したが、本発明はこれに限定されるものではなく、例えば、メダル(コイン)を遊技媒体としたスロットマシンなどにも適用可能である。以下、スロットマシンの一例について説明する。

【0213】

<全体構成>

まず、図 2 2 を用いて、スロットマシン 1 1 0 0 の全体構成について説明する。なお、同図はスロットマシン 1 1 0 0 の外観斜視図を示したものである。

【0214】

スロットマシン 1 1 0 0 は、略箱状の本体 1 1 0 1 と、この本体 1 1 0 1 の前面開口部に取り付けられた前面扉 1 1 0 2 とを有して構成されている。スロットマシン 1 1 0 0 の本体 1 1 0 1 の中央内部には、外周面に複数種類の図柄が所定コマ数だけ配置されたリールが 3 個(左リール 1 1 1 0、中リール 1 1 1 1、右リール 1 1 1 2)収納され、スロットマシン 1 1 0 0 の内部で回転できるように構成されている。各図柄は帯状部材に等間隔で適当数印刷され、この帯状部材が所定の円形枠材に貼り付けられて各リール 1 1 1 0 乃至 1 1 1 2 が構成されている。リール 1 1 1 0 乃至 1 1 1 2 上の図柄は、遊技者から見ると、図柄表示窓 1 1 1 3 から縦方向に概ね 3 つ表示され、合計 9 つの図柄が見えるようになっている。そして、各リール 1 1 1 0 乃至 1 1 1 2 を回転させることにより、遊技者から見える図柄の組み合わせが変動することとなる。

【0215】

また、図柄表示窓 1 1 1 3 の外枠には、点滅や点灯などの点灯制御によって、後述する有効ラインや入賞ラインを報知するためのライン表示 L E D (図示省略)が配置されている。

【0216】

さらに、スロットマシン 1 1 0 0 内部において各々のリール 1 1 1 0 乃至 1 1 1 2 の近

10

20

30

40

50

傍には、投光部と受光部からなる光学式センサ（図示省略）が設けられており、この光学式センサの投光部と受光部の間を、リールに設けられた一定の長さの遮光片が通過するように構成されている。このセンサの検出結果に基づいてリール上の図柄の回転方向の位置を判断し、目的とする図柄が入賞ライン 1 1 1 4 上に表示されるようにリール 1 1 1 0 乃至 1 1 1 2 を停止させる。

【 0 2 1 7 】

入賞ライン表示ランプ 1 1 2 0 は、有効となる入賞ラインを示すランプである。有効となる入賞ラインは、スロットマシン 1 1 0 0 に投入されたメダルの数によって予め定められている。5 本の入賞ライン 1 1 1 4 のうち、例えば、メダルが 1 枚投入された場合、中段の水平入賞ラインが有効となり、メダルが 2 枚投入された場合、上段水平入賞ラインと下段水平入賞ラインが追加された 3 本が有効となり、メダルが 3 枚投入された場合、右下り入賞ラインと右上り入賞ラインが追加された 5 本が入賞ラインとして有効になる。なお、入賞ライン 1 1 1 4 の数については 5 本に限定されるものではない。

10

【 0 2 1 8 】

スタートランプ 1 1 2 1 は、リール 1 1 1 0 乃至 1 1 1 2 が回転することができる状態にあることを遊技者に知らせるランプである。再遊技ランプ 1 1 2 2 は、前回の遊技において入賞役の一つである再遊技役に入賞した場合に、今回の遊技が再遊技可能であること（メダルの投入が不要であること）を遊技者に知らせるランプである。告知ランプ 1 1 2 3 は、内部抽選において、特定の入賞役（例えば、BB（ビッグボーナス）やRB（レギュラーボーナス）等のボーナス）に内部当選していることを遊技者に知らせるランプである。メダル投入ランプ 1 1 2 4 は、メダルの投入が可能であることを知らせるランプである。払出枚数表示器 1 1 2 5 は、何らかの入賞役に入賞した結果、遊技者に払出されるメダルの枚数を表示するための表示器である。遊技回数表示器 1 1 2 6 は、メダル投入時のエラー表示や、ビッグボーナスゲーム中（BBゲーム中）の遊技回数、所定の入賞役の入賞回数等を表示するための表示器である。貯留枚数表示器 1 1 2 7 は、スロットマシン 1 1 0 0 に電子的に貯留されているメダルの枚数を表示するための表示器である。リールパネルランプ 1 1 2 8 は、演出用のランプである。

20

【 0 2 1 9 】

メダル投入ボタン 1 1 3 0、1 1 3 1 は、スロットマシン 1 1 0 0 に電子的に貯留されているメダルを所定の枚数分投入するためのボタンである。この例では、メダル投入ボタン 1 1 3 0 が押下される毎に 1 枚ずつ最大 3 枚まで投入され、メダル投入ボタン 1 1 3 1 が押下されると 3 枚投入されるようになっている。メダル投入口 1 1 3 4 は、遊技を開始するに当たって遊技者がメダルを投入するための投入口である。すなわち、メダルの投入は、メダル投入ボタン 1 1 3 0 又は 1 1 3 1 により電子的に投入することもできるし、メダル投入口 1 1 3 4 から実際のメダルを投入することもできる。精算ボタン 1 1 3 2 は、スロットマシン 1 1 0 0 に電子的に貯留されたメダル及びベットされたメダルを精算し、メダル払出口 1 1 5 5 よりメダル受皿 1 1 5 6 に排出するためのボタンである。メダル返却ボタン 1 1 3 3 は、投入されたメダルが詰まった場合に押下してメダルを取り除くためのボタンである。

30

【 0 2 2 0 】

スタートレバー 1 1 3 5 は、遊技の開始操作を行うためのレバー型のスイッチである。即ち、メダル投入口 1 1 3 4 に所望する枚数のメダルを投入して、スタートレバー 1 1 3 5 を操作すると、これを契機としてリール 1 1 1 0 乃至 1 1 1 2 が回転し、遊技が開始される。ストップボタン 1 1 3 7 乃至 1 1 3 9 は、スタートレバー 1 1 3 5 の操作によって回転を開始したリール 1 1 1 0 乃至 1 1 1 2 に対する停止操作を行うためのボタンであり、各リール 1 1 1 0 乃至 1 1 1 2 に対応して設けられている。そして、いずれかのストップボタン 1 1 3 7 乃至 1 1 3 9 を操作すると対応するいずれかのリール 1 1 1 0 乃至 1 1 1 2 が停止することになる。

40

【 0 2 2 1 】

ドアキー孔 1 1 4 0 は、スロットマシン 1 1 0 0 の前面扉 1 1 0 2 のロックを解除する

50

ためのキーを挿入する孔である。メダル払出口 1 1 5 5 は、メダルを払出すための払出口である。メダル受皿 1 1 5 6 は、メダル払出口 1 1 5 5 から払出されたメダルを溜めるための器である。なお、メダル受皿 1 1 5 6 は、本実施例 1 では発光可能な受皿を採用している。

【 0 2 2 2 】

上部ランプ 1 1 5 0、サイドランプ 1 1 5 1、中央ランプ 1 1 5 2、腰部ランプ 1 1 5 3、下部ランプ 1 1 5 4 は、遊技を盛り上げるための装飾用のランプである。演出装置 1 1 9 0 は、例えば開閉自在な扉装置（シャッター） 1 1 6 3 が前面に取り付けられた液晶表示装置を含み、この演出装置 1 1 9 0 には、例えば小役告知等の各種の情報が表示される。音孔 1 1 6 0 は、スロットマシン 1 1 0 0 内部に設けられているスピーカの音を外部に出力するための孔である。タイトルパネル 1 1 6 2 には、スロットマシン 1 1 0 0 を装飾するための図柄が描かれる。

10

【 0 2 2 3 】

< 制御部 >

次に、図 2 3 を用いて、このスロットマシン 1 1 0 0 の主制御部 1 3 0 0 の回路構成について詳細に説明する。なお、同図は主制御部 1 3 0 0 の回路ブロック図を示したものである。

【 0 2 2 4 】

スロットマシン 1 1 0 0 の制御部は、大別すると、遊技の中枢部分を制御する主制御部 1 3 0 0 と、主制御部 1 3 0 0 が送信したコマンドに応じて各種機器を制御する副制御部 1 4 0 0 とからなる。

20

【 0 2 2 5 】

主制御部 1 3 0 0 は、主制御部 1 3 0 0 の全体を制御するための演算処理装置である CPU 1 3 1 0 や、CPU 1 3 1 0 が各 IC や各回路と信号の送受信を行うためのデータバス及びアドレスバスを備え、その他、以下に述べる構成を有する。

【 0 2 2 6 】

CPU 1 3 1 0 には、センサやスイッチの状態を常時監視するためのタイマ割り込み処理の周期やモータの駆動パルスの送信周期を設定するためのタイマ回路 1 3 1 5 をバスを介して接続している。CPU 1 3 1 0 は、電源が投入されると、データバスを介して ROM 1 3 1 2 の所定エリアに格納した分周用のデータをタイマ回路 1 3 1 5 に送信する。タイマ回路 1 3 1 5 は、受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに、割り込み要求を CPU 1 3 1 0 に送信する。CPU 1 3 1 0 は、この割り込み要求を契機に、各センサ等の監視や駆動パルスの送信を実行する。例えば、CPU 1 3 1 0 のシステムクロックを 6 MHz、タイマ回路 1 3 1 5 の分周値を 1 / 2 5 6、ROM 1 3 1 2 の分周用のデータを 4 4 に設定した場合、この割り込みの基準時間は、 $2 5 6 \times 4 4 \div 6 \text{ MHz} = 1 . 8 7 7 \text{ ms}$ となる。

30

【 0 2 2 7 】

さらに、CPU 1 3 1 0 には、各 IC を制御するためのプログラム、入賞役の内部抽選時に用いる抽選データ、リールの停止位置等の各種データを記憶している ROM 1 3 1 2 や、一時的なデータを保存するための RAM 1 3 1 3 を接続している。なお、これらの ROM 1 3 1 2 や RAM 1 3 1 3 については他の記憶手段を用いてもよく、この点は後述する副制御部 1 4 0 0 においても同様である。

40

【 0 2 2 8 】

また、CPU 1 3 1 0 には、外部の信号を受信するための入力インタフェース 1 3 6 0 を接続し、割り込み時間ごとに入力インタフェース 1 3 6 0 を介して、メダル投入センサ 1 3 2 0、スタートレバーセンサ 1 3 2 1、ストップボタンセンサ 1 3 2 2、メダル投入ボタンセンサ 1 3 2 3、精算スイッチセンサ 1 3 2 4、メダル払出センサ 1 3 2 6 の状態を検出し、各センサを監視している。

【 0 2 2 9 】

スタートレバーセンサ 1 3 2 1 はスタートレバー 1 1 3 5 の操作を検出するためのセン

50

サである。ストップボタンセンサ 1 3 2 2 はストップボタン 1 1 3 7 ~ 1 1 3 9 のいずれかが押された場合、どのストップボタンが押されたかを検出するためのセンサである。メダル投入ボタンセンサ 1 3 2 3 はメダル投入ボタン 1 1 3 0、1 1 3 1 のいずれかが押下された場合、どのメダル投入ボタンが押されたかを検出するためのセンサである。精算スイッチセンサ 1 3 2 4 は、精算ボタン 1 1 3 2 に設けており、精算ボタン 1 1 3 2 が一回押されると、貯留しているメダル及びベットしているメダルを精算して払い出すことになる。

【0230】

CPU 1 3 1 0 には、さらに、入力インタフェース 1 3 6 1、出力インタフェース 1 3 7 0、1 3 7 1 をアドレスデコード回路 1 3 5 0 を介してアドレスバスに接続している。CPU 1 3 1 0 は、これらのインタフェースを介して外部のデバイスと信号の送受信を行っている。入力インタフェース 1 3 6 1 には、インデックスセンサ 1 3 2 5 を接続しており、インデックスセンサ 1 3 2 5 は、リール 1 1 1 0 ~ 1 1 1 2 に設けた遮光片が通過するたびにハイレベルになる。CPU 1 3 1 0 は、この信号を検出すると、リールが 1 回転したものと判断し、リールの回転位置情報をゼロにリセットする。出力インタフェース 1 3 7 0 には、リールを駆動させるためのモータを制御するリールモータ駆動部 1 3 3 0 と、ホッパー 1 1 7 2 のモータを駆動するためのホッパーモータ駆動部 1 3 3 1 と、遊技ランプ 1 3 4 0 (入賞ライン表示ランプ 1 1 2 0、スタートランプ 1 1 2 1、再遊技ランプ 1 1 2 2、告知ランプ 1 1 2 3、メダル投入ランプ 1 1 2 4 等) と、7 セグメント (SEG) 表示器 1 3 4 1 (払出枚数表示器 1 1 2 5、遊技回数表示器 1 1 2 6、貯留枚数表示器 1 1 2 7 等) と、後述する外部集中端子板 1 4 5 0 を接続している。

10

20

【0231】

また、CPU 1 3 1 0 には、水晶発信器 1 3 1 1 が出力するクロック信号を受信する度に 0 ~ 6 5 5 3 5 の範囲で数値を変動させるハードウェア乱数カウンタとして使用しているカウンタ回路 1 3 1 4 と、水晶発信器 1 3 1 6 が出力するクロック信号が入力する WDT 回路 1 3 1 7 を接続している。なお、WDT 回路 1 3 1 7 は、上記実施例 1 に係る WDT 回路 3 1 3 と同様の構成を有している。

【0232】

このようなスロットマシン 1 1 0 0 に本発明を適用し、遊技制御手段 (例えば、主制御部 3 0 0) が制御するクリア信号出力処理は、第 1 のタイミングで前記クリア信号を出力する第 1 のクリア信号出力処理と、前記第 1 のタイミングとは異なる第 2 のタイミングで前記クリア信号を出力する第 2 のクリア信号出力処理と、を少なくとも含み、CPU 異常監視手段 (例えば、WDT 回路 1 3 1 7) は、前記第 1 のクリア信号出力処理によるクリア信号に基づいて前記計時値をクリアした場合に、次の計時値は、前記第 1 のクリア信号出力処理によるクリア信号に基づいてクリアせずに前記第 2 のクリア信号出力処理によるクリア信号のみに基づいてクリアすることを特徴とするスロットマシンとしてもよい。このようなスロットマシン 1 1 0 0 によれば、CPU の暴走などによって第 1 のクリア信号出力処理または第 2 のクリア信号出力処理のいずれかを含んだ無限ループが発生した場合でも、従来の遊技台のように WDT が無限ループ内でクリアされ続けるような事態を回避することができる。そのため、CPU の暴走などの異常を確実に検知し、遊技制御を安定的に行うことができる場合がある。

30

40

【0233】

なお、本発明の実施の形態に記載された作用および効果は、本発明から生じる最も好適な作用および効果を列挙したに過ぎず、本発明による作用および効果は、本発明の実施の形態に記載されたものに限定されるものではない。また、実施例に記載した複数の構成のうち、1 つの構成に記載している内容を、他の構成に適用することでより遊技の幅を広げられる場合がある。

【産業上の利用可能性】

【0234】

本発明に係る遊技台は、スロットマシンや遊技機 (パチンコ等) に代表される遊技台に

50

適用することができる。

【図面の簡単な説明】

【0235】

【図1】パチンコ機を正面側（遊技者側）から見た外観斜視図である。

【図2】遊技盤を正面から見た略示正面図である。

【図3】（a）特図の停止表示態様の一例を示したものである。（b）装飾図柄の一例を示したものである。（c）普図の停止表示態様の一例を示したものである。

【図4】制御部の回路ブロック図を示したものである。

【図5】WDT回路の主要構成を示したブロック図である。

【図6】（a）WDT回路が備えるWDT制御回路の主要構成を示したブロック図である。（b）WDTのクリア制御の流れを示したフローチャートである。

10

【図7】WDTのクリア制御の流れを模式的に示した図である。

【図8】主制御部メイン処理の流れを示すフローチャートである。

【図9】主制御部タイマ割り込み処理の流れを示すフローチャートである。

【図10】（a）従来遊技台におけるWDTのクリア処理の流れの一例を示したフローチャートである。（b）本実施例に係るパチンコ機におけるWDTのクリア処理の流れの一例を示したフローチャートである。

【図11】（a）従来遊技台におけるWDTのタイムアウト設定時間と最大ループ時間との関係を示した図である。（b）本実施例に係るパチンコ機におけるWDTのタイムアウト設定時間と最大ループ時間との関係を示した図である。

20

【図12】（a）実施例2に係るWDT回路が備えるWDT制御回路の主要構成を示したブロック図である。（b）実施例2に係るWDTのクリア制御の流れを示したフローチャートである。

【図13】実施例2に係る主制御部メイン処理の流れを示すフローチャートである。

【図14】実施例2に係る主制御部タイマ割り込み処理の流れを示すフローチャートである。

【図15】実施例3に係る主制御部メイン処理の流れを示すフローチャートである。

【図16】実施例3に係る主制御部タイマ割り込み処理の流れを示すフローチャートである。

【図17】（a）副制御部メイン処理の流れを示すフローチャートである。（b）コマンド入力処理の流れを示すフローチャートである。

30

【図18】（a）変動パターン選択処理の流れを示すフローチャートである。（b）図柄停止処理の流れを示すフローチャートである。（c）ストロブ割り込み処理の流れを示すフローチャートである。（d）チャンスボタン割り込み処理の流れを示すフローチャートである。（e）変数更新割り込み処理の流れを示すフローチャートである。

【図19】WDTのクリア処理を回路を用いて実現する例を示した図である。

【図20】WDTのクリア処理を回路を用いて実現する他の例を示した図である。

【図21】WDTのクリア処理を回路を用いて実現するさらに他の例を示した図である。

【図22】スロットマシンの外観斜視図を示したものである。

【図23】同スロットマシンの主制御部の回路ブロック図を示したものである。

40

【符号の説明】

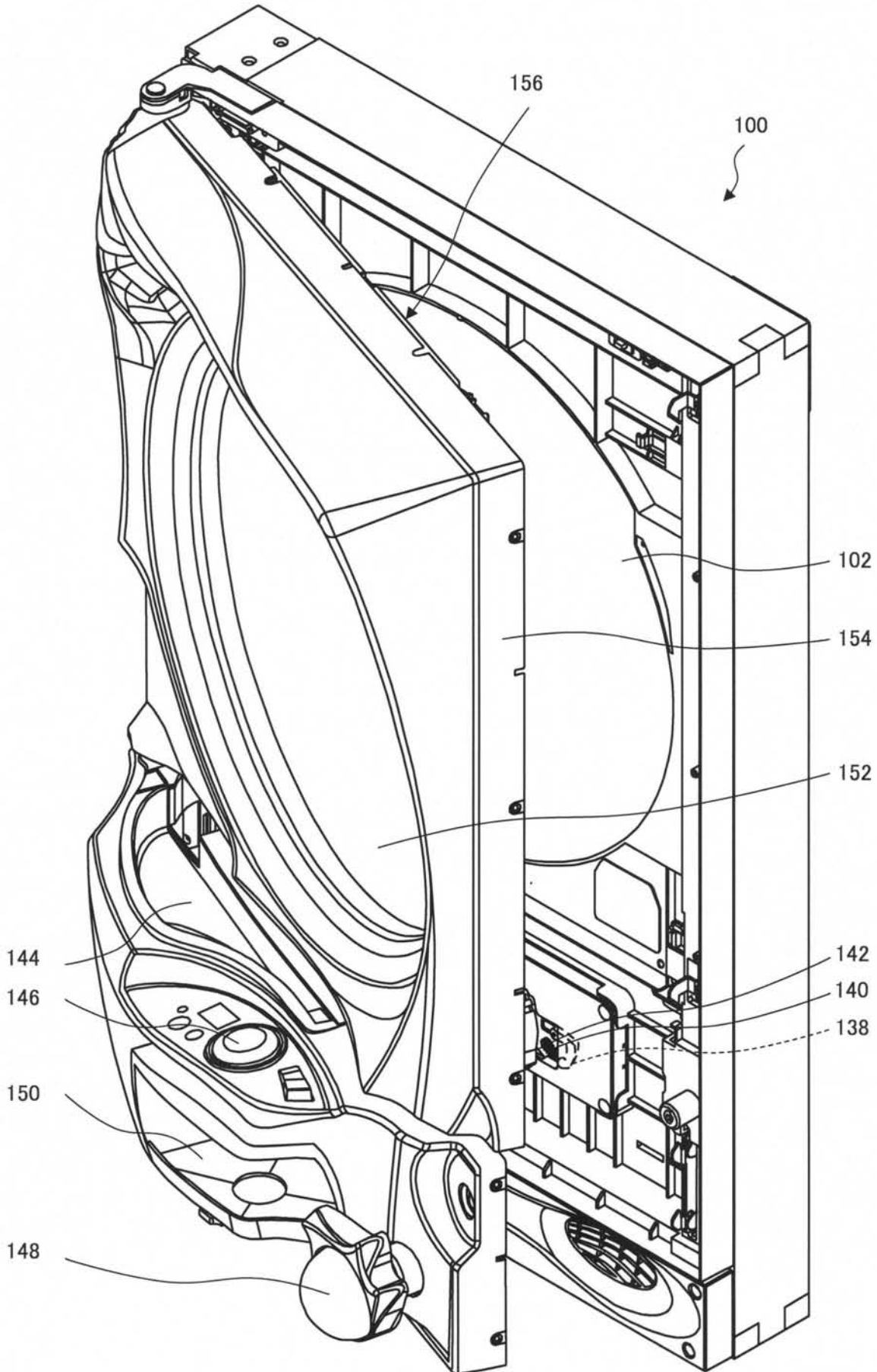
【0236】

- 100 パチンコ機
- 102 遊技盤
- 104 遊技領域
- 110 装飾図柄表示装置
- 112 普図表示装置
- 114 特図表示装置
- 122 一般入賞口
- 124 普図始動口

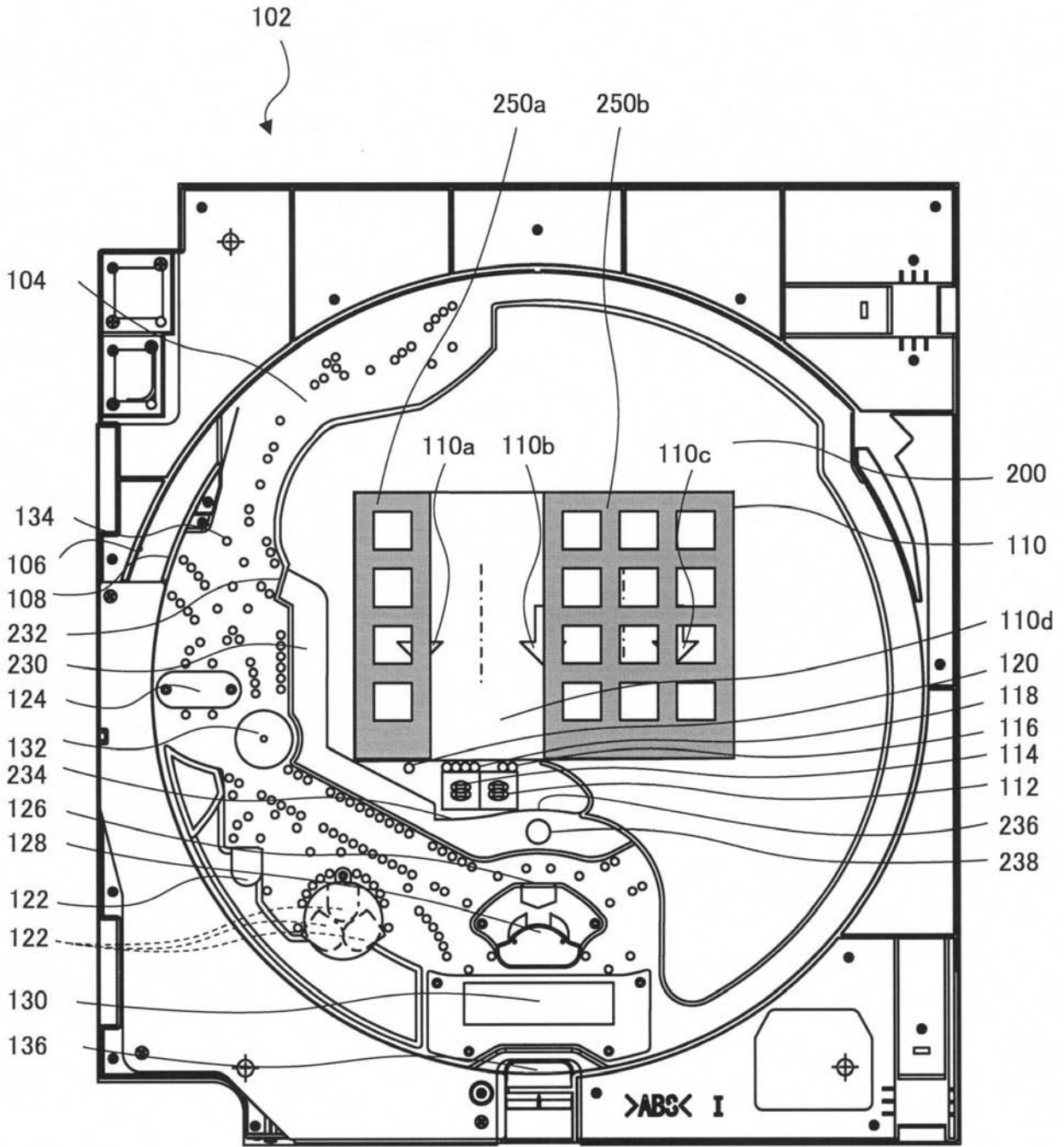
50

- 1 2 6 第 1 特図 始動口
- 1 2 8 第 2 特図 始動口
- 1 3 0 可変入賞口
- 3 0 0 主制御部
- 4 0 0、5 0 0 副制御部
- 5 5 0 払出制御部
- 6 0 0 発射制御部
- 6 5 0 電源管理部

【 図 1 】



【 図 2 】



【図3】

(a) 特別図柄



(b) 装飾図柄



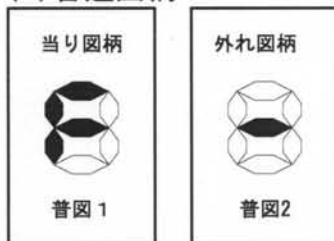
大当たりとなる図柄組合せ



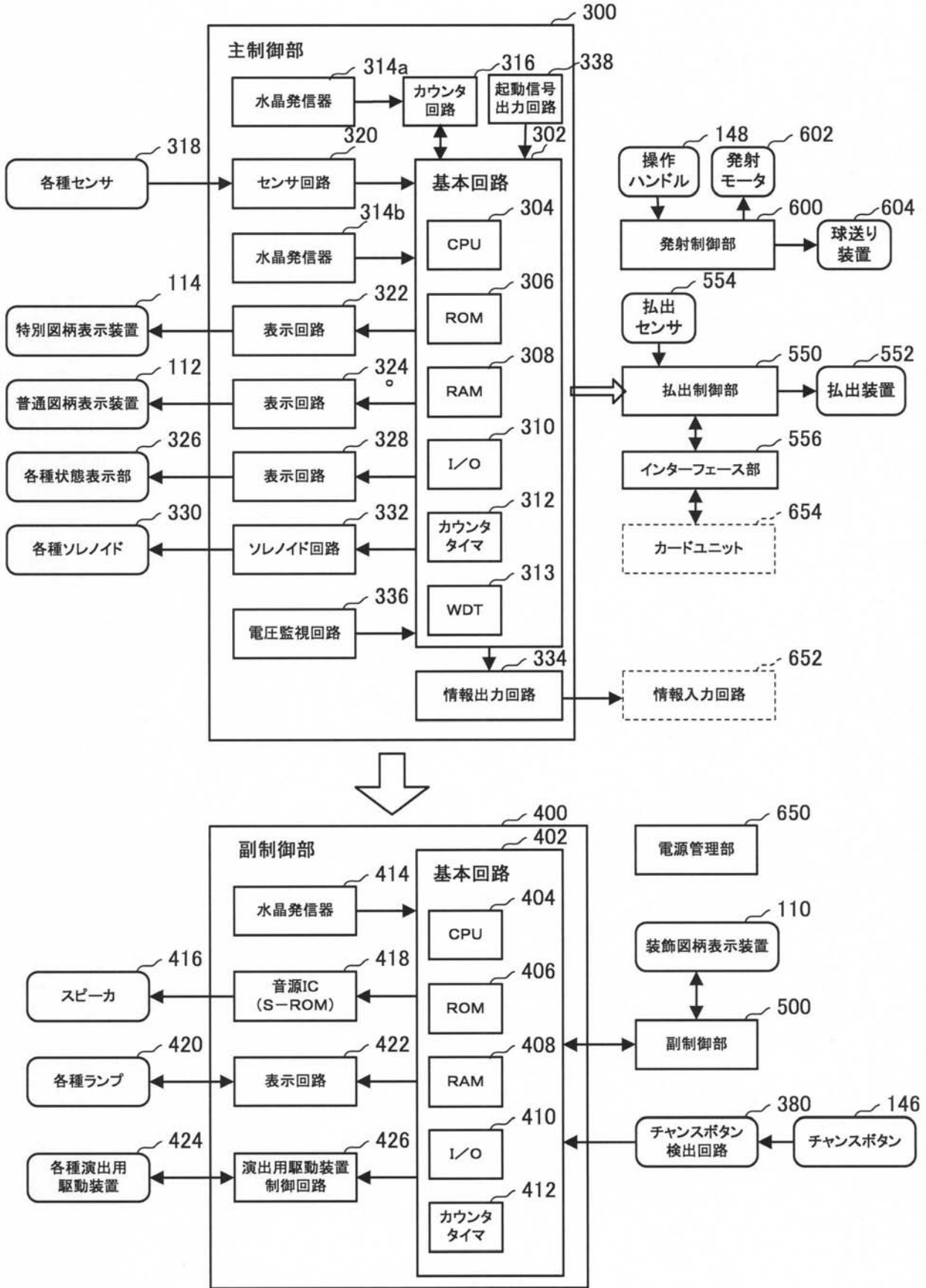
特別大当たりとなる図柄組合せ



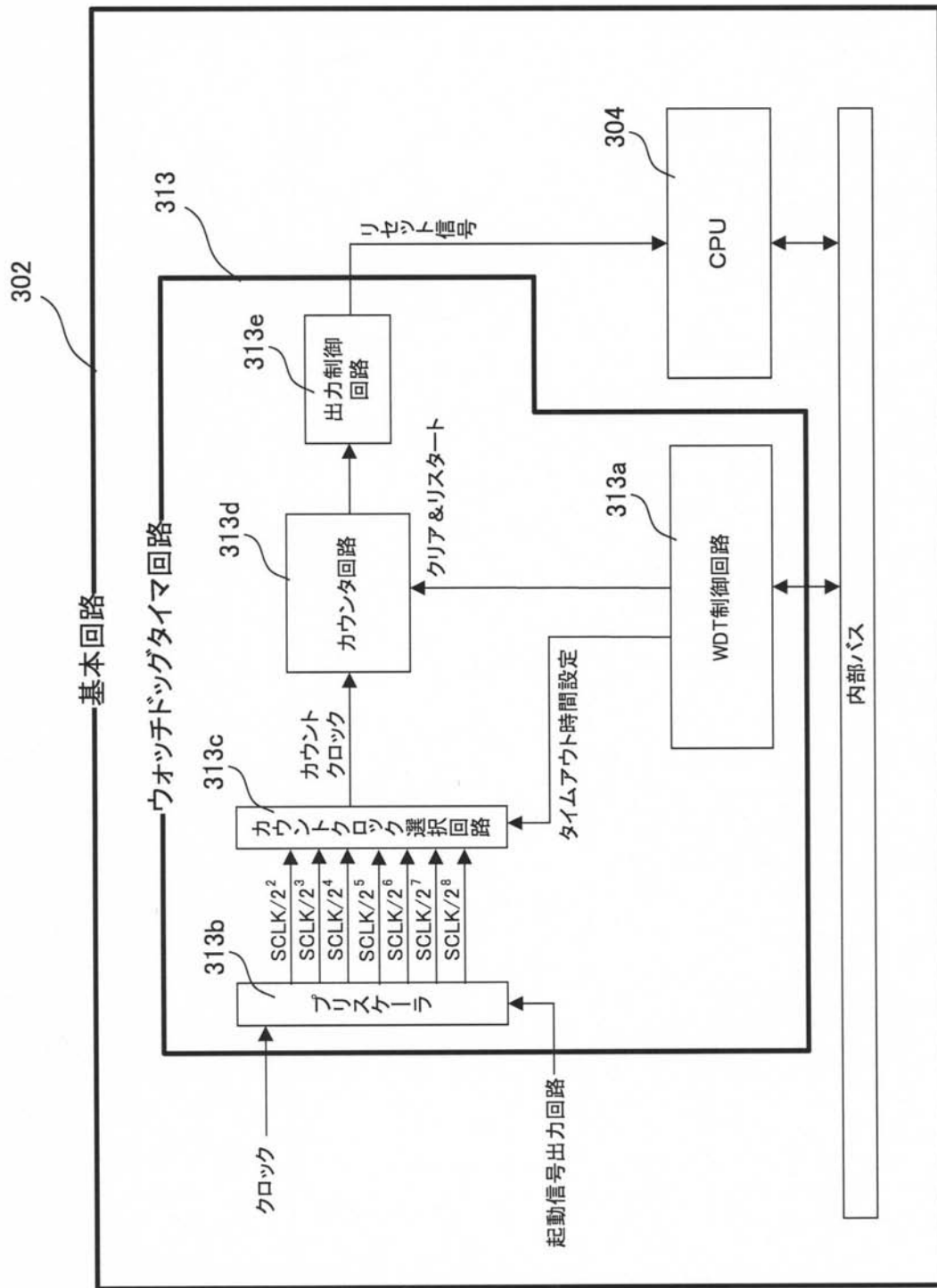
(c) 普通図柄



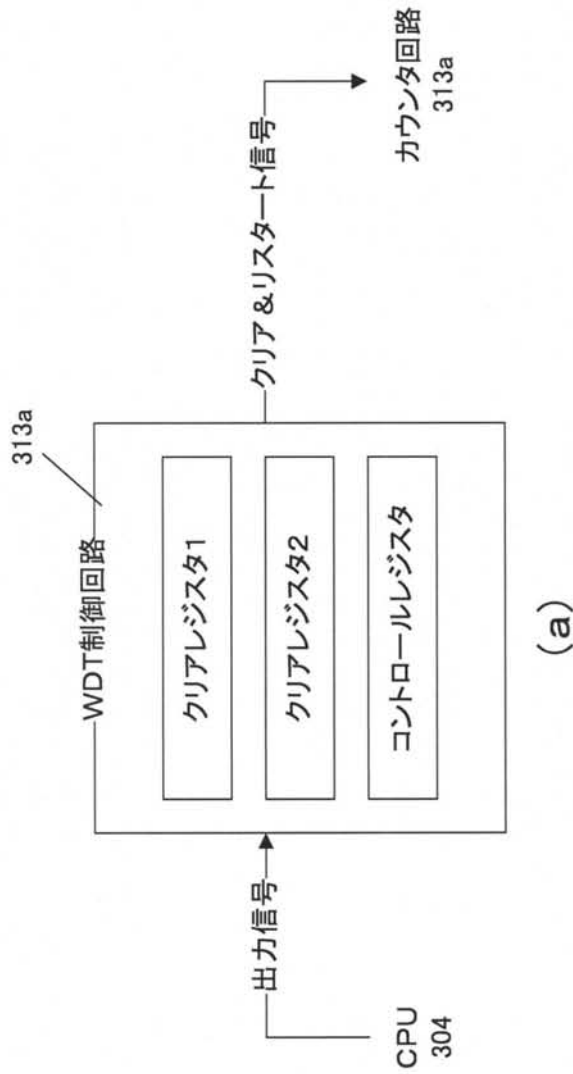
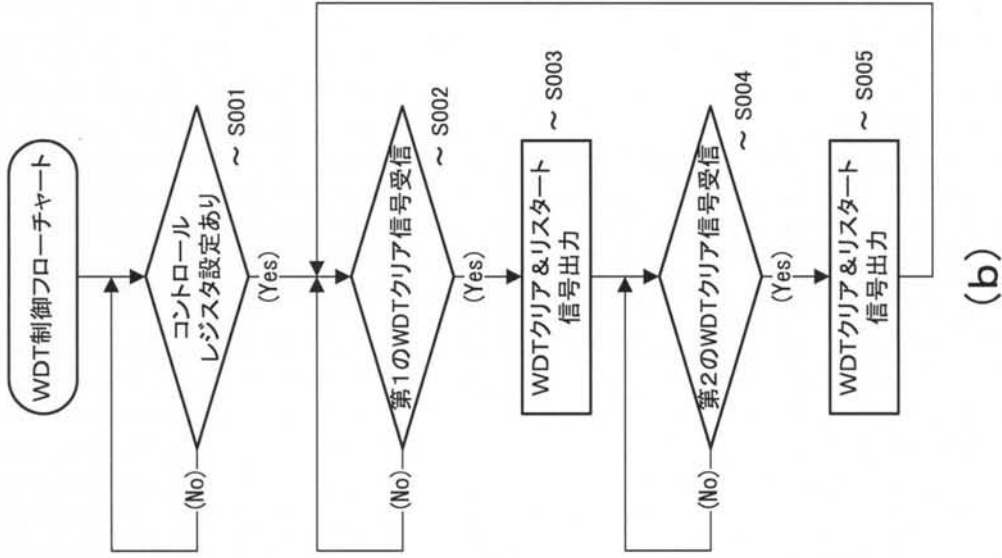
【図4】



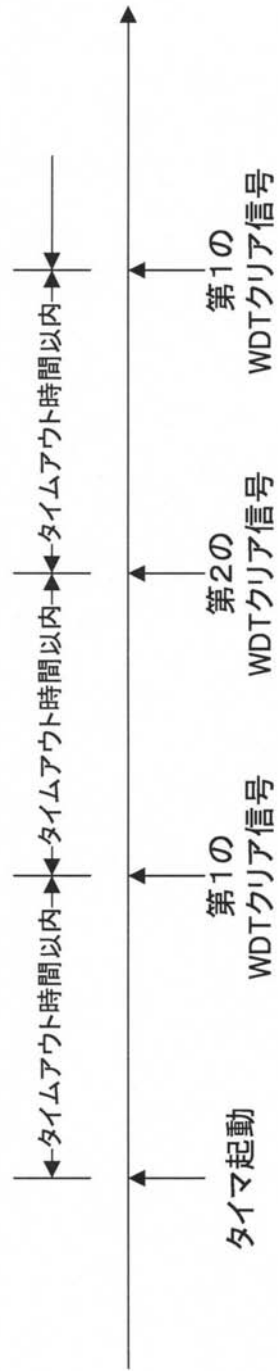
【図5】



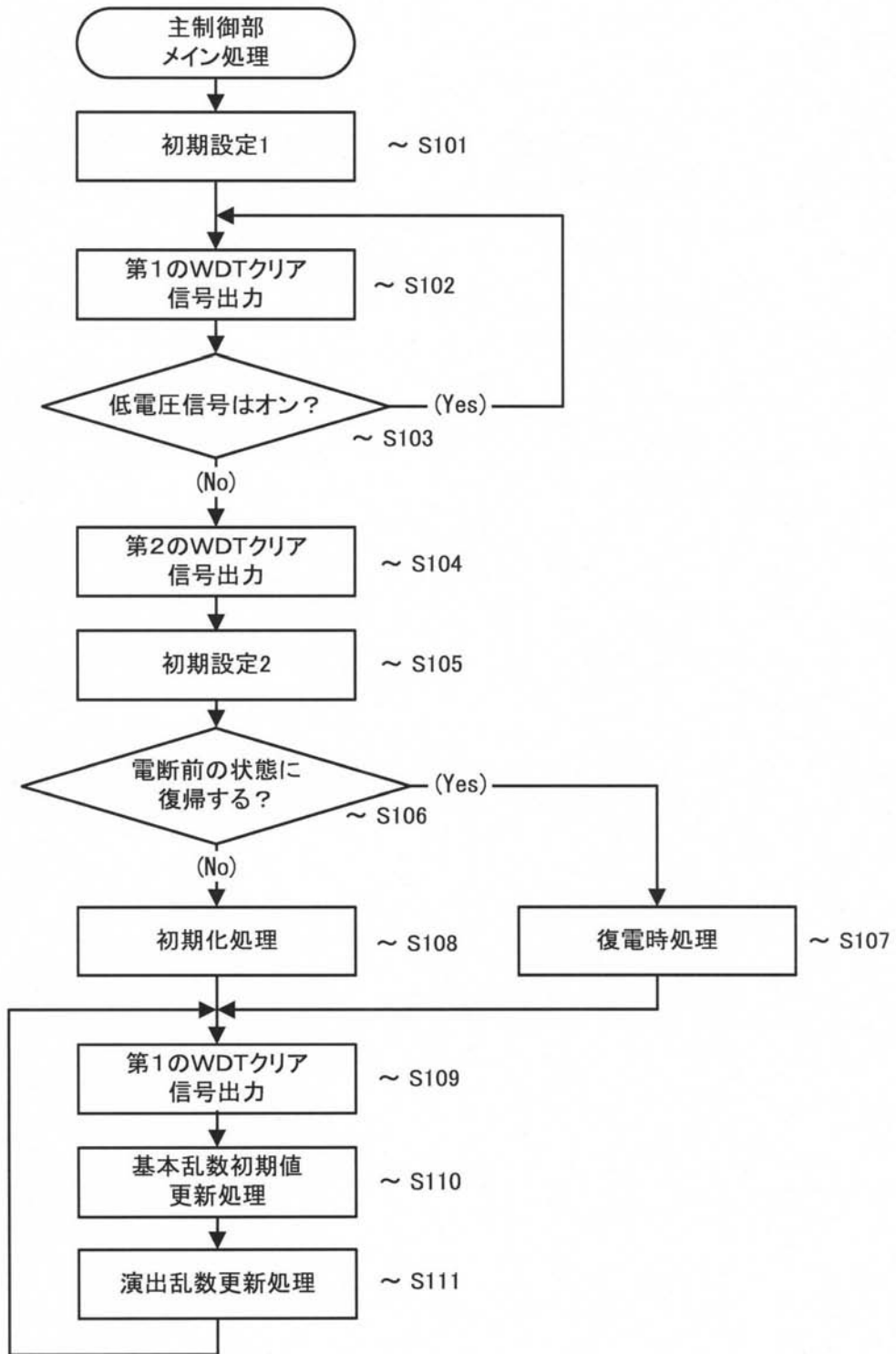
【 図 6 】



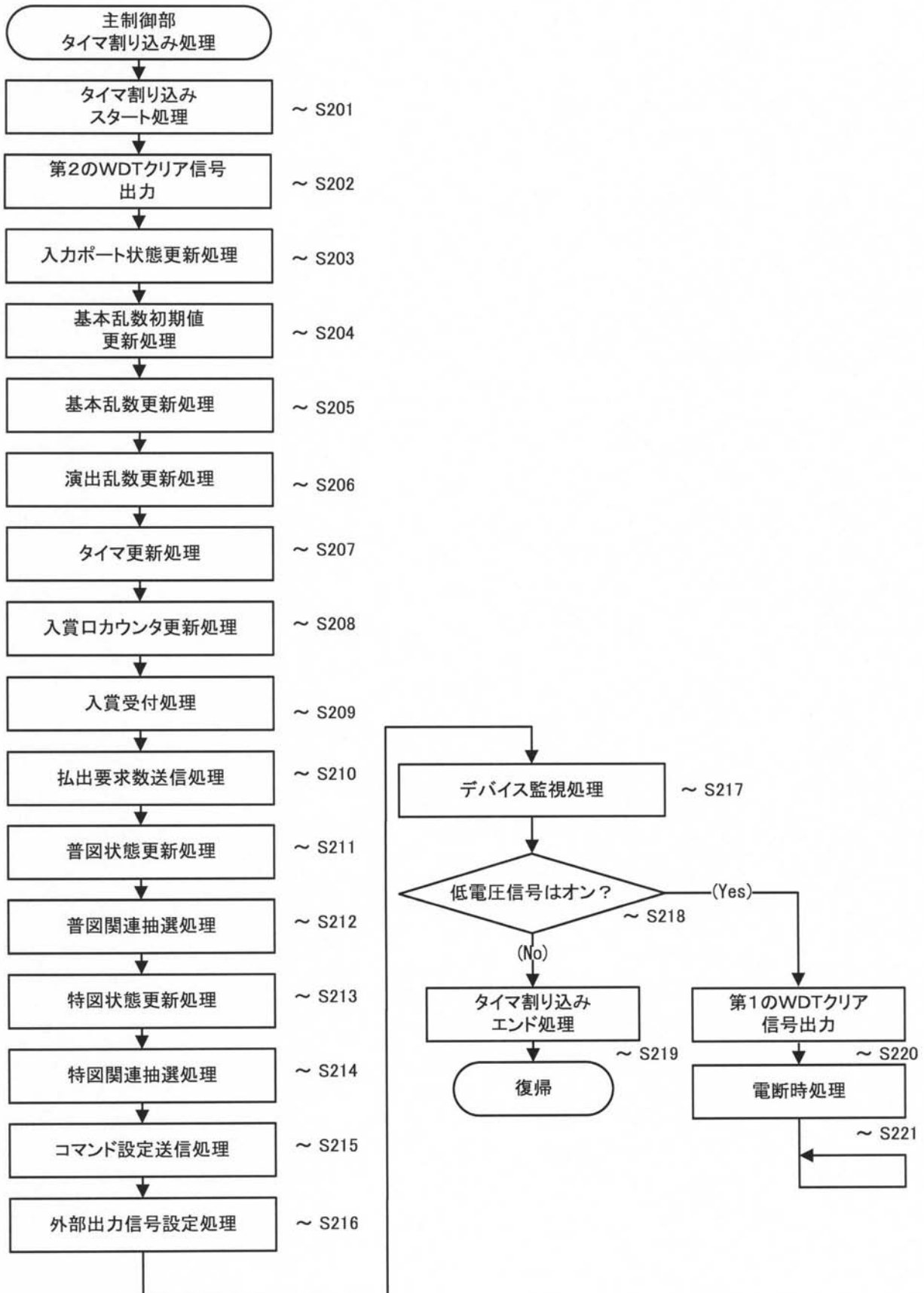
【 図 7 】



【 図 8 】

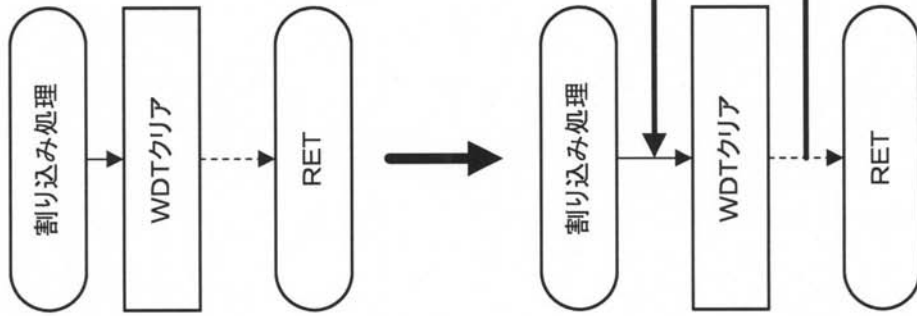


【 図 9 】



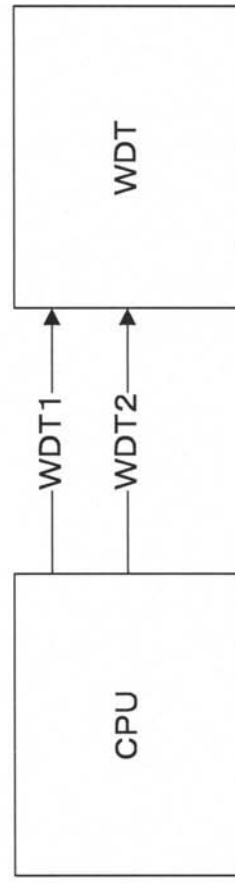
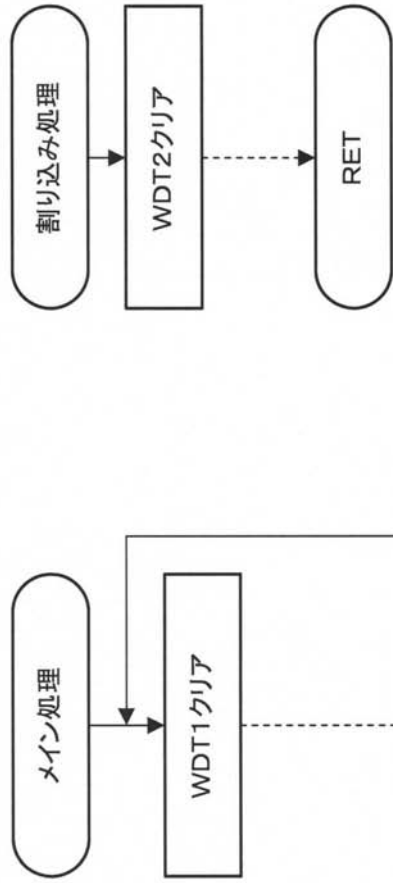
【図10】

<従来>



(a)

<発明>

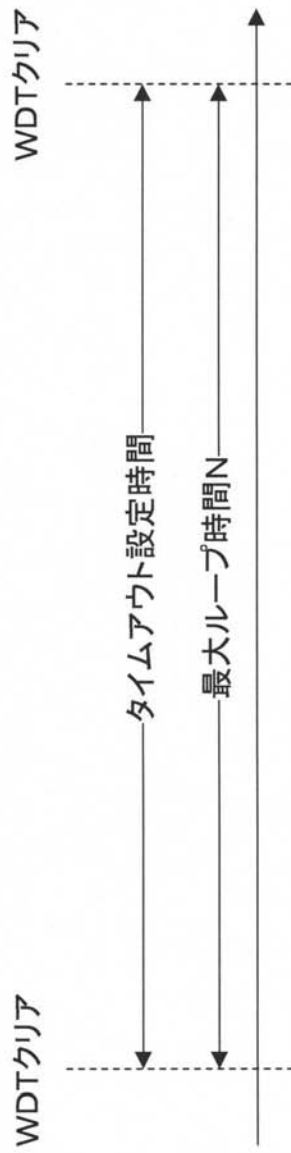


WDT1⇒WDT2⇒WDT1⇒WDT1⇒WDT2・・・の順番以外ではクリア不可

(b)

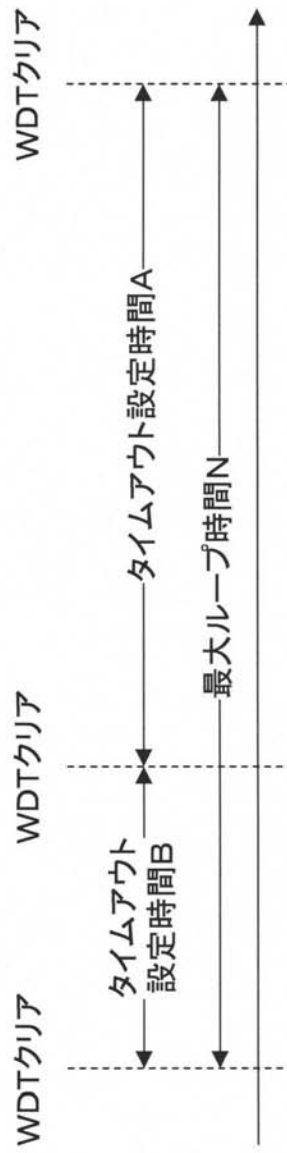
【 図 1 1 】

(a)



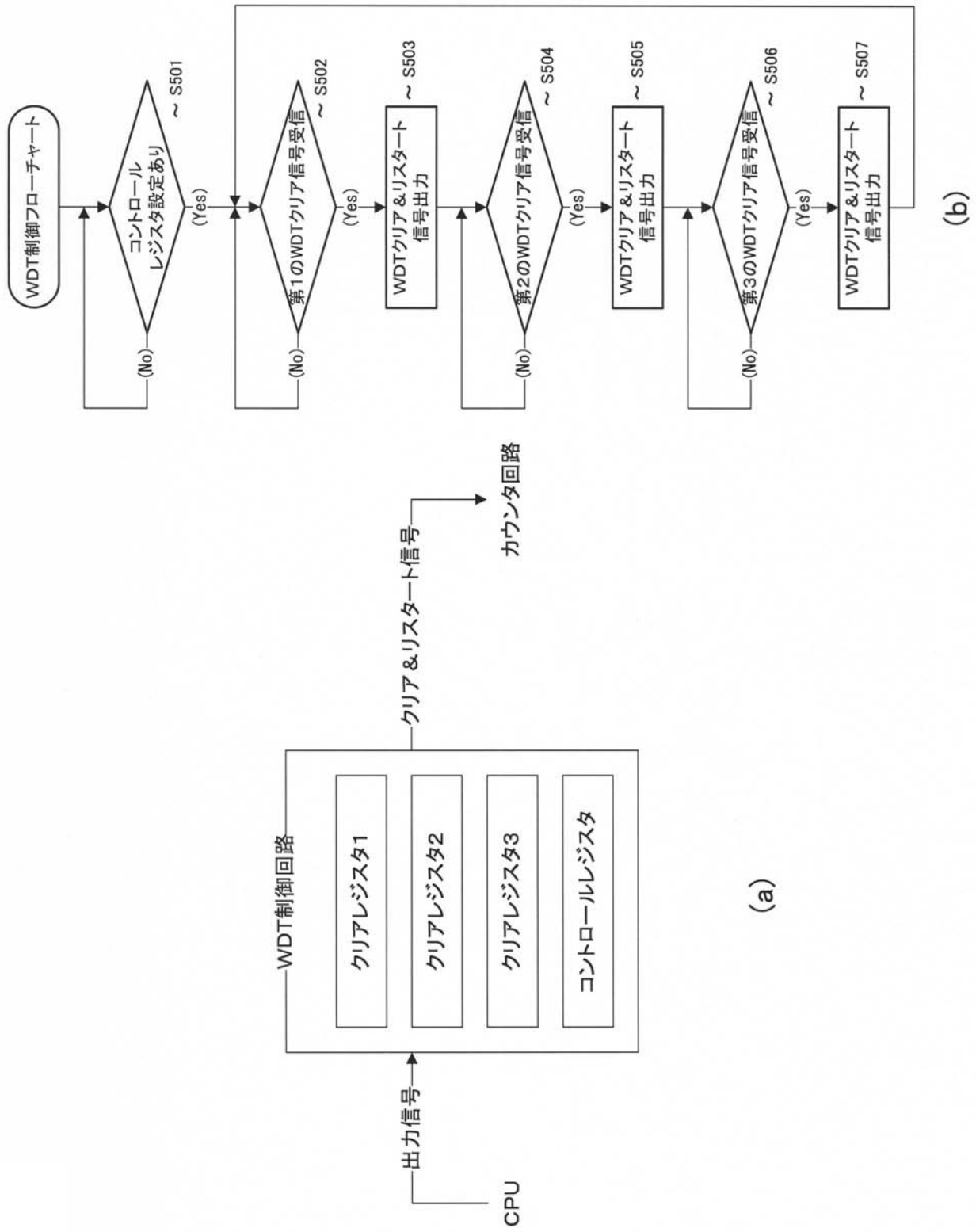
従来のWDT

(b)

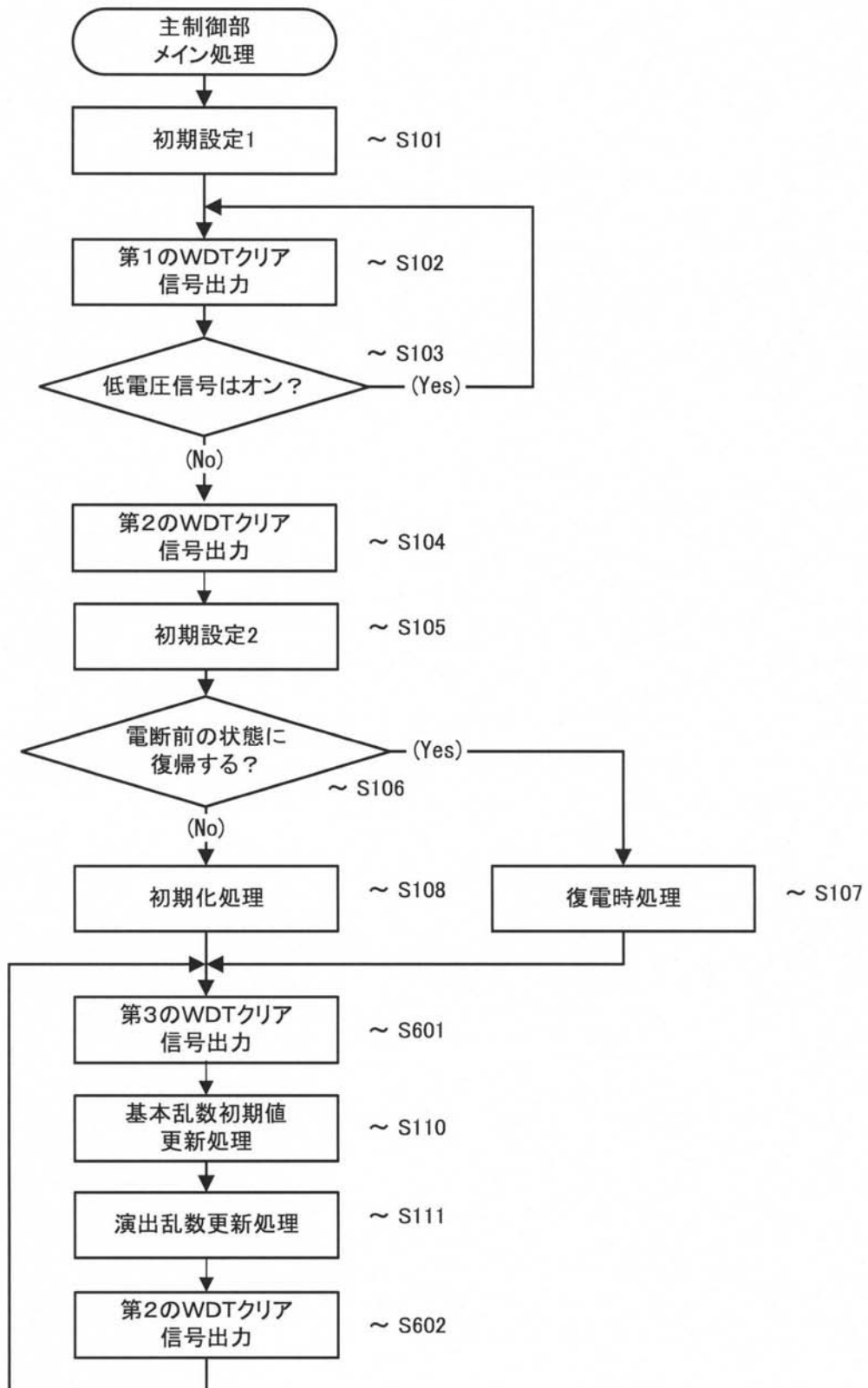


本発明のWDT

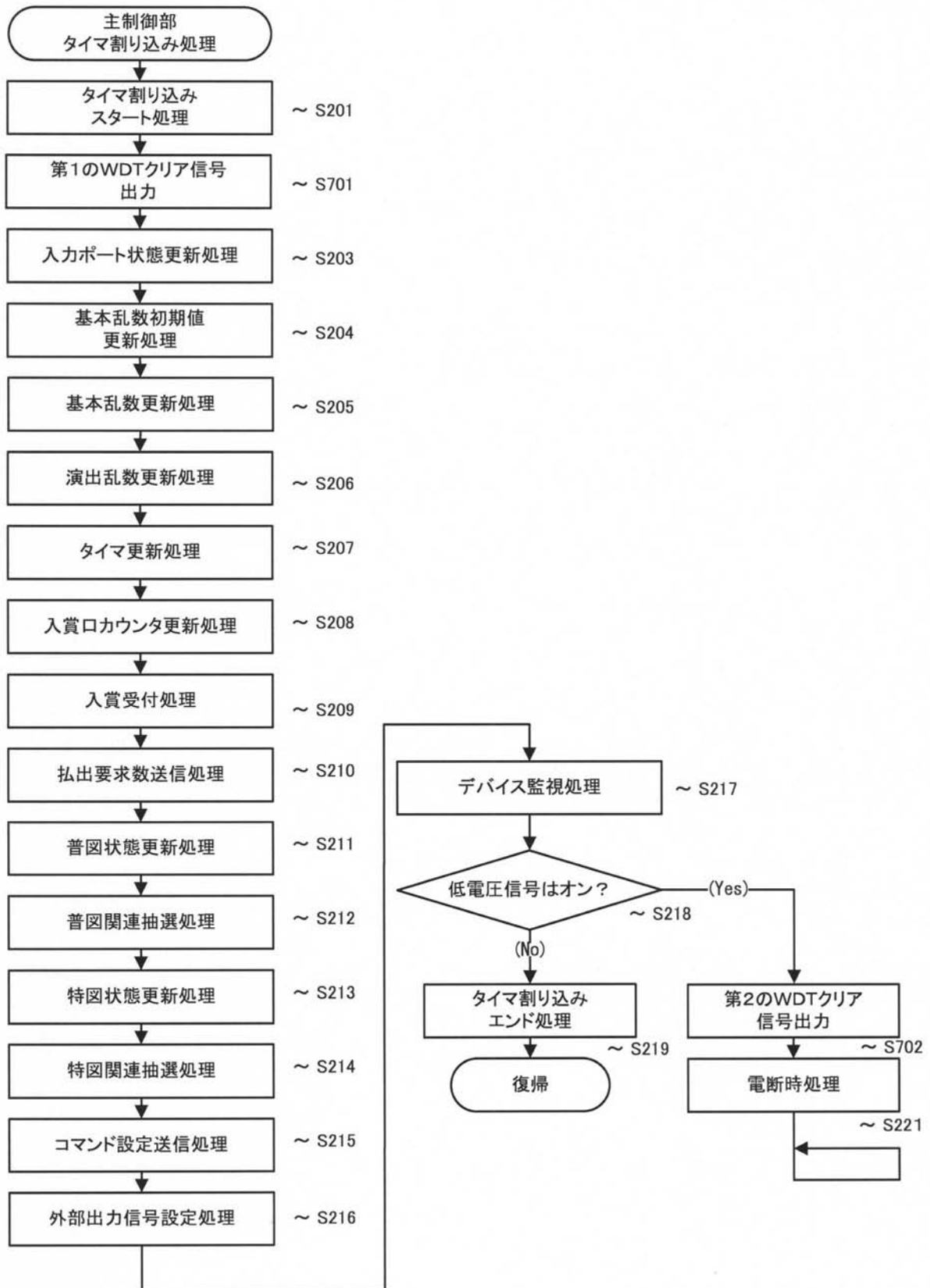
【図 1 2】



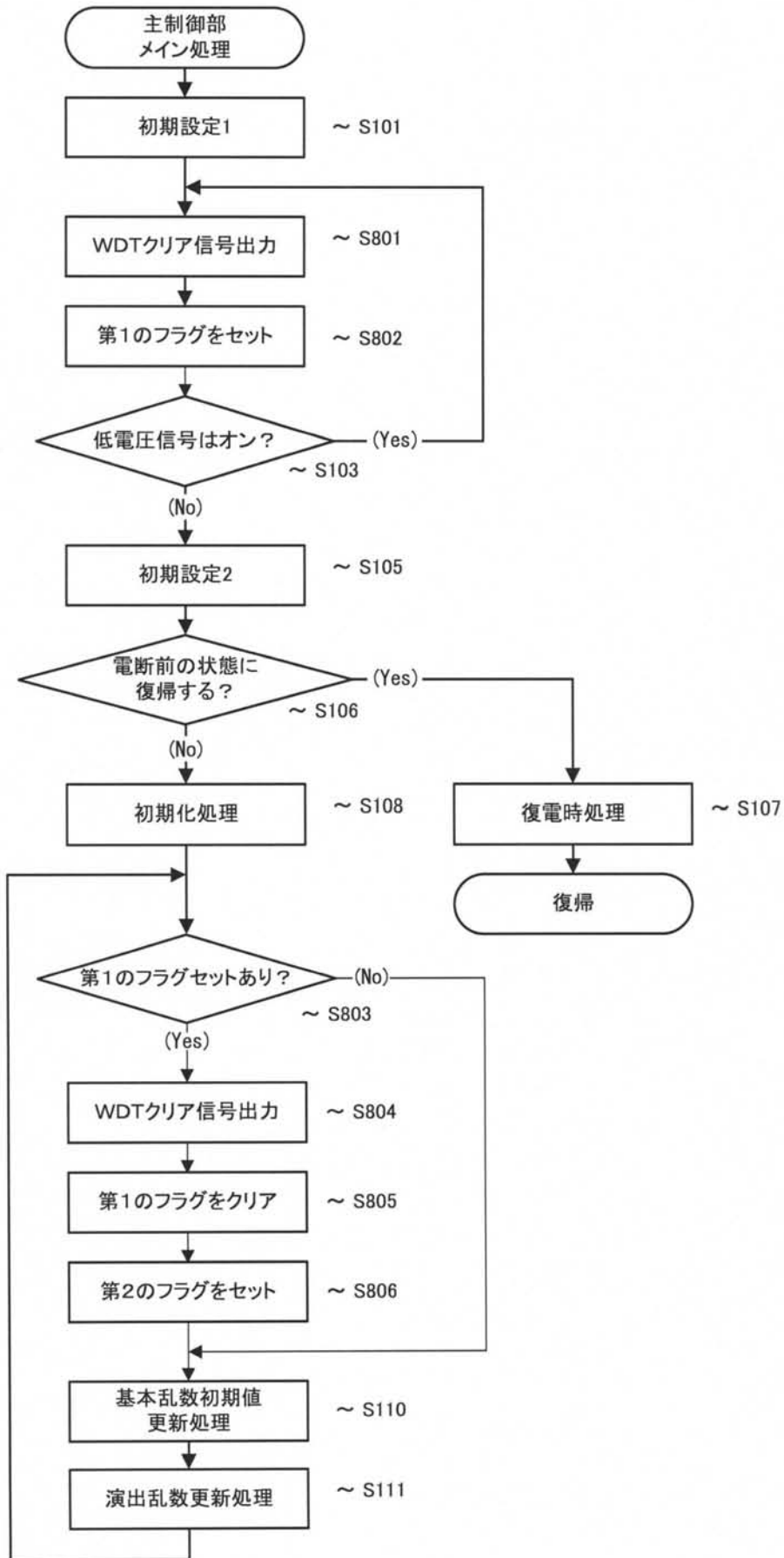
【 図 1 3 】



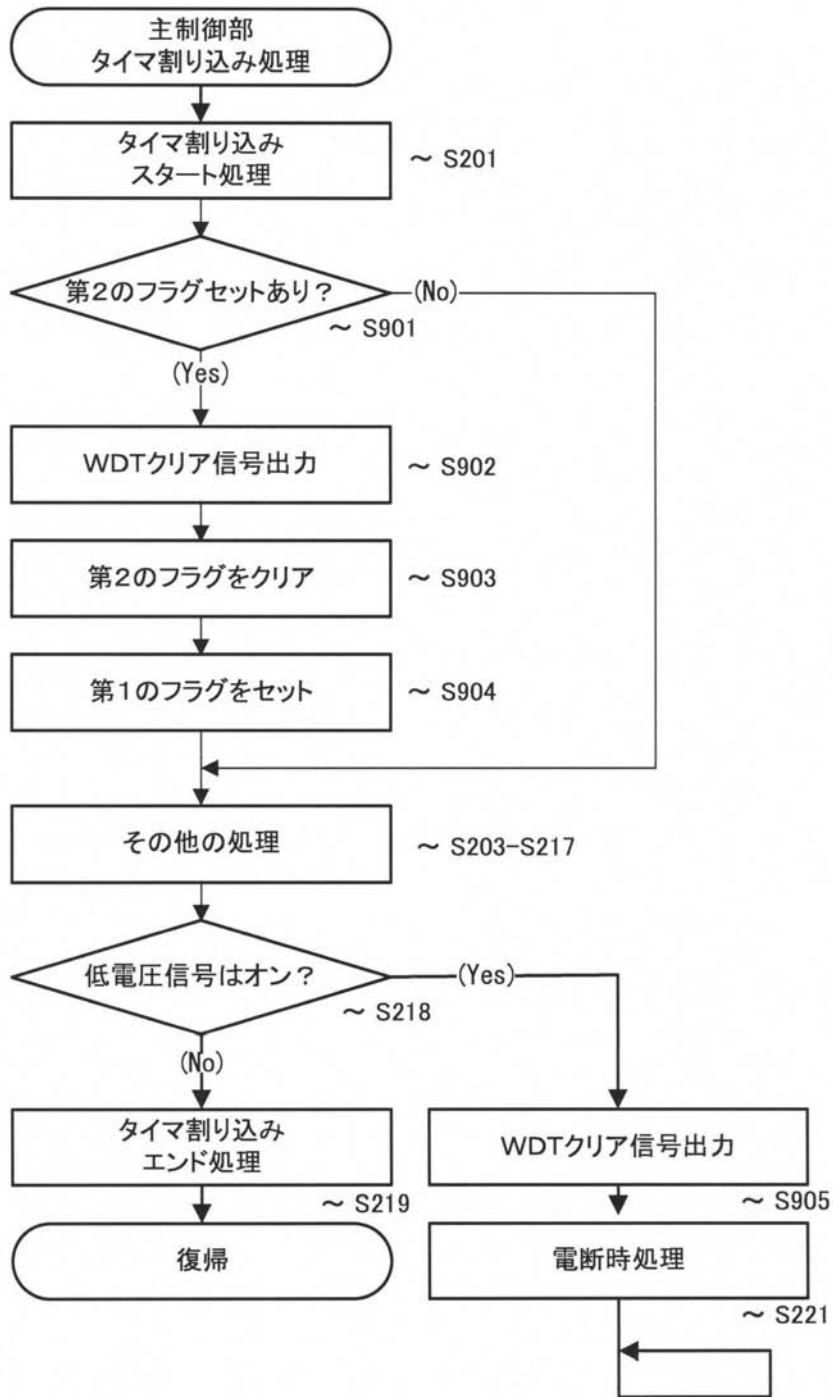
【 図 1 4 】



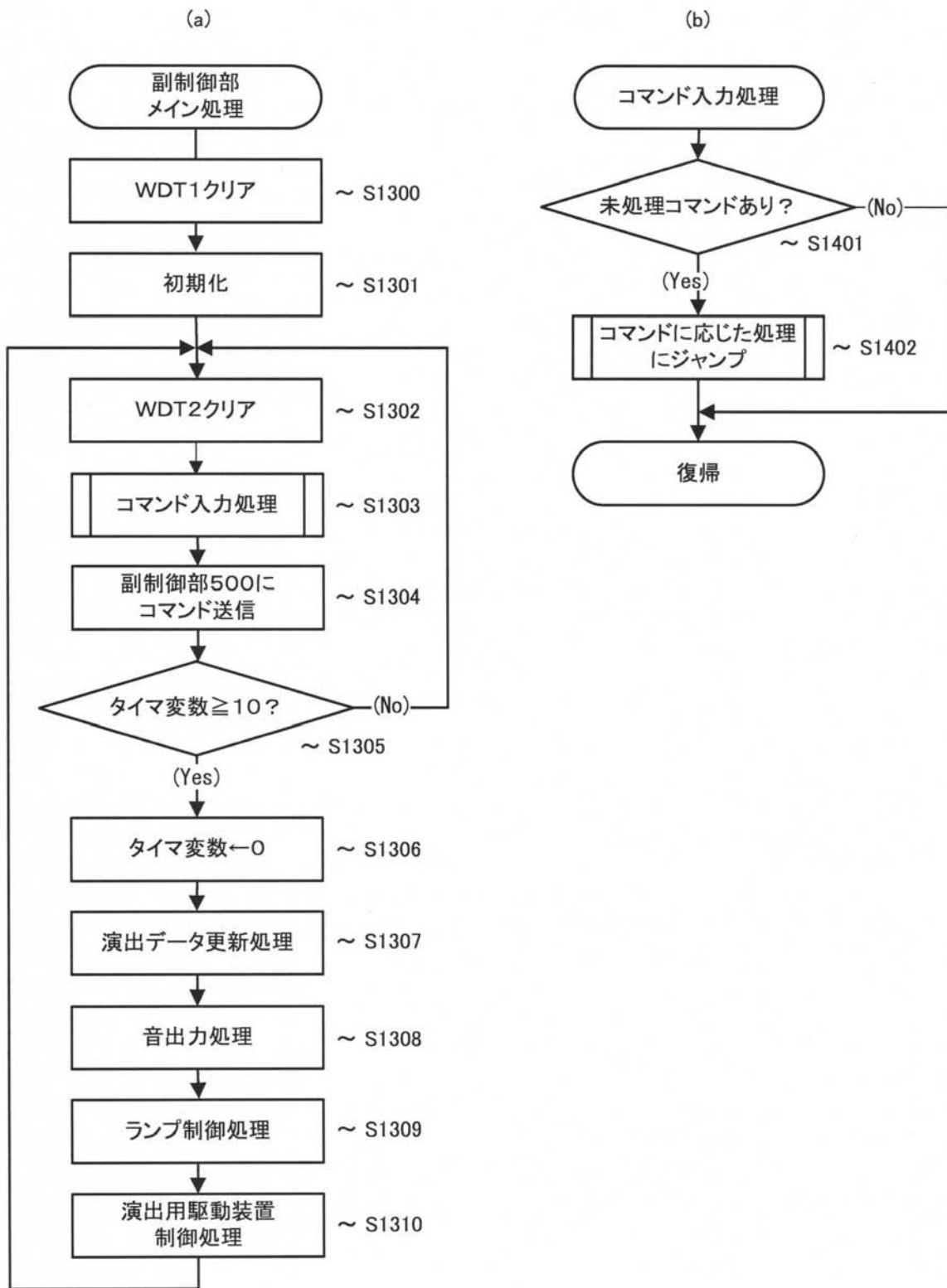
【 図 1 5 】



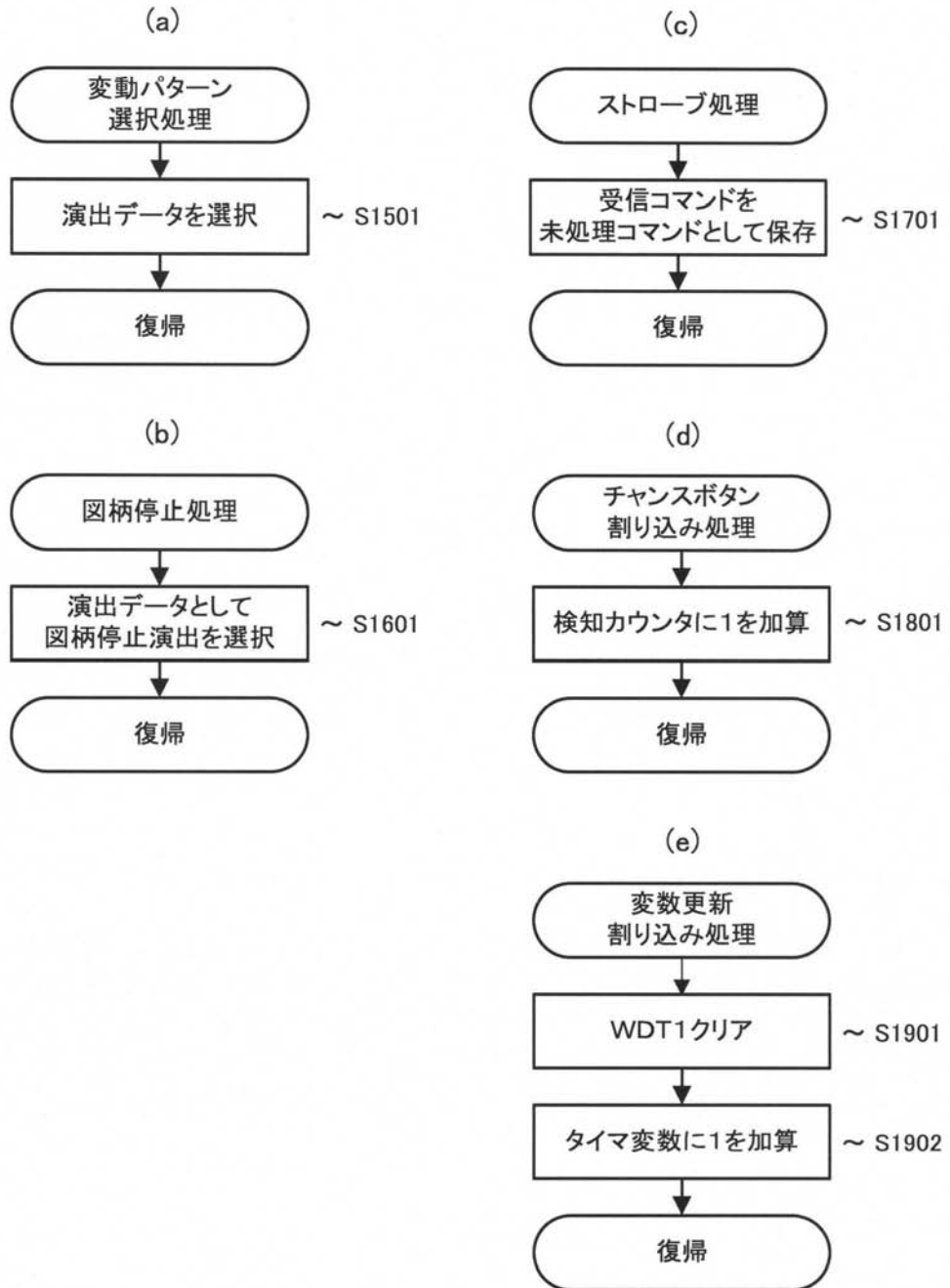
【 図 1 6 】



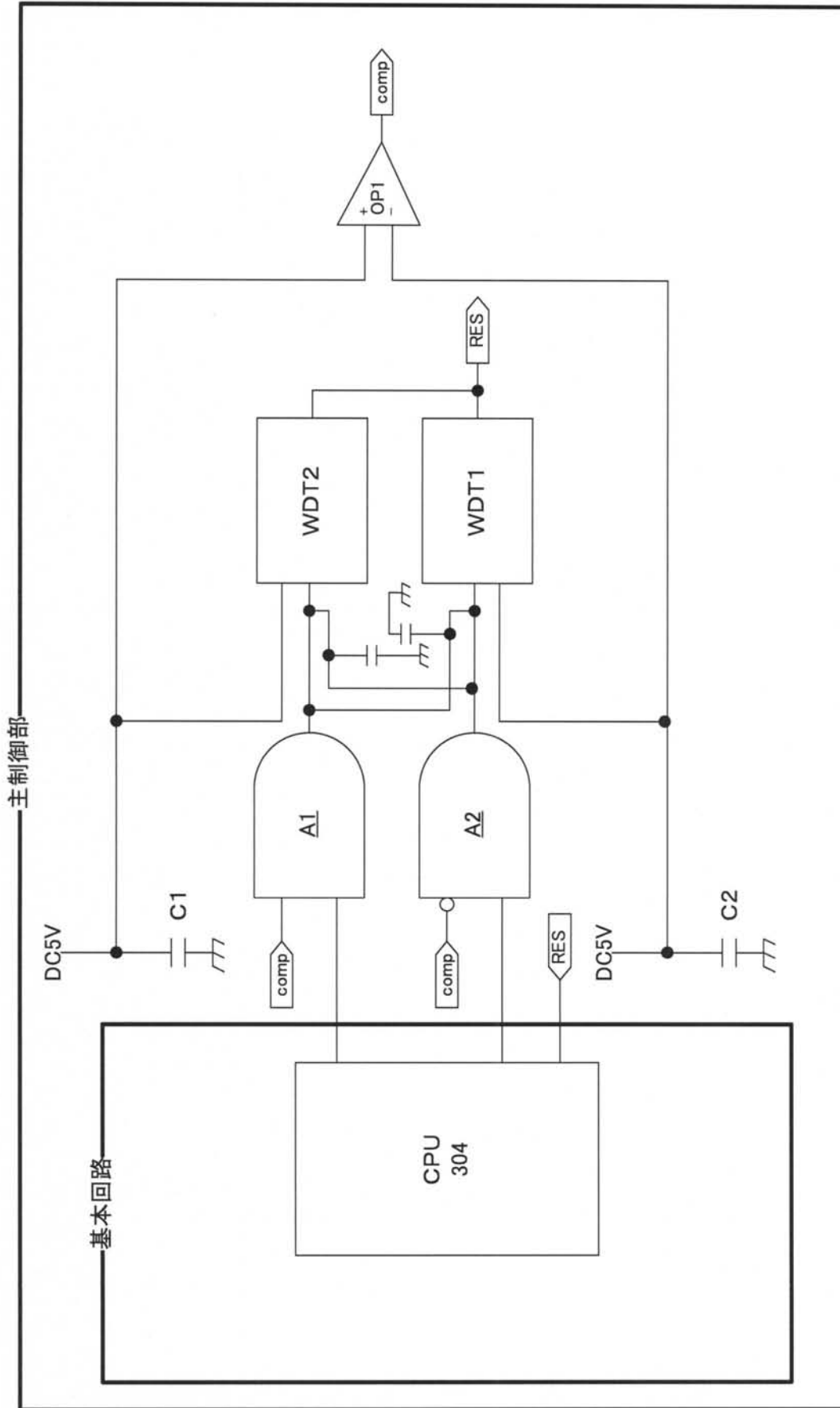
【 図 1 7 】



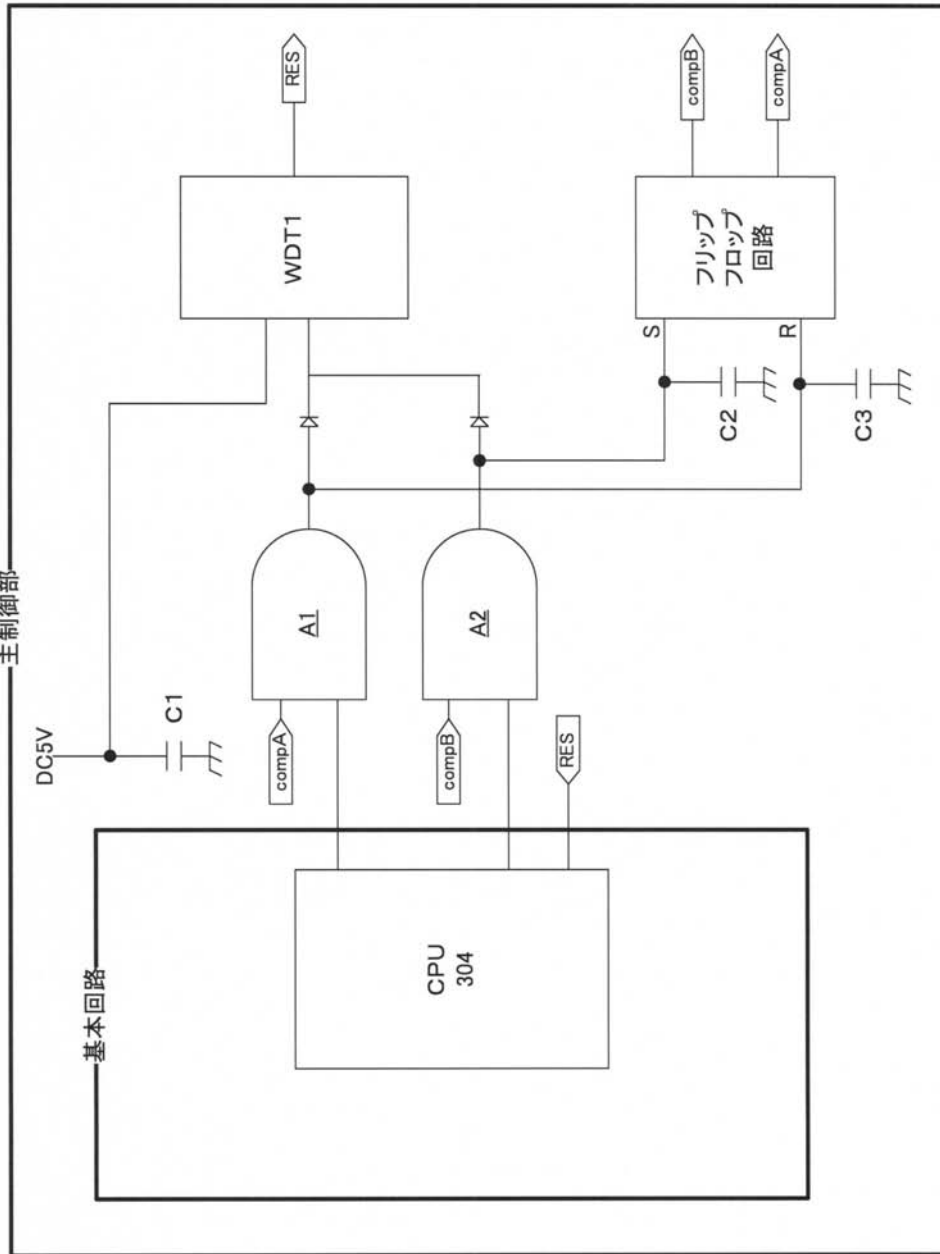
【 図 1 8 】



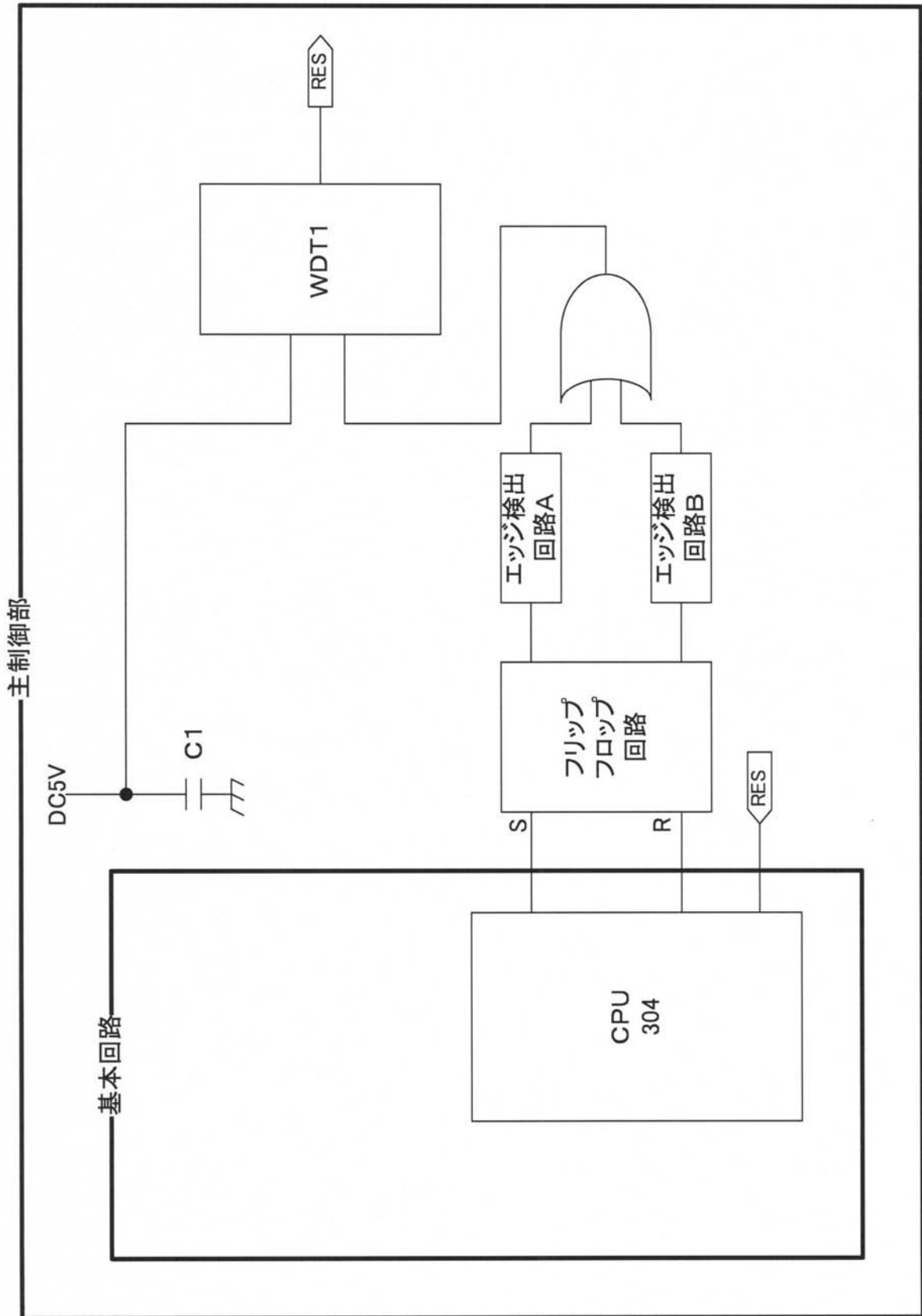
【 図 1 9 】



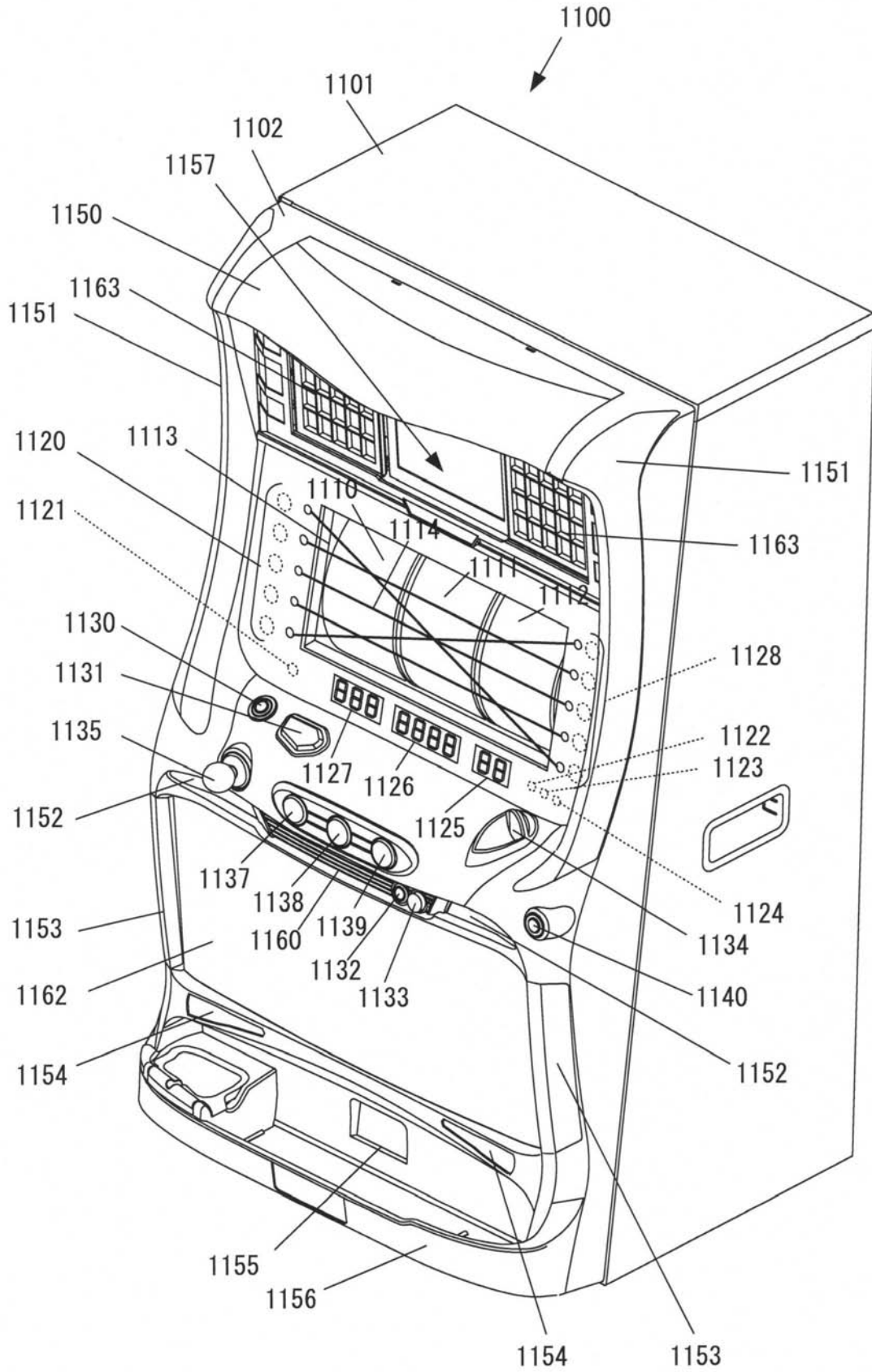
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



【図23】

