

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 15 日(15.09.2016)



(10) 国際公開番号

WO 2016/143252 A1

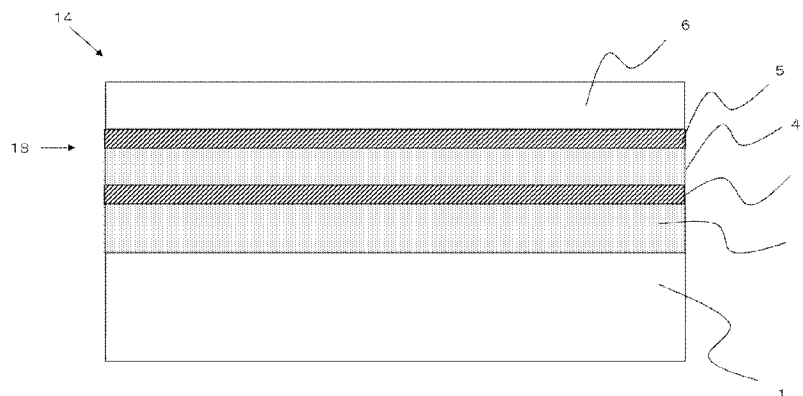
- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/322 (2006.01)
- (21) 国際出願番号: PCT/JP2016/000594
- (22) 国際出願日: 2016 年 2 月 5 日(05.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-045284 2015 年 3 月 6 日(06.03.2015) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 石川 修 (ISHIKAWA, Osamu); 〒3790196
群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体
株式会社 磯部工場内 Gunma (JP). 加藤 正弘
(KATO, Masahiro); 〒3790196 群馬県安中市磯部 2
丁目 1 3 番 1 号信越半導体株式会社 磯部工場
内 Gunma (JP).
- (74) 代理人: 好宮 幹夫, 外 (YOSHIMIYA, Mikio et
al.); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1
号第一下谷ビル 8 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: BONDED SEMICONDUCTOR WAFER AND METHOD FOR MANUFACTURING BONDED SEMICONDUCTOR WAFER

(54) 発明の名称: 貼り合わせ半導体ウェーハ及び貼り合わせ半導体ウェーハの製造方法



(57) Abstract: The present invention provides a bonded semiconductor wafer having a monocrystal silicon layer on a major surface, the bonded semiconductor wafer characterized in that: the bonded semiconductor wafer includes a base wafer comprising a silicon monocrystal, and has on top of the base wafer a first dielectric layer, a polycrystalline silicon layer, a second dielectric layer, and a monocrystal silicon layer in that order, with a bonding plane provided between the polycrystalline silicon layer and the second dielectric layer; and in that a carrier trap layer is formed between the base wafer and the first dielectric layer. Thus, in a trap-rich type SOI substrate, a decrease in the resistivity of the base wafer due to the influence of charges in a buried oxide (BOX) layer or impurities can be avoided, whereby a bonded semiconductor wafer in which distortion of a high-frequency fundamental signal and stray signals from one circuit to another circuit are reduced, and which has excellent mass-producibility is provided.

(57) 要約:

[続葉有]

WO 2016/143252 A1



本発明は、主表面に単結晶シリコン層を備えた貼り合わせ半導体ウェーハであって、貼り合わせ半導体ウェーハはシリコン単結晶からなるベースウェーハを有し、ベースウェーハより上に第一誘電体層と、多結晶シリコン層と、第二誘電体層と、単結晶シリコン層とをこの順に有し、多結晶シリコン層と第二誘電体層の間が貼り合わせ面になっているものであり、さらに、ベースウェーハと第一誘電体層の間にキャリアトラップ層が形成されているものであることを特徴とする貼り合わせ半導体ウェーハを提供する。これにより、Trap-rich型SOI基板において、BOX酸化膜中の電荷の影響や不純物によるベースウェーハの比抵抗の低下を回避でき、高周波の基本信号の歪みやある回路から他の回路への回り込み信号が少なく、しかも量産性に優れた貼り合わせ半導体ウェーハが提供される。

明 細 書

発明の名称：

貼り合わせ半導体ウェーハ及び貼り合わせ半導体ウェーハの製造方法

技術分野

[0001] 本発明は、高周波用集積回路を製造するための貼り合わせ半導体ウェーハ及び貼り合わせ半導体ウェーハの製造方法に関する。

背景技術

[0002] 携帯電話に代表される通信機器には、異なる通信方式と異なる周波数に対応する通信機能を同一機器内に一体化することが求められ、しかも更なる高機能化や小型化への要望も著しく強い。例えば、半導体の1チップ上には、デジタルや高周波アナログなどの信号処理を行うトランジスタに代表される能動素子ブロックと抵抗又は容量又はインダクターに代表される受動素子とが組み合わされた回路が構成されている。特に、高周波の集積回路の内部は、扱う信号のレベルも受信に用いる非常に微弱な信号（例えば -100 dBm ぐらいの信号レベル）もあれば、送信用の大信号（例えば $+10\text{ dBm}$ ぐらいの信号レベル）もあり、回路設計どおり動作させるためには、高周波の集積回路の半導体基板上で、基本信号の波形が歪むことが少ないとともに、ある回路の処理する信号が隣接する他の回路へ回り込んだり相互干渉したりすることを少なくしなければならない。

[0003] また、高周波の集積回路に用いられる、抵抗又は容量又はインダクターに代表される受動素子は、抵抗損失成分や浮遊容量成分が小さくて、回路を構成した場合のQ値（ $Q\text{-factor}$ ）が高くないと高周波で動作しないだけでなく、損失が増えて消費電流が増加してしまい、携帯電話などのポータブル機器での電池による長時間動作が難しくなるので、受動素子の抵抗損失成分や浮遊容量成分は極めて小さな値でなければならない。

[0004] これらの高周波の集積回路には、シリコン単結晶からなるベースウェーハと、ベースウェーハ上の多結晶シリコン層（ Trap-rich 層とも呼ば

れる)と、多結晶シリコン層上の誘電体層と誘電体層上の単結晶シリコン層とを有するいわゆる貼り合わせ半導体ウェーハ、別な言い方をするといわゆるTrap-rich型SOI (Silicon on Insulator) 基板が、近年実用化され多数使用される状況になってきている。この場合に用いられるベースウェーハの比抵抗は、高いほど高周波の基本波の歪みや回り込み信号が少なくなるので、ベースウェーハの量産性の観点から $1\text{ k}\Omega\cdot\text{cm}$ から $4\text{ k}\Omega\cdot\text{cm}$ 程度のウェーハが一般的には使用されている。ここで、高周波の歪みや回り込み信号が少ないことは、二次高調波特性(基本周波数の2倍の周波数成分が含まれる割合)を測定することによって確認でき、二次高調波が小さいことを意味する。

また、多結晶シリコン層は下部に位置するベースウェーハの反転防止の為に堆積されており、SOI基板全体の物理的反りや歪みの兼ね合いから $1\mu\text{m}$ から $2\mu\text{m}$ 程度の厚さが用いられている。

[0005] ベースウェーハの比抵抗の値とその量産性については、比抵抗が低いほど不純物の制御が容易になるので狙った比抵抗の基板を多数量産可能である。しかしながら、現状のシリコン単結晶の量産技術において、比抵抗としてたとえば $4\text{ k}\Omega\cdot\text{cm}$ を超える高比抵抗を狙うことは、不純物を減らす方向の制御である為に実現が難しく、極端な場合には $4\text{ k}\Omega\cdot\text{cm}$ 付近の値を示すか、 $8\text{ k}\Omega\cdot\text{cm}$ 付近の値を示すかは造ってみなければわからないと言うのが現状で、工業的には極めて不安定な条件下で生産することになる。この結果、高い比抵抗を有するベースウェーハは歩留まりが悪くて、価格的にも非常に高価になっていた。また、このことは高周波の集積回路の主たる市場である携帯電話やスマートフォンに対し半導体チップの価格上昇を招き、工業的には何の価値もなくなってしまうことを意味している。

[0006] また、たとえ比抵抗の高いベースウェーハの量産が可能となったとしても、他にも大きな問題が存在する。

第1の問題は、n型の半導体で比抵抗が $1\text{ k}\Omega\cdot\text{cm}$ のリンの不純物濃度は $3\times 10^{12}/\text{cm}^2$ 程度、p型の半導体で比抵抗が $1\text{ k}\Omega\cdot\text{cm}$ のボロンの

不純物濃度は $1 \times 10^{13} / \text{cm}^2$ 程度と極めて低く、ベースウェーハ自体が含む酸素で発生するドナーによる影響で熱処理により比抵抗が変化し易いという欠点を持つことである。この比抵抗の変動は、ベースウェーハの酸素濃度を低く規定することと、半導体プロセスで使用する熱処理温度の設定である程度回避は可能となってきた。

[0007] 第2の問題は、いわゆるBOX酸化膜（埋め込み酸化膜）中に含まれる電荷や、BOX酸化膜と多結晶シリコン層との界面に現れる界面準位に捕獲された電荷により、高比抵抗なベースウェーハの表面側に反転層が形成されて低比抵抗の層が形成されることである。このような低比抵抗の層の形成は、高周波の信号の回り込みを助長してしまい、高比抵抗なベースウェーハを使うことを全く価値の無い物にしてしまっていた。いわゆるTrap-rich型SOI基板においては、このような反転層の形成を阻む意味で多結晶シリコン層（Trap-rich層）が挿入されているのであるが、多結晶シリコン層の堆積時の温度条件や堆積前の表面の酸化膜を除去する為の水素処理が不十分な場合には酸化膜が残存してしまい、多結晶シリコン層を導入したにもかかわらず、その下部に位置する酸化膜の下に再び反転層が形成されてしまい、高い比抵抗を有するベースウェーハを使用する意味をなくしてしまう結果となっていた。

[0008] また、第3の問題は、Trap-rich型SOI基板を作製する際の貼り合わせ工程や電気炉を用いた酸化や熱処理の工程において、いわゆるBOX酸化膜と呼ばれる誘電体直下にリンやボロンなどの不純物が挟み込まれる可能性があり、これが多結晶シリコン層やベースウェーハに拡散し多結晶シリコン層やベースウェーハの比抵抗を大きく低下させる要因となっていることである。この不純物の拡散は、半導体プロセスを行なういわゆるクリーンルームの空気や使用する純水に含まれる不純物に起因するものと、電気炉を用いた酸化や熱処理において他の品種の不純物が残存していて、それが拡散源となっているものが多いと言われている。n型の半導体の比抵抗 $1 \text{ k} \Omega \cdot \text{cm}$ はリンの不純物濃度 $3 \times 10^{12} / \text{cm}^2$ 程度、p型の半導体の比抵抗 1 k

$\Omega \cdot \text{cm}$ はボロンの不純物濃度 $1 \times 10^{13} / \text{cm}^2$ 程度と極めて不純物濃度が低いので、不純物濃度の測定自体が技術的に難しい。高周波用の高い比抵抗の半導体基板としては、比抵抗が $5 \text{ k} \Omega \cdot \text{cm}$ や $10 \text{ k} \Omega \cdot \text{cm}$ のベースウェーハが必要とされるが、そのような基板を流すクリーンルームの環境による汚染と、電気炉内での不純物の再付着による拡散を非常に低レベルに抑え維持管理することは殆ど対応不可能と言わざるを得ない。

[0009] 高周波用途ではない普通の半導体の製造において、半導体プロセスを行なういわゆるクリーンルームの空気や使用する純水に含まれる不純物が問題にならないのは、ただ単にその要求されるウェーハの比抵抗が $100 \Omega \cdot \text{cm}$ から $1 \text{ k} \Omega \cdot \text{cm}$ 以下、不純物濃度で言えば $1 \times 10^{14} / \text{cm}^2$ 程度と、その数値レベルが高くて良い半導体であっただけであり、またこの不純物濃度 $1 \times 10^{14} / \text{cm}^2$ 程度に対応した普通のクリーンルームの環境管理手法で対応できていただけの話に過ぎない。このような高周波用ではない通常の半導体を製造する半導体プロセスのクリーンルームでは、予期しない不純物の濃度が高いので、高い比抵抗を必要とする高周波用の例えば *Trap-rich* h型SOI基板や、それを用いた高周波で動作する集積回路を試作及び製造することはできなかった。

先行技術文献

特許文献

[0010] 特許文献1：特表2014-509087号公報

発明の概要

発明が解決しようとする課題

[0011] 図8は、特許文献1に記載された従来の無線周波数応用分野向けの半導体オンインシュレーター（SOI）タイプの基板のための製造方法で作製されたウェーハの断面図を示したものである。

図8の従来例の貼り合わせ半導体基板44において、ベースウェーハ31は $500 \Omega \cdot \text{cm}$ を超え、好ましくは $1 \text{ k} \Omega \cdot \text{cm}$ から $3 \text{ k} \Omega \cdot \text{cm}$ 以上の

比抵抗を有する。誘電体薄膜 33 がベースウェーハ 31 上に形成され、しかる後に多結晶シリコン層 34 が堆積等の方法で形成される。誘電体薄膜 33 は、自然酸化膜層とは異なる急速熱酸化 (Rapid Thermal Oxidation) やドライ熱酸化等の方法で形成された、自然酸化膜よりも密度が高く、上に位置する多結晶シリコン層の再結晶化を防止する、または少なくとも実質的に遅らせる働きを成し、その厚さは 0.5 nm から 10 nm の間の厚さを有するものである。一般的に、イオン注入剥離法 (スマートカット (登録商標) 法) と呼ばれる貼り合わせ手法によれば、別のウェーハからの貼り合わせにより、第二誘電体層 35 と単結晶シリコン層 36 が多結晶シリコン層 34 の上に貼り合わせられ、多結晶シリコン層 34 の下層に誘電体薄膜 33 を有する Trapperich 型の SOI 基板が完成する。図 8 において、多結晶シリコン層 34 と第二誘電体層 35 の間が貼り合わせ面 48 になっている。

[0012] 第二誘電体層 35 も一般的には酸化膜が用いられ、BOX 酸化膜と呼ばれることもあるが、その厚みは誘電体薄膜 33 より厚く、数 10 nm から数 μ m がよく用いられる厚さである。図 8 において、多結晶シリコン層 34 は基本的にはベースウェーハ 31 の誘電体薄膜 33 との界面側の導電型が反対導電型に反転するのを防止する機能を有する。この機能により、ベースウェーハ 31 の比抵抗が高くなればなるほど前述の高周波の歪みや回り込み信号が少なくなり、高周波動作に適する基板となる。また、誘電体薄膜 33 は薄く形成されており、多結晶シリコン層 34 の単結晶化や意図しない不純物のベースウェーハ 31 への拡散障壁として機能するとともに、多結晶シリコン層 34 とベースウェーハ 31 との間のキャリアの通過には障害物として働かないように形成するのがポイントである。この誘電体薄膜 33 は、典型的には厚さ 2 nm 未満であり、自由キャリアにとって透過性となるほど十分薄く、その結果、多結晶シリコン層 34 が、下にあるベースウェーハ 31 内で循環するキャリアをトラップする役割を、誘電体薄膜 33 が妨げないようになっている。

[0013] しかしながら、実際に図8の従来例に記載されているような基板を作製しその効果を検証したが、その効果は全く観測されなかった。即ち、図8の従来例の貼り合わせ半導体ウェーハ44の第1の大きな課題は、誘電体薄膜33の膜厚の制御が極めて難しく必要な精度で制御できないことにある。誘電体薄膜33としては酸化膜が用いられることが多いが、その厚さが所定膜厚の2nmに対して1nm増えると、その直下に位置するベースウェーハ31は、高比抵抗である場合は余計に反転層45が形成され易くなり、2nmに対して1nm薄いと、多結晶シリコン層34の単結晶化や意図しない不純物のベースウェーハ31への拡散が発生してしまい、結果的にプロセスをコントロールしてデバイスを歩留まりよく形成するだけの制御性が全く無く、再現性にも乏しかった。

[0014] また、図8の従来例の貼り合わせ半導体ウェーハ44の第2の大きな課題は、誘電体薄膜33が非常に薄いので、貼り合わせウェーハの形成工程やデバイス形成工程で受ける1100℃や1200℃程度の熱処理の影響を受け、その特性、具体的には前述した反転層45の形成条件などがウェーハごとに異なりバラツキが極めて大きいということにある。また、この高温の熱処理工程により、誘電体薄膜33の膜厚が変化してしまうので、同じ条件のプロセスで作製した基板であってもデバイスを形成するプロセスを終了した時点で、最初に形成した誘電体薄膜33の膜厚のどれくらいが残っているのか、それともすべてなくなってしまったのかさえ不明確であった。そのため、安定して貼り合わせ半導体ウェーハの製造ができないだけでなく、その後のデバイスの形成プロセスでもその特性が極めて大きくばらつくという結果になっていた。

[0015] このような不安定な誘電体薄膜33の上に多結晶シリコン層34を堆積するのであるから、多結晶シリコン層34自体の特性も不安定にならざるを得ない。具体的には、多結晶シリコン層34の単結晶化の進み具合や比抵抗のバラツキが大きくなって安定性に欠けていた。

[0016] 図7は、図8に示した従来例の貼り合わせ半導体ウェーハ44の比抵抗の

深さ方向の分布の一例を示したものである。即ち、図7は図8に示した従来例の貼り合わせ半導体ウェーハ44において、貼り合わせ半導体ウェーハの比抵抗の深さ方向の分布が最終的にどのように変化しているかを簡略的に示したグラフである。その比抵抗のグラフの上部には、従来例の貼り合わせ半導体ウェーハの断面図も示し、どの部分の比抵抗が変化しているのかということが構造と対比して明確に分かるように図示してある。

[0017] 図7において、単結晶シリコン層36の比抵抗は $10\ \Omega \cdot \text{cm}$ 、ベースウェーハ31の比抵抗は $1\ \text{k}\ \Omega \cdot \text{cm}$ のものをを用いている。エピタキシャル装置を用いて堆積した多結晶シリコン層34の比抵抗の初期値は $10\ \text{k}\ \Omega \cdot \text{cm}$ であるが、誘電体薄膜33が極めて薄いために単結晶化がベースウェーハ31側から進行すると共に、貼り合わせ面48に存在する、意図しない不純物の挟み込みと拡散により多結晶シリコン層34のベースウェーハ31寄りでは比抵抗は急激に低下し、例えば $100\ \Omega \cdot \text{cm}$ を切る値にまで低下する。この原因は、具体的には電気炉による各種熱処理時にn型やp型の不純物拡散源であるリン原子やボロン原子がウェーハ表面に付着する可能性も存在するし、金属系の粒子等がウェーハ上に機械的な接触により付着する等の現象が不定期に発生し、各種の熱処理を受けて、多結晶シリコン層34だけでなく、ベースウェーハ31にも拡散することでも比抵抗が低下する可能性が存在するなど、各種の要因が考えられる。多結晶シリコン層34とベースウェーハ31の間には誘電体薄膜33が位置しているが、その厚さが薄いために高温熱処理により簡単に局所的又はその全面で拡散障壁が破られてベースウェーハ31側に意図しない不純物が拡散し、比抵抗がベースウェーハ31でも低下するのである。

[0018] 第二誘電体層35の比抵抗は非常に高い値を示すが、簡易的に $600\ \text{k}\ \Omega \cdot \text{cm}$ の比抵抗としている。この高い比抵抗は、第二誘電体層35の厚さが厚い為に不純物拡散の障壁となって機能していることを意味しており、拡散障壁を破られてしまう誘電体薄膜33とは対照的である。この原因は、ひとえに誘電体薄膜33の厚さが $0.5\ \text{nm}$ から $10\ \text{nm}$ の間で中途半端な膜厚

であることにあり、薄いことで高温熱処理により拡散障壁にはなり得ないことによる。また、誘電体薄膜33は、それが存在するだけでベースウェーハ31に反転層45を形成してしまう可能性があり、拡散障壁としての機能を持ち、かつ多結晶シリコン層34とベースウェーハ31との間でキャリアの通過には障害物として働かないように形成するような安定な条件など、どこにも存在しなかった。

[0019] 図8に示した従来例の貼り合わせ半導体ウェーハ44では、図7に示したような深さ方向の比抵抗の分布になってしまい、例えばベースウェーハ31の比抵抗が $100\Omega \cdot \text{cm}$ を切る値にまで急激に低下する現象が発生し、高周波の歪みが大きくなるだけでなく、高周波の回り込み信号も増加し、高周波領域では全く使えない基板になってしまっていた。

[0020] 以上説明したように、図8及び図7に示した従来例の貼り合わせ半導体ウェーハ44では、高周波の歪みや回り込み信号が少ないという高周波の集積回路に適した貼り合わせ半導体ウェーハを、大量に且つ安定にしかも安価に製造することは極めて困難で、上記課題を解決できる新たな貼り合わせ半導体ウェーハ及びその製造方法が強く必要とされていた。

[0021] 本発明は、上記問題点に鑑みてなされたものであって、Trap-rich型SOI基板において、BOX酸化膜中の電荷の影響や不純物によるベースウェーハの比抵抗の低下を回避でき、前述の高周波の基本信号の歪みやある回路から他の回路への回り込み信号が少なく、しかも量産性に優れた貼り合わせ半導体ウェーハ及びそのような貼り合わせ半導体ウェーハの製造方法を提供することを目的とする。

課題を解決するための手段

[0022] 上記目的を達成するために、本発明は、主表面に単結晶シリコン層を備えた貼り合わせ半導体ウェーハであって、

前記貼り合わせ半導体ウェーハはシリコン単結晶からなるベースウェーハを有し、該ベースウェーハより上に第一誘電体層と、多結晶シリコン層と、第二誘電体層と、前記単結晶シリコン層とをこの順に有し、前記多結晶シリ

コン層と前記第二誘電体層の間が貼り合わせ面になっているものであり、

さらに、前記ベースウェーハと前記第一誘電体層の間にキャリアトラップ層が形成されているものであることを特徴とする貼り合わせ半導体ウェーハを提供する。

[0023] このように、ベースウェーハと第一誘電体層の間にキャリアトラップ層が形成された構造とすることで、キャリアトラップ層がベースウェーハ内の自由キャリアをトラップするので、ベースウェーハに反転層が形成されないようにすることができる。また、多結晶シリコン層が第一誘電体層と第二誘電体層の間にある構造とすることで、多結晶シリコン層の単結晶化が防止できるとともに、意図しない不純物のベースウェーハへの拡散を防止することができる。

[0024] このとき、前記キャリアトラップ層が前記ベースウェーハ上に堆積された多結晶シリコン層であることが好ましい。

このようにキャリアトラップ層を多結晶シリコン層とすることで、図8に示した従来の貼り合わせ半導体ウェーハに比べて、多結晶シリコン層の合計の厚みが厚くなっており、その分だけ高周波の歪みや回り込み信号を少なくすることができる。また、前述のように $4\text{ k}\Omega\cdot\text{cm}$ 以上の比抵抗を有するベースウェーハを安定に結晶成長させることは困難であるが、多結晶シリコン層は、シリコンのエピタキシャル装置で堆積温度等を制御することで、比較的容易に $10\text{ k}\Omega\cdot\text{cm}$ 前後の高い比抵抗を実現できる。そのような多結晶シリコン層が第一誘電体層を挟んで2段に積層されているので、高周波集積回路の高周波特性を良くすることができる。

[0025] このとき、前記キャリアトラップ層が前記ベースウェーハ内にイオン注入することで形成されたイオン注入層であることが好ましい。

このようにキャリアトラップ層をイオン注入層とすることで、イオン注入層に形成された欠陥がベースウェーハ内の自由キャリアをトラップするので、自由キャリアのライフタイムは極めて短く、ベースウェーハのキャリアトラップ層側に反転層が形成されずに比抵抗が電位によって変動するのを防ぐ

ことができる。また、多結晶シリコン層を1層とすることで、製造プロセスが簡略化され、貼り合わせ半導体ウェーハの平坦度も改善される。

[0026] このとき、前記ベースウェーハの比抵抗が $4\text{ k}\Omega\cdot\text{cm}$ 以下であることが好ましい。

このような比抵抗のベースウェーハであれば製造が比較的容易なため、大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。

[0027] さらに、上記目的を達成するために、本発明では、主表面に単結晶シリコン層を備えた貼り合わせ半導体ウェーハの製造方法であって、

シリコン単結晶からなるベースウェーハを準備する工程と、

該ベースウェーハより上に第一誘電体層を形成する工程と、

該第一誘電体層上に多結晶シリコン層を形成し、該多結晶シリコン層の表面を研磨する工程と、

シリコン単結晶からなるボンドウェーハを準備する工程と、

該ボンドウェーハの表面に第二誘電体層を形成する工程と、

前記ベースウェーハの多結晶シリコン層と、前記ボンドウェーハの第二誘電体層とが接するように、前記ベースウェーハと前記ボンドウェーハを貼り合わせる工程と、

前記ボンドウェーハを薄膜化して、前記単結晶シリコン層にする工程を有し、

さらに、前記ベースウェーハと前記第一誘電体層の間にキャリアトラップ層を形成する工程を有することを特徴とする貼り合わせ半導体ウェーハの製造方法を提供する。

[0028] このように、多結晶シリコン層を第一誘電体層と第二誘電体層の間に形成し、ベースウェーハと第一誘電体層の間にキャリアトラップ層を形成することで、ベースウェーハに反転層が形成されず、また、多結晶シリコン層の単結晶化が防止でき、意図しない不純物のベースウェーハへの拡散を防止することができる。また、多結晶シリコン層の表面を研磨することで平坦度がよ

く安定な貼り合わせが可能となる。そして、上記製造方法を用いて貼り合わせウェーハを製造することで、高周波集積回路用の半導体基板として用いたときに、高温熱処理に対しても比抵抗の変化が極めて少なく、しかも二次高調波特性の優れた貼り合わせ半導体ウェーハを安定に供給することができる。

[0029] このとき、前記キャリアトラップ層を前記ベースウェーハ上に多結晶シリコン層を堆積することで形成することが好ましい。

このようにキャリアトラップ層として多結晶シリコン層を堆積することで、高い比抵抗の多結晶シリコン層を第一誘電体層を挟んで2段に積層することができるので、貼り合わせ半導体ウェーハに形成した高周波集積回路の高周波の歪みや回り込み信号を小さくすることができる。

[0030] このとき、前記キャリアトラップ層として、前記ベースウェーハ内にイオン注入層を前記第一誘電体層を貫通してイオン注入をすることで形成することが好ましい。

このようにキャリアトラップ層としてイオン注入層を形成することで、ベースウェーハに反転層が形成されずに、比抵抗が電位によって変動するのを防ぐことができる。また、多結晶シリコン層を1層とすることで、製造プロセスが簡略化され、貼り合わせ半導体ウェーハの平坦度も改善される。

[0031] このとき、前記準備するベースウェーハの比抵抗を $4 \text{ k} \Omega \cdot \text{cm}$ 以下とすることが好ましい。

このような比抵抗のベースウェーハであれば製造が比較的容易なため、大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。

発明の効果

[0032] 以上のように、キャリアトラップ層を多結晶シリコン層とした本発明の貼り合わせ半導体ウェーハであれば、例えば第一誘電体層を 10 nm 以上数 μm 以下とすることで多結晶シリコン層の単結晶化を防止できるだけでなく、意図しない不純物のベースウェーハへの拡散障壁として確実に機能させるこ

とができる。このことはベースウェーハの比抵抗を初期値に近い高い値で維持できることを意味している。第一誘電体層の直下にはキャリアトラップ層（多結晶シリコン層）が位置しており自由キャリアのトラップとしての機能を果たし、反転層を形成させない効果がある。従って、特性が安定で歩留まりが良く大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。また、キャリアトラップ層をベースウェーハ上に多結晶シリコン層を堆積することで形成した本発明の貼り合わせ半導体ウェーハの製造方法であれば、多結晶シリコン層の表面を研磨することで平坦度がよく安定な貼り合わせが可能となり、高周波特性の優れた貼り合わせ半導体ウェーハを安定して歩留まりよく供給できる。

[0033] さらに、キャリアトラップ層をイオン注入層とした本発明の貼り合わせ半導体ウェーハであれば、第一誘電体層の直下にはキャリアトラップ層として機能するイオン注入層が位置しており、前述の多結晶シリコン層と同様に自由キャリアのトラップとしての機能を果たし、反転層を形成させない効果がある。また、第一誘電体層と第二誘電体層で多結晶シリコン層を挟むことにより、多結晶シリコン層の単結晶化を防止できるだけでなく、意図しない不純物のベースウェーハへの拡散障壁として確実に機能させることができる。従って、特性が安定で歩留まりが良く大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。また、キャリアトラップ層としてベースウェーハ内にイオン注入層を形成する本発明の貼り合わせ半導体ウェーハの製造方法では、イオン注入層が自由キャリアのトラップとしての機能を多結晶シリコン層に代わり果たすことができる。キャリアトラップ層にイオン注入を用いることで、ベースウェーハの平坦度がそのまま維持されるので、貼り合わせ半導体ウェーハで重要な確認ポイントである平坦度はキャリアトラップ層として多結晶シリコン層を用いた時に比べて更に良く、貼り合わせする前の多結晶シリコン層を研磨する量と時間を短くすることができる。そして特性が安定で歩留まりが良く大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。

図面の簡単な説明

[0034] [図1]本発明の実施形態1の貼り合わせ半導体ウェーハを示す断面図である。

[図2]本発明の実施形態1の貼り合わせ半導体ウェーハの製造方法を示す工程断面図である。

[図3]本発明の実施形態2の貼り合わせ半導体ウェーハを示す断面図である。

[図4]本発明の実施形態2の貼り合わせ半導体ウェーハの製造方法を示す工程断面図である。

[図5]本発明の実施形態1の貼り合わせ半導体ウェーハを用いて作製されたデバイスの一例を示す断面図である。

[図6]本発明の実施形態1の貼り合わせ半導体ウェーハの比抵抗の深さ方向の分布を示す図である。

[図7]従来例の貼り合わせ半導体ウェーハの比抵抗の深さ方向の分布を示す図である。

[図8]従来例の貼り合わせ半導体ウェーハを示す断面図である。

発明を実施するための形態

[0035] [実施形態1]

以下、本発明の実施形態1の貼り合わせ半導体ウェーハについて、図1を参照しながら説明する。

図1は、本発明の実施形態1の貼り合わせ半導体ウェーハ14を示す断面図である。本発明の実施形態1の貼り合わせ半導体ウェーハ14において、ベースウェーハ1は比抵抗が $100\Omega\cdot\text{cm}$ 以上であり、好適には $500\Omega\cdot\text{cm}$ 以上、より好適には $1\text{k}\Omega\cdot\text{cm}$ 以上の値を有しており、いわゆる高比抵抗基板と呼ばれているシリコンの単結晶基板である。ベースウェーハの比抵抗の値は、 $1\text{k}\Omega\cdot\text{cm}$ から $4\text{k}\Omega\cdot\text{cm}$ ぐらいの値であれば所定の比抵抗値を狙った結晶引き上げが可能で、高比抵抗基板の製造が生産性と安定性に富みしかも安価であるという特徴がある。しかしながら、 $4\text{k}\Omega\cdot\text{cm}$ 以上の比抵抗となると所定の比抵抗値を狙えるわけではなく、結晶引き上げを行なってみないと比抵抗の値がどの値に落ちつくかは不確定要素が高く、

結果的に価格が高くなっているのが現状である。

[0036] このベースウェーハ1上に、キャリアトラップ層2、第一誘電体層3、多結晶シリコン層4が連続的に形成される。ここでキャリアトラップ層2はベースウェーハ1上に堆積された多結晶シリコン層である。第一誘電体層3はCVD法で形成することができるが、他の方法、例えばキャリアトラップ層（多結晶シリコン層）2を酸化して形成しても良い。多結晶シリコン層4の最表面は例えばCMP（Chemical Mechanical Polishing）法等により、平坦度良く研磨され、貼り合わせ面18として機能する。

第二誘電体層5と単結晶シリコン層6は、別の基板（ボンドウェーハ）からの貼り合わせ、いわゆるスマートカット法により、貼り合わせと剥離が行なわれTrap-rich型のSOI基板が完成する。

[0037] キャリアトラップ層（多結晶シリコン層）2と多結晶シリコン層4の厚さは、典型的な値としてはいずれも2 μ m前後であればよい。キャリアトラップ層（多結晶シリコン層）2はベースウェーハ内の自由キャリアをトラップし、反転層がベースウェーハ1のキャリアトラップ層2が形成された側の表面に形成されるのを防ぐ働きをする。多結晶シリコン層4は、上部に第二誘電体層5が位置し、下部に第一誘電体層3が位置している。この第一誘電体層3は意図しない不純物がベースウェーハ1へ拡散していくのを防ぐ拡散障壁として機能するので、不純物等を多結晶シリコン層4の内部に閉じ込めることができる。また、多結晶シリコン層4は上下を誘電体層ではさまれている関係で、高温の熱処理を行なったとしても単結晶化が進行せず、この場合意図しない不純物の存在による比抵抗の低下が、単結晶化した場合に比べて少ない。第一誘電体層3と第二誘電体層5の厚さは、10nm以上の膜厚であればよいが、100nm～400nmであることが好ましい。このように、第一誘電体層3と第二誘電体層5はいずれも過度に薄くないためその厚さの制御は容易であり、高温熱処理で消滅することは無く安定である。前述のように、これら第一誘電体層3と第二誘電体層5は、CVDや熱酸化により

形成が可能であるとともに、酸化膜以外の他の誘電体（例えば、窒化膜や酸窒化膜）であっても同様の効果が得られることは言うまでもない。

[0038] 図1に示した、本発明の実施形態1の貼り合わせ半導体ウェーハでは、貼り合わせ面18に意図しない不純物が挟み込まれる可能性がある。この原因として、具体的には電気炉による各種熱処理時にn型やp型の不純物拡散源であるリン原子やボロン原子がウェーハ表面に付着する可能性があり、また金属系の粒子などがウェーハ上に機械的な接触により付着する等の現象が不定期に発生することも考えられる。本発明によれば、たとえ貼り合わせ面18に不純物が挟み込まれ付着していたとしても、前述のように多結晶シリコン層4の上下には第二誘電体層5と第一誘電体層3が位置しており、不純物の異常拡散が妨げられ多結晶シリコン層4の内部にこれら意図しない不純物を閉じ込めることができる。

[0039] また、単結晶シリコン層6に形成される高周波で動作する能動デバイスから見て、デバイスの下は高比抵抗な多結晶シリコン層4とキャリアトラップ層（多結晶シリコン層）2が位置しており、図8で示した従来例の貼り合わせ半導体ウェーハ44に比べて多結晶シリコン層の合計の厚みは当然厚くなっており、その分だけ高周波の歪みや回り込み信号が少なく優れた高周波特性を示す高周波の集積回路に適した基板となる。前述のように、 $4\text{ k}\Omega\cdot\text{cm}$ 以上の比抵抗を有するベースウェーハを安定に結晶成長させることは困難であるが、本発明に用いる多結晶シリコン層であれば、シリコンのエピタキシャル装置で堆積温度等を制御することで、比較的容易に $10\text{ k}\Omega\cdot\text{cm}$ 前後の比抵抗を実現できる。しかもそれが第一誘電体層をはさんで2段に積層されているのであるから、図8で示した従来例の貼り合わせ半導体ウェーハに比べて高周波特性が良いのは明らかである。

[0040] 以上説明したように、図1に示した本発明の実施形態1の貼り合わせ半導体ウェーハ14の構造であれば、生産性と再現性に優れているだけでなく、高周波の集積回路を形成する上で重要な高周波の歪みや回り込み信号の量も大幅に低減できる。大量生産が可能であるので、高周波特性の優れた貼り合

わせ半導体ウェーハを安価に供給できる。

[0041] 以下で、本発明の実施形態1の貼り合わせ半導体ウェーハの製造方法を図2に示した製造工程断面図を参照して説明する。

[0042] まず、シリコン単結晶からなり、比抵抗が $1\text{ k}\Omega\cdot\text{cm}$ 程度のベースウェーハ1を準備する（ベースウェーハを準備する工程）。

具体的には、例えば、CZ（Czochralski）法を用いて、原料シリコン融液中に所定の量のドーパントを投入することで、比抵抗が $1\text{ k}\Omega\cdot\text{cm}$ 程度のシリコン単結晶インゴットを育成し、このシリコン単結晶インゴットをスライスして薄い円板状に加工した後、面取り、ラッピング、エッチング、研磨等の種々の工程を経て鏡面状のウェーハ（鏡面ウェーハ）に仕上げることににより、ベースウェーハ1を準備する（図2（d）を参照）。

この時、本発明ではCZ単結晶の狙い比抵抗を $1\text{ k}\Omega\cdot\text{cm}$ 程度としてシリコン単結晶を育成するので、 $4\text{ k}\Omega\cdot\text{cm}$ を超える比抵抗を狙いとする場合に比べて格段に抵抗率の制御が容易であり、シリコン単結晶製造の歩留まりを向上させることができる。

[0043] ここで、さらに優れた高周波特性を得るためには、準備するベースウェーハ1の比抵抗を $4\text{ k}\Omega\cdot\text{cm}$ 以下とすることが好ましい（ $4\text{ k}\Omega\cdot\text{cm}$ に近い値であることが好ましい）。現状のシリコン単結晶の量産技術を考慮すると、 $4\text{ k}\Omega\cdot\text{cm}$ 以下の比抵抗のシリコン単結晶を作製することは比較的容易であるので、準備するベースウェーハ1の比抵抗を $4\text{ k}\Omega\cdot\text{cm}$ 以下とすることで、高周波特性のより優れた貼り合わせ半導体ウェーハの製造コストを従来よりも低減させることができる。

[0044] 次に、ベースウェーハ1と接するようにキャリアトラップ層（多結晶シリコン層）2を $2\mu\text{m}$ 程度の厚さで形成する（キャリアトラップ層を形成する工程、図2（e）を参照）。キャリアトラップ層（多結晶シリコン層）2は、一般にエピタキシャル装置により形成される。エピタキシャル装置の形態として、単結晶シリコン層を積層することを目的とするエピリアクターがあるが、どの装置においても、堆積温度を低温化する等の条件を選ぶことで、単

結晶ではなく多結晶シリコンを堆積することは可能である。しかる後に、キャリアトラップ層（多結晶シリコン層）2の上面に第一誘電体層3をCVD法又は熱酸化により例えば厚さ400nmで形成する（第一誘電体層を形成する工程）。次に、第一誘電体層3の上面に再度エピタキシャル装置により多結晶シリコン層4を形成して、その表面を研磨する（多結晶シリコン層を形成し、その表面を研磨する工程）。多結晶シリコン層4も例えば2 μ m程度の厚さで堆積すればよい。この際、キャリアトラップ層（多結晶シリコン層）2及び多結晶シリコン層4の厚さに制限は特にないが、多結晶シリコン層4はその最上面を研磨して平坦化しボンドウェーハ11と貼り合わせが可能な状態にするので、1 μ m以下などの余りに薄い場合は平坦性に問題が出てくるため、それ以上の厚さに設定すれば良い（図2（e）を参照）。

[0045] 一方、シリコン単結晶からなるボンドウェーハ11を準備し（ボンドウェーハを準備する工程）、ボンドウェーハ11の表面に第二誘電体層5を形成する（第二誘電体層を形成する工程）。具体的には、例えば、ボンドウェーハ11として、シリコン単結晶ウェーハを準備し（図2（a）を参照）、第二誘電体層5（図2（g）を参照）となる誘電体膜12を形成するために酸化膜成長（例えば、熱酸化処理）を施す（図2（b）を参照）。誘電体膜（酸化膜）12の厚さは、例えば、数十nm～数 μ mとすることができる。

[0046] さらに、誘電体膜（酸化膜）12の上からイオン注入法により、水素イオン又は希ガスイオンを注入して、剥離面となるイオン注入層13を形成する（図2（c）を参照）。この際、剥離したシリコン層（すなわち、単結晶シリコン層6、図2（g）を参照）において目標とする厚さを得ることができるよう、イオン注入加速電圧を選択する。

次に、ベースウェーハ1の多結晶シリコン層4の研磨面と、ボンドウェーハの誘電体膜（酸化膜）12とが接するように、ベースウェーハ1とボンドウェーハ11とを貼り合わせる（ベースウェーハとボンドウェーハとを貼り合わせる工程、図2（f）を参照）。

[0047] 次に、貼り合わされたボンドウェーハを薄膜化して、単結晶シリコン層6

とする（ボンドウエーハを薄膜化して単結晶シリコン層にする工程）。具体的には、例えば、イオン注入層 13 に微小気泡層を発生させる熱処理（剥離熱処理）を貼り合わせたウェーハに施し、発生した微小気泡層にてボンドウエーハを剥離して、ベースウェーハ 1 上に第二誘電体層 5 と単結晶シリコン層 6 が形成された貼り合わせ半導体ウェーハ 14 を作製する（図 2（g）を参照）。なお、この時に、剥離面 16 を有する剥離ウェーハ 17 が派生する。

[0048] このようにして、いわゆる Trap-rich 型の貼り合わせ半導体ウェーハが完成する。上記において、図 2 の（a）～（c）と（d）～（e）はそれぞれ、いずれを先に行なってもよく、また、同時にすすめてもよい。

[0049] 上記のように、本発明の実施形態 1 の貼り合わせ半導体ウェーハの製造方法を用いて貼り合わせウェーハ 14 を製造することで、高周波集積回路用の半導体基板として用いたときに、高温熱処理に対してもベースウェーハの比抵抗の変化が極めて少なく、しかも二次高調波特性の優れた貼り合わせ半導体ウェーハを安定に供給することができる。

[0050] [実施形態 2]

以下、本発明の実施形態 2 の貼り合わせ半導体ウェーハについて、図 3 を参照しながら説明する。図 3 は、本発明の実施形態 2 の貼り合わせ半導体ウェーハを示す断面図である。図 3 に示した、貼り合わせ半導体ウェーハ 24 の基本的構造、その特性とその効果については、図 1 に示した本発明の実施形態 1 の貼り合わせ半導体ウェーハ 14 と共通な部分が多いので、異なる点について以下に説明する。

[0051] 図 3 に示した実施形態 2 の貼り合わせ半導体ウェーハ 24 においては、図 1 に示した実施形態 1 の貼り合わせ半導体ウェーハ 14 のキャリアトラップ層（多結晶シリコン層）2 に代わり、イオン注入法を用いたダメージ層であるキャリアトラップ層（イオン注入層）7 を、ベースウェーハ 1 の表面直下の表層部に形成してある。

イオン注入法ではアルゴンやヘリウムや酸素などの原子のイオンをベース

ウェーハ 1 に注入するが、他の原子のイオンを注入しても同様の効果が得られる。このキャリアトラップ層（イオン注入層） 7 の作用であるが、キャリアトラップ層（多結晶シリコン層） 2 の作用と同様に、イオン注入によりベースウェーハ 1 の表層部に形成される多数の欠陥が自由キャリアを捕獲する準位を形成し、例えば電子トラップとして機能する。そのため、自由キャリアのライフタイムは極めて短く、ベースウェーハ 1 の主面側に反転層が形成されず比抵抗が電位によって変動しないという効果がある。結果として、ベースウェーハ 1 の比抵抗が高いことによる、高周波の歪み及び回り込み信号が小さく、高周波特性が優れているという効果は維持される。

[0052] また、イオン注入法を用いたキャリアトラップ層（イオン注入層） 7 の他の効果としては、プロセスの簡略化と貼り合わせ半導体ウェーハの平坦度の改善を図ることができる点がある。即ち、イオン注入によるキャリアトラップ層（イオン注入層） 7 は、第一誘電体層 3 を貫通してイオン注入を行うことにより形成できるので、キャリアトラップ層（多結晶シリコン層） 2 と多結晶シリコン層 4 の 2 回の堆積を行なう図 1 に示した本発明の実施形態 1 の貼り合わせ半導体ウェーハ 1 4 と比較して、多結晶シリコン層を研磨する量と時間を短くすることができる。そのため、貼り合わせウェーハで重要な確認ポイントである平坦性が優れている。

[0053] 以下、本発明の実施形態 2 の貼り合わせ半導体ウェーハ 2 4 の製造方法を、図 4 に示した工程断面図を参照しながら説明する。図 4 の本発明の実施形態 2 の貼り合わせ半導体ウェーハ 2 4 の製造方法を示す工程断面図においては、図 2 で示した本発明の実施形態 1 の貼り合わせ半導体ウェーハ 1 4 の製造方法を示す工程断面図と共通である部分が多いので、異なる点について以下に説明する。

[0054] ベースウェーハ 1 を準備し、図 4（e）に示したように、図 2（e）で示した実施形態 1 のキャリアトラップ層（多結晶シリコン層） 2 の形成に代わり、イオン注入法を用いて形成したダメージ層であるキャリアトラップ層（イオン注入層） 7 を、ベースウェーハ 1 の表面直下の表層部に形成する（キ

ャリアトラップ層を形成する工程)。イオン注入法ではアルゴンやヘリウムや酸素などの原子のイオンをベースウェーハ1に注入するが、他の原子のイオンを注入しても同様の効果が得られる。このキャリアトラップ層(イオン注入層)7は、ベースウェーハ1を所定の膜厚、例えば10nm以上の膜厚で、好ましくは100nm~400nmの間で熱酸化して第一誘電体層3を形成した後に、この第一誘電体層(酸化膜)3を貫通してイオン注入することで酸化膜直下に形成される。この工程の後、第一誘電体層3の上に多結晶シリコン層4をエピタキシャル装置で堆積する工程が図4(e)に示されている。

[0055] 図4の本発明の実施形態2の貼り合わせ半導体ウェーハ24の製造方法のその他の工程は、図2の本発明の実施形態1の貼り合わせ半導体ウェーハ14の製造方法と同様なので詳細説明は省略するが、このようなフローで製造することで、高周波集積回路用の半導体基板として用いたときに、高温熱処理にもベースウェーハの比抵抗変化が極めて少なく、しかも二次高調波特性の優れた貼り合わせ半導体ウェーハを安定して供給することができる。

[0056] 次に、本発明の実施形態1の貼り合わせ半導体ウェーハ14に形成したデバイスの一例の断面図を図5に示す。

図5において、能動領域AとしてMOS型トランジスタをシリコン層6に拡散等により形成してある。ドレイン領域とソース領域にはメタル電極Mがオーミックコンタクトし、ソースSとドレインD間に電流が流れる。チャンネル上にはゲート酸化膜10とゲートGが形成されこの電流を制御する。

[0057] 埋め込み溝9で囲われた領域に能動領域Aが形成され、その他のデバイス領域Bには受動素子や他の能動素子が形成されるが、本発明の実施形態1の貼り合わせ半導体ウェーハ14の構造により、能動領域Aからその他のデバイス領域Bに漏れる高周波電力やノイズは著しく低減でき、デバイス間の相互作用が極めて少なく、基本の設計どおりの動作をそれぞれのデバイスが行なうことで歩留まりも改善される。しかも、高温熱処理を行ってもベースウェーハの比抵抗変化が極めて少ない。このような優れた高周波の集積回路が

大量に、且つ安定して生産できるのが、本発明の貼り合わせ半導体ウェーハ及びその製造方法の特徴である。

尚、図5では本発明の実施形態1の貼り合わせ半導体ウェーハ14を用いてデバイスを形成する例を示したが、本発明の実施形態2の貼り合わせ半導体ウェーハ24を用いても同様にデバイスを形成することができ、同様な効果が得られる。

[0058] 本発明の実施形態1の貼り合わせ半導体ウェーハ14の構造を採用した時に、貼り合わせ半導体ウェーハの比抵抗の深さ方向の分布がどのように改善されるかを図6と図7を対比しながら説明する。

図6は、本発明の実施形態1の貼り合わせ半導体ウェーハ14の比抵抗の深さ方向の分布を示す図である。また、図7は前述のように従来例の貼り合わせ半導体ウェーハ44の比抵抗の深さ方向の分布を示す図である。それぞれの比抵抗の深さ方向の分布を示すグラフの上部には、貼り合わせ半導体ウェーハの簡略化した断面図も示し、どの部分の比抵抗がグラフに示されているかが対比して明確に分かるように図示してある。

[0059] 図6においても、図7の従来例の貼り合わせ半導体ウェーハと同じように、単結晶シリコン層6の比抵抗は $10\ \Omega \cdot \text{cm}$ 、ベースウェーハ1の比抵抗は $1\ \text{k}\Omega \cdot \text{cm}$ のものをを用いている。また、エピタキシャル装置を用いて堆積したキャリアトラップ層（多結晶シリコン層）2と多結晶シリコン層4の比抵抗は堆積後で $10\ \text{k}\Omega \cdot \text{cm}$ である。第一誘電体層3と第二誘電体層5の比抵抗は非常に高い値を示すが、グラフ上では $600\ \text{k}\Omega \cdot \text{cm}$ の比抵抗としている。

[0060] 本発明の実施形態1の貼り合わせ半導体ウェーハ14は、貼り合わせ面18で2つの基板が貼り合わされている。前述のように貼り合わせ面18には、意図しない不純物が挟み込まれる可能性がある。この原因は、具体的には電気炉による各種熱処理時にn型やp型の不純物拡散源であるリン原子やボロン原子がウェーハ表面に付着する可能性も有るし、金属系の粒子等がウェーハ上に機械的な接触により付着する等の現象が不定期に発生することが考

えられる。

[0061] 本発明によれば、たとえ貼り合わせ面 18 に不純物が挟み込まれたり、付着していたとしても、多結晶シリコン層 4 の上下には第 2 誘電体層 5 と第一誘電体層 3 が位置し不純物の拡散を防止できるので、多結晶シリコン層 4 の内部にこれら意図しない不純物を閉じ込めることができるのである。結果として、キャリアトラップ層（多結晶シリコン層）2 の比抵抗が変化しないだけでなく、ベースウェーハ 1 の比抵抗も変化しないのは当然である。これは、図 7 に示したベースウェーハ 31 の比抵抗の大幅な低下をもたらす従来例との際立った違いである。多結晶シリコン層 4 は第一誘電体層 3 と第二誘電体層 5 で挟まれているので、極めて単結晶化しにくい。このことが、多結晶シリコン層 4 の比抵抗が変化しない理由でもある。多結晶シリコン層は、多少の不純物が拡散しても比抵抗で見ると殆どその低下は観測されない。比抵抗の低下が無いと言うことは、高周波の優れた特性を維持していることと等価である。本発明の実施形態 1 の貼り合わせ半導体ウェーハ 14 では、図 6 に示した深さ方向の比抵抗の分布を実現でき、比抵抗の変化と低下が極めて少ないので、優れた高周波特性を実現できるのである。

尚、以上では本発明の実施形態 1 の貼り合わせ半導体ウェーハ 14 の比抵抗の深さ方向の分布について説明したが、本発明の実施形態 2 の貼り合わせ半導体ウェーハ 24 においても、同じような比抵抗の深さ方向の分布が得られ、同様の効果を得ることができる。

[0062] 本発明の貼り合わせ半導体ウェーハに、携帯電話などの数 GHz の高周波の信号を取り扱い、しかも受動素子だけでなく、受動素子と能動素子で回路が構成された高周波の集積回路を形成すると、高周波の歪みが少なく、さらにある回路の処理する信号が隣接する他の回路へ回り込むことや回路間の相互干渉が少なくなり、各回路ブロックを設計どおり動作させることができる。

具体的には、シリコン単結晶からなるベースウェーハ 1 を有し、ベースウェーハより上に第一誘電体層 3 と、多結晶シリコン層 4 と、第二誘電体層 5

と、単結晶シリコン層 6 とをこの順に有し、ベースウェーハ 1 と第一誘電体層 3 の間にキャリアトラップ層（2 又は 7）が形成された貼り合わせ半導体ウェーハにおいて、例えば第一誘電体層 3 を 10 nm 以上数 μ m 以下とすることで多結晶シリコン層 4 の単結晶化を防止できるだけでなく、意図しない不純物のベースウェーハ 1 への拡散障壁として確実に機能する。第一誘電体層 3 の直下にはキャリアトラップ層（2 又は 7）が位置しており、自由キャリアをトラップする機能を果たし、反転層 4 5 を形成させない効果がある。従って、特性が安定で歩留まりが良いので大量生産が可能で、しかも安価で高周波特性の優れた貼り合わせ半導体ウェーハを供給できる。

実施例

[0063] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

（実施例 1、2）

表 1 に記載した条件で図 1 及び図 3 の構造を有する本発明の実施形態 1 及び 2 の貼り合わせ半導体ウェーハ（1 4 及び 2 4）を作製し、表層のシリコン単結晶層（SOI 層）6 に高周波集積回路デバイスを製造した。

製造したデバイスのそれぞれについて二次高調波の特性を評価し、結果を表 1 中に併記した。尚、二次高調波は小さいほど、デバイスの特性が優れていることを示している。また、高周波集積回路デバイスを製造した貼り合わせ半導体ウェーハのベースウェーハ表面の比抵抗についても測定を行い、その結果も表 1 中に併記した。

[0064]

[表1]

	実施例1(図1)		実施例2(図3)	
＜構造＞				
単結晶Si層	SOI層	160nm	SOI層	160nm
第二誘電体層	BOX層	400nm	BOX層	400nm
多結晶Si層	多結晶Si層	2 μ m	多結晶Si層	2 μ m
第一誘電体層	SiO2層	400nm	SiO2層	200nm
キャリアトラップ層	多結晶Si層	2 μ m	イオン注入層	Ar, 1E16/cm2
ベースウェーハ (比抵抗)	1000 Ω・cm		1000 Ω・cm	
＜効果＞				
二次高調波	-86dBm		-84dBm	
ベースウェーハ表面 (比抵抗)	1000 Ω・cm		1000 Ω・cm	

[0065] (比較例)

図8に示した従来例の構造を有する貼り合わせ半導体ウェーハ44を表2に記載した条件で作製し、表層のシリコン単結晶層(SOI層)36に高周波集積回路デバイスを製造した。

製造したデバイスの二次高調波の特性を評価し、結果を表2中に併記した。また、高周波集積回路デバイスを製造した貼り合わせ半導体ウェーハのベースウェーハ表面の比抵抗についても測定を行い、その結果も表2中に併記した。

[0066]

[表2]

	比較例(図8)	
<構造>		
単結晶Si層	SOI層	160nm
第二誘電体層	BOX層	400nm
多結晶Si層	多結晶Si層	2 μ m
誘電体薄膜	SiO2層	2nm
ベースウェーハ (比抵抗)	1000 Ω・cm	
<効果>		
二次高調波	-30dBm	
ベースウェーハ表面 (比抵抗)	6 Ω・cm	

[0067] 実施例の貼り合わせ半導体ウェーハにおいては、いずれも比較例の貼り合わせ半導体ウェーハに比べて、貼り合わせ界面に取り込まれた不純物に起因するベースウェーハ表面の比抵抗の低下が見られず、その結果、優れた二次高調波特性が得られた。

[0068] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] 主表面に単結晶シリコン層を備えた貼り合わせ半導体ウェーハであって、
- 前記貼り合わせ半導体ウェーハはシリコン単結晶からなるベースウェーハを有し、該ベースウェーハより上に第一誘電体層と、多結晶シリコン層と、第二誘電体層と、前記単結晶シリコン層とをこの順に有し、前記多結晶シリコン層と前記第二誘電体層の間が貼り合わせ面になっているものであり、
- さらに、前記ベースウェーハと前記第一誘電体層の間にキャリアトラップ層が形成されているものであることを特徴とする貼り合わせ半導体ウェーハ。
- [請求項2] 前記キャリアトラップ層が前記ベースウェーハ上に堆積された多結晶シリコン層であることを特徴とする請求項1に記載の貼り合わせ半導体ウェーハ。
- [請求項3] 前記キャリアトラップ層が前記ベースウェーハ内にイオン注入することで形成されたイオン注入層であることを特徴とする請求項1に記載の貼り合わせ半導体ウェーハ。
- [請求項4] 前記ベースウェーハの比抵抗が $4\text{ k}\Omega\cdot\text{cm}$ 以下であることを特徴とする請求項1から請求項3のいずれか一項に記載の貼り合わせ半導体ウェーハ。
- [請求項5] 主表面に単結晶シリコン層を備えた貼り合わせ半導体ウェーハの製造方法であって、
- シリコン単結晶からなるベースウェーハを準備する工程と、
- 該ベースウェーハより上に第一誘電体層を形成する工程と、
- 該第一誘電体層上に多結晶シリコン層を形成し、該多結晶シリコン層の表面を研磨する工程と、
- シリコン単結晶からなるボンドウエーハを準備する工程と、
- 該ボンドウエーハの表面に第二誘電体層を形成する工程と、

前記ベースウェーハの多結晶シリコン層と、前記ボンドウェーハの第二誘電体層とが接するように、前記ベースウェーハと前記ボンドウェーハを貼り合わせる工程と、

前記ボンドウェーハを薄膜化して、前記単結晶シリコン層にする工程を有し、

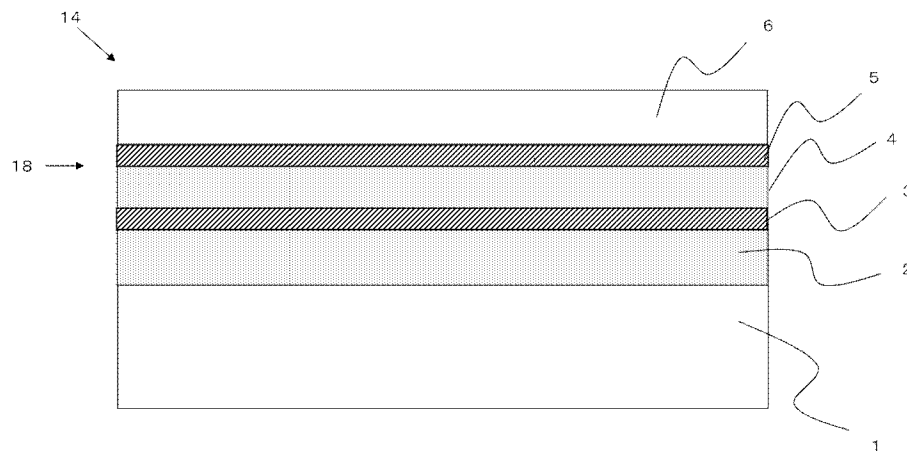
さらに、前記ベースウェーハと前記第一誘電体層の間にキャリアトラップ層を形成する工程を有することを特徴とする貼り合わせ半導体ウェーハの製造方法。

[請求項6] 前記キャリアトラップ層を前記ベースウェーハ上に多結晶シリコン層を堆積することで形成することを特徴とする請求項5に記載の貼り合わせ半導体ウェーハの製造方法。

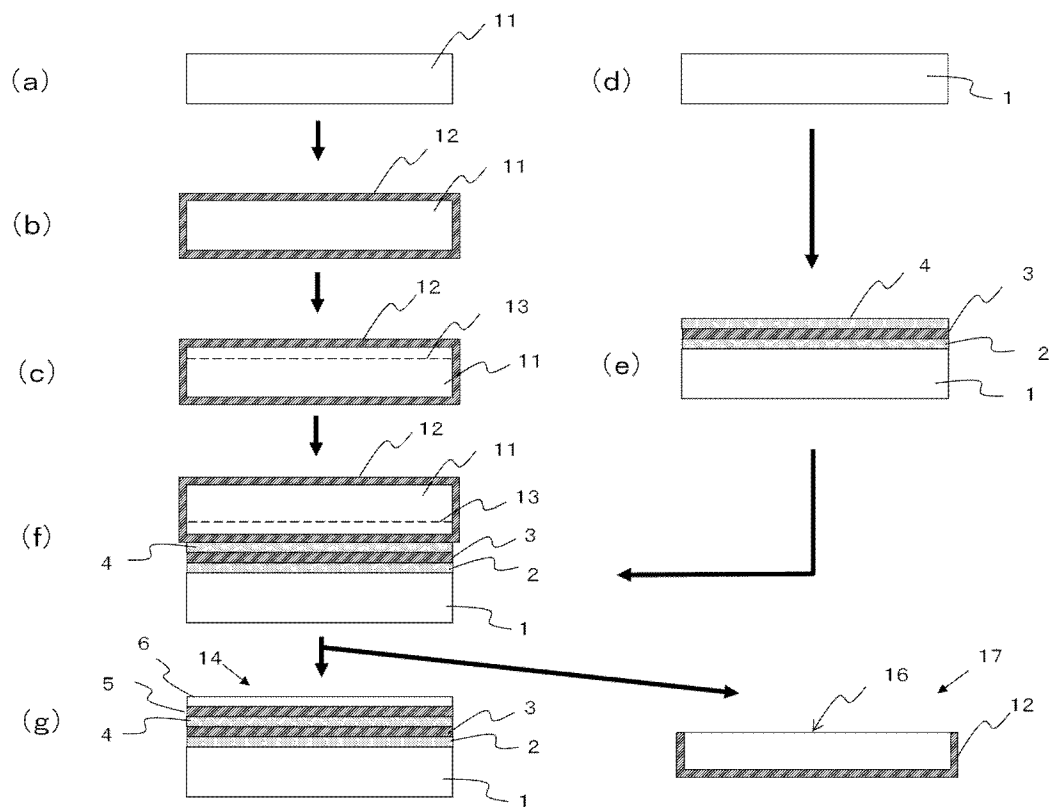
[請求項7] 前記キャリアトラップ層として、前記ベースウェーハ内にイオン注入層を前記第一誘電体層を貫通してイオン注入をすることで形成することを特徴とする請求項5に記載の貼り合わせ半導体ウェーハの製造方法。

[請求項8] 前記準備するベースウェーハの比抵抗を $4 \text{ k} \Omega \cdot \text{cm}$ 以下とすることを特徴とする請求項5から請求項7のいずれか一項に記載の貼り合わせ半導体ウェーハの製造方法。

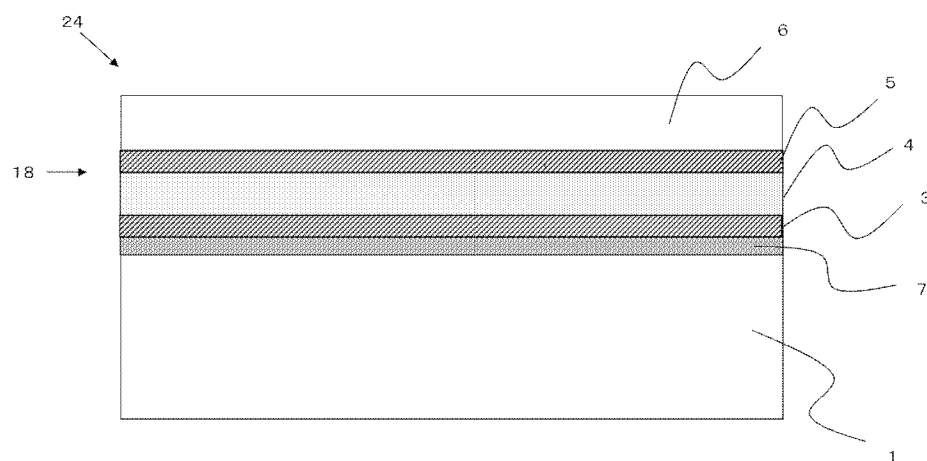
[図1]



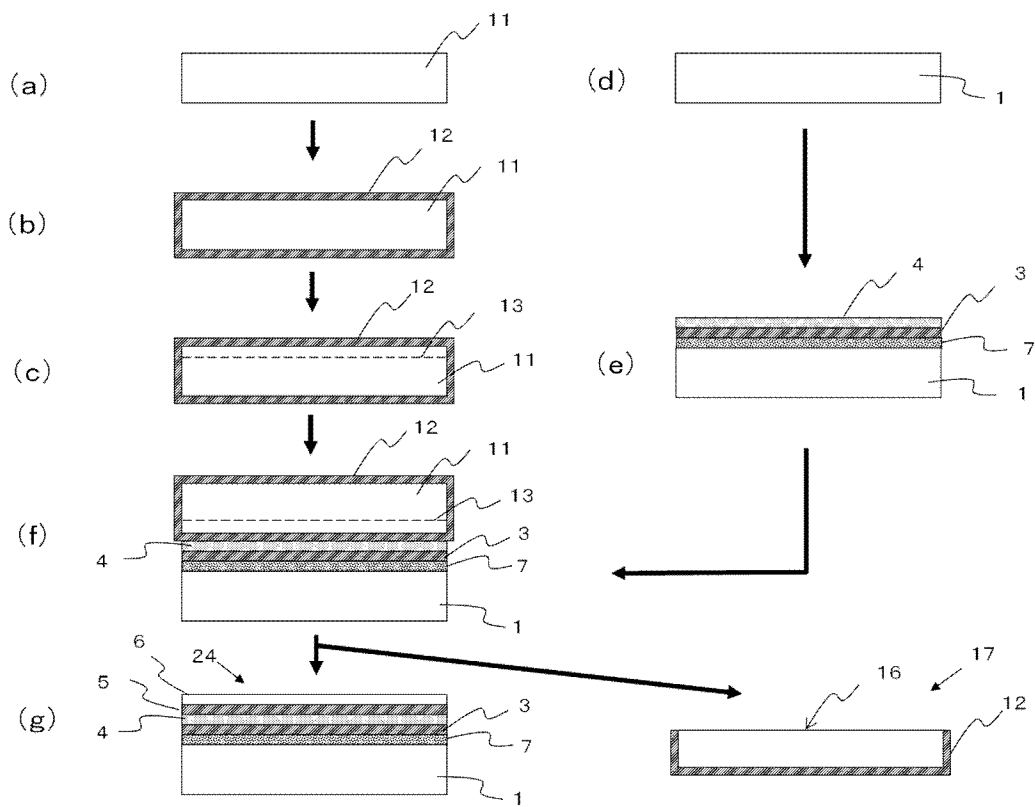
[図2]



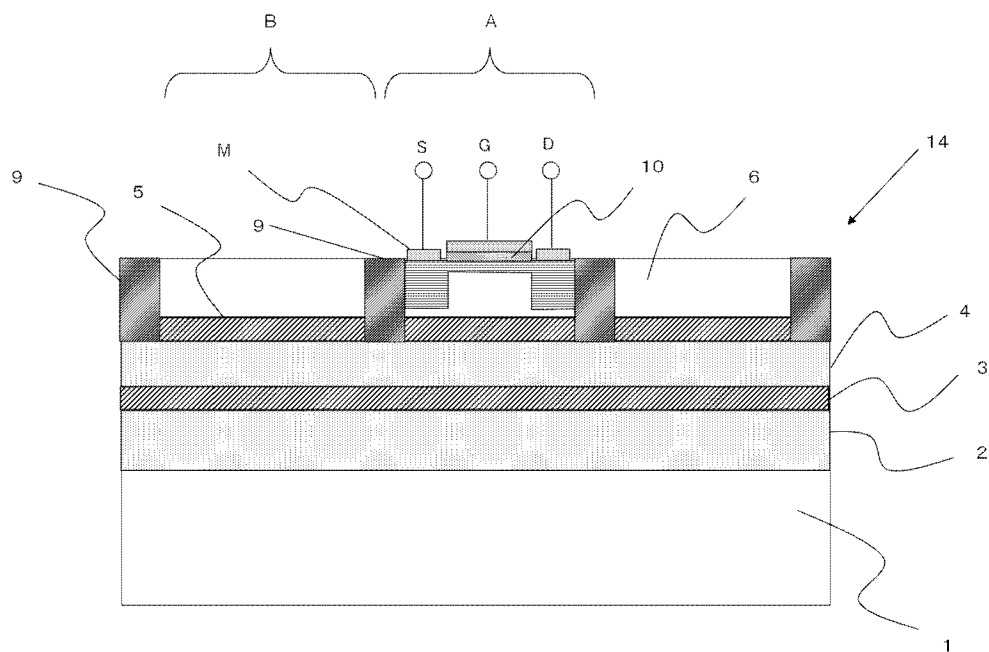
[図3]



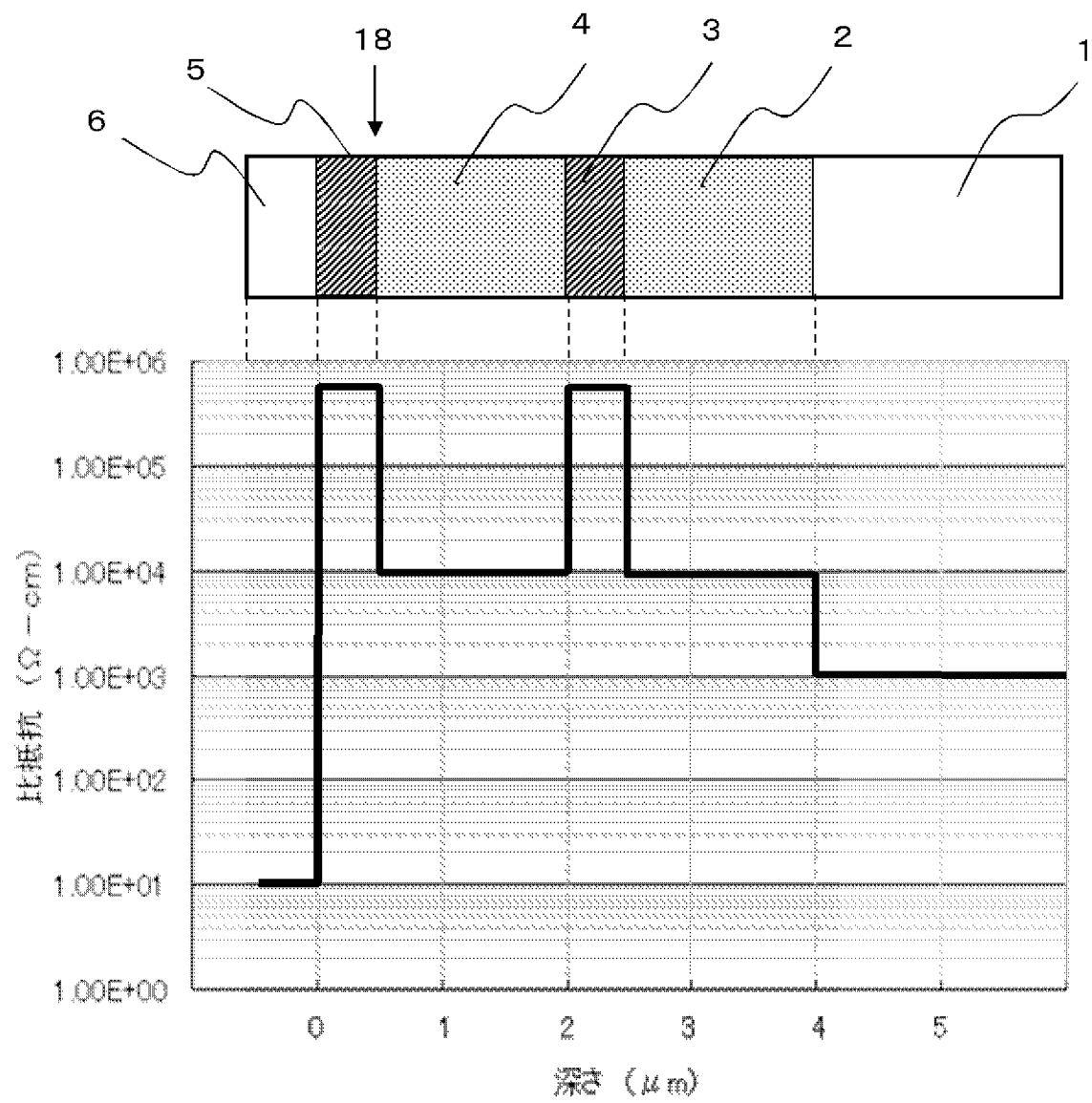
[図4]



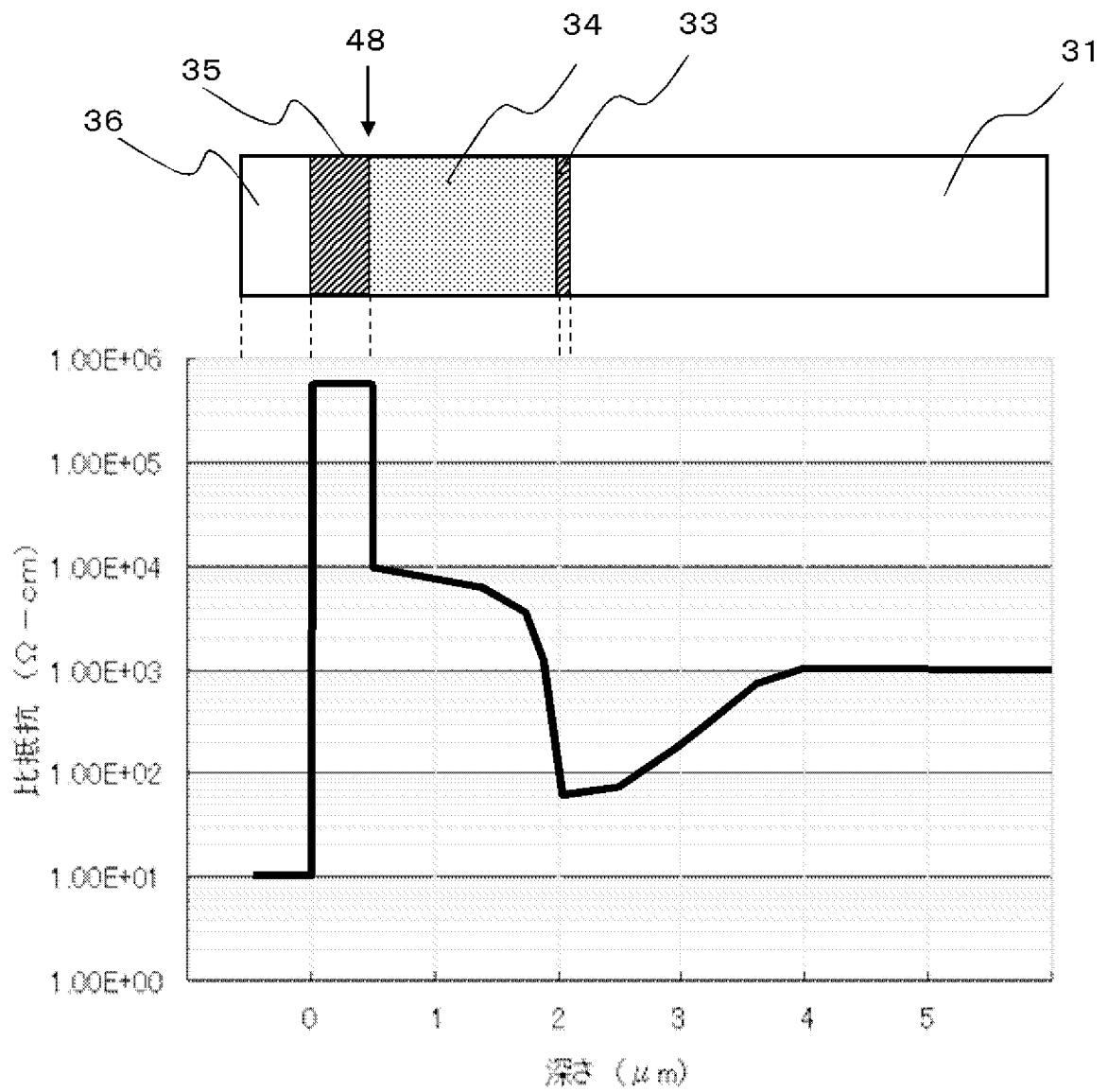
[図5]



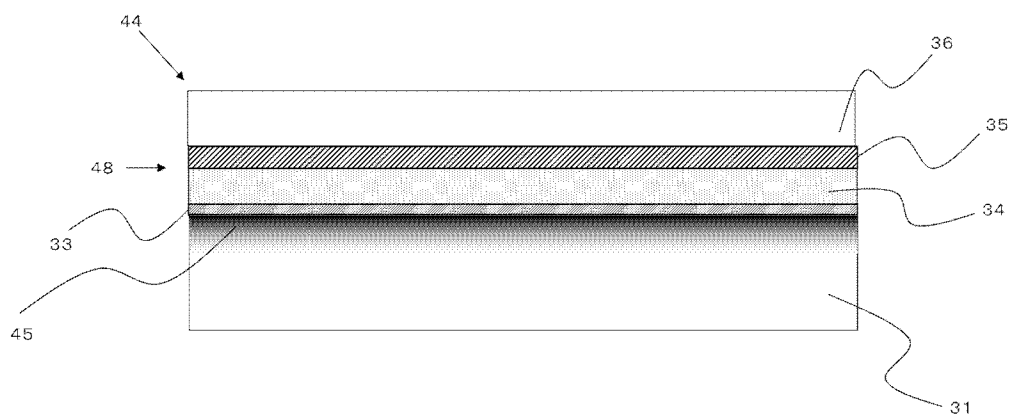
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000594

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L21/322(2006.01)i, H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/322, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-524650 A (S.O.I.Tec Silicon on Insulator Technologies), 01 September 2011 (01.09.2011), & US 2009/0321873 A1 & WO 2010/002515 A2 & DE 112009001477 B4 & FR 2933233 A & KR 10-2010-0129333 A & CN 102017075 A	1-8
A	JP 10-189404 A (LG Semicon Co., Ltd.), 21 July 1998 (21.07.1998), & US 6091112 A & DE 19757269 A1 & KR 10-0218347 B1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 April 2016 (21.04.16)

Date of mailing of the international search report
10 May 2016 (10.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000594

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-507093 A (Universite Catholique de Louvain), 22 March 2007 (22.03.2007), & US 2006/0166451 A1 & WO 2005/031842 A2 & EP 1665367 A2 & KR 10-2006-0069496 A & CN 1856873 A	1-8
A	JP 2014-509087 A (Soitec), 10 April 2014 (10.04.2014), & US 2014/0084290 A1 & WO 2012/127006 A1 & EP 2689453 A1 & CN 103460371 A & KR 10-2014-0027153 A	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/02(2006.01)i, H01L21/322(2006.01)i, H01L27/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/02, H01L21/322, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-524650 A (エス. オー. アイ. テック シリコン オン インシュレータ テクノロジーズ) 2011.09.01, & US 2009/0321873 A1 & WO 2010/002515 A2 & DE 112009001477 B4 & FR 2933233 A & KR 10-2010-0129333 A & CN 102017075 A	1-8
A	JP 10-189404 A (エルジー セミコン カンパニー リミテッド) 1998.07.21, & US 6091112 A & DE 19757269 A1 & KR 10-0218347 B1	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

21.04.2016

国際調査報告の発送日

10.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

右田 勝則

50

9173

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-507093 A (ユニベルシテ・カトリック・ドゥ・ルベン) 2007.03.22, & US 2006/0166451 A1 & WO 2005/031842 A2 & EP 1665367 A2 & KR 10-2006-0069496 A & CN 1856873 A	1 - 8
A	JP 2014-509087 A (ソイテック) 2014.04.10, & US 2014/0084290 A1 & WO 2012/127006 A1 & EP 2689453 A1 & CN 103460371 A & KR 10-2014-0027153 A	1 - 8