[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G09B 9/04

[12]发明专利说明书

[21] ZL专利号 00809418.7

[45]授权公告日 2004年6月16日

[11]授权公告号 CN 1154078C

[22]申请日 2000.4.19 [21]申请号 00809418.7
[30]优先权
[32]1999.4.28 [33]US [31]60/131,616
[86]国际申请 PCT/US2000/010658 2000.4.19
[87]国际公布 WO2000/065555 英 2000.11.2
[85]进入国家阶段日期 2001.12.24
[71]专利权人 I-SIM有限公司
地址 美国犹他州
[72]发明人 C·A·克里斯托弗
审查员 尹海霞

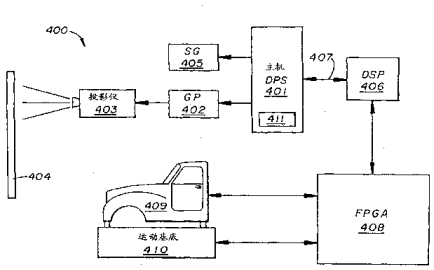
[74]专利代理机构 上海专利商标事务所
代理人 钱慰民

权利要求书6页 说明书10页 附图5页

[54]发明名称 车辆驾驶模拟器

[57]摘要

本发明提供了一种用于驾驶模拟器的可重新配置的硬件接口，它使用了一个现场可编程门阵列(508)以接口驾驶控制器和装置。此现场可编程门阵列(508)位于驾驶模拟器的计算机系统(501)的输入/输出与驾驶模拟器的车辆驾驶室(509)之间。这提供了使驾驶模拟器快速适应特定类型的驾驶室(509)和控制器的便利，同时也提供了其他的功能。



ISSN1008-4274

1．一种车辆驾驶模拟器，其特征在于包含：

至少一个计算机系统，所述计算机系统至少有一个输入/输出端口；

一个可以在所述计算机系统上执行的驾驶模拟软件程序，所述软件程序识别一组标准输入信号，至少一个所述输入信号相应于一个特定的操作者启动的控制动作，所述软件程序也生成一组标准输出信号，至少一个所述输出信号相应于一个特定的车辆操作参数，所述标准输入信号可以被所述输入/输出端口接收，并且所述标准输出信号可以从所述输入/输出端口发送；

一个有电路的车辆驾驶室，所述电路包含多个控制器，至少一个所述控制器提供了相应于操作者启动的控制动作的驾驶室规定的电信号，和多个仪表，至少一个所述仪表需要驾驶室规定的电输入以便其运行；

位于所述输入/输出端口和所述车辆驾驶室的电路之间的一个现场可编程门阵列(FPGA)，所述 FPGA 转换驾驶室规定的电信号为所述一组标准输入信号，并且还转换所述一组标准输出信号为所述一组驾驶室规定的电输入。

2．如权利要求 1 所述的车辆驾驶模拟器，其特征在于，所述 FPGA 包含板上的寄存器，所述寄存器中可以在所述计算机系统初始化所述车辆模拟软件程序时载入所述车辆驾驶室唯一的配置数据，所述配置数据有唯一的一组配置 FPGA 的数据值，从而其将影响所述一组驾驶室规定的电信号和所述一组标准输出信号各自到所述一组标准输入信号和所述一组驾驶室规定的电输入的转换。

3．如权利要求 2 所述的车辆驾驶模拟器，其特征在于，只要对所述 FPGA 通电所述板上寄存器就保持所述配置数据。

4．如权利要求 2 所述的车辆驾驶模拟器，其特征在于，所述计算机系统包含一个储存有所述配置数据的非易失性存储器。

5．如权利要求 1 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含位于所述 FPGA 和所述电路之间的信号调整电路。

6．如权利要求 5 所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含隔离装置，所述隔离装置将 FPGA 隔离开瞬态电压、静电放电、驾驶室电路里错误布线导致的短路和驾驶室电路里错误布线导致的高过预期电压电平。

7．如权利要求6所述的车辆驾驶模拟器，其特征在于，所述隔离装置从包含光学隔离器、变压器和电容器的一组元件中选择。

8．如权利要求5所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含至少一个增强了信号可靠性的滞迟元件。

9．如权利要求8所述的车辆驾驶模拟器，其特征在于，所述滞迟元件是一个施密特触发器。

10．如权利要求1所述的车辆驾驶模拟器，其特征在于，某些驾驶室规定的电输入被所述FPGA的内部电路锁存直到所述计算机系统更新了相应的标准输出信号。

11．如权利要求1所述的车辆驾驶模拟器，其特征在于，某些驾驶室规定的电信号被所述FPGA的内部电路锁存直到所述计算机系统采样了相应的标准输入信号。

12．如权利要求1所述的车辆驾驶模拟器，其特征在于，至少一个驾驶室规定的电信号在被所述计算机系统接收前由一个模数转换器将其从模拟格式转换为数字格式。

13．如权利要求1所述的车辆驾驶模拟器，其特征在于，在驾驶室电路接收所述至少一个驾驶室规定的输入前，将其从数字格式转换为模拟格式。

14．如权利要求1所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含：

一个位于所述车辆驾驶室前面的显示屏幕，所述屏幕提供模拟的驾驶环境的视图给在所述车辆驾驶室里观察的模拟器驾驶员；和

与所述至少一个计算机系统耦合的一个图形处理器，所述图形处理器生成了实时的图像，所述图像显示在所述显示屏幕上。

15．如权利要求1所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含：

一个位于所述车辆驾驶室前面的显示屏幕，所述屏幕在所述车辆驾驶室里观察的模拟器驾驶员的视线内；

表示驾驶环境的模拟视图的记录的视频序列；和一个视频播放器，所述视频播放器读取所述记录的视频序列并且将视频信号呈现给计算机系统以在所述显示屏幕上显示。

16．如权利要求11所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶

模拟器还包含与驾驶室耦合的一个运动系统，所述运动系统使驾驶员受到与显示在屏幕上的图像和驾驶员控制输入一致的力的影响。

17. 如权利要求 11 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含一个音响系统，所述音响系统产生与投影图像和驾驶员控制输入一致的声音。

18. 一个驾驶模拟器，其特征在于包含：

至少一个计算机系统，所述计算机系统至少有一个输入/输出端口；

一个可以在所述计算机系统上执行的驾驶模拟软件程序，所述软件程序识别一组标准输入信号，至少一个所述输入信号相应于一个特定的操作者启动的控制动作，所述标准输入信号可以被所述端口接收；

一个有电路的车辆驾驶室，所述电路包含多个控制器，至少一个所述控制器提供了响应于操作者启动的控制动作的驾驶室规定的电信号；和

位于所述输入/输出端口和所述车辆驾驶室的电路之间的一个现场可编程门阵列(FPGA)，所述 FPGA 转换驾驶室规定的电信号为所述一组标准输入信号。

19. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，所述 FPGA 包含板上的寄存器，所述寄存器中可以由所述计算机系统初始化所述车辆模拟软件程序而载入对所述车辆驾驶室唯一的配置数据，所述配置数据有唯一的一组配置 FPGA 的数据值，从而其将影响所述一组驾驶室规定的电信号到所述一组标准输入信号的转换。

20. 如权利要求 19 所述的车辆驾驶模拟器，其特征在于，只要对所述 FPGA 通电所述板上寄存器就保持所述配置数据。

21. 如权利要求 19 所述的车辆驾驶模拟器，其特征在于，所述计算机系统包含一个储存有所述配置数据的非易失性存储器。

22. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含位于所述 FPGA 和所述电路之间的信号调整电路。

23. 如权利要求 22 所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含隔离装置，所述隔离装置将 FPGA 隔离开瞬态电压、静电放电、驾驶室电路里错误布线导致的短路和驾驶室电路里错误布线导致的高过预期电压电平。

24. 如权利要求 23 所述的车辆驾驶模拟器，其特征在于，所述隔离装置

从包含光学隔离器、变压器和电容器的一组元件中选择。

25. 如权利要求 22 所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含至少一个改善信号可靠性的滞迟元件。

26. 如权利要求 25 所述的车辆驾驶模拟器，其特征在于，所述滞迟元件是一个施密特触发器。

27. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，某些驾驶室规定的电信号被所述 FPGA 的内部电路锁存直到被所述计算机系统采样。

28. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，至少一个驾驶室规定的电信号在被所述计算机系统接收前由一个模数转换器将其从模拟格式转换为数字格式。

29. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，在驾驶室电路接收所述至少一个驾驶室规定的输入前，将其从数字格式转换为模拟格式。

30. 如权利要求 18 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含：

一个位于所述车辆驾驶室前面的显示屏幕，所述屏幕提供模拟的驾驶环境的视图给坐在所述车辆驾驶室里的模拟器驾驶员；和

与所述至少一个计算机系统耦合的一个图形处理器，所述图形处理器生成实时图像，所述图像显示在所述显示屏幕上。

31. 如权利要求 30 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含与驾驶室耦合的一个运动系统，所述运动系统使驾驶员受到与显示在屏幕上的图像和驾驶员控制输入一致的力的影响。

32. 如权利要求 30 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含一个音响系统，所述音响系统产生与投影图像和驾驶员控制输入一致的声音。

33. 一个驾驶模拟器，其特征在于包含：

至少一个计算机系统，所述计算机系统至少有一个输入/输出端口；

一个可以在所述计算机系统上执行的驾驶模拟软件程序，所述软件程序生成一组标准输出信号，至少一个所述输出信号相应于一个特定的车辆操作参数，所述标准输出信号可以从所述输入/输出端口发送；

一个有电路的车辆驾驶室，所述电路包含多个仪表，至少一个所述仪表需要驾驶室规定的电输入以便其运行；以及

位于所述输入/输出端口和所述车辆驾驶室的电路之间的一个现场可编程门阵列(FPGA)，所述 FPGA 把所述一组标准输出信号转换为所述一组驾驶室规定的电输入。

34．如权利要求 33 所述的车辆驾驶模拟器，其特征在于，所述 FPGA 包含板上的寄存器，所述寄存器中可以由所述计算机系统初始化所述车辆模拟软件程序而载入对所述车辆驾驶室唯一的配置数据，所述配置数据有唯一的一组配置 FPGA 的数据值，从而其将影响所述一组标准输出信号到所述一组驾驶室规定的电输入的转换。

35.如权利要求 34 所述的车辆驾驶模拟器，其特征在于，只要向所述 FPGA 通电所述板上寄存器就保持所述配置数据。

36．如权利要求 34 所述的车辆驾驶模拟器，其特征在于，所述计算机系统包含一个储存有所述配置数据的非易失性存储器。

37．如权利要求 33 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含位于所述 FPGA 和所述电路之间的信号调整电路。

38．如权利要求 37 所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含隔离装置，所述隔离装置将 FPGA 隔离开瞬态电压、静电放电、驾驶室电路里错误布线导致的短路和驾驶室电路里错误布线导致的高过预期电压电平。

39．如权利要求 37 所述的车辆驾驶模拟器，其特征在于，所述隔离装置从包含光学隔离器、变压器和电容器的一组元件中选择。

40．如权利要求 37 所述的车辆驾驶模拟器，其特征在于，所述信号调整电路包含至少一个改进信号可靠性的滞迟元件。

41．如权利要求 40 所述的车辆驾驶模拟器，其特征在于，所述滞迟元件是一个施密特触发器。

42．如权利要求 33 所述的车辆驾驶模拟器，其特征在于，某些驾驶室规定的电输入被所述 FPGA 的内部电路锁存直到被所述计算机系统更新。

43．如权利要求 33 所述的车辆驾驶模拟器，其特征在于，在驾驶室电路接收所述至少一个驾驶室规定的输入前，将其从数字格式转换为模拟格式。

44．如权利要求 33 所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含：

一个位于所述车辆驾驶室前面的显示屏幕，所述屏幕提供模拟的驾驶环

境的视图给坐在所述车辆驾驶室里的模拟器驾驶员；以及

与所述至少一个计算机系统耦合的一个图形处理器，所述图形处理器生成实时图形图像，所述图像显示在所述显示屏幕上。

45．如权利要求43所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含与驾驶室耦合的一个运动系统，所述运动系统使驾驶员受到与显示在屏幕上的图像和驾驶员控制输入一致的力的影响。

46．如权利要求44所述的车辆驾驶模拟器，其特征在于，所述车辆驾驶模拟器还包含一个音响系统，所述音响系统产生与投影图像和驾驶员控制输入一致的声音。

车辆驾驶模拟器

发明领域

本发明涉及车辆模拟器，具体涉及车辆控制，仪器和电子设备之间接口的方法和装置，和车辆模拟软件相关的系统，例如车辆模拟软件的运行基础。

发明背景

提供了高真实的驾驶经验的车辆驾驶模拟器，变得越来越容易提供。先进的模拟器一般应用了模拟控制程序，在主机上加载并且运行。主机驱使的图像引擎相应于来自主机系统的控制输入生成实时的图像。可以将这些图像投影到屏幕上，为了产生提供高现实的驾驶经验的虚拟现实，可以提供 90 度到 360 度之间的视角。为了使模拟尽可能的真实，模拟器可以利用真实产品车辆的驾驶室。当驾驶员操纵驾驶室里的控制器时，控制输入与主控制程序接口。可以通过驾驶室里的高保真音响系统和使驾驶员受力的运动系统进一步加强现实感，所有的情况都与投影出的外部环境，路况和驾驶员输入相符合。高端产品的驾驶模拟器甚至可以生成适合成像路面的轮胎噪音。购买驾驶模拟器的人一般拿它做一个或几个用处。例如，可以用它训练半卡车(semi－truck)驾驶员，可以用它训练警察高速追车技术，或者可以用来增强紧急车辆驾驶员的安全技术。为了增强消化吸收此类特殊应用的驾驶技术，非常希望使用和工作时开的真车一样的驾驶室。这复杂化了模拟器的生产，由于有非常多种可能的驾驶室，都必须与模拟器软件接口。例如，一个公安局可能希望模拟器使用福特 Crown Victoria 型汽车的驾驶室，另一个希望模拟器使用雪佛莱 Lumina 型汽车的驾驶室。当政府机构使用时变得更复杂，例如公安局，典型的每 2 到 3 年换一次车。而且，卡车驾驶学校希望使用各种卡车的驾驶室以使获得的技能更容易用到实际中。

尽管车辆驾驶模拟工业还在初期，但竞争很激烈。模拟器制造者可以通过保持元件库存最小增加利润并且可以通过以最小数目的不同生产线满足最大量的客户的需求。理想的，可以轻易地定制单条基本生产线以满足所有客户的需求。

在模拟不同类型的车辆时可以实行软件改变，但是有时软件必须通过硬

件接口与每个驾驶室的唯一电子电路相连。单个驾驶室的电子设备的一些不同可能包含：

1．电压量级；

2．输入信号波形要求；

3．开关逻辑，例如扣紧时安全带开关是开还是关。

4．输入和输出信号的数目；和

5．方向盘，刹车踏板，加速踏板，或者换档齿轮上的传感器类型。(即，阻尼电位计、光学编码器、开关，等)

当前技术中以多种不同的方法说明了这些差别。图 1 到图 3 表示了现在应用于接口驾驶室到模拟器系统的三种方法，所述模拟器系统有一个显示屏幕 101，一个用于投影图像到屏幕 101 的投影仪和一个模拟器数据处理单元 103。第一接口方法由图 1 表。使用此方法，驾驶室 105 几乎重新布线以与标准接口单元 104 连接。此方法的主要优点是在不同的驾驶室中使用不需要改变软件。最大的不利是重新布线过程很贵或者花时间。当需要定制开关和仪表时特别不利。

第二方法，如图 2 所示，给每种驾驶室 205 设计了唯一的接口电路 204，它与有模拟器数据处理单元 103 的标准驾驶室布线互联。此方法的主要优点是不需要改变模拟器软件或者驾驶室布线。然而此方法也有几个显著的不利之处。不仅驾驶室电路的分析和文档处理需要花费很多时间，而且在设计和定制接口电路时要花时间。而且，当生产有限量定制接口界面时，制造价格相对较高。另一个不利是每次引进不同的车辆驾驶室，需要重新分析驾驶室电路和文档管理并重新设计和生产新的接口电路。

另一个模拟器工业常用的方法如图 2 所示。使用现有的常用电路板和电子模块。这种方法典型的需要改变模拟器软件。此方法的主要优点是需要较少的定制硬件。使用现成可用的电路板和模块，不仅仅减少了设计和制造成本，而且也降低了维护成本。此方法也有很多问题。常用电路板一般很贵并且不容易集成到系统里。也不容易对它们编程。而且，如果重新设计软件，必须替代这些电路板。同样反向工程(即，分析和文档管理)驾驶室电路有关的时间和花费很大。如果需要改变软件，这将增加成本。甚至对于那些太特殊而需要定制设计的接口硬件的驾驶室，该方法也不可能采用。

上述的接口选择都不能迅速的并且经济的接口驾驶室到模拟器系统。模

拟器用户希望可以定期地改变驾驶室并且希望最小化那些改变带来的非运行时间和成本。尽管图 1 的接口选择允许迅速交换驾驶室并且最小化实际交换的储备，在驾驶室中提供标准接口的费用是很大的。

需要的是减少连接车辆驾驶室到驾驶模拟器的花费，并且这将允许模拟器拥有者比使用当前驾驶室接口更迅速的、更省钱的、对软件改变更小的方式交换其模拟器上的驾驶室。这样的接口将仅仅要求简单的电断开和连接和较小的软件修改，便于交换车辆驾驶室。而且，新接口将便于调试新的模拟器硬件-驾驶室组合。

发明概述

对于本发明，驾驶模拟器系统包含模拟器驾驶员坐在里面的车辆驾驶室。系统还包含一个可视显示屏幕，在屏幕上显示了表示实时驾驶环境的图像。此系统还包含至少一个有一个或者多个输入/输出端口的主数据处理计算机或者系统。主机可以驱动其他数据处理元件。图像成像引擎，例如洛克希德马丁 Real 3-D Pro，它可以根据主机系统的控制输入在屏幕上生成实时的图像成像。数字信号处理器是另一个这样的元件，它可应用于同步不同系统元件的实时操作。驾驶模拟系统还包含一个主机可执行的驾驶模拟器软件程序。此软件程序设计为识别一组输入信号，这组信号是相应于操作者从驾驶室发出的控制输入的信号。此软件程序也生成了一组输出信号。这些输出信号中的一些应用于控制不同的其他系统元件，其他的被送到车辆驾驶室应用于控制驾驶室设备。

本发明的中心是现场可编程集成电路的插入，现场可编程集成电路是位于输入/输出端口和车辆驾驶室的电路间的一现场可编程门阵列，或者 FPGA。可编程车辆电路应用于将来自驾驶室的电信号转换为计算机和加载的软件可以理解的输入信号，并且也将程序的输出转换为一组驾驶室可以利用的电输入。尽管微处理器或者微控制器可以提供 FPGA 接口的很多功能，但有某些功能只有 FPGA 才能提供。例如，FPGA 里的电路可以解码光编码器输出。而且，FPGA 也可以提供信号调整电路。例如，每个开关输入可以配有一个施密特触发器，当关闭开关时可能产生信号振荡，施密特触发器可以消除这种振荡。

在本发明的较佳实施例里，希望保护 FPGA 不受静电放电、感应负载反

冲或者配线不当导致高过期望值的电压、接地回路问题，或者将绝缘电路放在车辆驾驶室和 FPGA 之间时布线的缺陷将导致短路等影响。

作为本发明的第一较佳实施例，FPGA 是 RAM－可配置类型的。即，FPGA 包含板上的易失存储寄存器，其中可以储存用于配置 FPGA 的唯一一组数据值。此配置数据可以储存于非易失性媒体里，例如硬盘驱动器，并且在初始化系统时读入 FPGA。多组配置数据，每个对应于不同类型的车辆驾驶室，可以储存于主机硬盘驱动器里的数据文件库里。这样，可以通过给每个新的驾驶室从库里选择合适的数据文件，使新的驾驶室与驾驶模拟器接口。应该理解，其他类型的 FPGA，例如那些应用了抗融化技术的，也可以应用于本发明。然而，使用可再次编程的 FPGA 有肯定的优点。当修改或者更新配置数据时，由于不需要替换芯片，调试很简单。而且，不同类的车辆驾驶室可以配置单个可再次编程 FPGA。

作为可替换的本发明的第二具体实施例，FPGA 和相关的接口电路位于单个电路板上。FPGA 和特定驾驶室接口所需的任何特殊的元件被包装成一个单一模块，它们插入了电路板上的一个插槽。这样的特殊元件可能包含，不限于，光学编码器和 ADC/DAC 波形/电平生成器和解释器。为了转换车辆驾驶室，这些模块替代为一个单元。

对于其他具体实施例，来自主机的控制信号被通过 FPGA 送到驾驶室里的计量器。同样的，来自驾驶室的控制和开关信号通过 FPGA 以反向传递到主机系统。

为了将全新的驾驶室接口到模拟器，驾驶室的每个输入或者输出都必须被标识并且连接到接口总线上的特定的针脚，该接口总线与 FPGA 的驾驶室侧耦合。接着可以编程 FPGA，从而每个来自驾驶室的输入/输出可以正确地与主机系统的相应的输入/输出匹配。通过随后的在数据文件编辑操作过程中测试每个驾驶室功能，可以给每个给定的信号方便的赋予合适的逻辑值。例如，如果模拟软件希望给锁定的安全带一个高逻辑值，但驾驶室输入为此特征传递的是一个低逻辑值，FPGA 可以在编辑功能中重新编程以反转该接收到的信号。除了给单个信号提供合适的路由和合适的逻辑赋值，FPGA 也可以编程为提供任何信号的信号处理函数。例如，当输入与驾驶室里的光学编码器耦合时，FPGA 可以编程为提供传感特定输入的位置。

使用可重新配置的 FPGA 的一个显著优点是接口新驾驶室到模拟器系统

的处理被极大的简化了。而且，由于 FPGA 是可重新配置的，可以迅速并且安全的测试配置 FPGA 的数据文件。作为这些因素的结果，在与现有的接口方法相比较，极大的缩减了接口费用。

使用可重新配置的 FPGA 的另一个优点是它产生了一致的模拟器软件接口而不需要考虑驾驶室的电气结构。从驾驶室传输到 FPGA 的输入信号，和来自主机系统的输出信号，被传递并且 FPGA 根据加载到 FPGA 的易失性存储器的数据文档值处理这两个信号。由于模拟器软件可以期望来自 FPGA 的一定的标准信号，当改变了车辆驾驶室时，可以最小化对模拟器软件的修改，或者可以不用修改。FPGA 的配置使驾驶室对于模拟器软件是透明的。

附图简述

图 1 是说明车辆驾驶室与运行车辆模拟程序的计算机接口的第一现有技术的框图。

图 2 是说明车辆驾驶室与运行车辆模拟程序的计算机接口的第二现有技术的框图。

图 3 是说明车辆驾驶室与运行车辆模拟程序的计算机接口的第三现有技术的框图。

图 4 是本发明的车辆驾驶室电子设备与模拟器软件接口连接的较佳实施例的框图。

图 5 是 FPGA 的 Xilinx XC5200 系列的结构框图。

图 6 是 XC5200 FPGA 系列的 Versa Block 的框图。

图 7 是 XC5200 FPGA 系列的一个逻辑单元的逻辑图。

图 8 是根据本发明配置的 FPGA 的示意图，显示了基本功能的接口功能。

图 9 是应用于解码光学编码器输入的电路的示意图。

本发明详细揭示

可以使用很多种不同的方法配置车辆驾驶模拟器。最终配置将由成本和子元件可利用率，简化性和可服务性要求，要求的现实程度指定，并且，可以通过随机的设计选择，其中在某些配置中没有明显的优点存在。应该理解，在任何商品的设计和装配中需要折衷。结果，当可利用新元件和现有元件变得更可取时，结合了本发明的车辆驾驶模拟器的较佳实施例将改变。

现在参考图 4，当前较佳的车辆驾驶模拟器 400 的具体实施例包含一个主机，或者数据处理系统 401。计算机系统 401 与图像处理器 402 耦合，图像处理器(例如洛克希德马丁 Real 3-D Pro)响应于来自主机系统 401 的控制输入生成了实时图像，由投影仪 403 将此图像显示在屏幕 404 上。

主机也与一个声音生成器 405 耦合。由于要寻求在较低总系统成本上的折衷，主机系统 401 在 Microsoft@ Windows@操作系统上运行，尽管此操作系统没有针对确定性的处理进行优化。结果，通过并行接口 407，例如 ISA 或者 PCI 总线，数字信号处理器(DSP)支配 406 主机系统 401。串行总线当然也可以替代并行总线使用。DSP406 提供主控时钟信号给模拟器系统 400 的不同元件，从而协调不同系统元件的操作，这样达到了现实系统的同步。DSP406 也通过串行接口直接与现场可编程门阵列(FPGA)耦合。当前较佳的 FPGA 是 Xilinx@ XC5215 集成电路(IC)。XC5215 IC 是一个 RAM－可配置设备，它有板上的可以储存驾驶室专用的配置数据的易失存储寄存器。FPGA408 根据此唯一组数据值配置。驾驶室配置数据可以储存于非易失性媒体里，例如硬盘驱动器 411，并且在初始化系统时加载进入 FPGA。可以将多组数据储存在主机系统的硬盘驱动器的数据文件库里，每组数据对应于一个不同的车辆驾驶室。从而，可以通过从库里选择适合新的驾驶室的数据文件来把新的车辆驾驶室与驾驶模拟器接口。

XC5215 IC 的结构与通常的 FPGA 的结构相似，其中它有可编程的输入/输出块，可编程的逻辑块和可编程的互相连接。图 5，6 和 7 提供了 FPGA 的 XC5200 的结构简图。图 5 显示了 XC5200 结构的一个概念上的概观。不象一般的 FPGA，逻辑和逻辑路由资源被合并在韧性 VersaBlock 里。一般目的的路由通过一个一般路由矩阵(GRM)连接到每个 VersaBlock。VersaRing 是设备周围的互连单元的“高速公路”，所述设备提供了从多个输入/输出块(IOBS)到组成 VersaBlock 的内部逻辑的连接。图 6 说明了单个 VersaBlock 的结构。一个可配置逻辑块(CLB)包含了四个逻辑单元，LC0，LC1，LC2 和 LC3。CLB 与可编程局部互连矩阵(LIM)耦合，LIM 再通过四个四位直接连接与四个相邻的 VersaBlock 耦合并且 LIM 通过双向节点 24 与 GRM 耦合。图 7 显示了单个逻辑单元(LC)的结构。每个 LC 包含：有四个输入端 F1,F2$ F3 和 F4 的功能生成器 F；一个配置为 D 触发器或者为锁存器的储存设备；和控制逻辑。图 7 中标出的信号如下：DI＝数据输入；DO＝数据输出；CI＝进位输入；CO＝进

位输出：CE＝启动时钟：CK＝时钟；CL＝清零；D＝锁存数据输入；Q＝锁存数据输出：和 X＝未锁存输出。控制逻辑利用了三个多路复用器 M1，M2 和 M3，它们提供了用于快速实行算术功能的进位逻辑。控制逻辑也可以配置为允许解码非常广范围输入的功能的级联链。从而，有五个输入到单元的端(F1,F2,F3,F4,DI 和 CI)和四个输出端(CO,DO,Q 和 X)。输入端和输出端的独立允许软件最大化每个 LC 里的资源利用率。信号 CE、CK 和 CL，在一个 VersaBlock 里对于所有单元是共同的，它们应用于写入和清空储存于锁存器 FD 的值。每个 LC 也包含一个直接供给通过路径，不牺牲功能生成器或者寄存器的使用。

使用 XC5215 IC 很有优点，因为其成本低，并且可以简单的通过写新数据到板上的储存寄存器重新编程。其他类型的 FPGA，例如那些利用抗融断技术的，也可以应用于本发明。然而，利用抗融断用于内部编程的 FPGA 只能够编程一次。为了改正未正确编程的那种类型的 FPGA，必须使用一个新的未编程的 FPGA。另一方面，Xilinx IC 可以重复再次编程，用于改正错误并且用于适应需要不同数据寄存器值的新驾驶室。尽管并行接口(例如 ISA 或者 PCI 总线)应用于互连主机 401 和 DSP406，也可以在此位置使用串行接口。相似的，尽管使用串行接口耦合 DSP406 和 FPGA408，也可以在此使用并行接口。FPGA408 依次与车辆驾驶室 409 耦合并且与车辆驾驶室 409 固定于其上的运动基底 410 耦合。

现在参考图 8，图 8 是显示 FPGA408 与运动基底 410 耦合并且与驾驶室（未标出）耦合并且通过数字信号处理器 406 与主机数据处理系统 401 耦合的简化示意图。此图的主要目的是给出 FPGA408 可以实行的某类功能的基本概念。在 FPGA408 左边的信号线表示到 DSP 406 的输入，以及从 DSP406 的输出；右边的信号线表示输出到驾驶室仪表和计量表，到运动基底 410 的输入，以及运动基底的输出和驾驶室 407 的控制输出。FPGA 实行的一个主要任务，如本发明具体表述的，是传送 FPGA 一侧的信号到另一侧的合适位置。例如，信号 CS1，CS2 和 CS3 表示从车辆驾驶室(图中没有显示)里的开关发出的车辆侧信号，信号 DS1,DS2 和 DS3 表示 DSP 侧的信号，它们各自对应于车辆侧测量输入 CS1，CS2 和 CS3。另一方面，信号 DG1，DG2 和 DG3 是 DSP 侧 FPGA 测量信号，它们各自相应于车辆侧测量输入 CG1,CG2 和 CG3。FPGA408 被编程，从而信号输入端被连接到它们相关的输出端。如果传送路

线不正确，可以简单的重新编程 FPGA408 以改正错误。信号 CD1 是一个驾驶室侧的驾驶员输入。如果信号 CD1 与提供方向盘位置信息的光学编码器耦合，逻辑块 802 将提供此解码此信息。滞迟数字解码器可以从 FPGA 电路元件构成。这样的数字解码器可以确认旋转轴在 360° 旋转的多个相等弧范围中的一个内的位置。可以调整弧范围的大小以提供更多或者更少的灵敏度。逻辑块 802 也可以是，或者可以包含，一个锁存器。所述锁存器是由 FPGA408 内部的电路构成的，所述 FPGA408 把车辆规定的电信号维持在某一个输入值上，直到主机系统 401 通过 DSP 406 对电信号采样。

仍然参考图 8，运动基底 410 使用了多个光学编码器以传感每个自由度上的相对位置。运动基底 410 通过 FPGA 408 与 DSP406 耦合。DSP 侧控制信号 DC2,DC3 和 DC4 与车辆侧控制信号 CC2,CC3,CC4,CC5,CC6 和 CC7 耦合。后面的信号直接与运动基底系统 410 耦合。运动基底 410 的绝对位置通过校准运动系统 410 确定。通过运动系统在每个自由度下在行程内运动，实行了此步骤。逻辑块 804 包含多个光学解码器，它们提供运动系统位置信息给主机 DPS401。将参考图 9 更详细的说明可以应用于逻辑块 802 和 804 内的光学解码器电路。仍然参考图 8，逻辑块 803 表示应用于使从 DSP406 接收的信号满足条件的信号调整电路，从而其是与驾驶室要求一致的。例如，逻辑块 803 可以是一个从 FPGA 内电路生成的锁存器。所述 FPGA 维持驾驶室规定的电输入在作为从 DSP406 输出接收到的值，直到输出被主机系统 401 更新。

仍然参考图 8，FPGA 通过隔离电路间接的与运动绝对 410 和驾驶室电路间接耦合。直接连接不是一个特别好的设计实践，由于直接连接将使 FPGA408 受到静电放电，感应负荷回馈或者接错线导致的高过期望值的电压，接地回路问题，或者有缺陷的布线导致的短路的影响。这些条件对 FPGA408 的影响将危及 FPGA 的稳定性，或者将导致它整个瘫痪。尽管隔离电路可能包含电容或者感应的耦合，对于本发明的较佳实施例，使用了多个光学隔离器 011－0114。每个光学隔离器，其最基本的形式包含与接收器晶体管相邻的发光二极管(LED)。可替换的，光学隔离器可以从一对相邻的 LED 生成。其中一个 LED 功能是发送器，另一个是接收器。从而排除了接地回路和其他隔离问题。对于本发明的较佳实施例，光学隔离器 011－0114 是物理位于一个容易配置的接口板上。而且，每个从驾驶室的开关输入配有一个施密特触发器，此施密特触发器通过减少关闭开关时可能产生的信号弹性增强了信号稳定性。可以

看到，开关信号 CS1,CS2 和 CS3 分别与施密特触发器 ST2,ST1 和 ST3 相关。

图 9 显示了应用于解码正交编码设备的输出的电路的当前较佳的一个实施例。由于在此领域熟知正交编码器，这里将不在说明它们的设计和功能。这些解码电路主要应用于说明本说明书上下文中的 FPGA408 的多用途。在运动基底上应用了多个正交编码器以提供旋转位置信息。也可以将它们应用于驾驶室 409 的驾驶柱上以提供方向改变的输入。更具体地，图 9 不仅说明了解码电路，而且还说明了三个其他任选项相关的电路。合适的将解码电路分成两个较大的块：一个比较电路(块 C)，和位置积累器(块 D)。可任选的电路是一个编码集成测试电路(块 A)，一个干扰排斥电路(块 B)和一个并行到串行转换器(块 E)。

可任选的编码器测试电路监视正交编码器的输出并且验证编码器输出端是否激活并且验证差分输出(A,A*和 B,B*)是否实际处于相对状态。一旦正交编码器断电，或者线断了或者短路了，编码器 OK 信号将变低并且保持低值。这个安全特征向控制处理器，无论它是否为主机数据处理系统 401 或者数字信号处理器 406，提供关于从正交编码器的当前位置输出值的有效性的信息。

块 B 的任选的干扰排斥电路是排斥来自编码器的线上的干扰的方法的一般状态。此电路也受到编码器制造者影响。

块 E 的选择的并行到串行转换器简单的转换解码电路的并行输出值为接口到串行设备的串行值。

块 C 的比较电路接收到异步数据并且输出同步数据。异步数据被转化成同步数据，所述同步数据在块 D 的位置积累电路里有 FPGA408 内的主时钟信号标记的位置值。正交编码器比率是每转的计数，或者每转的脉冲数。从而，编码器说明书指出了编码器每转将产生的方波脉冲的数量。比较电路接收这些方波脉冲为信号 ENC，A OUT 和 ENC，B OUT。脉冲速率生成是直接的与编码器的角速度(即转数每分钟)成正比。解码器设计为假定主时钟频率至少是编码器频率的 10 倍。由于编码器说明书一般设置最大的操作频率为大约 100 千赫，并且 FPGA 典型在小于 1 兆赫的频率下工作。从而，对于实际应用，主时钟频率比最大编码器频率的比率将至少是 10：1。解码器电路一般设计为在每编码器脉冲(即方波生成器的循环)一次计数下工作，或者每编码器脉冲 4 次计数。为了提供最大分辨度，图 9 的电路设计为在每编码器脉冲 4 次计数下工作。

仍然参考图 9，比较电路和位置积累器通过比较接收到的编码器输出和以前接收到的储存的输出值而运行。编码器输出 4 个唯一的状态，它是一个 2－位灰度代码(一个灰度代码是其中一次只改变一个位的代码)。位置积累器里的最低两个储存位被转化成了编码器输出端可见的同样的灰度代码。比较电路接着尝试同步位置积累器到编码器，从而位置积累器值等于编码器值。通过检测两个计数之间的错误而完成此操作。如果发现一个错误(即，差值)，位置积累器在编码器的运动方向上增加 1 或者减少 1。具体说，比较电路通过在比较两个值中实行滞迟而运行。电路使用在编码器和以前的输出值之间的 1 个计数的差额以确定编码器的电流方向，在图中标为编码器方向。在发信号通知位置积累器在编码器运动方向上改变其计数器 1 位之前，比较电路接着等待下一个差值的计数，等待两个计数的总错误。这个信号标为步距输出值。下面的表 1 是块 C 的比较电路的运算表。

表 1

比较电路运算表

编码器值		计数器值		修改值		
A	B	D1	D0	C1	C0	
0	0	0	0	0	0	
0	1	1	0	1	0	1
1	1	1	1	0	1	1
1	0	0	1	1	1	0

现在将分析解码器输出值关于解码器实际位置的状态。由于编码器以恒定速率旋转，输出值将总滞后编码器实际位置至少一个计数，并且随着输出值改变，在一个主时钟周期内，计数器将为编码器实际位置后的 2 个计数。随着编码器停止并且运动关于特定位置的＋或者－1 个计数，解码器输出的值将不会改变，从而输出错误将是＋1，0 或者－1 个计数。当编码器开始在各个方向上连续运动时，运行为如上所述。

尽管这里仅仅揭示了本发明的一些具体实施例，对于本领域技术一般的人员，很明显可以对其进行改变和修改而不离开如权利要求所述的本发明的范围和精神。

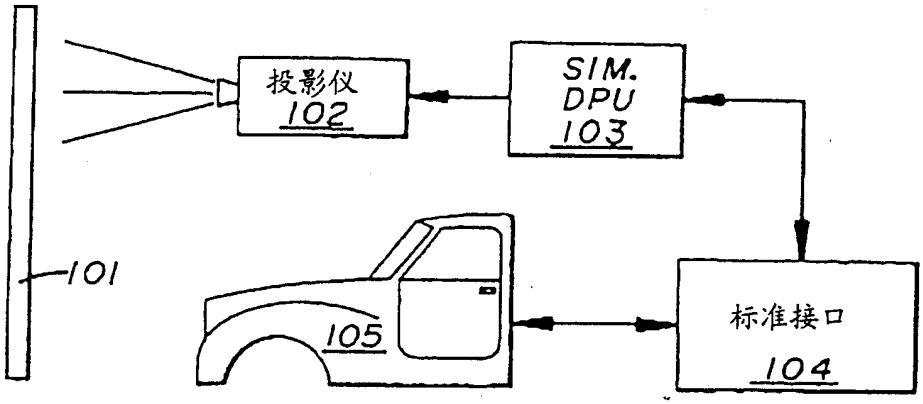


图 1
(现有技术)

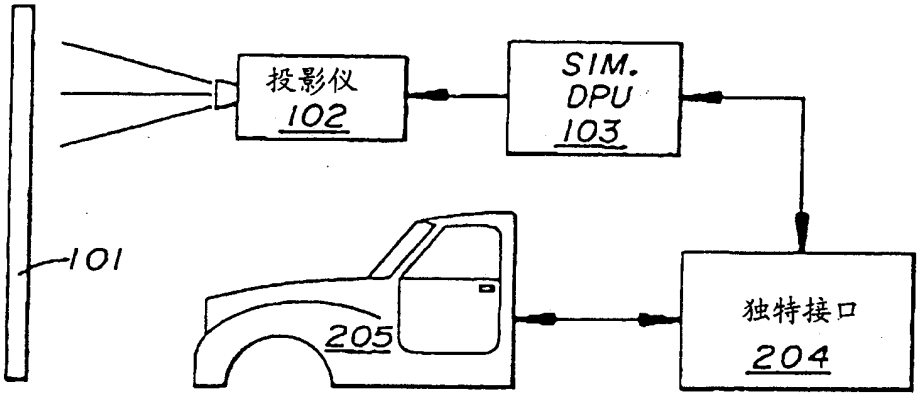


图 2
(现有技术)

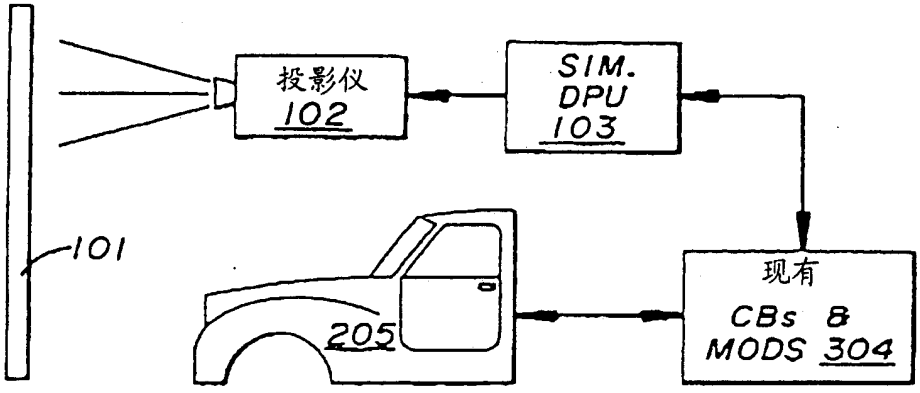


图 3
(现有技术)

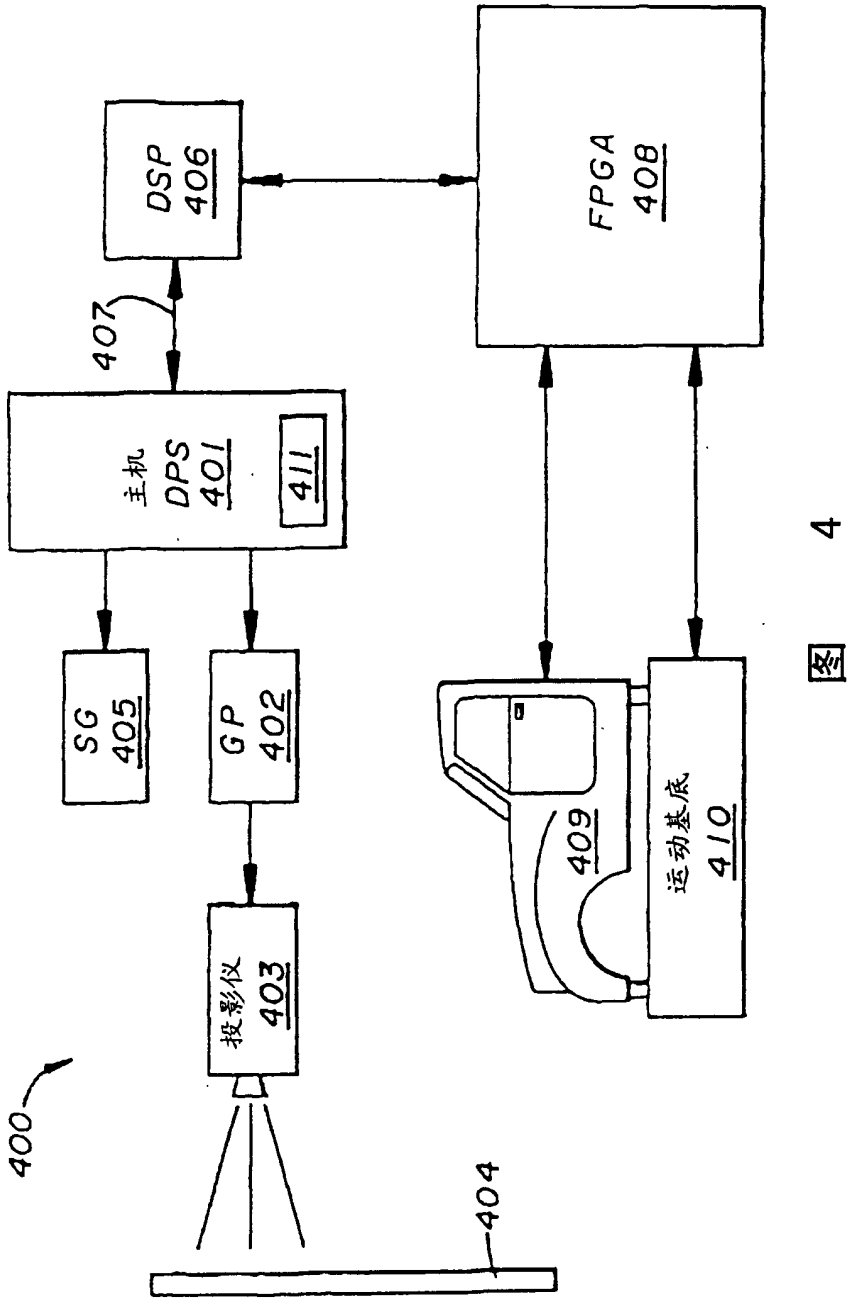

DSP
406
FPGA
408
407
主机
DPS
401
411
SG
405
GP
402
409
运动基底
410
投影仪
403
400
404

图 4

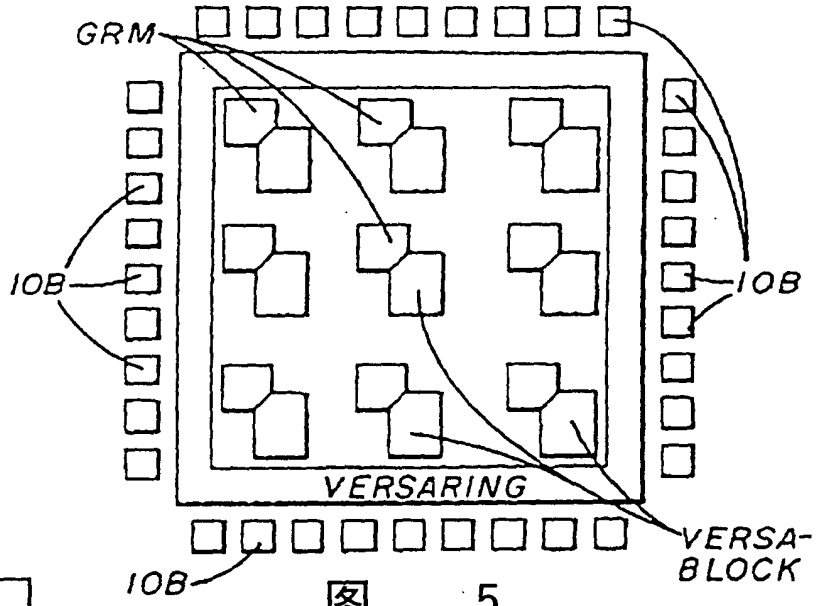


图 5
(现有技术)

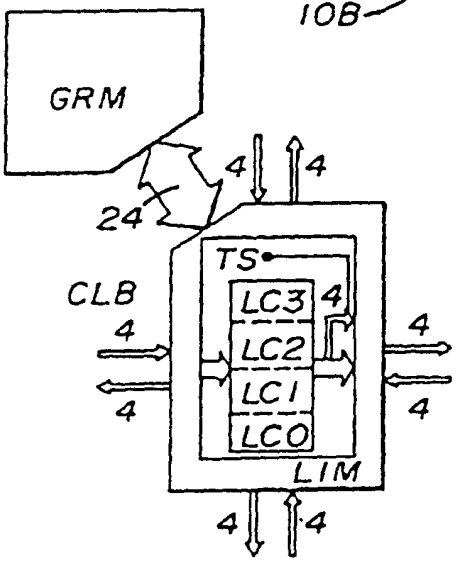


图 6
(现有技术)

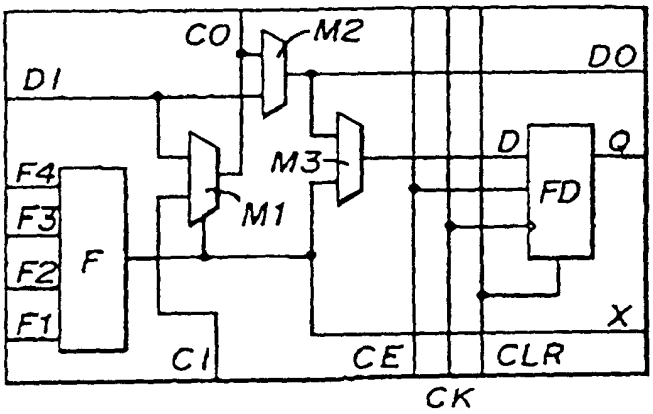


图 7
(现有技术)

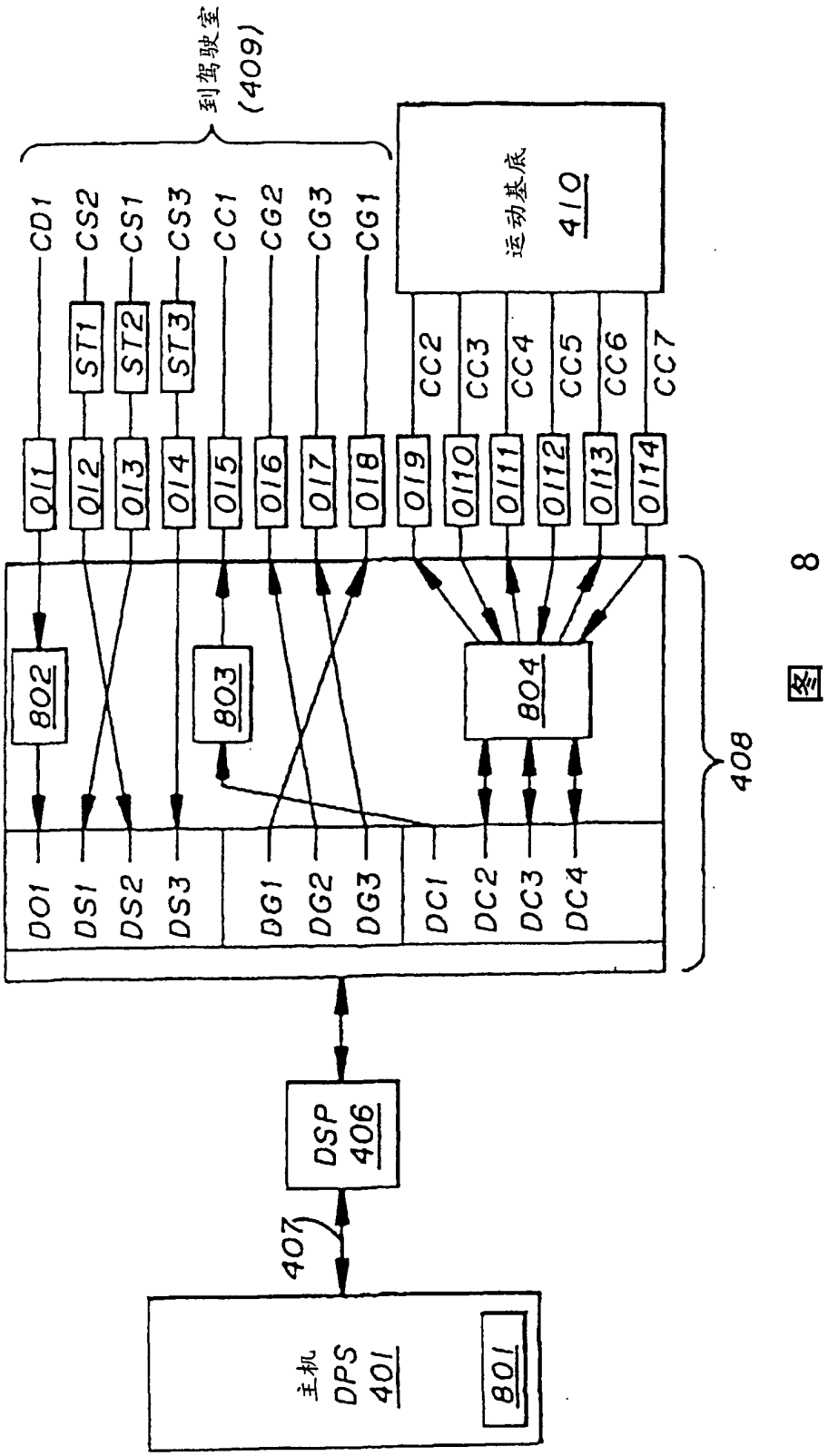

到驾驶室
(409)
CD1
CS2
CS1
CS3
CC1
CG2
CG3
CG1
运动基底
410
CC2
CC3
CC4
CC5
CC6
CC7
ST1
ST2
ST3
O11
O12
O13
O14
O15
O16
O17
O18
O19
O110
O111
O112
O113
O114
802
803
804
408
DO1
DS1
DS2
DS3
DG1
DG2
DG3
DC1
DC2
DC3
DC4
DSP
406
407
主机
DPS
401
801

图 8

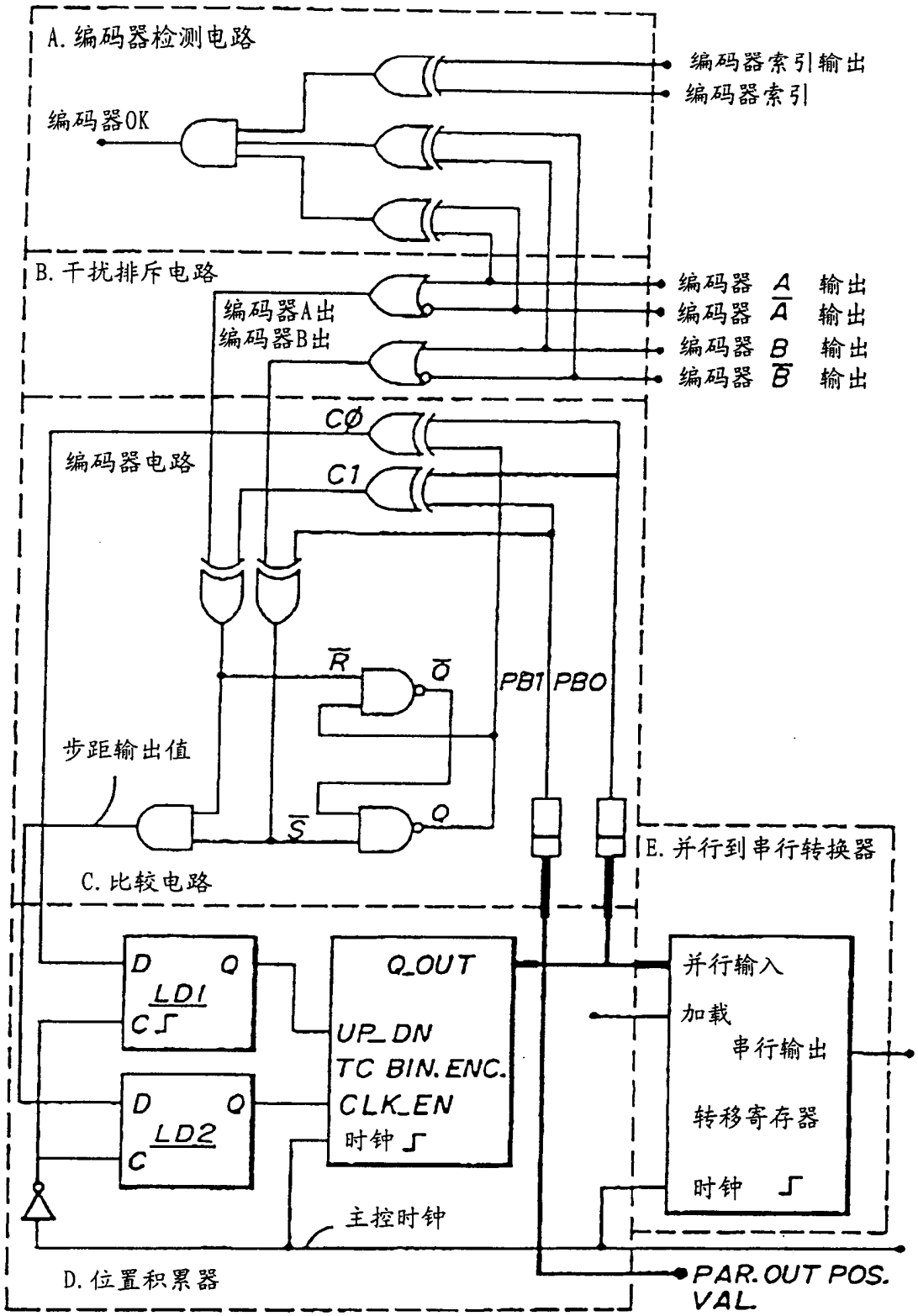

A. 编码器检测电路
编码器索引输出
编码器索引
编码器OK
B. 干扰排斥电路
编码器 A 输出
编码器 $\overline{A}$ 输出
编码器 B 输出
编码器 $\overline{B}$ 输出
编码器A出
编码器B出
CØ
编码器电路
C1
$\overline{R}$
$\overline{Q}$
PB1 PBO
步距输出值
$\overline{S}$
Q
E. 并行到串行转换器
C. 比较电路
D Q
LD1
C
Q_OUT
UP_DN
TC BIN. ENC.
CLK_EN
时钟
并行输入
加载
串行输出
转移寄存器
时钟
D Q
LD2
C
主控时钟
D. 位置积累器
PAR. OUT POS. VAL

图 9