

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5770982号
(P5770982)

(45) 発行日 平成27年8月26日 (2015. 8. 26)

(24) 登録日 平成27年7月3日 (2015. 7. 3)

(51) Int. Cl.		F I			
HO4N	1/19	(2006.01)	HO4N	1/04	103C
HO4N	1/028	(2006.01)	HO4N	1/028	A
			HO4N	1/028	C

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2010-151137 (P2010-151137)	(73) 特許権者	596170170
(22) 出願日	平成22年7月1日 (2010. 7. 1)		ゼロックス コーポレーション
(65) 公開番号	特開2011-15405 (P2011-15405A)		XEROX CORPORATION
(43) 公開日	平成23年1月20日 (2011. 1. 20)		アメリカ合衆国、コネチカット州 068
審査請求日	平成25年6月28日 (2013. 6. 28)		56、ノーウォーク、ピーオーボックス
審判番号	不服2014-8560 (P2014-8560/J1)		4505、グローバー・アヴェニュー 4
審判請求日	平成26年5月8日 (2014. 5. 8)		5
(31) 優先権主張番号	12/496, 971	(74) 代理人	110001210
(32) 優先日	平成21年7月2日 (2009. 7. 2)		特許業務法人YKI国際特許事務所
(33) 優先権主張国	米国 (US)	(72) 発明者	スコット エル テウインクル
早期審査対象出願			アメリカ合衆国 ニューヨーク オンタリ オ ベーグ ロード 193

最終頁に続く

(54) 【発明の名称】 積算時間補償付きイメージセンサ

(57) 【特許請求の範囲】

【請求項1】

端画素及び内部画素を備える第1のセットの光センサと、
第1の外部積算信号を受領するための制御部と、
を備えており、前記第1の外部積算信号は、前記第1のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

前記制御部が、前記第1の外部積算信号を効果的に変更して、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第1の信号調整器を備えており、

前記第1の信号調整器は、前記第1の外部積算信号を変更して、前記第1のセットの光センサに対して、前記端画素積算信号及び内部画素積算信号を生じさせ、

前記第1の信号調整器は、前記第1の信号調整器に前記端画素積算信号を所定の端画素期間だけ前記第1の外部積算信号とは異ならせるための端画素データを記憶しており、前記第1の外部積算信号を前記端画素データに応じて調整して前記端画素積算信号を生成し、
且つ、前記第1の信号調整器に前記内部画素積算信号を所定の内部画素期間だけ前記第1の外部積算信号とは異ならせるための内部画素データを記憶しており、前記第1の外部積算信号を前記内部画素データに応じて調整して前記内部画素積算信号を生成する、光センサチップ。

【請求項2】

前記第1の信号調整器が、前記端画素積算信号及び前記内部画素積算信号をそれぞれ所

10

20

定の端画素期間及び所定の内部画素期間だけ前記第1の外部積算信号とは異ならせる、請求項1に記載の光センサチップ。

【請求項3】

前記第1の外部積算信号が期間を含み、前記期間が複数のクロック周期を備えており、前記制御部がさらに、

前記複数のクロック周期の所定の数に達すると乗算値を出力する第1のカウンタを備えており、前記乗算値は前記所定の数に比例しており、前記第1の信号調整器に、前記第1の外部積算信号を効果的に変更させ前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせ、前記端画素積算信号及び前記内部画素積算信号が前記乗算値に比例している、請求項1に記載の光センサチップ。

10

【請求項4】

前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端転送ゲート信号及び第1の内部転送ゲート信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらに前記光センサチップに対するそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項3に記載の光センサチップ。

【請求項5】

前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端ゲート転送信号及び第1の内部ゲート転送信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらに前記光センサチップに対するそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項1に記載の光センサチップ。

20

【請求項6】

端画素及び内部画素を備える第2のセットの光センサをさらに備えており、

前記制御部が第2の外部積算信号を受け取り、前記第2の外部積算信号は、前記第2のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

30

前記制御部がさらに、

前記第2の外部積算信号を効果的に変更して、前記第2のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第2の信号調整器を備えている、請求項1に記載の光センサチップ。

【請求項7】

前記第1のセットの光センサが第1の色を感じ、前記第2のセットの光センサが第2の色を感じる、請求項6に記載の光センサチップ。

【請求項8】

複数の光センサチップを備える光感受性装置であって、各光センサチップが、

端画素及び内部画素を備える第1のセットの光センサと、

40

第1の外部積算信号を受領するための制御部と、

を備えており、前記第1の外部積算信号は、前記第1のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

前記制御部が、前記第1の外部積算信号を効果的に変更して、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第1の信号調整器を備えており、

前記各センサチップがさらに

前記複数の光センサチップの各々に第1の外部積算信号を印加するための第1の共通線と、

前記複数のクロック周期の所定の数に達すると乗算値を出力する第1のカウンタと、

50

を備えており、

前記乗算値は前記所定の数に比例しており、前記第1の信号調整器は、前記第1の外部積算信号を変更させるための端画素データ及び内部画素データを記憶しており、前記端画素データ及び前記内部画素データに応じて前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせ、前記端画素積算信号及び前記内部画素積算信号が前記乗算値に比例している、光感受性装置。

【請求項9】

前記各光センサチップの前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端ゲート転送信号及び第1の内部ゲート転送信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらに前記光センサチップに対するそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項8に記載の光感受性装置。

10

【請求項10】

前記複数の光センサチップの各々に第2の外部積算信号を印加するための第2の共通線を備え、前記各光センサチップが、

端画素及び内部画素を備える第2のセットの光センサをさらに備えており、

前記制御部が第2の外部積算信号を受け取り、前記第2の外部積算信号は、前記第2のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

20

前記制御部がさらに、

前記第2の外部積算信号を効果的に変更して、前記第2のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第2の信号調整器を備えている、請求項8に記載の光感受性装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルコピー機又はファクシミリ装置において、あるいはデジタルカメラにおいてのように、入力スキャナにおいて使用されるイメージセンサアレイに関する。

30

【背景技術】

【0002】

カラーコピーで使用されるように、フルカラースキャナにおいては、各チップに3つ又はそれ以上のリニアアレイが設けられ得て、各アレイは、単一の原色を受け取るようにフィルタされる。米国特許第5,519,514号に記載されているように、チップ上の各リニアアレイは、いくつかの特性において、特に「積算時間」に関して、独立して制御可能であることが望まれ得る。積算時間は、広く言えば、特定の光センサが、スキャンされているオリジナルのイメージ上の小さな範囲からの光に対して露光されて、1画素のデータを作り出す長さである。カラー装置の場合、3つ又はそれ以上の原色光センサの各々は、オリジナルイメージにおける実質的に同じ小さな範囲を見て、フルカラーイメージデータを作り出す。様々な状況では、単一チップ上の異なる色のリニアアレイに関連した積算時間が、精密に調整されることが望まれ得る。

40

【0003】

さらに、リニアアレイを作り出すプロセス内の製造公差のために、それぞれのリニアアレイの各端に位置する画素（端画素）と端画素の間に位置する画素（内部画素）とは、全画素が一様な照射に露光されるときに、リニアアレイ内の各々のそれぞれの画素の出力をバランスするために、異なる積算時間を必要とすることが見出されてきている。例えば、リニアアレイの端画素は、リニアアレイ全体が一様な照射レベルに露光されるときに同じ応答を出力するために、内部画素よりも大きな又は少ない積算時間を必要とし得る。

【0004】

50

ゲイン非一様性 (GNU) は、イメージセンサチップ全体からの平均応答と比較したイメージセンサチップ内の応答のばらつき (平均に対して正負の両方) の測定値である。正のゲイン非一様性 (PGNU) は、全画素の平均応答に対する最大応答を有する画素の測定値であり、負のゲイン非一様性 (NGNU) は、全画素の平均応答に対する最小応答を有する画素の測定値である。内部画素の応答に対する端画素の相対的な応答を補償することによって、全体的な GNU が顕著に低減されることが、理論的に示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許第5,148,268号明細書

10

【特許文献2】米国特許第5,519,514号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

本開示は、より大きなシステムを形成する異なるチップにおける異なる光センサセット内の端及び内部画素に関連した積算時間を調整するためのシステム及びチップを取り扱っている。

【課題を解決するための手段】

【0007】

ある実施形態では、光センサチップが端画素及び内部画素を含む第1のセットの光センサと、第1の外部積算信号を受領するための制御部と、を有し、第1の外部積算信号は、第1のセットの光センサに対する端画素積算信号及び内部画素積算信号を生じさせる。制御部は第1の信号調整器を含み、これが第1の外部積算信号を効果的に変更して、第1のセットの光センサに対する端画素積算信号及び内部画素積算信号を生じさせる。

20

【0008】

他の実施形態では、光感受性装置が、複数の光センサチップと、複数の光センサチップの各々に第1の外部積算信号を印加するための第1の共通線とを含む。各光センサチップは、端画素及び内部画素を有する第1のセットの光センサと、第1の外部積算信号を受領するための制御部と、を有し、第1の外部積算信号は、第1のセットの光センサに対する端画素積算信号及び内部画素積算信号を生じさせる。制御部は第1の信号調整器を含み、これが第1の外部積算信号を効果的に変更して、第1のセットの光センサに対する端画素積算信号及び内部画素積算信号を生じさせる。

30

【0009】

さらに他の実施形態では、端画素及び内部画素を含む光センサのリニアアレイからの信号出力をバランスさせる方法が、a) 端画素積算期間の間に端画素を積算するステップと、b) 内部画素積算期間の間に内部画素を積算するステップと、を含み、端画素積算期間が内部画素積算期間とは異なっている。

【発明の効果】

【0010】

光センサセット内の端及び内部画素に関連させて積算時間を調整することを可能とする

40

【図面の簡単な説明】

【0011】

【図1】デジタルコピー機のようなオフィス装置において使用され、且つ光センサのセットの端及び内部画素に関連した積算時間を調節するためのシステム及び/又はチップのある実施形態とともに使用される、「全幅アレイ」入力スキャナの平面図である。

【図2】図1の円で囲まれた領域2の拡大平面図である。

【図3】光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップのある実施形態のブロック図である。

【図4】図3に示された実施形態の原理を描いたタイミング図である。

50

【図5】光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップの他の実施形態のブロック図である。

【図6】図5に示された実施形態の原理を描いたタイミング図である。

【図7】光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップのある実施形態を組み込む前の光センサチップに対する正のゲイン非一様性の分析を示すグラフである。

【図8】光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップのある実施形態を組み込んだ後の光センサチップに対する正のゲイン非一様性の分析を示すグラフである。

【図9】光センサのリニアアレイを組み込んだ従来技術のスキヤナの側面斜視図である。

【発明を実施するための形態】

【0012】

前述の米国特許第5,148,268号は、イメージ担持表面のスキヤン及びイメージングのために使用される全幅アレイ装置を開示している。そのようなセンサチップは、縞の形成(streaking)、すなわち、プリントシート又はイメージレセプタ(光レセプタ、中間ベルト又はドラム、など)のプロセス方向に延在するインク、トナー、又はその他の着色剤の望まれない狭い縞、ならびに帯の形成(banding)、すなわち、プリントシート又はイメージレセプタのプロセス方向に垂直に延在する画質における望まれないずれ(暗すぎる、明るすぎる、間違った色)の帯領域の存在を測定することができる。加えて、これらのセンサチップは、イメージ担持表面上にどのくらいのトナーが存在するか、及びそのようなトナーがどこに存在するかを、検出することができる。

【0013】

図9は、従来技術のスキヤナ50の一例の側面斜視図であり、これは、光センサのリニアアレイを組み込んでいる。スキヤナ50は、プラテン54の上に配置されたイメージ担持表面52を含む。スキヤンアセンブリは、照射器56、光学系58、及び光センサのリニアアレイ60を含み、アセンブリ全体をプロセス方向Pに動かすことによってイメージ担持表面52をスキヤンし、光センサのリニアアレイ60は、プロセス方向Pに垂直に、すなわち、ページの面に垂直に配置されている。図面には示されていないが、イメージ担持表面52は、文書フィーダ(図示せず)を介して、静止したスキヤンアセンブリの上を動いてもよい。最初に、イメージ印刷システムが一般的に2つの重要な次元、すなわちプロセス(又はスロースキヤン)方向とクロスプロセス(又はファストスキヤン)方向とを有していることに留意されたい。イメージ又はイメージ担持表面が動く方向がプロセス方向と呼ばれ、複数のセンサが向けられている方向がクロスプロセス方向と呼ばれる。クロスプロセス方向は、一般的にはプロセス方向に垂直である。

【0014】

図1は、デジタルコピー機のようなオフィス装置において使用され、且つ光センサのセットの端及び内部画素に関連した積算時間を調節するためのシステム及び/又はチップのある実施形態とともに使用される、「全幅アレイ」入力スキヤナの平面図である。回路ボード100は、その上に配列された複数のセットの光センサを含み、光センサの各セットは110と示されている。各チップ110は、以下に述べるように光センサのセットを含む。一緒に、ボード100上のチップ110は、一つ又はそれ以上の光センサのリニアアレイを形成し、これが、イメージ担持表面、例えば光レセプタベルト又は紙のシートの幅に匹敵する長さだけ、延在している。当業者が理解するように、イメージ担持表面は、(上述のように)ボード100が相対的に運動するプラテン上に置かれることによって、ボード100に対して動くことができる。あるいは、イメージ担持表面は、例えば文書ハンドラを介してボード100上を供給されてもよい。イメージ担持表面がボード100を通過するとき、イメージ担持表面上の一連の小さな範囲が、(上述のように)光源からの光を、チップ110のような光センサに反射する。チップ110は、イメージ担持表面からの反射光を受け取り、引き続き記録及び処理のためのイメージ信号を出力する。ここで使用されているように、「イメージ信号」とは、各チップ110に関連した実際のイメー

10

20

30

40

50

ジ関連出力を意味することが意図されていることに、留意されたい。

【 0 0 1 5 】

図 2 は、図 1 の円で囲まれた領域 2 の拡大平面図である。図 2 は、分離された 3 つの光センサチップ 1 1 0 を示している。この実施形態では、各チップ 1 1 0 は、光センサの 4 つのリニアアレイ又は行を含み、1 1 2 M (白黒用)、1 1 2 R (赤用)、1 1 2 G (緑用)、及び 1 1 2 B (青用)とラベルされている。各アレイには光透過性フィルタ (図示せず) が設けられており、これがアレイを、特定の色、すなわち波長範囲、例えば赤、緑、及び / 又は青に対して感じさせる。白黒アレイ 1 1 2 M は、可視スペクトル全体の光を感じるもので、例えば、白黒コピー機又はファクシミリ装置において、あるいは光学文字スキャンのために有用であるような、白黒のみのイメージデータに対してイメージをスキャンするときには有用である。光センサにはまた、赤外線ブロック用のような他のタイプのフィルタも設けられ得る。

10

【 0 0 1 6 】

本実施形態では、各タイプ 1 1 2 M、1 1 2 R、1 1 2 G、及び 1 1 2 B の一つの光センサの各「列」(図 2 に示されるように)に対して、出力シフトレジスタへの一つの出力線が存在する。一つの列の複数の光センサがどのようにして信号、例えばイメージ信号を、1本の線を通してシフトレジスタに送るかについての一般的な記述は、前述の米国特許第 5,148,168 号に与えられている。一つの列の各タイプ 1 1 2 M、1 1 2 R、1 1 2 G、及び 1 1 2 B の各光センサが、記録されているイメージの一つの小さな範囲を「見て」、その小さな範囲に対するフルカラーのイメージデータを獲得することは、明らかである。異なる色の複数の光センサの動作がどのようにして協調しなければならないかについての一般的な記述は、前述の米国特許第 5,519,514 号に与えられている。ひとたびデジタルイメージ信号の「スキャン線」がシフトレジスタにロードされると、そのスキャン線に対するイメージデータが、ビデオ出力線を通してのようにして、チップ 1 1 0 から出力される。

20

【 0 0 1 7 】

各チップ 1 1 0 は、端画素及び中間画素を備えている。図 2 を参照して最もよく理解されるように、光センサの各「行」は、各チップ 1 1 0 内のそれぞれの「行」の各端に位置した端画素 1 1 4 a 及び 1 1 4 b を含み、それらの間に位置する画素は、内部画素 1 1 6 とみなされる。これより、各チップ 1 1 0 の 2 つの外部「列」は端画素 1 1 4 a 及び 1 1 4 b を含み、それらの間の各「列」は内部画素 1 1 6 を含む。ここで議論される実施形態では、端画素は、各々のそれぞれのチップ 1 1 0 の終端に位置した個別の画素としてのみ示されているが、ある実施形態では、端画素は、単なる個別の終端画素以外のものを含み、例えば、端画素は、画素の各行から最初の 3 画素及び最後の 3 画素を含み得る。そのような変形は、特許請求項の思想及び範囲内にある。上述のように、端画素の光応答が時々内部画素の光応答とは異なることが見出されており、それによって、より大きな G N U 平均及び分布がもたらされる結果となる (図 7 及び図 8 を参照して以下の議論を参照のこと)。

30

【 0 0 1 8 】

上述のように、チップ 1 1 0 のキー制御は、各光センサの「積算時間」を定義する開始及び終了タイミングである。積算時間は、特定の光センサが、典型的にはイメージ担持表面が一連の小さな範囲を各光センサを通過して動かすときに、所与の小さな範囲から光を受け取る時間の長さである。マルチチップシステムでは、複数のチップの間、及び同じ装置のそれぞれのチップ内での製造上のずれを克服するために、チップ上の光センサのセットの積算時間に小さな調整をするか、及び / 又は、内部画素に対する端画素の積算時間に小さな調整をすることが望まれ得る。図 2 及び図 3 を参照して最もよく理解されるように、光センサの異なるサブセット F (M)、F (R)、F (G)、及び F (B) (それぞれ光センサの白黒、赤、緑、及び青の行に対する) の積算時間を制御するための異なる線が、制御部、例えば制御部 2 0 0 に与えられて、各チップ 1 1 0 を統括することができる。

40

【 0 0 1 9 】

50

図3は、光センサのセットの端及び内部画素に関連した積算時間を調整するためのチップのある実施形態の簡略化したブロック図であり、すなわち、本実施形態の原理を描いている。ある実施形態では、各チップ110は、それに関連した制御部200を含む。各チップ110が、白黒、赤フィルタ、緑フィルタ、及び青フィルタされた光センサのセットを含むとき、各制御部200は、光センサの各セットに対して、対応した積算信号、すなわち積算信号 F(M)、 F(R)、 F(G)、及び F(B)を受け取るように配置される。各制御部200に対する特定の積算信号、例えば F(R)を受け取るように配置された各外部線が、共通線を介して一緒にリンクされ得て、これによって特定の光センサセットに関連した積算信号の全チップ110への伝送を同時に許容してもよいことに留意されたい。さらに、ここで使用されているように、「積算信号」は、一つの光センサ又は光センサのセットに積算時間/期間を開始又は終了するように指示する信号を意味することが意図されていることに留意されたい。上記を考慮すると、基本的な例において、F(R)におけるハイになる信号は、全チップ110上の全ての赤の光センサに積算時間を開始させ、ローになる信号は、全チップ110上の全ての赤の光センサに積算時間を終了させる。同じ原理が、F(M)、 F(G)、及び F(B)を使って、白黒、緑、及び青の光センサに適用される。この基本的な例では、各チップ110上の各色の全ての光センサが、それらのそれぞれの積算時間に関して共通線を通して制御されるが、積算時間のチップ毎の調整は、以下に記述されるように、チップ特有の校正データの記憶によって作用されてもよく、これによって、チップ間の製造上のずれを克服する。

【0020】

図3はさらに、制御部200の代表的な部分を詳細に示している。各外部入力 F(M)、 F(R)、 F(G)、及び F(B)に対する入力線において、「信号調整器」と呼ばれるものが、各色の線について一つずつ設けられており、それぞれ210M、210R、210G、及び210Bとマークされている。各信号調整器の機能は、到来する外部積算信号、例えば入力 F(R)によって受け取られた外部積算信号を効果的に変更して、光センサの各セット内の各端画素及び各内部画素に対して、改変された積算時間を生じさせることである。これにより、外部積算信号は信号調整器210Rによって受け付けられ、「E」REGISTERと示されて212とマークされた記憶レジスタに記憶された端画素積算オフセットと結合され、且つ、「I」REGISTERと示されて214とマークされた記憶レジスタに記憶された内部画素積算オフセットと結合される。この結合は、216とマークされた「クロック分割器&パルス幅調整器」で生じる。これにより、ある実施形態では、210Rのような各信号調整器が、ボード100の全チップに同時に届く共通の外部積算信号を受け取るが、特定のチップについては、端及び内部画素の各々に対して変更された積算信号、すなわち F_E(R)及び F_I(R)をそれぞれ出力し、これらは、赤の光センサの端及び内部画素に対する積算時間を何らかの方法で変更する効果を有する。変更された積算信号は、端画素積算信号及び内部画素積算信号の両方を含み、それから横クロック生成器218に供給される。これは、それぞれの信号を使用して、レイ全体が既知の技術で制御されたのと同じ方法で、赤の光センサの端及び内部画素の積算時間を制御する。例えば、横クロック生成器218は、端及び内部転送ゲート信号(T1_E、I)、ノードをリセットするための信号(R)、第2の転送ゲート信号(T2) 40、端及び内部ファット零クロック(FZ_E、I)、フォトダイオードリセット(VFZ)、リセット電圧(VR)、ならびに光センサの各々のそれぞれのセットに対する端及び内部多重化(muxing)信号(M_E、I_M; M_E、I_R; M_E、I_G; M_E、I_B)を生成するように構成されている。ここで使用されているように、「転送ゲート信号」及び「多重化信号」は、各光センサに様々な指令、例えば積算時間の開始を提供する信号を意味することが意図されていることに留意されたい。

【0021】

信号調整器、例えば信号調整器210Rが、到来する外部積算信号 F(R)を変えることができる一つの可能な方法は、信号の期間(ハイになるときとローになるときの間)から、レジスタ212及び214に記憶された所定の量を効果的に減じることである。到

10

20

30

40

50

来する信号の長さの調整 ($F_E(R)$ 及び $F_I(R)$ として示されている変更された信号を作り出すため)は、変更された信号が横クロック生成器218に印加されるとき赤の光センサの端及び内部画素の積算時間における変化に対応する。もちろん、以上の記述が、 $F(M)$ 、 $F(G)$ 、及び $F(B)$ 信号にも同様に適用されて、異なる入力外部積算信号によって制御される光センサの異なるセットが、単一のチップ110内部で且つ別個のチップ110の間で、実質的に独立して動作することができることに留意されたい。

【0022】

図4は、図3に示された実施形態の原理を描いたタイミング図であり、すなわち、チップ110のセットの各々の間で、210Rのような信号調整器の動作を示している。図4の実施形態において、一般化された入力外部積算信号 F は、信号長TFHを有し、レジスタ212及び214に記憶された校正值によって、長さが変更される、すなわち、それぞれ E 及び I によって変更される。これより、 F_E は長さTFH_Eを有し、これは $(TFH - E)$ に等価であり、 F_I は長さTFH_Iを有し、これは $(TFH - I)$ に等価である。したがって、この実施形態では、このシステムは、全ての変更された信号、すなわち端画素積算信号及び内部画素積算信号の端点が入力外部積算信号の端点と同時であるように、設計される。この実施形態は、積算時間の読み出し回路(図示せず)との協調、特に、ビデオが入力外部積算信号の立ち下がり端に応答して出力されるチップ設計で、有用である。

【0023】

図5は、光センサのセットの端及び内部画素に関連した積算時間を調整するためのチップの他の実施形態の簡略化されたブロック図であり、すなわち、本実施形態の他の原理を描いている。ある実施形態では、各チップ110は、それに関連した制御部300を含む。各チップ110の配置は、上記の実施形態で論じられた配置と同様であり、したがってこの実施形態に関しては繰り返されない。

【0024】

図5はさらに、制御部300の代表的な部分を詳細に示している。各外部入力 $F(M)$ 、 $F(R)$ 、 $F(G)$ 、及び $F(B)$ に対する入力線において、「信号調整器」と呼ばれるものが、各色の線について一つずつ設けられており、それぞれ310M、310R、310G、及び310Bとマークされている。各信号調整器の機能は、到来する外部積算信号、例えば入力 $F(R)$ によって受け取られた外部積算信号を効果的に変更して、光センサの各セット内部の各端画素及び各内部画素に対して、変更された積算時間を生じさせることである。この実施形態は、外部積算信号が長さにおいて主クロック周期256個分よりも長いときに、それぞれの端及び内部画素積算時間をどのようにして調整するかという問題に対処する。装置のタイミングが、典型的には主クロック周期によって制御されること、例えば、積算信号は、主クロック周期1000個分に等価であり得ることに留意されたい。そのような構成では、8ビットレジスタ、例えばレジスタ314及び316は、外部積算信号を十分に調整して、256クロック周期の最大調整を有する端及び内部画素の出力をバランスできないかもしれない。すなわち、8ビットは、 2^8 クロック周期の最大調整を許容する。上記を考慮すると、それぞれの信号調整器によって生成される調整値は、外部積算信号の全体長にしたがって、スケールリングを必要とし得る。これより、この実施形態では、外部積算信号、例えば入力 $F(R)$ によって受け取られた信号は、最初に、信号調整器310R内部のカウンタ312によって受け取られる。カウンタ312は、外部積算信号内に含まれる主クロック周期の合計数に比例する値を出力する。例えば、カウンタ312は、もし外部積算信号が256個より少ないか又は等しい主クロック周期を備えていれば、値1を出力し、カウンタは、もし外部積算信号が512個より少ないか又は等しい主クロック周期を備えていれば、値2を出力する、などである。引き続いて、レジスタ314及び316内に記憶された値が、レジスタ312によって出力された値、すなわち R によってスケールリング又は乗算される。

【0025】

これより、外部積算信号は信号調整器310Rによって受け取られ、カウンタ312が

10

20

30

40

50

値 R を決定する。この値 R は、レジスタ 314 及び 316 にそれぞれ記憶された端及び内部画素オフセット値によって乗算され、これらの値 E_R 及び I_R がそれぞれ外部積算信号と結合され、結果として $F_E(R)$ 及び $F_I(R)$ をそれぞれもたらす。以上の結合は、318 とマークされた「クロック分割器 & パルス幅調整器」で生じる。これにより、ある実施形態では、310R のような各信号調整器が、ボード 100 の全チップに同時に届く共通の外部積算信号を受け取るが、特定のチップについては、端及び内部画素の各々に対して変更された積算信号、すなわち $F_E(R)$ 及び $F_I(R)$ をそれぞれ出力し、これらは、赤の光センサの端及び内部画素に対する積算時間を何らかの方法で変更する効果を有する。変更された積算信号は、端画素積算信号及び内部画素積算信号の両方を含み、それから横クロック生成器 320 に供給される。これは、それぞれの信号を使用して、アレイ全体が既知の技術で制御されたのと同じ方法で、赤の光センサの端及び内部画素の積算時間を制御する。

【0026】

図 6 は、図 5 に示された実施形態の原理を描いたタイミング図であり、すなわち、チップ 110 のセットの各々の間で、310R のような信号調整器の動作を示している。図 6 の実施形態において、一般化された入力外部積算信号 F は、信号長 T_{FH} を有し、レジスタ 314 及び 316 に記憶された校正値によって、長さが改変される、すなわち、それぞれ E_R 及び I_R によって改変される。これより、 F_E は長さ T_{FH_E} を有し、これは $(T_{FH} - E_R)$ に等価であり、 F_I は長さ T_{FH_I} を有し、これは $(T_{FH} - I_R)$ に等価である。したがって、この実施形態では、このシステムは、全ての改変された信号、すなわち端画素積算信号及び内部画素積算信号の端点が入力外部積算信号の端点と同時であるように、設計される。この実施形態は、主クロック周期 (C) 256 個分を超える積算時間が主クロック周期 256 個分よりも少ない積算時間と同じくらい精密に調整され得るように、オフセットの解像度を効果的に改良する。レジスタ 314 及び 316 が 8 ビットレジスタよりも大きくても小さくてもよく、且つそのような実施形態では、カウンタ 312 が、各レジスタの最大可能な数字出力にしたがって R 値を提供することに留意されたい。例えば、 R 値は、レジスタ 314 及び 316 が 4 ビットレジスタであれば、カウンタ 312 が 16 の倍数に達する毎にインクリメントされ、あるいは、 R 値は、レジスタ 314 及び 316 が 16 ビットレジスタであれば、カウンタ 312 が 65536 の倍数に達する毎にインクリメントされる。そのようなレジスタの実施形態は、特許請求項の思想及び範囲内にある。

【0027】

一つの可能な実施形態において、所与のチップ 110 に対して、製造に引き続いて、ならびに、恐らくはより大きなマルチチップ装置への搭載に引き続いて、そのチップ上の光センサの特定のセットからの端画素及び内部画素からの信号出力が、例えば、照射レベルに応じた各画素からの電圧出力が測定されて、それから、(8 ビットワードのような)訂正データが、210M、210R、210G、及び 210B のような対応する信号調整器内部のレジスタ(例えばレジスタ 212 及び 214)にロードされて記憶され、端画素及び内部画素の積算信号を別個に調整することによって、信号調整器からの引き続く出力に、光センサのセットの信号出力を、より一致したものになるように変えさせる。実用的な実施形態では、この訂正データのロードは、スキャナのような装置の製造時のみに必要とされるが、ある実施形態では、使用過程で装置の各チップ上の各信号調整器に訂正データを変えることが、望まれ得る。

【0028】

上記のシステムでは、各チップ上の光センサの各セットの各端画素及び各内部画素がチップ内部の改変された積算信号によって制御されることができ、より大きなシステムにおける各チップ上の光センサの各セットの各端画素及び各内部画素が、積算時間に関して精密に調整されることを可能にしている。実用的な具現例では、積算時間のこの調整は、チップ(及びチップ内部の光センサのセット)の間の製造上のずれを克服するために使用されることができて、装置の全チップ上の光センサの全セットからのビデオ信号の振幅を一

10

20

30

40

50

致したものにす。さらに、上記のシステム内では、各離散画素、端及び内部は、全ての他の画素から独立して調整され得て、これによって、ビデオ信号出力のより大きな制御をもたらす結果になる。そのような実施形態は、特許請求項の思想及び範囲内である。

【0029】

上記を考慮すると、ある実施形態が光センサのリニアアレイからの信号出力をバランスする方法を含むことに留意されたい。ここで、光センサのリニアアレイは、端画素及び内部画素を備えている。この方法は、a)端画素積算期間の間に端画素を積算するステップと、b)内部画素積算期間の間に内部画素を積算するステップと、を含み、端画素積算期間が内部画素積算期間とは異なっている。ある実施形態では、信号出力は、端画素からの信号出力(例えば、照射レベルに応じた画素からの電圧出力)が、一様な照射に対する光センサのリニアアレイの露光時の内部画素からの信号出力と実質的に同じであるときに、バランスされたとみなされる。積算信号の改変はいくつかの形態を取り得て、その中には、以下の例の実施形態を含むが、これらに限定されるものではない。ある実施形態では、端画素積算期間は内部画素積算期間とは異なるタイミングで始まり、端画素積算期間は端画素積算期間と同時に終了する。他の実施形態では、端画素積算期間は内部画素積算期間と同時に始まり、端画素積算期間は端画素積算期間と異なるタイミングで終了する。さらに他の実施形態では、端画素積算期間は内部画素積算期間と異なるタイミングで始まり、端画素積算期間は端画素積算期間と異なるタイミングで終了する。以上の実施形態は、描写的な目的で含まれているものであり、特許請求されている発明の範囲を制限することは意図されていない。

【0030】

図7は、光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップのある実施形態を組み込む前の光センサチップに対する正のゲイン非一様性の分析を示すグラフである。一方、図8は、光センサのセットの端及び内部画素に関連した積算時間を調節するためのチップのある実施形態を組み込んだ後の光センサチップに対する正のゲイン非一様性の分析を示すグラフである。図7に示された例に見ることができるように、リニアアレイは、白黒の光センサ(410Mとマークされている)に対しては約3.25%の平均PGNU値、白黒の光センサ(420Rとマークされている)に対しては約4.0%の平均PGNU値、白黒の光センサ(430Gとマークされている)に対しては約7.75%の平均PGNU値、及び白黒の光センサ(440Bとマークされている)に対しては約6.5%の平均PGNU値を備えている。加えて、図7に見ることができるように、それぞれのPGNU値の分布は、非常に広い。図8に見ることができるように、端及び内部画素積算時間の調節のためのチップ/システムを組み込んだ後は、平均PGNU値及びそれぞれの分布の両方が改善している。結果として得られた白黒の光センサに対するPGNU平均値は約1.25%(510Mとマークされている)、赤の光センサに対しては約2.5%(520Rとマークされている)、緑の光センサに対しては約2.5%(530Gとマークされている)、及び青の光センサに対しては約3.0%(540Bとマークされている)である。

【0031】

本開示とは対照的に、単純にゲインを調整するシステムはS/N比を変更しない。なぜなら、ノイズもまた等しく調整されるからであり、ゲインの調整はまたオフセットも調整し、これは望ましくない。本開示にあるように積算時間を変えることは、光センサ上の光レベルを調整することと効果的に同じであり、これより、S/N比に対する悪影響は有さない。加えて、本開示にあるように、信号を等しくするように積算時間を調整することは、信号のより小さな範囲が訂正に割り当てられることを必要とし、これがさらに、より高いS/N比を可能にする。

【0032】

附記：本発明の他の態様は以下のように説明される。

(請求項1)

端画素及び内部画素を備える第1のセットの光センサと、
第1の外部積算信号を受領するための制御部と、

を備えており、前記第1の外部積算信号は、前記第1のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

前記制御部が、前記第1の外部積算信号を効果的に変更して、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第1の信号調整器を備えており、

前記第1の信号調整器が、前記端画素積算信号及び前記内部画素積算信号を、それぞれ所定の端画素期間及び所定の内部画素期間だけ前記第1の外部積算信号とは効果的に異ならせる、光センサチップ。

(請求項2)

前記第1の信号調整器が、前記端画素積算信号及び前記内部画素積算信号を、それぞれ所定の端画素期間及び所定の内部画素期間だけ前記第1の外部積算信号とは異ならせる、請求項1に記載の光センサチップ。

10

(請求項3)

前記光センサチップの製造に引き続いて、前記第1の信号調整器が、前記第1の信号調整器に前記端画素積算信号を所定の端画素期間だけ前記第1の外部積算信号とは異ならせるように指示する端画素データを受け取り、前記所定の端画素期間が前記端画素データに関連しており、且つ、前記第1の信号調整器が、前記第1の信号調整器に前記内部画素積算信号を所定の内部画素期間だけ前記第1の外部積算信号とは異ならせるように指示する内部画素データを受け取り、前記所定の内部画素期間が前内部端画素データに関連している、請求項1に記載の光センサチップ。

20

(請求項4)

前記第1の外部積算信号が複数のクロック周期を備えており、前記制御部がさらに、前記複数のクロック周期の所定の数に達すると乗算値を出力する第1のカウンタを備えており、前記乗算値は前記所定の数に比例しており、前記第1の信号調整器に、前記第1の外部積算信号を効果的に変更させ前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせ、前記端画素積算信号及び前記内部画素積算信号が前記乗算値に比例している、請求項1に記載の光センサチップ。

(請求項5)

前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端転送ゲート信号及び第1の内部転送ゲート信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらにそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項4に記載の光センサチップ。

30

(請求項6)

前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端ゲート転送信号及び第1の内部ゲート転送信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらにそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項1に記載の光センサチップ。

40

(請求項7)

端画素及び内部画素を備える第2のセットの光センサをさらに備えており、前記制御部が第2の外部積算信号を受け取り、前記第2の外部積算信号は、前記第2のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

前記制御部がさらに、

前記第2の外部積算信号を効果的に変更して、前記第2のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第2の信号調整器を備えている、請求項1に記載の光センサチップ。

(請求項8)

50

前記第1のセットの光センサが第1の色を感じ、前記第2のセットの光センサが第2の色を感じる、請求項7に記載の光センサチップ。

(請求項9)

複数の光センサチップと、

前記複数の光センサチップの各々に第1の外部積算信号を印加するための第1の共通線と、

を備える光感受性装置であって、各光センサチップが、

端画素及び内部画素を備える第1のセットの光センサと、

前記第1の外部積算信号を受領するための制御部と、

を備えており、前記第1の外部積算信号は、前記第1のセットの光センサに対して、端画素積算信号及び内部画素積算信号を生じさせ、

前記制御部が、

前記第1の外部積算信号を効果的に変更して、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第1の信号調整器と、

前記複数のクロック周期の所定の数に達すると乗算値を出力する第1のカウントと、

を備えており、

前記乗算値は前記所定の数に比例しており、前記第1の信号調整器に、前記第1の外部積算信号を効果的に変更させて前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせ、前記端画素積算信号及び前記内部画素積算信号が前記乗算値に比例している、光感受性装置。

(請求項10)

前記第1の外部積算信号が複数のクロック周期を備えており、各光センサチップの各制御部がさらに、

前記複数のクロック周期の所定の数に達すると乗算値を出力する第1のカウントを備えており、前記乗算値は前記所定の数に比例しており、前記第1の信号調整器に、前記第1の外部積算信号を効果的に変更させて前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせ、前記端画素積算信号及び前記内部画素積算信号が前記乗算値に比例している、請求項9に記載の光センサチップ。

(請求項11)

各センサチップの前記制御部がさらに、前記第1のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を受け取り、前記端画素積算信号及び前記内部画素積算信号を効果的に使用してそれぞれの第1の端転送ゲート信号及び第1の内部転送ゲート信号を生じさせ、さらにそれぞれの第1の端ファット零クロック信号及び第1の内部ファット零クロック信号を生じさせ、且つさらにそれぞれの第1の端多重化信号及び第1の内部多重化信号を生じさせる、クロック生成器を備えている、請求項9に記載の光センサチップ。

(請求項12)

前記複数の光センサチップの各々に第2の外部積算信号を印加するための第2の共通線をさらに備えており、各光センサチップが、

端画素及び内部画素を備える第2のセットの光センサをさらに備えており、

前記制御部が前記第2の外部積算信号を受け取り、前記第2の外部積算信号は、前記第2のセットの光センサに対して、端画素積算時間及び内部画素積算時間を生じさせ、

前記制御部がさらに、

前記第2の外部積算信号を効果的に変更して、前記第2のセットの光センサに対する前記端画素積算信号及び前記内部画素積算信号を生じさせる第2の信号調整器を備えている、請求項9に記載の光センサチップ。

(請求項13)

各センサチップに対して、前記第1のセットの光センサが第1の色を感じ、前記第2のセットの光センサが第2の色を感じる、請求項12に記載の光センサチップ。

(請求項14)

10

20

30

40

50

端画素と内部画素とを備えている光センサのリニアアレイからの信号出力をバランスさせる方法であって、

a) 端画素積算期間の間に前記端画素を積算するステップと、

b) 内部画素積算期間の間に前記内部画素を積算するステップと、

を含んでおり、前記端画素積算期間が前記内部画素積算期間とは異なっていて、且つ、前記端画素からの信号出力が一様な照射に対する前記光センサのリニアアレイの露光時の前記内部画素からの信号出力と実質的に同じであるときに、前記信号出力がバランスされている、方法。

(請求項 15)

前記端画素からの信号出力が一様な照射に対する前記光センサのリニアアレイの露光時の前記内部画素からの信号出力と実質的に同じであるときに、前記信号出力がバランスされる、請求項 14 に記載の方法。

(請求項 16)

前記端画素積算期間は前記内部画素積算期間とは異なるタイミングで始まり、前記端画素積算期間は前記端画素積算期間と同時に終了する、請求項 14 に記載の方法。

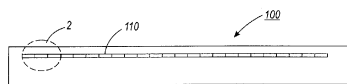
(請求項 17)

前記端画素積算期間は前記内部画素積算期間と同時に始まり、前記端画素積算期間は前記端画素積算期間と異なるタイミングで終了する、請求項 14 に記載の方法。

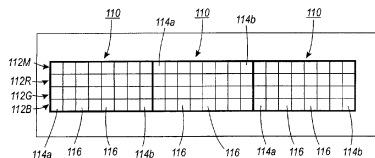
(請求項 18)

前記端画素積算期間は前記内部画素積算期間と異なるタイミングで始まり、前記端画素積算期間は前記端画素積算期間と異なるタイミングで終了する、請求項 14 に記載の方法。

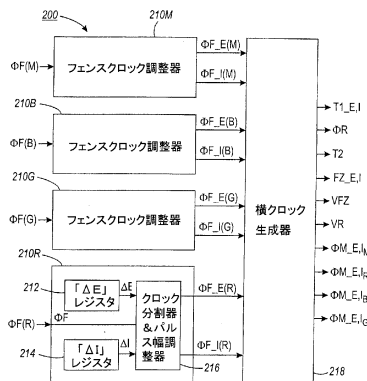
【図 1】



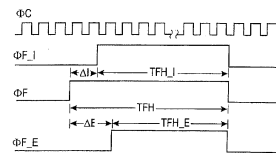
【図 2】



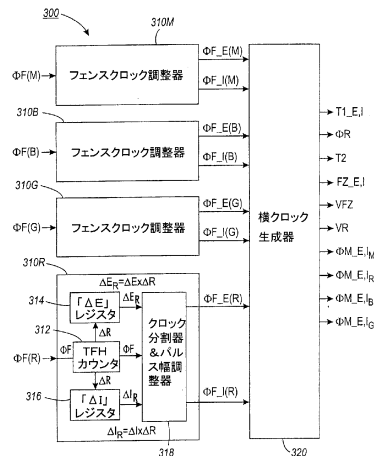
【図 3】



【図 4】



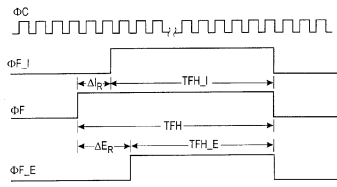
【図 5】



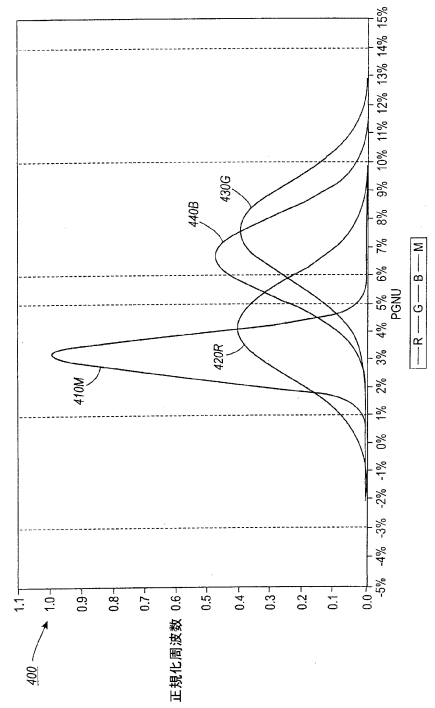
10

20

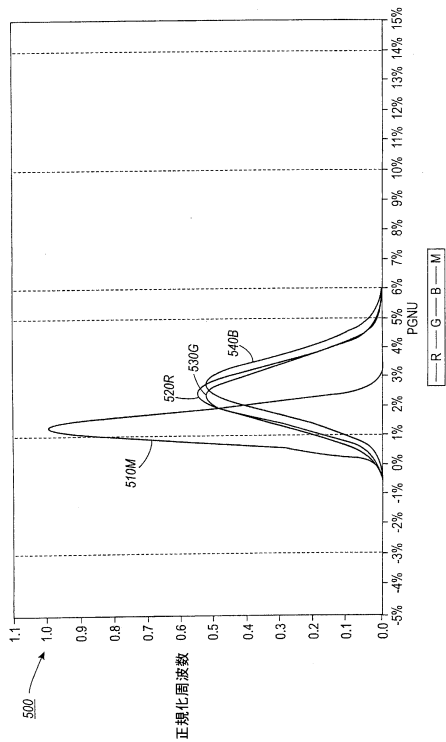
【図6】



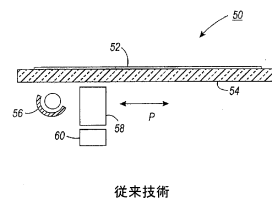
【図7】



【図8】



【図9】



従来技術

フロントページの続き

合議体

審判長 渡邊 聡

審判官 渡辺 努

審判官 小池 正彦

(56)参考文献 特開平 1 1 - 1 4 6 1 2 9 (J P , A)
特開 2 0 0 6 - 3 4 0 3 5 1 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
H04N1/024-1/207