



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1709310 A1

(51)5 G 06 F 7/68

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4769273/24

(22) 12.12.89

(46) 30.01.92. Бюл. № 4

(72) Ю.Н. Цыбин

(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 746514, кл. G 06 F 7/68, 1977.

Авторское свидетельство СССР
№ 1008740, кл. G 06 F 7/68, 1981.

(54) УМНОЖИТЕЛЬ ЧАСТОТЫ

(57) Изобретение относится к области автоматики и вычислительной техники и м.б. использовано для быстрого преобразования

2

частота-код. Цель изобретения – повышение надежности при зашумленном входном сигнале. Поставленная цель достигается путем формирования защитного интервала времени с использованием для этого оборудования собственно умножителя частоты с минимальным введением новых элементов – триггера и элемента И. Устройство содержит делитель частоты, управляемый делитель частоты, вход тактовой частоты, счетчик, регистр, выход, шину потенциала логической единицы, триггер, элемент И, информационный вход. 1 ил.

Изобретение относится к области автоматики и вычислительной техники и может быть использовано в системах с зашумленным сигналом для быстрого преобразования частота-код.

Целью изобретения является повышение надежности работы умножителя частоты в условиях зашумленного входного сигнала.

Достижение поставленной цели обеспечивается путем формирования защитного временного интервала с использованием средств умножителя частоты с минимальным введением дополнительных элементов.

На чертеже представлена структурная схема устройства.

Устройство содержит делитель 1 частоты, управляемый делитель 2 частоты, вход 3 тактовой частоты, счетчик 4, регистр 5, выход 6, шину 7 потенциала логической единицы, триггер 8, элемент И 9, информационный вход 10. Информационные входы дели-

теля 1 частоты и управляемого делителя 2 частоты соединены с входом 3 тактовой частоты. Выход делителя 1 частоты соединен со счетным входом счетчика 4, разрядные выходы которого соединены соответственно с информационными входами регистра 5, разрядные выходы которого соединены соответственно с управляющими входами управляемого делителя 2 частоты, выход которого соединен с выходом 6 умножителя частоты. Шина 7 потенциала логической единицы соединена с информационным входом триггера 8, прямой выход которого соединен с первым входом элемента И 9, второй вход которого соединен с информационным входом 10 умножителя частоты. Выход элемента И 9 соединен с входами установки в ноль делителя 1 частоты, счетчика 4, входом разрешения записи регистра 5 и входом установки в ноль триггера 8, i -й разрядный выход делителя 1 частоты (где $i = 1, 2, 3, \dots, n$) соединен с входом установки в единицу триггера 8.

(19) SU (11) 1709310 A1

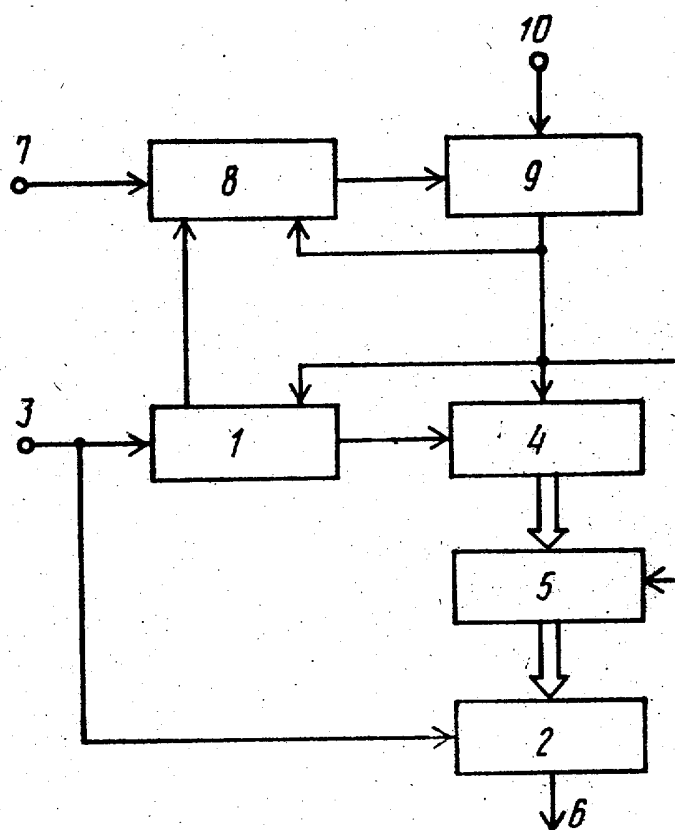
Работа устройства осуществляется следующим образом. Входной сигнал на информационном входе 10 в виде узких импульсов (синхронных с импульсами тактовой частоты на входе 3 тактовой частоты) имеет шумовую составляющую, синхронную с тактовыми импульсами. В случае асинхронного сигнала необходимо использовать средства синхронизации его импульсами с входа 3 тактовой частоты. Предположим, на выходе триггера 8 – логическая "1". Первый импульс из пачки входных импульсов (с шумом) с информационного входа 10 устройства поступит через элемент И 9 на вход разрешения записи регистра 5. Вследствии этого число, содержащее к этому времени в счетчике 4, по переднему фронту импульса переписывается в регистр 5, а делитель 1 частоты и счетчик 4 установятся в исходное состояние (нулевое) через некоторое время, определяемое временем распространения сигнала через элементы. По заднему фронту (спаду) этого импульса триггер 8 примет состояние логического нуля по выходу и запретит прохождение последующих "шумовых" импульсов пачки с информационного входа 10 устройства, после чего в счетчике 4 формируется код N_j периода T_j входного сигнала с дискретизацией его на частоте $f_d = f_0/K$, где f_0 – частота сигнала на входе 3 тактовой частоты, K – коэффициент умножения частоты, равный коэффициенту деления частоты f_0 делителем 1 частоты. На i -м разрядном выходе делителя 1 частоты через время t_3 от импульса с выхода элемента И 9 формируется импульс, который устанавливает триггер 8 в состояние "1". При этом величина t_3 определяется априорно с учетом известного диапазона временной флуктуации (шумов) входного сигнала, т.е. его дисперсией. Для этого импульс, определяющий t_3 взят с любого необходимого разряда i делителя 1 частоты (вообще можно и со счетчика 4). Таким образом, очередной первый импульс из следующей пачки с информационного входа 10 устройства поступит через элемент И 9 на входы обнуления делителя 1 частоты, счетчика 4 и вход разрешения записи регистра 5 и снова на триггер 8, который опять запретит на защитный интервал времени t_3 прохождение последующих импульсов данной пачки. В регистр 5 запишется очеред-

ное значение N_{j+1} , которое считывается управляемым делителем 2 частоты. Величина периода сигнала на выходе 6 определяется коэффициентом пересчета управляемого делителя 2 частоты согласно выражению $T_{вых} = N_j/f_0$. Далее процесс повторяется периодически. Устройство реализуемо при $t_{ш} < t_3$ и отсутствии перекрытия смежных пачек импульсов входного сигнала, где $t_{ш}$ – априорно известное время наличия шумовых импульсов в пачке (максимальное шумовое время).

Положительным эффектом является повышение надежности при зашумленном входном сигнале, обеспечиваемое предупреждением записи ложного кода по импульсам шума в регистр 5. Это достигается формированием защитного интервала времени от первого импульса в пачке шума с использованием элементов делителя 1 частоты. Дополнительные затраты составляют триггер и элемент И.

Формула изобретения

Умножитель частоты, содержащий делитель частоты, счетчик, регистр, управляемый делитель частоты, информационный вход, вход тактовой частоты и выход, причем информационные входы делителя частоты и управляемого делителя частоты соединены с входом тактовой частоты, выход делителя частоты соединен со счетным входом счетчика, разрядные выходы которого соединены соответственно с информационными входами регистра, разрядные выходы которого соединены соответственно с управляющими входами управляемого делителя частоты, выход которого является выходом умножителя частоты, о т л и ч а ю щ и й с я тем, что, с целью повышения надежности работы умножителя частоты в условиях зашумленного входного сигнала, в него введены триггер, элемент И и шина потенциала логической единицы, соединенная с информационным входом триггера, прямой выход которого соединен с первым входом элемента И, второй вход которого соединен с информационным входом умножителя частоты, выход элемента И соединен с входами установки в ноль триггера, делителя частоты, счетчика и с входом разрешения записи регистра, i -й разрядный выход делителя частоты (где, $i=1, 2, 3, \dots, n$) соединен с входом установки в единицу триггера.



Редактор Н.Коляда

Составитель В.Гусев
Техред М.Моргентал

Корректор А.Осауленко

Заказ 426

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101