

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5380969号
(P5380969)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int. Cl. F 1
G 0 6 F 17/50 (2006.01)
 G 0 6 F 17/50 6 5 8 A
 G 0 6 F 17/50 6 5 8 L

請求項の数 6 (全 33 頁)

<p>(21) 出願番号 特願2008-241942 (P2008-241942) (22) 出願日 平成20年9月22日 (2008. 9. 22) (65) 公開番号 特開2010-73073 (P2010-73073A) (43) 公開日 平成22年4月2日 (2010. 4. 2) 審査請求日 平成23年6月13日 (2011. 6. 13)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号 (74) 代理人 100074099 弁理士 大菅 義之 (74) 代理人 100133570 弁理士 ▲徳▼永 民雄 (72) 発明者 山下 良一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 審査官 合田 幸裕</p>
--	---

最終頁に続く

(54) 【発明の名称】 レイアウト設計方法、及び装置

(57) 【特許請求の範囲】

【請求項1】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

コンピュータに、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の工程と、

前記第1の工程により分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の工程と、を実行させ、

前記第1の工程では、前記第2のモジュールへの分割は、前記配線の基本単位となるグリッド点を避けて、隣接する他の第2のモジュールとの境界を設定することで行う、

ことを特徴とするレイアウト設計方法。

【請求項2】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

コンピュータに、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の工程と、

前記第1の工程により分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の工程と、を実行させ、

10

20

前記第1の工程では、隣接する第2のモジュール間の境界を通る配線が存在する場合、該配線によって接続される2つのピン間を基に、該配線用に該境界上に配置するモジュール端子の位置を割り当てらるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当て、

前記第2の工程では、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とするレイアウト設計方法。

【請求項3】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

コンピュータに、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の工程と、

前記第1の工程により分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の工程と、を実行させ、

前記第1の工程では、隣接する第2のモジュール間の境界の近傍に配置された配線上の障害物を基に、該配線用のモジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当て、

前記第2の工程では、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とするレイアウト設計方法。

【請求項4】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の分割手段と、

前記第1の分割手段が分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の分割手段と、を具備し、

前記第1の分割手段は、前記第2のモジュールへの分割では、前記配線の基本単位となるグリッド点を避けて、隣接する他の第2のモジュールとの境界を設定する、

ことを特徴とするレイアウト設計支援装置。

【請求項5】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の分割手段と、

前記第1の分割手段が分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の分割手段と、を具備し、

前記第1の分割手段は、隣接する第2のモジュール間の境界を通る配線が存在する場合、該配線によって接続される2つのピン間を基に、該配線用に該境界上に配置するモジュール端子の位置を割り当てらるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当て、

前記第2の分割手段は、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とするレイアウト設計支援装置。

【請求項6】

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

10

20

30

40

50

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の分割手段と、

前記第1の分割手段が分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の分割手段と、を具備し、

前記第1の分割手段は、隣接する第2のモジュール間の境界の近傍に配置された配線上の障害物を基に、該配線用のモジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当て、

前記第2の分割手段は、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とするレイアウト設計支援装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計に関する。

【背景技術】

【0002】

CPUなどのように高い周波数での動作を要求される大規模半導体集積回路(LSI: Large Scale Integrated-circuit)の設計には、多くの工程が存在する。近年は、加工技術の進歩による微細化、及びその微細化に伴う回路規模の増大により、LSI全体を扱うレイアウト設計は困難な状況となっている。このためレイアウト設計は、全体を複数のモジュールに分割し、モジュール毎に並行して進める形態をとるのが普通となっている。

【0003】

レイアウト設計の初期段階では、モジュールの詳細は決定されていない。このことから通常、回路規模、大まかな信号の流れ等を予め考慮して人手によりフロアプランが作成され、各モジュールの概略位置、及び形状が決定される。フロアプランでは他に、モジュールのインターフェースとなるモジュールの外部端子(モジュール端子)の位置が決定される。そのモジュール端子は、モジュール間の接続用、或いはチップの外部端子となる。

【0004】

モジュールに分割してレイアウト設計を進める設計方法を採用した場合、モジュール端子の位置を最適化するために見直しが必要となる。その最適化を行う方法としては、決定した経路から算出した配線長と、モジュール端子間の距離から推定した配線長との差が大きい配線を対象に再度の最適化を実施する、予め概略経路を決定し、実際に設定する経路を概略経路内に制限する、などが知られている。

【0005】

高速動作や加工の微細化は、信号の配線遅延の影響を深刻にさせている。また、平行する2つの配線間に生じる配線間容量であるカップリング容量の存在により、一方を流れる信号の変化が他方に起電力を誘起させることにより、クロストークノイズを発生させる。そのクロストークノイズは、遅延増や誤動作といった不具合を引き起こすことが知られている。このようなことから近年では、レイアウト設計の初期段階でも不具合の発生を考慮した設計が求められるようになっている。

【0006】

クロストークノイズへの対策としては、配線の間隔をより広くするといったことが行われる。配線がモジュール端子と接続されている場合、モジュール端子の配置も合わせて変更するのが普通である。

【0007】

ここで、半導体集積装置を複数のモジュールに分割してのレイアウト設計を支援する従来のレイアウト設計支援装置について、図1に示す機能構成図を参照して具体的に説明す

10

20

30

40

50

る。

【 0 0 0 8 】

この従来のレイアウト設計支援装置は、論理設計された半導体集積回路、例えばネットリストを入力し、フロアプラン設計により半導体集積回路を複数のモジュールに分解し、モジュール毎にセルの配置、及び配線を決定する詳細（実装）設計を支援する。このために、モジュール形状決定部 1 1、概略配線部 1 2、端子位置調整部 1 3、モジュール分割部 1 4、及び詳細設計部 1 5を備えている。

【 0 0 0 9 】

モジュール形状決定部 1 1は、設計者の指示に従い、半導体集積回路を分割するモジュールの形状、配置を決定するフロアプランを行う。モジュールは半導体集積回路の一部であり、モジュール間では論理設計によって定められた信号の授受が行われる。授受すべき信号は、モジュールへの機能の割り当てに伴って自動的に決まる。概略配線部 1 2は、モジュール間で信号を授受するための概略配線を決定する。端子位置調整部 1 3は、概略配線の決定によって配置範囲が制限されるモジュール端子の位置を調整（変更）する。モジュール分割部 1 4は、フロアプラン結果に従って、半導体集積回路を複数のモジュールに分割する。

10

【 0 0 1 0 】

図 1 では、半導体集積回路を 3 つのモジュールに分割したことにより、3 つのモジュールデータ D 1 が生成されたことを表している。そのモジュールデータ D 1 は、対応するモジュール分のネットリスト、各モジュール端子の配置を示す配置情報、及びモジュールの形状や配置を示す配置情報を含んでいる。

20

【 0 0 1 1 】

詳細設計部 1 5 は、モジュールデータ D 1 毎に、データ D 1 が示す各セルの配置、及び配線を決定する詳細設計を行う。各設計結果はモジュールデータ D 2 として出力される。このデータ D 2 は、例えばモジュールデータ D 1 に、セル毎に配置を示す配置情報、配線毎に経路を示す配線情報等を加えたものである。1 配線分の配線情報は、配線が接続するセルのピン、ピン間の経路、などを示すものである。

【 0 0 1 2 】

図 2 は、モジュール分割例を示す図である。この分割例は、半導体集積回路 3 0 を 4 つのモジュール 3 1 ~ 3 4 に分割した場合のものであり、図 2 ではモジュールは「 B L O C K」と表記している。

30

【 0 0 1 3 】

図 2 に示すモジュール 3 2 は、配置、及び配線が決定した後のものである。「 C L」を付してハッチングした矩形はセル、「 S T」を付した矩形は、セル C L がまとめて配置された領域であるサイトをそれぞれ示している。異なるサイト S T に存在するセル C L を結ぶ実線は、配線を示している。

【 0 0 1 4 】

図 3 は、別のモジュール分割例を示す図である。この分割例は、半導体集積回路 4 0 を 2 つのモジュール 4 1 及び 4 2 に分割した場合のものである。この図 3 でもモジュールは「 B L O C K」と表記している。モジュール 4 1 及び 4 2 を分ける実線は境界を示している。

40

【 0 0 1 5 】

モジュール 4 1 では、セルはモジュール 4 2 との境界から比較的離れた位置に配置し、モジュール 4 2 でも同様に、その境界から比較的離れた位置に配置している。そのようにして、境界の直交方向上、その境界を挟む形で隣接するセル C L 間の距離はより大きくなるようにしている。これは、そのセル間を、互いの配線等が他のモジュールに影響させない緩衝領域とするためである。

【特許文献 1】特開平 8 - 4 4 7 8 4 号公報

【特許文献 2】特開 2 0 0 3 - 3 0 2 6 6 号公報

【特許文献 3】特開 2 0 0 2 - 2 1 5 7 0 4 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0016】

フロアプランを行うことにより、希望するチップ面積に全ての機能を実現できるか否か確認することができる。無駄な領域が生じそうな場合には、無駄な領域を削減することができる。このようなことから従来、フロアプランはチップ面積を最小化することを重視して行われている。チップ面積を最小化することにより、1枚の半導体ウェハから採取できるチップの数が増大し、生産性が向上するからである。

【0017】

しかし、加工技術の進歩による微細化、及びその微細化に伴う回路規模の増大は、セルの配置や配線を決定する詳細設計の実施に大きな影響を及ぼしている。具体的には、回路規模の増大は、詳細設計の実施に要する処理時間をより長くしている。加工の微細化は、最適な配線をより困難にしている。最適な配線を行うためには、モジュール端子の配置をより適切に決定することが必要である。このようなことから、詳細設計の前段階において、詳細設計をより考慮した設計を行うべきと考えられる。

10

【0018】

本発明は、レイアウトの詳細設計をより短時間に実施できるようにするための技術を提供することを第1の目的とする。

本発明は、レイアウトの詳細設計をより適切に実施できるようにするための技術を提供することを第2の目的とする。

20

【課題を解決するための手段】

【0019】

本発明を適用した1システムでは、半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するために、半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割し、第2のモジュール毎に、第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する。第2のモジュールへの分割は、配線の基本単位となるグリッド点を避けて、隣接する他の第2のモジュールとの境界を設定することで行う。

【0020】

第2のモジュールへの再分割により、配置、及び配線の対象となるセルの数はより少なくなる。このため、詳細設計をより短時間で行えるようになる。全体の工程でも、時間短縮させることができる。配線の基本単位となるグリッド点を避けて、隣接する他の第2のモジュールとの境界を設定することにより、使用できなくなるグリッド点の数を抑制することができる。セルは、半導体集積回路の構成要素のことであり、過去の設計資産である機能ブロックも含まれる。

30

【発明の効果】

【0021】

本発明を適用した場合には、レイアウトの詳細設計をより短時間に実施できるようになる。更に/或いは、レイアウトの詳細設計をより適切に実施できるようになる。

【発明を実施するための最良の形態】

40

【0022】

以下、本実施形態について、図面を参照しながら詳細に説明する。

図4は、本実施形態の適用により実現可能なレイアウト設計の概略フローを示す図である。

【0023】

本実施形態では、図4に示すように、半導体集積回路を複数のモジュールに分割するフロアプランを行う工程P1、フロアプランにより分割されたモジュール毎に、モジュールをより小さいモジュール(以降「サブモジュール」)に分割する工程P2、サブモジュール間の接続用のモジュール端子の位置を決定する工程P3、サブモジュール毎にセルの配置を決定する工程P4、セル間を結ぶ配線を決定する工程P5を経て、半導体集積回路を

50

製造するための製造データを作成する工程 P 6 を実施するようになっている。実際には、工程 P 1 ~ P 5 は判明した不具合や設計変更等への対応のために随時、繰り返し実施される。

【 0 0 2 4 】

工程 P 4 及び P 5 は、詳細設計として実施される。本実施形態では、フロアプランにより得られたモジュールを更にサブモジュールに分割し、詳細設計を実施する。配線の決定に要する処理時間はセル（セルに設けられたピン）が多くなる程、指数関数的に増大する。このため、サブモジュールに分割することにより、配線の決定はより短い処理時間で行うことができるようになる。サブモジュールへの分割、その分割に伴い実施するモジュール端子の位置決定を行っても、全体の処理時間は大幅に短縮される。ここでのセルとは、論理設計された半導体集積回路の構成要素の総称であり、過去の設計資産である機能ブロック（IP：Intellectual Property）等も含んでいる。

10

【 0 0 2 5 】

図 5 は、本実施形態によるレイアウト設計支援装置の機能構成図である。このレイアウト設計支援装置（以降「支援装置」と略記）は、フロアプラン結果、つまり論理設計された半導体集積回路（LSI）を分割して得られるモジュールを対象にしたレイアウト設計を支援する装置として実現されている。そのレイアウト設計を支援するために、領域分割部 5 1、既配線端子化部 5 2、禁止マッピング部 5 3、端子辺設定部 5 4、配線長予測部 5 5、割当順決定部 5 6、端子割当部 5 7、モジュール分割部 5 8、サブモジュール詳細設計部 5 9、及びフラット化処理部 6 0 を備えている。

20

【 0 0 2 6 】

図 5 中のフラットデータ D 1 0 は、1 モジュール分のデータであり、例えば図 1 に示す 3 つのモジュールデータ D 1 のうちの一つに相当する。領域分割部 5 1 は、設計者の指示により、フラットデータ D 1 0 が示すモジュールを更に複数のより小さいサブモジュールに分割する。ここでは、更に分割したサブモジュールを「ブロック」とも呼ぶことにする。

【 0 0 2 7 】

図 6 は、モジュールの分割方法の説明図である。図 6 に示す例では、モジュール 8 0 を 2 つのブロック 8 1 及び 8 2 に分割する様子を示している。

図 7 は、ブロックに分割する境界の設定方法の説明図である。図 7 に示す「+」は、配置及び配線の最小ピッチ間隔を表す基本単位となるグリッド（GRID）点を示している。図 7 の左側は、従来の境界の設定方法を示し、図 7 の右側は、本実施形態における境界の設定方法を示している。

30

【 0 0 2 8 】

従来は、図 7 の左側に示すように、境界を示す境界線 B L 1 は隣接するグリッド点を通る直線で設定する。これに対し本実施形態では、隣接するグリッド点を通らない直線も境界線 B L 2 として扱う。このため、横方向上の境界の位置は横方向に隣接するグリッド点間となっている。このようにグリッド点間に境界を設定するのは以下のような理由からである。

【 0 0 2 9 】

グリッド点は、配線の基本単位であることから、経路は隣接するグリッド点を通る直線の組み合わせとして決定される。このため、隣接するグリッド点を通る直線のみで境界を設定した場合、経路として用いることが可能なグリッド点の数が少なくなる。そのグリッド点の数の低下は、図 3 に示すような緩衝領域を新たに設ける、つまり緩衝領域分のグリッド点を追加すれば回避することができる。しかし、緩衝領域を新たに設けることは、フロアプラン結果をそのまま用いることができないことを意味する。従って、データの表現、或いは管理が煩雑化することになる。

40

【 0 0 3 0 】

一方、隣接するグリッド点間に境界を設定した場合、経路として用いることができなくなるグリッド点が生じること自体、回避することが可能となる。フロアプラン結果はその

50

まま用いることができる。このようなことから、隣接するグリッド点間に境界を設定するようにしている。

【 0 0 3 1 】

図7の右側では、境界線 B L 2 の横方向に延びる部分は隣接するグリッド点間を通る直線となっている。これは、その部分を境界とする1ブロック、或いはその境界で接する2つのブロックから設計者が隣接するグリッド点間に境界を設定する必要がないと判断したためである。隣接するグリッド点間に境界を設定するか否かは、境界を複数の部分に分けて個別に決定して良いものである。以降、設定した境界を示すデータは「境界データ」、境界データをまとめたものは「フレーム情報」と総称する。

【 0 0 3 2 】

本実施形態では、モジュールを更にブロック(サブモジュール)に分割することによる階層化を行う。その階層化は、分割したブロックをマージすることで解消させ、フラットにする。そのようにしてフラットにしたデータを再度、領域分割部51で階層化することができる。領域分割部51に入力されるデータをフラットデータD10としているのは、このためである。

【 0 0 3 3 】

フラットデータD10には普通、既に決定した配線(既配線。概略設計、或いは詳細設計により決定される)を示す配線データが含まれている。既配線端子化部52は、既に決定した配線のなかから、ブロック分割のために設定した境界を通過する配線情報(NET)の区間を抽出し、その区間を端子化する。端子化は、設計者の選択に応じて行う。

【 0 0 3 4 】

図8は、ブロック間の接続用に配置するブロック(モジュール)端子の説明図である。W1はブロック間の境界を通る配線、t1は、配線W1上の境界の位置に配置されるブロック端子である。

【 0 0 3 5 】

ブロック端子t1の境界線と直交する方向上の幅は、2つのブロック内のそれぞれで境界線に最も近いグリッド点間の距離としている。それにより、グリッド点ベースの座標しか配線を扱えない場合であっても、境界を通過する配線による接続を確保しつつ、境界上にブロック間を接続するブロック端子を配置できるようにしている。このことから、端子化は境界線と直交する方向上でその境界線を挟んで隣接するグリッド点間を対象に行うようにしている。

【 0 0 3 6 】

境界線と平行な方向上の幅は、図8ではブロック端子を説明するために、端子部分を大きく表現しているが、配線W1と同一幅である。

禁止マッピング部53は、デザインルール(設計規則)違反にかかるバイオレーション発生を回避するため、境界線に沿った方向上の配線禁止範囲を境界にマッピングする。具体的には、そのマッピングにより、配線を決定する詳細設計の段階において、ショート、スペーシング(間隔)違反などのデザインルール違反のバイオレーションが発生する可能性が比較的に高いと考えられる場所には、配線禁止範囲を示すマスクパターンの配置等によりブロック端子の配置を禁止するようにしている。このため、詳細設計はより適切に行えるようになる。これは、設計を繰り返す回数が少なくなる、設計を繰り返す段階(工程)がより後段で済むようになる、といった形で効果が現れる。マッピングした境界上の配線禁止範囲を示す禁止範囲データをまとめたものは以降「禁止情報」と総称する。

【 0 0 3 7 】

図9及び図10は、マッピングされる配置禁止範囲の説明図である。図9は、境界の直交方向上、一定範囲内に存在する障害物(オブジェクト)であるOB1及びOB2によりマッピングされる配置禁止範囲を示し、図10は、RAMなどのような大規模セルCL11及びCL12が境界の直交方向上、近傍に存在することでマッピングされる配置禁止範囲を示している。図9及び図10において、配置禁止範囲は「x」で表現している。

【 0 0 3 8 】

10

20

30

40

50

図15は、禁止マッピング処理のフローチャートである。禁止マッピング部53は、コンピュータがこの処理を実行することで実現される。ここで図15を参照して、その禁止マッピング処理について詳細に説明する。

【0039】

まず、ステップS1では、境界の近傍に存在する障害物、或いはAND（論理積）ゲート等の回路セル又はRAM等のマクロセルを含むセル（Cell）により配置禁止範囲をマッピングするセル禁止設定処理を実行する。続くステップS2では、境界から一定範囲内に存在する配線、或いは配線層間を接続するビアホール（Via Hole）により配置禁止範囲をマッピングするワイヤ（Wire：配線）・ビア禁止設定処理を実行する。その実行後、この禁止マッピング処理を終了する。

10

【0040】

図16は、ステップS1として実行されるセル禁止設定処理のフローチャートである。次に図16を参照して、禁止マッピング処理内でサブルーチン処理として実行されるセル禁止設定処理について詳細に説明する。

【0041】

この設定処理は、上記フレーム情報D41の他に、境界からの距離により配置禁止範囲を設定する対象となるセルの条件を示すセル抽出範囲情報D42、セル毎に配置（座標）、及び配線を禁止すべき層を示すセル情報D43を参照して実行される。配置禁止範囲は、例えば座標範囲とその座標範囲が適用される層で表現される。そのように表現される配置禁止範囲、つまり禁止範囲データは、禁止情報D44として保存される。

20

【0042】

まず、ステップS11では、フレーム情報D41を参照して、ブロックの境界を抽出する。ここで抽出する境界は、例えば1本の直線で表現される部分（境界線）である。次のステップS12では、セル抽出範囲情報D42及びセル情報D43を参照して、抽出した境界で配置禁止範囲を設定する対象となるセルを抽出する。その抽出後はステップS13に移行する。

【0043】

ステップS13では、抽出したセルは境界に沿った方向上の範囲を全面禁止、或いは部分的禁止とするものか否か判定する。その判定は、例えば境界に沿った方向上で配線を禁止すべき範囲を示す面積情報をセル毎にセル情報D43、若しくはライブラリ等に用意することで行うことができる。抽出したセルの面積情報が配線を禁止すべき範囲を示していないような場合、判定はNoとなってステップS16に移行する。その面積情報が配線を禁止すべき範囲を示していた場合には、判定はYesとなってステップS14に移行する。

30

【0044】

セルの抽出では、対象とすべきセルを抽出できない場合がある。その場合、特には図示していないが、ステップS12からステップS17に移行するようになっている。

ステップS14では、境界とセルとの距離を算出する。この距離は、図10に示す距離Lに相当する。その距離Lを算出した後は、ステップS15に移行して、境界上の配線禁止範囲を算出する。配線禁止範囲をh、面積情報が示す範囲をHとすると、その算出は

40

$$h = H - \frac{L}{\dots} \quad (1)$$

により行う。ここで $\frac{L}{\dots}$ は1未満の定数であり、算出結果が負となった場合は0とされる。それにより、配線禁止範囲hは、セルが境界から離れるほど狭くなるようにさせている。算出した配線禁止範囲hは、抽出した境界が存在する層とともに禁止情報D44として保存される。ステップS16には、その保存を行った後に移行する。

【0045】

ステップS16では、配線禁止範囲hを設定する対象となる他のセルが有るか否か判定する。他に対象となるセルが存在している場合、判定はYesとなって上記ステップS12に戻り、次に対象とするセルを抽出する。他に対象となるセルが存在しない場合には、判定はNoとなってステップS17に移行する。

50

【 0 0 4 6 】

ステップ S 1 7 では、他に対象となる境界（境界線）が有るか否か判定する。他に対象となる境界が存在している場合、判定は Y e s となって上記ステップ S 1 1 に戻り、次に対象とする境界を抽出する。他に対象となる境界が存在しない場合には、判定は N o となり、ここでセル禁止設定処理を終了する。

【 0 0 4 7 】

図 1 7 は、図 1 5 に示す禁止マッピング処理内でステップ S 2 として実行されるワイヤ・ビア禁止設定処理のフローチャートである。次に図 1 7 を参照して、ワイヤ・ビア禁止設定処理について詳細に説明する。配線、及びビアホールは、図 9 に示すように障害物として扱われる。障害物は、配線、及びビアホール以外のものであっても良い。

10

【 0 0 4 8 】

この設定処理は、上記フレーム情報 D 4 1 の他に、境界からの距離により配置禁止範囲を設定する対象となる障害物（ここでは配線、或いはビアホール）の条件を示す禁止抽出範囲情報 D 5 1、ワイヤ、或いはビアホール毎に形状、配置（座標）、及び形成された層を示すワイヤ・ビア情報 D 5 2 を参照して実行される。配置禁止範囲は、禁止情報 D 4 4 として保存される。

【 0 0 4 9 】

先ず、ステップ S 2 1 では、フレーム情報 D 4 1 を参照して、ブロックの境界を抽出する。次のステップ S 2 2 では、禁止抽出範囲情報 D 5 1 及びワイヤ・ビア情報 D 5 2 を参照して、抽出した境界で配置禁止範囲を設定する対象となる配線、或いはビアホールを抽出する。その抽出後はステップ S 5 3 に移行して、抽出した配線、或いはビアホールの境界に沿った方向上の範囲を配線禁止範囲とし、境界を抽出した層とともに禁止情報 D 4 4 として保存する。ステップ S 2 4 には、その保存後に移行する。

20

【 0 0 5 0 】

障害物の抽出では、セルと同様に、対象とすべき障害物を抽出できない場合がある。その場合、特には図示していないが、ステップ S 2 2 からステップ S 2 5 に移行するようになっている。

【 0 0 5 1 】

ステップ S 2 4 では、他に対象となるワイヤ、或いはビアホールが有るか否か判定する。ワイヤ・ビア情報 D 5 2 が示すワイヤ、及びビアホールのなかに他に対象となるものが存在していない場合、判定は N o となってステップ S 2 5 に移行する。他に対象となるワイヤ、或いはビアホールが存在していた場合には、判定は Y e s となって上記ステップ S 2 2 に戻り、次に対象とするワイヤ、或いはビアホールを抽出する。

30

【 0 0 5 2 】

ステップ S 2 5 では、他に対象となる境界（境界線）が有るか否か判定する。他に対象となる境界が存在している場合、判定は Y e s となって上記ステップ S 2 1 に戻り、次に対象とする境界を抽出する。他に対象となる境界が存在しない場合には、判定は N o となり、ここでワイヤ・ビア禁止設定処理を終了する。

【 0 0 5 3 】

このようにして、ブロック間の境界上で配線を禁止する範囲は自動的に設定され、禁止情報 D 4 4 として保存される。この禁止情報 D 4 4 を配線設計に用いることにより、より適切な配線を決定することができる。

40

【 0 0 5 4 】

端子辺設定部 5 4 は、ブロック間を接続するブロック端子の配置、つまりセル間を接続させるために境界を通過させる配線の区間を設定する。

配線区間の設定は、注目するブロック内に信号を他のブロックのセルに出力するセルの出力ピンを抽出して行う。そのような出力ピンが存在しない場合、他のブロックのセルから出力される信号を入力するセルの入力ピンを抽出して行う。ブロック端子の配置は、配線遅延を最小化するために、そのような抽出によって得られる 1 つ以上のピンからなるグループ内で、配線長が短いと予測されるピンを優先して設定する。ブロック端子の目標位

50

置は、2つのピンを結ぶ矩形を想定し、その矩形が境界と交わる部分に設定する。矩形と交わる境界部分が複数、存在する場合は、より自由度の高いほうを選択して設定を行う。配線長の予測も、その矩形を想定して行うことができる。

【0055】

図11は、境界を通過する配線の区間を設定する方法の説明図である。図11に示す例は、モジュール1100をブロック1101及び1102に分割した場合のものである。ブロック1101には、2つのセルCL21及び22が配置され、ブロック1102には2つのセルCL31及び32が配置されている。この図11を参照して、上述したようにして行うブロック端子の位置設定について具体的に説明する。ここでは、セルCL21に出力ピンAaはブロック1102内のセルCL31の入力ピンBcと接続され、セルCL22の入力ピンAbはブロック1102内のセルCL32の入力ピンBdと接続されるものと想定する。つまりブロック1101及び1102間で2つの配線を行うものと想定する。各セルCL21、22、31及び32は、図11中に示す位置に配置されると想定する。図11中に表記の「LSG」はレイアウト・サブグループ(Layout Subgroup)の略である。

10

【0056】

図11に示す2つの配線では、ピンAaとピンBc間の配線長はピンAbとピンBd間の配線長より短くなる。このため、2つの配線ではピンAaとピンBc間を優先してブロック端子の目標位置を設定する。

【0057】

ピンAaとピンBcを結ぶ矩形は図11の右側で示している。その矩形が示す境界部分がブロック端子の目標位置として設定される。

20

一方、特に図示していないが、ピンAbとピンBdを結ぶ矩形は、2本の直線で示す境界線と交わる。このため、矩形と交わる2つの境界部分のなかから自由度がより高いものを選択することになる。

【0058】

自由度は、例えば境界部分の長さか、或いは境界部分を通る経路で使用可能なグリッド点の数に着目して判定する。それにより、境界部分がより長い方、或いはグリッド点の数がより多い方を自由度が高いと見なし、グリッド端子の目標位置を設定する。このとき、既に設定されている他のグリッド端子の目標位置が存在していることから、既存の目標位置を避けて設定を行う。

30

【0059】

配線長予測部55は、グリッド端子の目標位置の設定結果を用いて、予測される配線長を求める。その配線長の予測方法について、図12に示す説明図を参照して具体的に説明する。

【0060】

配線遅延をより小さくするために、配線は最短で行う、言い換えれば無駄な迂回を避けることが望まれる。クロストークノイズを考慮する場合、2つの配線が平行となっている部分の長さはより短くするか、或いはその部分が長くなるほど、配線間の距離をより大きくすることが望まれる。このようなことから本実施形態では、2つのピンを結ぶ矩形を想定し、その矩形が境界と交わっている部分の長さLv、及び境界と直交する方向上の長さLhに着目している。長さLvが極端に短いケースでは、ブロック端子の目標位置の設定を優先させなければ迂回が発生する可能性が高い。逆に長さLvが長いケースでは、迂回が発生する可能性が低くなる。このため設定の優先度が低いことが不都合となる可能性は低い。このようなことから、長さLvの考慮によって最短経路の確保、つまり迂回の抑止をすることができる。

40

【0061】

一方、平行する2本の配線間に生じるノイズ(クロストークノイズ)の影響は、平行する部分の長さが長くなるほど、その間隔が狭いほど大きくなる。そのノイズ、或いはノイズ起因の遅延増加はエラーを発生させる。このことから長さLhは、そのようなエラーが

50

発生する可能性を示す指標として用いている。それにより配線長予測部 55 は、境界を通る配線毎に、長さ L_v 及び L_h を計算する。これらの長さ L_v 及び L_h は以降「区間長」と総称する。

【0062】

図 18 は、上記長さ L_v 及び L_h 、つまり区間長を計算するために実行するネット (Net) 区間長算出処理のフローチャートである。ここで図 18 を参照して、その算出処理について詳細に説明する。

【0063】

この算出処理は、図 18 に示すネットリスト (Net List) D61、及びフレーム情報 D41 の他に、セル情報 D43 を参照して実行される。このネットリスト D61 は、例えばブロック分割が反映されたものである。図 18 には、1 区間長を算出するために実行される処理を抽出して示している。

10

【0064】

まず、ステップ S31 では、ネットリスト D61 を参照して、全ての配線 (ネット) を抽出し、例えばフレーム情報 D41 を参照してブロック別にソートする。続くステップ S32 では、配線によって接続されるセルのピン (図中「端子」と表記) を選択して、そのピンの位置を抽出する。その位置の抽出は、例えばセル情報 D43、及び各セルの物理形状に係わる情報を格納したライブラリを参照して行う。ステップ S33 には、その位置の抽出後に移行する。

【0065】

ステップ S33 では、位置を抽出したピンは別のブロックとの間で接続されるか否か判定する。ネットリスト D61 から、そのピンが別のブロック内に存在するセルのピンと接続されていることが確認できた場合、判定は Yes となってステップ S34 に移行する。そのピンが同じブロック内のセルが持つピンと接続されることが確認できた場合には、判定は No となってステップ S32 に戻り、別の配線を選択して、その配線によって接続されるピンの位置を抽出する。

20

【0066】

ステップ S33 からステップ S32 に移行した場合、他に対象となる配線を選択できるとは限らない。このことから、特には図示していないが、ステップ S32 では、他に対象となる配線が残っていないければ、ここで区間長算出処理を終了するようになっている。

30

【0067】

ステップ S34 では、配線で結ばれる他のピン (図中「端子」と表記) を選択する。次のステップ S35 では、2 つのピンを結ぶ矩形を想定し、フレーム情報 D41 を参照して、その矩形から長さ L_v 及び L_h を区間長として算出し、配線を示す配線情報と共に算出した区間長をネット区間長情報 D62 として保存する。その保存により、1 区間長の算出に係わる一連の処理が終了する。実際には、区間長を保存した後、他に対象となる配線が有るか否かの判定を行い、他に対象となる配線が有ることで判定が Yes となれば上記ステップ S32 に戻る。逆に、他に対象となる配線が存在しないことで判定は No となれば、ここでネット区間長算出処理を終了する。

【0068】

割当順決定部 56 は、配線長予測部 55 が区間長として算出した長さ L_v 及び L_h から、ブロック端子の処理順を決定する。先に処理する方が優先的に目標位置を割り当てることになるため、その処理順の決定は優先順位の設定に相当する。

40

【0069】

処理順は、長さ L_v が短いほど、長さ L_h が長くなるほど、早くさせる。それら 2 つの長さ L_v 及び L_h は共に処理順を決定するうえで重要な指標である。このため処理順は、例えば長さ L_v 及び L_h の組み合わせ別に優先度を定義した表、長さ L_v 及び L_h のうちの一方を重視すべき範囲を定義した表、或いはそれら長さ L_v 及び L_h を用いて優先度を算出する式などを用意し、表、或いは式を用いて決定するようにしている。

【0070】

50

端子割当部 5 7 は、割当順決定部 5 6 が決定した処理順に従って、ブロックの境界上にブロック端子を配置する。本実施形態では、図 1 3 に示すような端子位置制御表を参照して、配線長予測部 5 5 が算出した長さ L_h の配線を行うのを目標とする層（配線層）、及び近傍の配線との目標とする間隔である割当ピッチを決め、ブロック端子を配置可能な場所を選択する。

【 0 0 7 1 】

端子位置制御表には、図 1 3 に示すように、配線（ブロック端子の配置）の目標とする配線層、及び割当ピッチが配線長（の範囲）毎に定義されている。配線長の範囲、及び割当ピッチはグリッド点の数で表現された値で定義されている。配線層は $L_1 \sim 8$ で表現されている。 L に続く数字が大きくなるほど、上側に位置する上位層である。割当ピッチは、配線長の範囲が同じ配線を想定したものである。配線長（長さ L_v ）が異なる配線間では、配線長が小さい方の割当ピッチが適用される。例えば配線長が 1 0 0 1 グリッドを越える配線と、5 0 1 ~ 1 0 0 0 までの範囲内の配線長の配線とでは、割当ピッチとして 3 グリッドが適用される。これは、平行する部分の長さによってノイズの影響の大きさが変化するからである。端子位置制御表は、その平行する部分の長さが長くなるほど、大きい割当ピッチとすることを要求していることから、エラーが発生しないようにブロック端子の配置位置を制御することができる。

10

【 0 0 7 2 】

端子位置制御表は、配線長が長くなるほど、より上位層での配線を要求するものとなっている。これは、一般的に上位層となるほど配線遅延は小さくなるためである。

20

図 1 4 は、ブロック端子の配置例の説明図である。図 1 4 において、ハッチングした矩形は何れも同一の配線層の配線を示している。

【 0 0 7 3 】

上述したように、長さ L_h が長いほど高い優先度が割り当てられる。このため、配線長がより長い配線から配置位置が割り当てられる。それにより、配線長が長い配線が大きい割当ピッチで配置され、配線長が短い配線は空いている場所に割り当てられることになる。この結果、境界を横断する配線が高い密度で配置される状況下であっても、図 1 4 に示すように、配線遅延、平行な部分の長さを最適化した配置を得ることができる。

【 0 0 7 4 】

図 1 9 は、端子位置割当処理のフローチャートである。この割当処理は、配線（ブロック端子）の処理順を決定して、ブロック端子の配置位置を割り当てるための処理である。割当順決定部 5 6、及び端子割当部 5 7 は、この割当処理を実行することで実現される。次に図 1 9 を参照して、この割当処理について詳細に説明する。

30

【 0 0 7 5 】

まず、ステップ S 4 1 では、ネット区間長情報 D 6 2 を参照し、例えばブロック毎に区間長が長い順に配線情報（ブロック端子）をソートすることにより、処理順を決定する。その処理順は、区間長から優先度を求める方法に依存するが、例えば長さ L_v が所定長以下のものを最優先とし、所定長より長さ L_v が長いものは長さ L_h が長くなるほど優先度を高くすることで決定しても良い。処理順を決定した後はステップ S 4 2 に移行する。

【 0 0 7 6 】

ステップ S 4 2 では、処理順に従って処理する配線情報（ブロック端子）を選択し、端子位置制御表 D 7 1 を参照して、目標とする配線層、及び割当ピッチを決定する。次のステップ S 4 3 では、禁止情報 D 4 4 を参照しつつ、決定した配線層、及び割当ピッチでブロック端子を配置可能な場所のサーチを行う。その次に移行するステップ S 4 4 では、目標とする配線層に配置可能か否か判定する。その配線層に空いた場所が存在し、且つその場所で適切とされる割当ピッチを確保できるような場合、判定は Yes となってステップ S 4 6 に移行する。目標とする配線層に空いた場所が無い、或いは適切な割当ピッチを確保できないような場合には、判定は No となり、ステップ S 4 5 で目標とする配線層を変更した後、上記ステップ S 4 3 に戻り、変更後の配線層を対象にしたサーチを行う。

40

【 0 0 7 7 】

50

ステップS 4 6では、サーチした場所からブロック端子の位置を決定し、例えば配線情報と共に端子位置情報D 7 2として保存する。続くステップS 4 7では、他に配置位置を決定すべきブロック端子が有るか否か判定する。ステップS 4 1でソートした配線情報のなかで処理していないものが存在する場合、判定はY e sとなって上記ステップS 4 2に戻り、それ以降の処理を同様に実行する。ソートした配線情報のなかで処理していないものが残っていない場合には、判定はN oとなり、ここで端子位置割当処理を終了する。

【 0 0 7 8 】

モジュール分割部5 8は、フラットデータD 1 0をブロック分割に応じて分割し、フレーム情報D 4 1、セル情報D 4 3、禁止情報D 4 4、ワイヤ・ピア情報D 5 2、及び端子位置情報D 7 2等とまとめてサブモジュールデータD 2 0を作成する。図5では、計3つのサブモジュールデータD 2 0を作成している。

10

【 0 0 7 9 】

サブモジュール詳細設計部5 9は、小モジュールデータD 2 0毎に、セルの配置、及び配線を決定する詳細設計を行う。ブロック端子に割り当てた位置は、配線の決定に反映させる。

【 0 0 8 0 】

その詳細設計に用いる小モジュールデータD 2 0は、ブロック分割によりデータ量がフラットデータD 1 0より大幅に小さくなっている。配線の決定に要する時間は、配線の数に応じて指数関数的に長くなる。このため、詳細設計に必要な全体の時間は、フラットデータD 1 0を用いて行う詳細設計に必要な時間と比較してより短くなる。また、データD 1 0を分割したことにより、並列（分散）処理が可能となるため、詳細設計に必要な時間はより短くすることもできる。詳細設計の結果をサブモジュールデータD 2 0に反映させることにより、サブモジュールデータD 3 0が作成される。

20

【 0 0 8 1 】

ブロック端子への位置の割り当ては、回避すべき迂回の発生の抑制、及びバイオレーションの発生の抑制を共に考慮して行っている。このため、詳細設計はより適切に実施できるようになる。配線上の不具合の発生が抑制されることから、配線する経路の探索は迅速に行えるようになり、セルの配置変更等を行う頻度は抑えられる。これらのことから、詳細設計に要する時間も短縮できることとなる。

【 0 0 8 2 】

フラット化処理部6 0は、サブモジュールデータD 3 0をマージして、モジュールをブロック分割することで生じた階層を消滅させるフラット化を行う。そのフラット化によって得られたフラットデータD 1 0は、何らかの修正や設計変更等を行う場合、領域分割部5 1の入力データとすることができる。

30

【 0 0 8 3 】

上述したような機能構成の支援装置では、工程P 2は領域分割部5 1によって実施される。工程P 3は、既配線端子化部5 2、禁止マッピング部5 3、端子辺設定部5 4、配線長予測部5 5、割当順決定部5 6、及び端子割当部5 7によって実施される。工程P 4及びP 5はサブモジュール詳細設計部5 9により実施される。工程P 6は、修正の必要のないフラットデータD 1 0をマージすることに相当する。

40

【 0 0 8 4 】

図2 0は、本発明を適用可能なコンピュータのハードウェア構成の一例を示す図である。ここで図2 0を参照して、支援装置として用いることが可能なコンピュータの構成について具体的に説明する。

【 0 0 8 5 】

図2 0に示すコンピュータは、CPU 9 1、メモリ9 2、入力装置9 3、出力装置9 4、外部記憶装置9 5、媒体駆動装置9 6、及びネットワーク接続装置9 7を有し、これらがバス9 8によって互いに接続された構成となっている。同図に示す構成は一例であり、これに限定されるものではない。

【 0 0 8 6 】

50

C P U 9 1 は、当該コンピュータ全体の制御を行う。

メモリ 9 2 は、プログラム実行、データ更新等の際に、外部記憶装置 9 5（あるいは可搬型の記録媒体 M に記憶されているプログラムあるいはデータを一時的に格納する R A M 等のメモリである。C P U 9 1 は、プログラムをメモリ 9 2 に読み出して実行することにより、全体の制御を行う。

【 0 0 8 7 】

入力装置 9 3 は、例えば、キーボード、マウス等の操作装置と接続されたインターフェースである。操作装置に対するユーザの操作を検出し、その検出結果を C P U 9 1 に通知する。

【 0 0 8 8 】

出力装置 9 4 は、例えば表示装置と接続された表示制御装置である。ネットワーク接続装置 9 7 は、例えばイントラネットやインターネット等の通信ネットワークを介して、外部装置と通信を行うためのものである。外部記憶装置 9 5 は、例えばハードディスク装置である。主に各種データやプログラムの保存に用いられる。

【 0 0 8 9 】

媒体駆動装置 9 6 は、光ディスクや光磁気ディスク等の可搬型の記録媒体 M にアクセスするものである。

フラットデータ D 1 0 は、例えば C P U 8 1 がフロアプランのためのプログラムであるフロアプランナを実行することにより、外部記憶装置 9 5、或いは媒体駆動装置 9 6 を介して記録媒体 M に格納することができる。ネットワーク接続装置 9 7 を介して外部装置から取得することもできる。サブモジュールデータ D 2 0 及び D 3 0、フレーム情報 D 4 1、セル抽出範囲情報 D 4 2、セル情報 D 4 3、禁止情報 D 4 4、禁止抽出範囲情報 D 5 2、及び端子位置制御表 D 7 1 等も外部記憶装置 9 5、或いは媒体駆動装置 9 6 を介して記録媒体 M に格納することができる。

【 0 0 9 0 】

図 5 に示す領域分割部 5 1、既配線端子化部 5 2、禁止マッピング部 5 3、端子辺設定部 5 4、配線長予測部 5 5、割当順決定部 5 6、端子割当部 5 7、モジュール分割部 5 8、サブモジュール詳細設計部 5 9、及びフラット化処理部 6 0 は、一つのプログラムを C P U 9 1 に実行させることで実現できる。本実施形態では、詳細設計は周知技術を用いて行うようにしていることから、領域分割部 5 1、既配線端子化部 5 2、禁止マッピング部 5 3、端子辺設定部 5 4、配線長予測部 5 5、割当順決定部 5 6、端子割当部 5 7、及びモジュール分割部 5 8 は 1 プログラム（以降「レイアウト設計支援プログラム」と呼ぶ）により実現し、サブモジュール詳細設計部 5 9 は詳細設計用のツールの実行により実現させている。そのレイアウト設計支援プログラムは、外部記憶装置 9 5、或いは記録媒体 M に格納しても良いが、ネットワーク接続装置 9 7 を介して外部装置から随時、取得しても良い。

【 0 0 9 1 】

なお、本実施形態では、グリッド点を避けた境界の設定はモジュールのブロックへの分割のために行っているが、モジュールへの分割に用いても良い。ブロック端子の位置の割当方法、配線禁止範囲の設定についても同様に、モジュールへの分割のために採用しても良い。

【 0 0 9 2 】

以上の変形例を含む実施形態に関し、更に以下の付記を開示する。

(付記 1)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

前記半導体集積回路を分割して得られる第 1 のモジュールを複数の第 2 のモジュールに分割する第 1 の工程と、

前記第 1 の工程により分割した第 2 のモジュール毎に、該第 2 のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第 2 の工程と、

10

20

30

40

50

を含むことを特徴とするレイアウト設計方法。

(付記 2)

前記第 1 の工程では、前記第 2 のモジュールへの分割は、前記配線の基本単位となるグリッド点を避けて、隣接する他の第 2 のモジュールとの境界を設定する、

ことを特徴とする付記 1 記載のレイアウト設計方法。

(付記 3)

前記第 1 の工程では、前記境界を通る配線が存在する場合、該境界上に、該境界の直交方向上に該境界を挟んで隣接する 2 つのグリッド点間を結ぶ幅のモジュール端子を配置する、

ことを特徴とする付記 1 記載のレイアウト設計方法。

10

(付記 4)

前記第 1 の工程では、前記境界を通る配線が存在する場合、該配線によって接続される 2 つのピン間を基に、該配線用に該境界上に配置するモジュール端子の位置を割り当てるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当て、

前記第 2 の工程では、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とする付記 1 記載のレイアウト設計方法。

(付記 5)

前記優先度は、前記 2 つのピン間を結ぶ矩形を想定し、該矩形が前記境界と交わる幅、及び該矩形の該境界と直交する方向上の幅を基に決定する、

ことを特徴とする付記 4 記載のレイアウト設計方法。

20

(付記 6)

前記第 1 の工程では、前記境界の近傍に配置された配線上の障害物を基に、前記モジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当て、

前記第 2 の工程では、前記モジュール端子に割り当てられた位置を用いて前記詳細設計を実施する、

ことを特徴とする付記 1 記載のレイアウト設計方法。

(付記 7)

前記障害物は、前記配置が決定されているセル、既存の配線、及びビアホールを含む、

ことを特徴とする付記 6 記載のレイアウト設計方法。

30

(付記 8)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

前記半導体集積回路を分割する場合に、前記配線の基本単位となるグリッド点を避けて境界を設定する第 1 の工程と、

前記第 1 の工程により設定した境界に沿って、前記半導体集積回路を複数のモジュールに分割する第 2 の工程と、

前記第 2 の工程により分割したモジュール毎に、該モジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第 3 の工程と、

を含むことを特徴とするレイアウト設計方法。

40

(付記 9)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

前記半導体集積回路を分割する境界を設定する第 1 の工程と、

前記第 1 の工程で設定した境界を通る配線が存在する場合に、該配線によって接続される 2 つのピン間に基づいて、該配線用に該境界上に配置するモジュール端子の位置を割り当てるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当てる第 2 の工程と、

50

前記境界に沿った前記半導体集積回路の分割により得られるモジュール毎に、前記モジュール端子に割り当てられた位置を用いて前記セルの配置、及び配線を決定するレイアウトの詳細設計を実施する第3の工程と、

を含むことを特徴とするレイアウト設計方法。

(付記10)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を実施する方法において、

前記半導体集積回路を分割する境界を設定する第1の工程と、

前記第1の工程で設定した境界の近傍に配置されている配線上の障害物を抽出し、該障害物を基に、該境界に沿った分割により得られる2つのモジュール間の接続用のモジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当てる第2の工程と、

10

前記境界に沿った前記半導体集積回路の分割により得られるモジュール毎に、前記モジュール端子に割り当てられた位置を用いて前記セルの配置、及び配線を決定するレイアウトの詳細設計を実施する第3の工程と、

を含むことを特徴とするレイアウト設計方法。

(付記11)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割して得られる第1のモジュールを複数の第2のモジュールに分割する第1の分割手段と、

20

前記第1の分割手段が分割した第2のモジュール毎に、該第2のモジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する第2の分割手段と、

を具備することを特徴とするレイアウト設計支援装置。

(付記12)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割する場合に、前記配線の基本単位となるグリッド点を避けて境界を設定する境界設定手段と、

前記境界設定手段が設定した境界に沿って、前記半導体集積回路を複数のモジュールに分割する分割手段と、

30

前記分割手段が分割したモジュール毎に、該モジュール内のセルの配置、及び配線を決定するレイアウトの詳細設計を実施する詳細設計手段と、

を具備することを特徴とするレイアウト設計支援装置。

(付記13)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割する境界を設定する境界設定手段と、

前記境界設定手段が設定した境界を通る配線が存在する場合に、該配線によって接続される2つのピン間に基づいて、該配線用に該境界上に配置するモジュール端子の位置を割り当てるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当てる位置割当手段と、

40

前記境界に沿った前記半導体集積回路の分割により得られるモジュール毎に、前記モジュール端子に割り当てられた位置を用いて前記セルの配置、及び配線を決定するレイアウトの詳細設計を実施する詳細設計手段と、

を具備することを特徴とするレイアウト設計支援装置。

(付記14)

半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置において、

前記半導体集積回路を分割する境界を設定する境界設定手段と、

50

前記境界設定手段が設定した境界の近傍に配置されている配線上の障害物を抽出し、該障害物を基に、該境界に沿った分割により得られる2つのモジュール間の接続用のモジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当てる位置割当手段と、

前記境界に沿った前記半導体集積回路の分割により得られるモジュール毎に、前記モジュール端子に割り当てられた位置を用いて前記セルの配置、及び配線を決定するレイアウトの詳細設計を実施する詳細設計手段と、

を具備することを特徴とするレイアウト設計支援装置。

(付記15)

情報処理装置にインストールすることにより、半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置を実現するレイアウト設計支援プログラムにおいて、

前記情報処理装置に、

前記半導体集積回路を分割する場合に、前記配線の基本単位となるグリッド点を避けて境界を設定するステップと、

前記設定するステップにより設定した境界に沿って、前記半導体集積回路を複数のモジュールに分割するステップと、

を実行させるためのレイアウト設計支援プログラム。

(付記16)

情報処理装置にインストールすることにより、半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置を実現するレイアウト設計支援プログラムにおいて、

前記情報処理装置に、

前記半導体集積回路を分割する境界を設定するステップと、

前記設定するステップにより設定した境界を通る配線が存在する場合に、該配線によって接続される2つのピン間に基づいて、該配線用に該境界上に配置するモジュール端子の位置を割り当てるうえでの優先度を決定し、該優先度に従って該配線毎に該モジュール端子の位置を割り当てるステップと、

を実行させるためのレイアウト設計支援プログラム。

(付記17)

情報処理装置にインストールすることにより、半導体集積回路を構成するセルの配置、及び配線を決定するレイアウト設計を支援するレイアウト設計支援装置を実現するレイアウト設計支援プログラムにおいて、

前記情報処理装置に、

前記半導体集積回路を分割する境界を設定するステップと、

前記設定するステップにより設定した境界の近傍に配置されている配線上の障害物を抽出し、該障害物を基に、該境界に沿った分割により得られる2つのモジュール間の接続用のモジュール端子を配置しない禁止範囲を該境界上に設定し、該禁止範囲を避けて該モジュール端子の位置を割り当てるステップと、

を実行させるためのレイアウト設計支援プログラム。

【図面の簡単な説明】

【0093】

【図1】従来のレイアウト設計支援装置の機能構成図である。

【図2】モジュール分割例を示す図である。

【図3】別のモジュール分割例を示す図である。

【図4】本実施形態の適用により実現可能なレイアウト設計の概略フローを示す図である。

。

【図5】本実施形態によるレイアウト設計支援装置の機能構成図である。

【図6】モジュールの分割方法の説明図である。

【図7】ブロックに分割する境界の設定方法の説明図である。

10

20

30

40

50

- 【図 8】ブロック間の接続用に配置するブロック（モジュール）端子の説明図である。
- 【図 9】マッピングされる配置禁止範囲の説明図である（その 1）。
- 【図 10】マッピングされる配置禁止範囲の説明図である（その 2）
- 【図 11】境界を通過する配線の区間を設定する方法の説明図である。
- 【図 12】配線長の予測方法の説明図である。
- 【図 13】端子位置制御表の内容例を示す図である。
- 【図 14】ブロック端子の配置例の説明図である。
- 【図 15】禁止マッピング処理のフローチャートである。
- 【図 16】セル禁止設定処理のフローチャートである。
- 【図 17】ワイヤ・ビア禁止設定処理のフローチャートである。
- 【図 18】ネット（Net）区間長算出処理のフローチャートである。
- 【図 19】端子位置割当処理のフローチャートである。
- 【図 20】本発明を適用可能なコンピュータのハードウェア構成の一例を示す図である。

10

【符号の説明】

【0094】

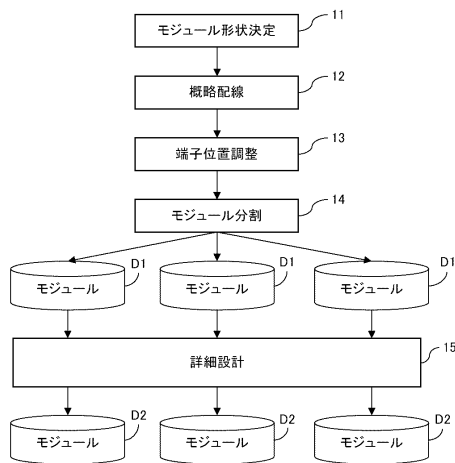
- 51 領域分割部
- 52 器配線端子化部
- 53 禁止マッピング部
- 54 端子辺設定部
- 55 配線長予測部
- 56 割当順決定部
- 57 端子割当部
- 58 モジュール分割部
- 59 サブモジュール詳細設計部
- 60 フラット化処理部

20

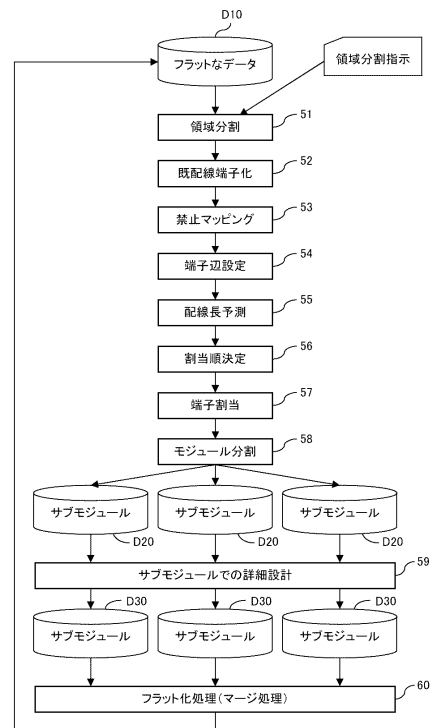
【図 1】

【図 5】

従来のレイアウト設計支援装置の機能構成図

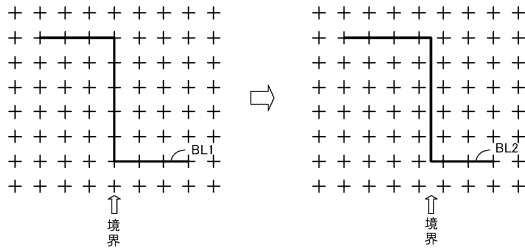


本実施形態によるレイアウト設計支援装置の機能構成図



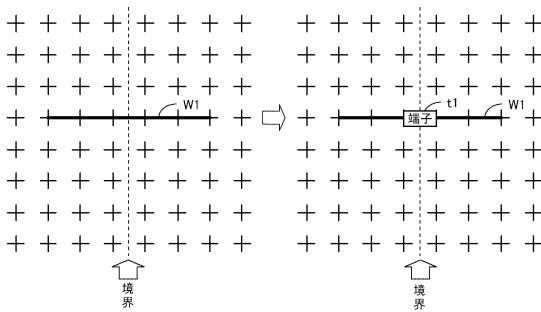
【図7】

ブロックに分割する境界の設定方法の説明図



【図8】

ブロック間の接続用に配置するブロック(モジュール)端子の説明図



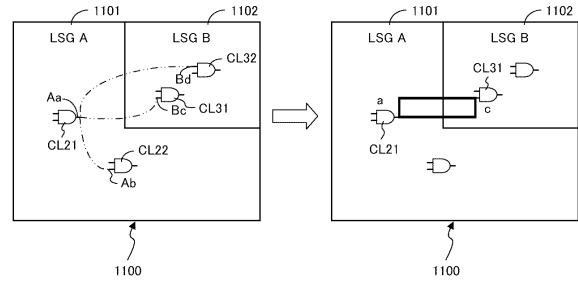
【図13】

端子位置制御表の内容例を示す図

配線長[Grid]	配線層	ピッチ[Grid]
0-200	L1,L2	1
201-500	L3,L4	2
501-1000	L5,L6	3
1001-	L7,L8	4

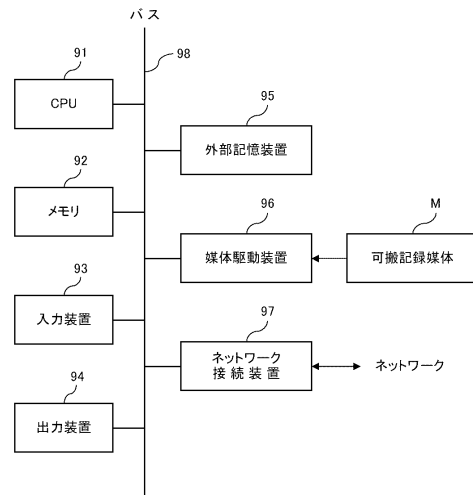
【図11】

境界を通過する配線の区間を設定する方法の説明図



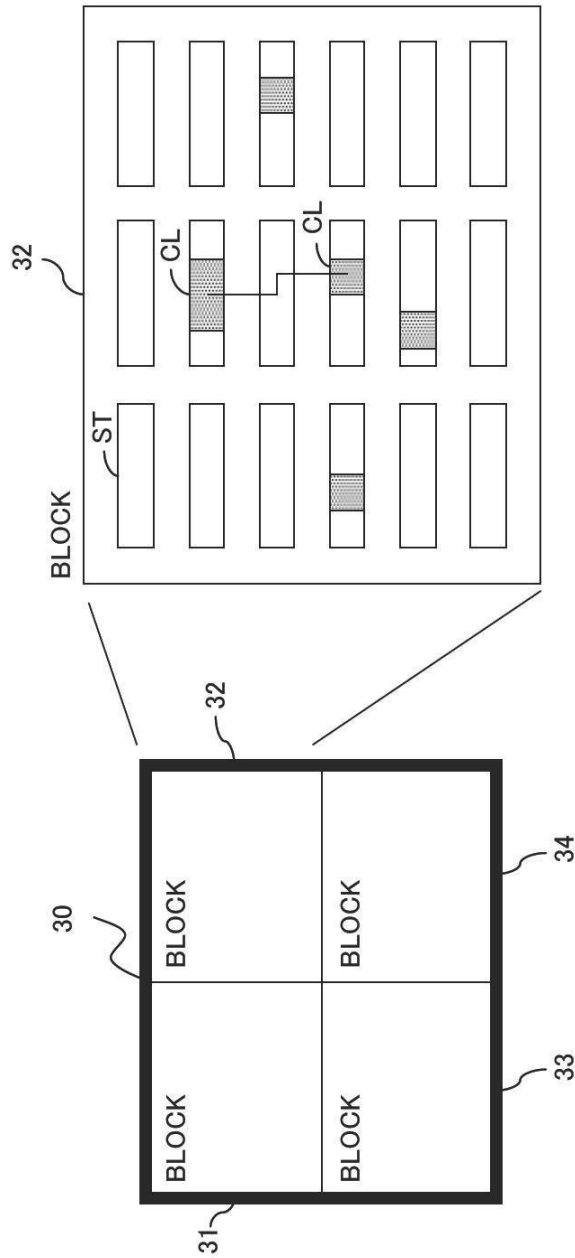
【図20】

本発明を適用可能なコンピュータのハードウェア構成の一例を示す図



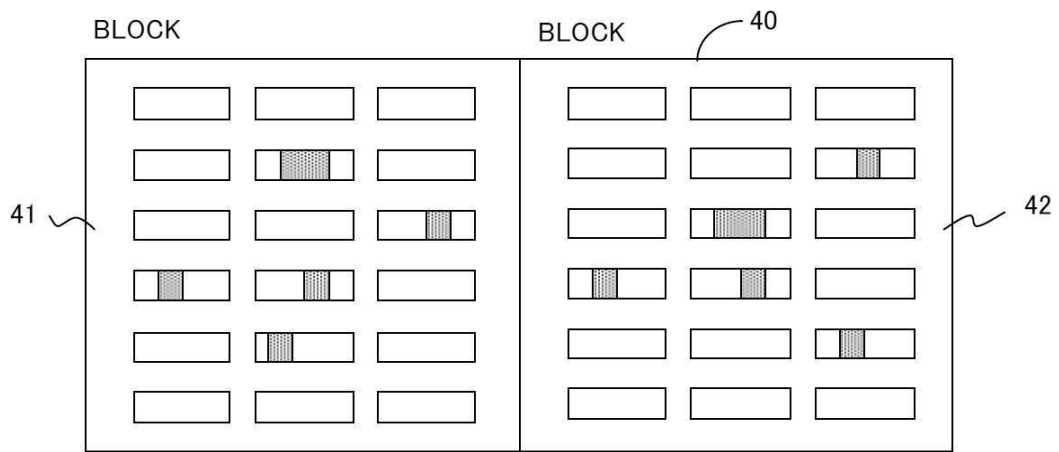
【図2】

モジュール分割例を示す図



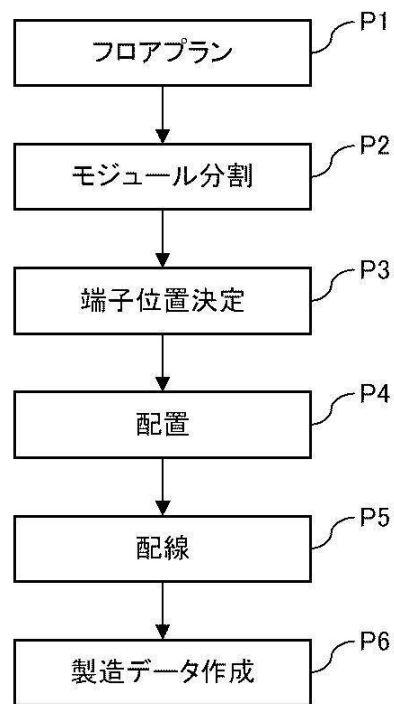
【図3】

別のモジュール分割例を示す図



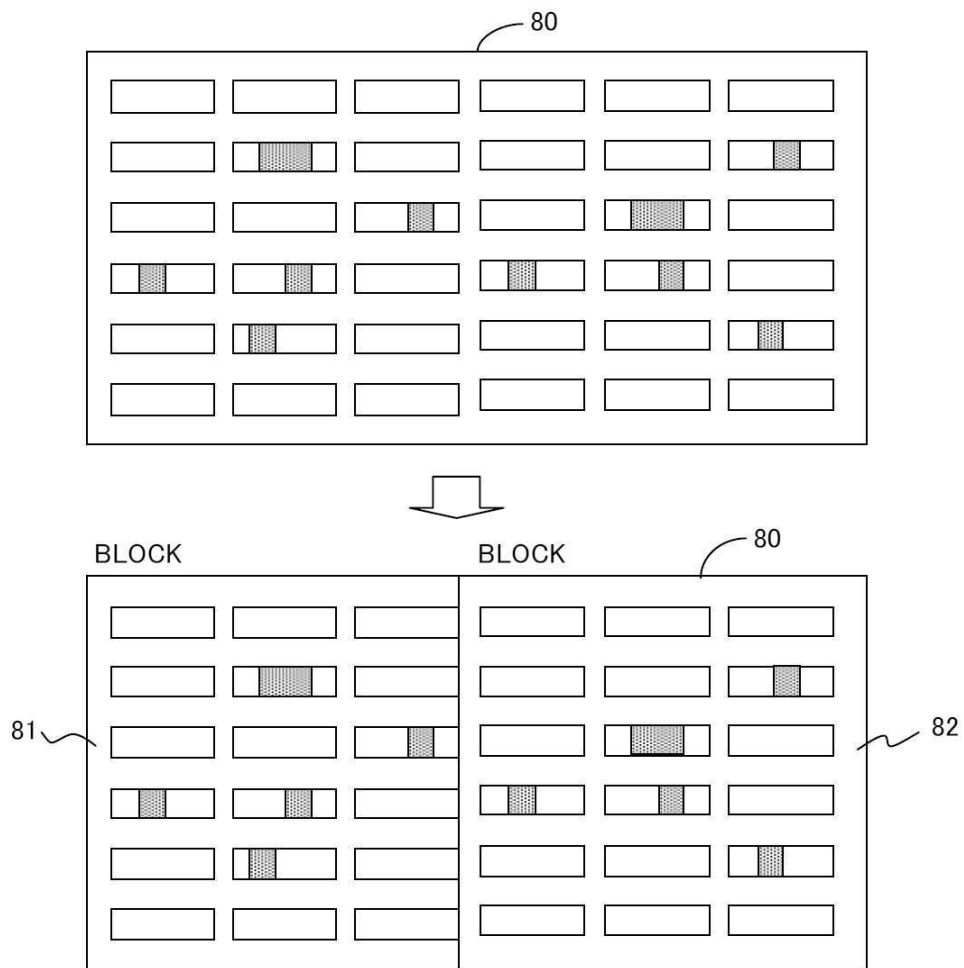
【図4】

本実施形態の適用により実現可能な
レイアウト設計の概略フローを示す図



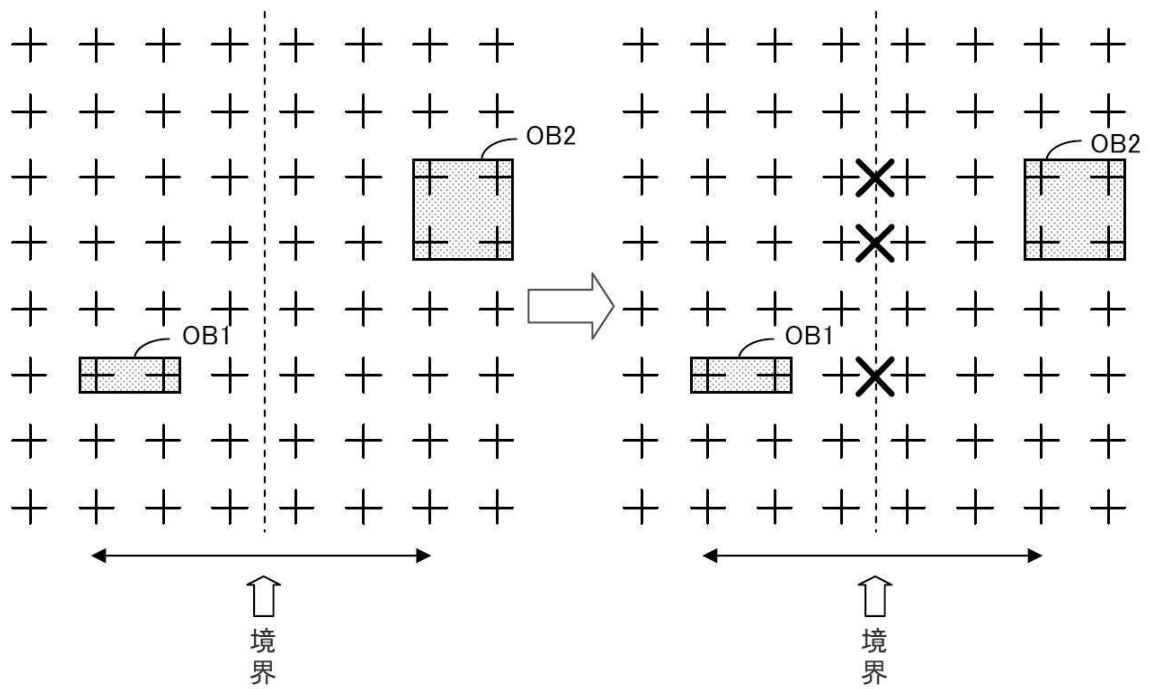
【図6】

モジュールの分割方法の説明図



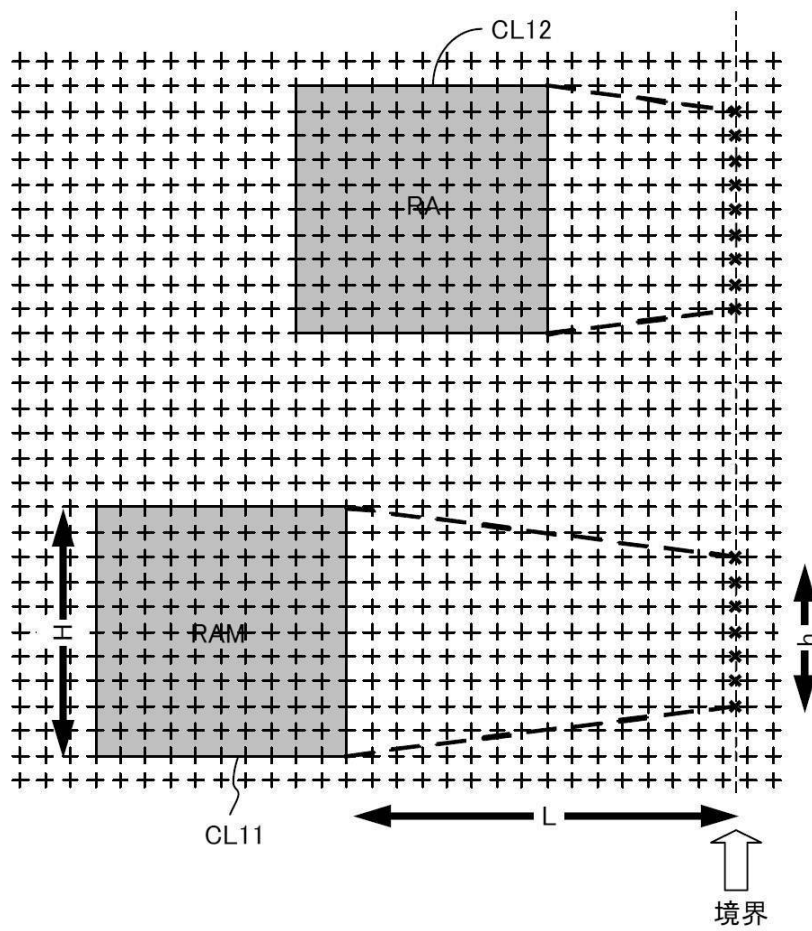
【図9】

マッピングされる 配置禁止範囲の説明図(その1)



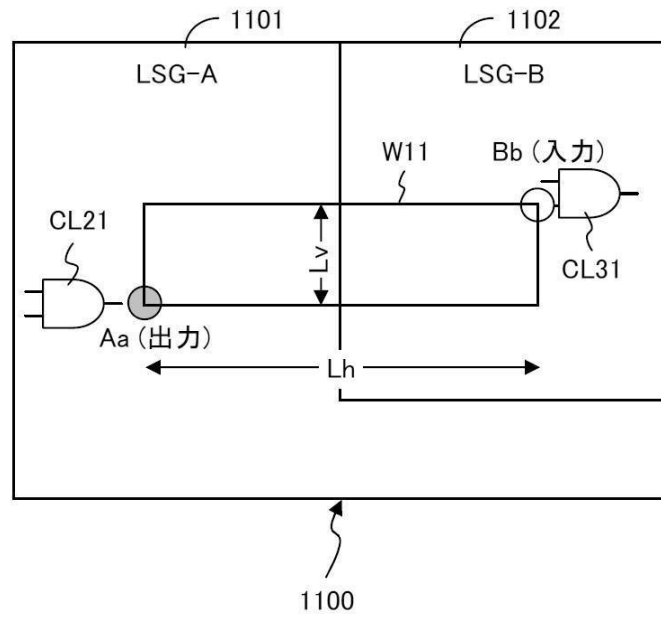
【図10】

マッピングされる 配置禁止範囲の説明図(その2)



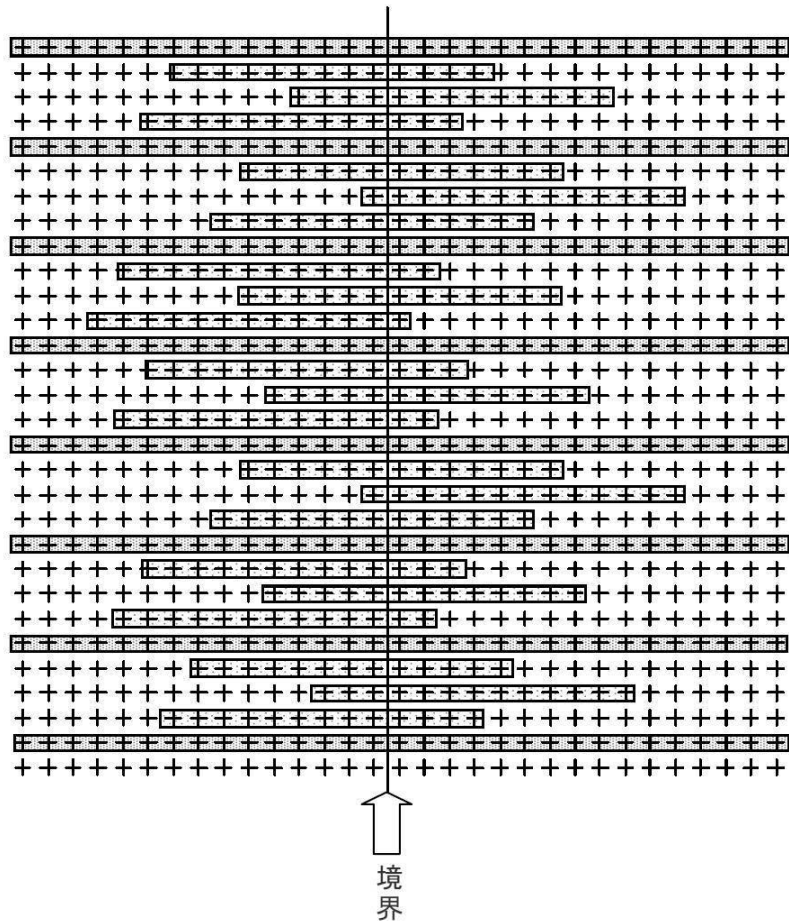
【図12】

配線長の予測方法の説明図



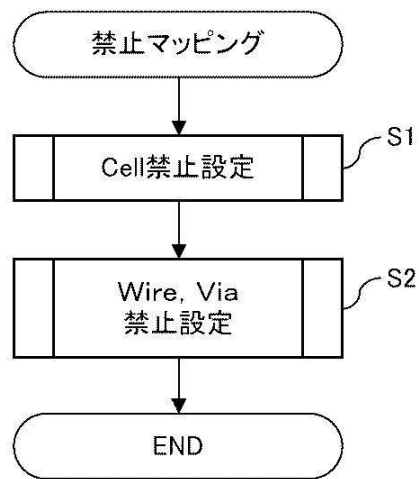
【図14】

ブロック端子の配置例の説明図



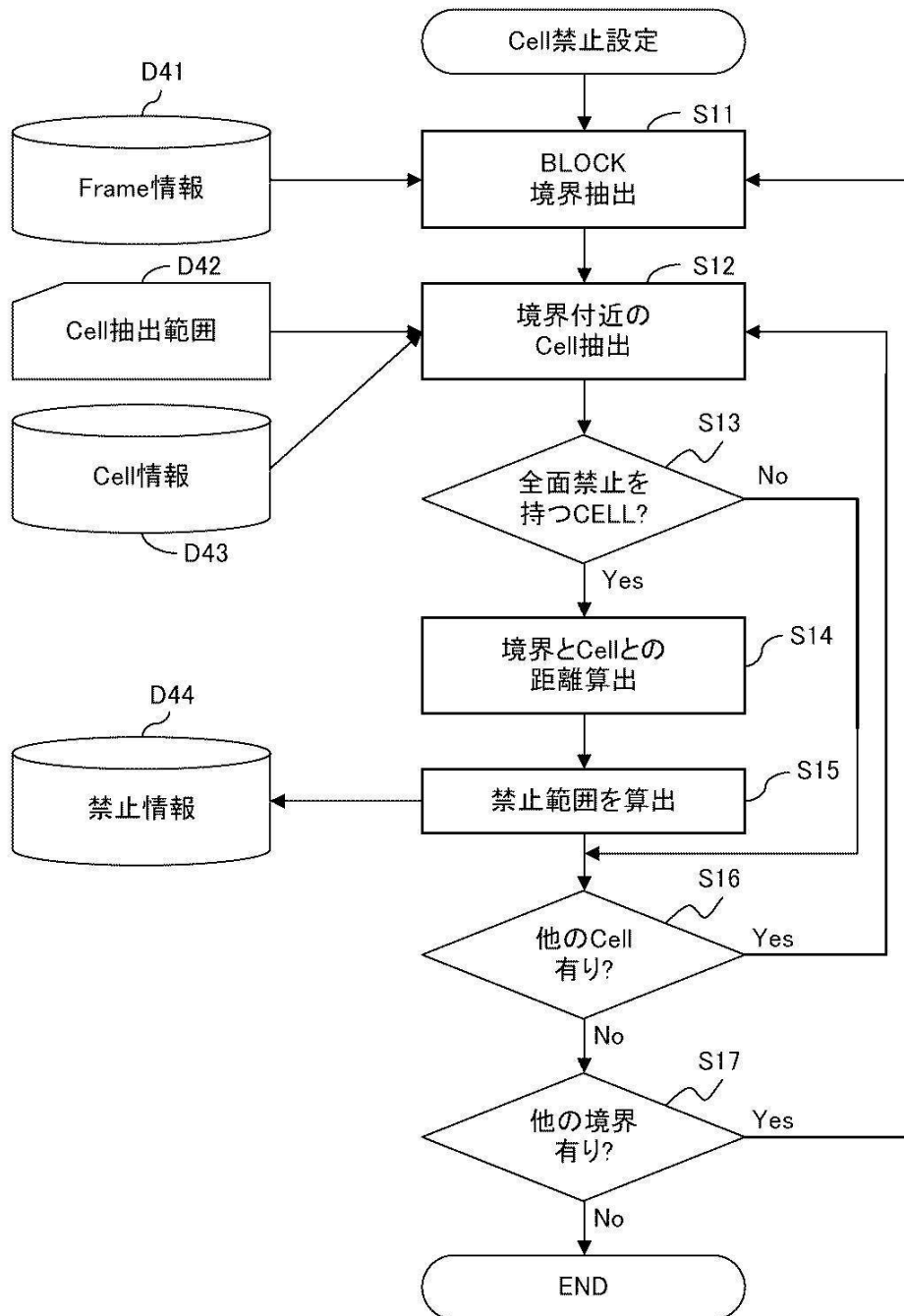
【図15】

禁止マッピング処理の フローチャート



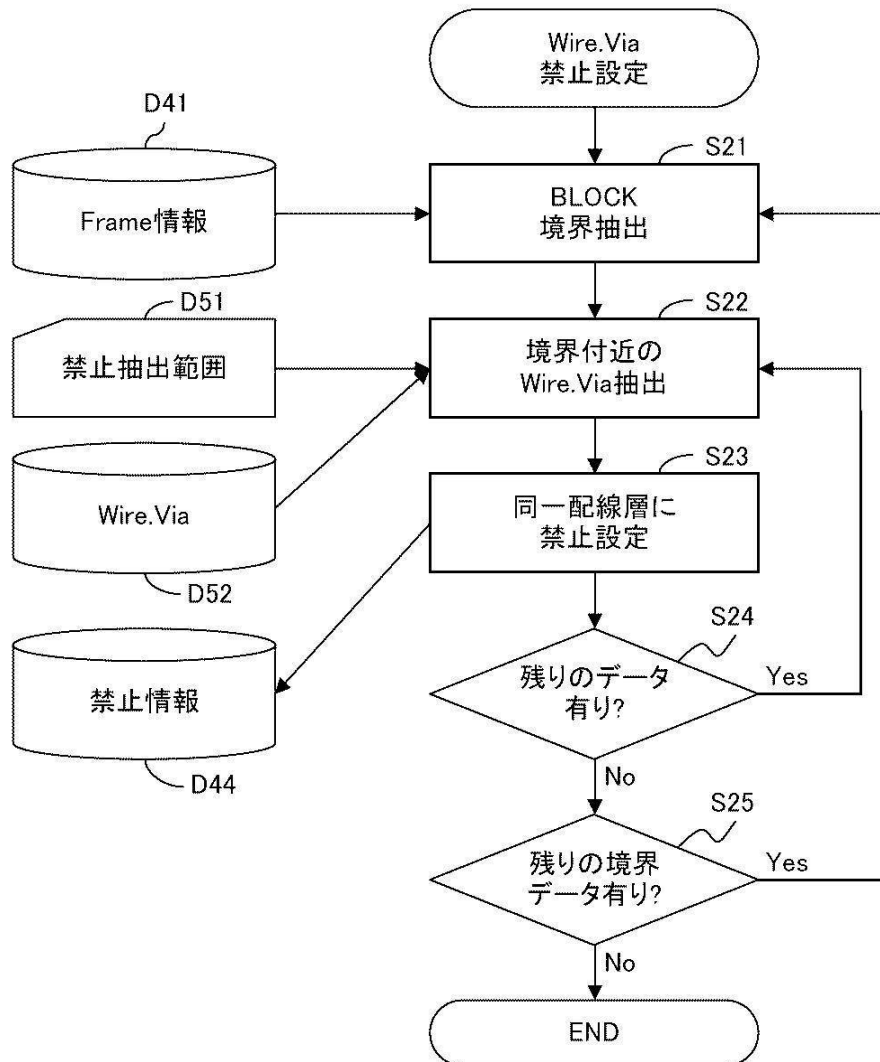
【図16】

セル禁止設定処理のフローチャート



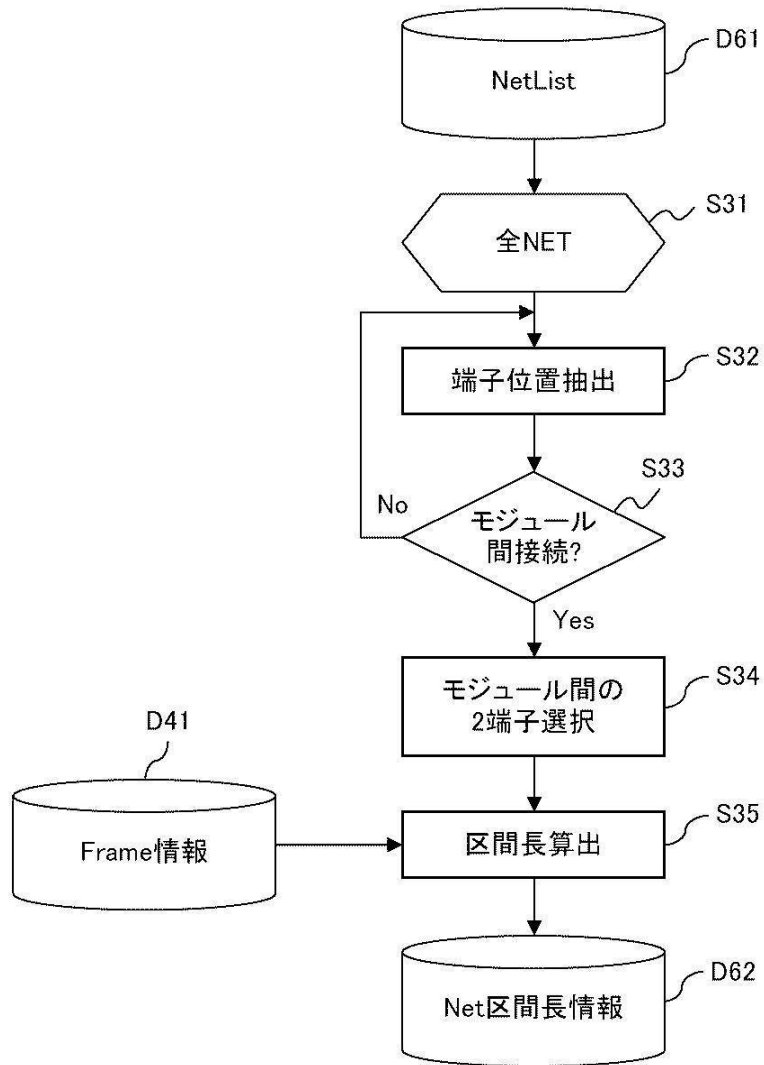
【図17】

ワイヤ・ビア禁止設定処理の フローチャート



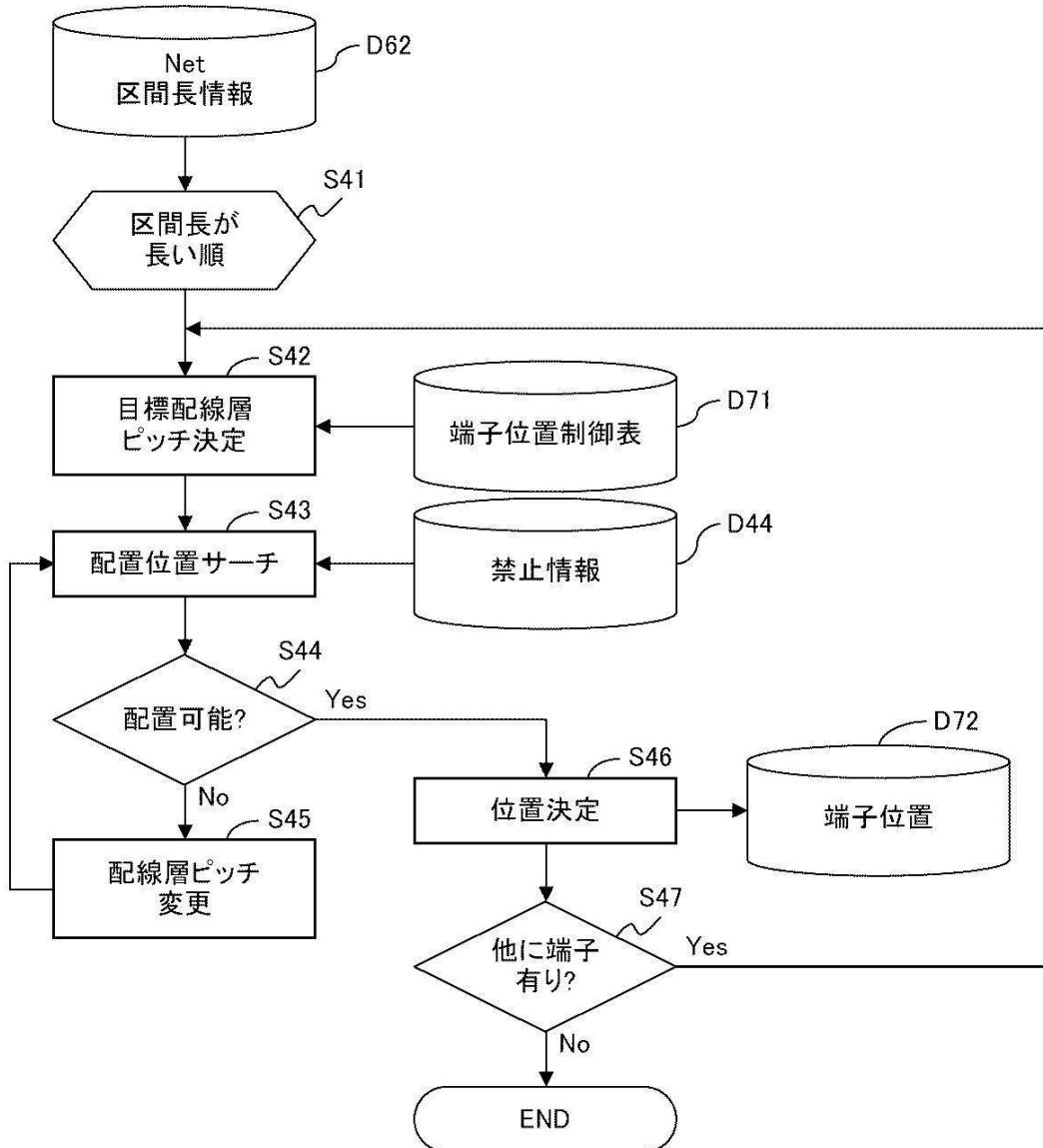
【図18】

ネット(Net)区間長算出 処理のフローチャート



【図19】

端子位置割当処理のフローチャート



フロントページの続き

- (56)参考文献 特開平10 - 116910 (JP, A)
特開2001 - 093980 (JP, A)
特開平04 - 113473 (JP, A)
特開2001 - 345386 (JP, A)
特開平04 - 360555 (JP, A)
特開平11 - 126825 (JP, A)
特開平07 - 147324 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50
Cinii
JSTPlus (JDreamIII)