



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월02일  
(11) 등록번호 10-1196591  
(24) 등록일자 2012년10월25일

- (51) 국제특허분류(Int. Cl.)  
*H01L 51/40* (2006.01)  
(21) 출원번호 10-2005-7005785  
(22) 출원일자(국제) 2003년09월30일  
    심사청구일자 2008년08월05일  
(85) 번역문제출일자 2005년04월01일  
(65) 공개번호 10-2005-0073468  
(43) 공개일자 2005년07월13일  
(86) 국제출원번호 PCT/DE2003/003258  
(87) 국제공개번호 WO 2004/032257  
    국제공개일자 2004년04월15일  
(30) 우선권주장  
    102 46 241.0 2002년10월02일 독일(DE)  
(56) 선행기술조사문헌  
    US20020033918 A1\*  
    WO2002009190 A1\*  
    WO2002047183 A1\*

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 32 항

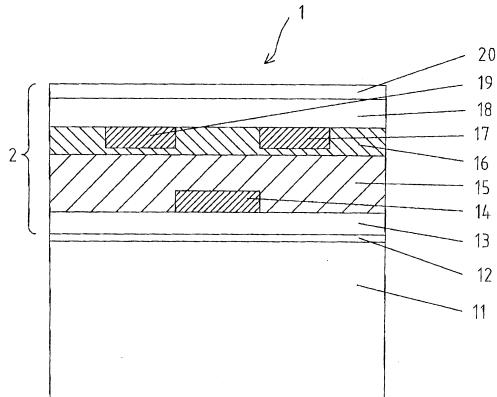
심사관 : 김주승

(54) 발명의 명칭 유기 반도체 막

**(57) 요 약**

본 발명은 막(1), 특히 스템핑 또는 적층 막과, 이러한 막을 제조하기 위한 방법에 관한 것이다. 유기 반도체 제조 공정을 통해 제조된 1개 이상의 부품, 특히 1개 이상의 유기 전계 효과 트랜지스터들은 막(1)에 접적된다.

**대 표 도** - 도1



## 특허청구의 범위

### 청구항 1

유기 반도체 제조 공정을 통해 제조된 1개 이상의 부품을 포함하는 막(film)으로서, 상기 부품은 복수개의 층을 포함하고, 상기 복수개의 층은 1개 이상의 전기적 기능성 층들을 포함하며,

상기 부품의 1개 이상의 층에는 열 전사 또는 자외선 전사에 의해 입체 구조화된 영역이 구비되고, 1개 이상의 전기적 기능성 층의 일부분은 상기 입체 구조화된 영역에서 완전히 단절되며,

상기 입체 구조화된 영역의 입체 구조는 전사되는 층의 두께보다 큰 깊이를 가져서, 상기 전사되는 층의 일부분이 전사 공정에 의해 완전히 단절되어 상기 입체 구조에 따라 패턴 구성으로 구조화된 전기적 기능성 층이 형성되는 것을 특징으로 하는 막.

### 청구항 2

제1항에 있어서, 상기 막은 스템핑 또는 적층 막인 것을 특징으로 하는 막.

### 청구항 3

제2항에 있어서, 상기 스템핑 또는 적층 막은,

캐리어 막;

상기 캐리어 막의 상부에 형성되고, 전기적 절연성 물질을 포함하는 1개 이상의 전기적 절연층;

상기 전기적 절연층의 전체 영역 또는 일부 영역에 걸쳐 상기 전기적 절연층에 접촉하도록 형성되는 1개 이상의 반도체 물질 층; 및

상기 전기적 절연층 또는 상기 반도체 물질 층에 접촉하도록 형성되는 2개 이상의 전기적 도전성 층들을 포함하며,

상기 전기적 도전성 층들은 열 전사 또는 자외선 전사에 의한 구조화 공정에 의해 패턴 구성으로 구조화되는 것을 특징으로 하는 막.

### 청구항 4

제3항에 있어서, 상기 전기적 도전성 층들은 유기 도전성 물질을 포함하는 것을 특징으로 하는 막.

### 청구항 5

제3항에 있어서, 상기 전기적 절연층은 유기 절연 물질을 포함하는 것을 특징으로 하는 막.

### 청구항 6

제2항에 있어서, 상기 막은 캐리어 막과, 상기 캐리어 막에 도포되며 상기 캐리어 막으로부터 릴리스될 수 있는 트랜스퍼층부를 갖는 스템핑 막인 것을 특징으로 하는 막.

### 청구항 7

제6항에 있어서, 상기 스템핑 또는 적층 막은,

상기 캐리어 막 위에 도포되는 릴리스층; 및

상기 트랜스퍼층부의 최상부에 도포되는 접착층을 포함하는 것을 특징으로 하는 막.

### 청구항 8

제3항에 있어서, 상기 스템핑 또는 적층 막은,

상기 전기적 절연층 또는 상기 반도체 물질 층에 접촉하도록 형성되는 1개 이상의 라커층을 갖는 것을 특징으로 하는 막.

### 청구항 9

제3항에 있어서, 상기 전기적 도전성 층들, 반도체 물질 층 및 전기적 절연층은 투명한 것을 특징으로 하는 막.

### 청구항 10

제1항에 있어서,

상기 막은,

전기적 절연성 물질을 포함하는 전기적 절연층;

유기 반도체 물질을 포함하고, 상기 전기적 절연층에 접촉하도록 형성되는 반도체 물질 층; 및

상기 반도체 물질 층에 접촉하도록 형성되는 2개 이상의 전기적 도전성 층들을 포함하며,

상기 전기적 도전성 층들은 전기적 도전성 물질을 포함하고 구조화 공정에 의해 패턴 구성으로 구조화되는 것을 특징으로 하는 막.

### 청구항 11

제10항에 있어서, 상기 막은 스템핑 또는 적층 막으로서 기판에 도포되는 것을 특징으로 하는 막.

### 청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서, 상기 1개 이상의 부품은 유기 반도체 제조 공정을 통해 제조된 전기적 부품이며, 전기적 기능 및 광학 기능을 가지는 것을 특징으로 하는 막.

### 청구항 13

제12항에 있어서, 상기 막의 층들 사이에 형성되며, 유기 반도체 제조 공정을 통해 제조된 전자 부품의 층을 패턴 구성으로 구조화하고, 광학 피처로서 광학 회절 효과를 생성하는 입체 구조를 갖는 것을 특징으로 하는 막.

### 청구항 14

제13항에 있어서, 상기 입체 구조는 마이크로 구조와 마크로 구조의 중첩에 의해 형성되며, 상기 마크로 구조는 유기 반도체 제조 공정을 통해 제조된 전자 부품의 층의 패턴 구조화의 역할을 담당하고, 상기 마이크로 구조는 상기 광학 피처의 생성을 담당하는 것을 특징으로 하는 막.

### 청구항 15

제8항에 있어서,

상기 1개 이상의 라커층은 광학 회절 구조를 포함하는 회절 층인 것을 특징으로 하는 막.

### 청구항 16

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 막은 연속의 박막 층을 갖는 것을 특징으로 하는 막.

### 청구항 17

삭제

### 청구항 18

제12항에 있어서,

상기 막은 광학 회절 효과를 일으키는 광학 피처를 생성하는 2개 이상의 상호 중첩된 광학적 작용 층들을 가지며, 유기 반도체 제조 공정을 통해 제조된 전자 부품의 1개 이상의 전기적 기능성 층은 상기 광학적 작용 층들 사이에 배치되는 것을 특징으로 하는 막.

### 청구항 19

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 막은 물품의 위조를 방지하는 보안 요소로서 사용되는 것을 특

징으로 하는 막.

#### 청구항 20

제10항 또는 제11항에 있어서, 상기 막은 물품의 위조를 방지하는 보안 요소로서 사용되는 것을 특징으로 하는 막.

#### 청구항 21

제1항에 있어서, 상기 1개 이상의 부품은 유기 전계 효과 트랜지스터인 것을 특징으로 하는 막.

#### 청구항 22

제12항에 있어서, 상기 전기적 부품은 유기 전계 효과 트랜지스터인 것을 특징으로 하는 막.

#### 청구항 23

제3항 또는 제10항에 있어서, 상기 유기 반도체 물질은 폴리티오펜인 것을 특징으로 하는 막.

#### 청구항 24

제4항이 있어서, 상기 유기 도전성 물질은 폴리아닐린 또는 폴리피롤인 것을 특징으로 하는 막.

#### 청구항 25

제5항에 있어서, 상기 유기 절연 물질은 폴리비닐페놀인 것을 특징으로 하는 막.

#### 청구항 26

제1항 내지 제3항 중 어느 한 항의 막을 제조하는 방법으로서, 유기 반도체 제조 공정을 통해 제조된 1개 이상의 부품의 1개 이상의 층의 구조화는 열 전사 또는 자외선 전사에 의해 이루어지고,

상기 입체 구조화된 영역의 입체 구조는 전사되는 층의 두께보다 큰 깊이를 가져서, 상기 전사되는 층의 일부분이 전사 공정에 의해 완전히 단절되어 상기 입체 구조에 따라 패턴 구성으로 구조화된 전기적 기능성 층이 형성되는 것을 특징으로 하는 막 제조 방법.

#### 청구항 27

삭제

#### 청구항 28

제26항에 있어서, 상기 입체 구조는 전기적 도전성 물질을 포함하는 전극층에 전사되고, 이후에 비도전성 또는 반도전성 물질을 포함하는 전기적 기능성 층이 상기 전극층에 도포되는 것을 특징으로 하는 막 제조 방법.

#### 청구항 29

삭제

#### 청구항 30

제26항에 있어서, 경화 시에 소정의 체적이 축소되는 물질로 이루어진 전기적 기능성 층이 상기 전사되는 층에 도포되며, 체적이 축소하더라도, 구조화 공정에 따른 패턴 구성으로 구조화되는 상기 전사되는 층 내에 잔존할 수 있는 도포량으로, 상기 체적이 축소되는 물질이 상기 전사되는 층 상에서 도포되는 것을 특징으로 하는 막 제조 방법.

#### 청구항 31

제30항에 있어서, 상기 전기적 기능성 층은 자외선 경화성 물질을 포함하는 것을 특징으로 하는 막 제조 방법.

#### 청구항 32

제26항에 있어서, 입체 구조가 전사된 상기 전사되는 층 상에 전기적 기능성 층이 도포되고, 이후에 전사된 구

조에 따라 패턴 구성으로 구조화된 상기 전기적 기능성 층이 소정 깊이로 제거되어, 상기 전사되는 층 내에 잔존하는 것을 특징으로 하는 막 제조 방법.

### 청구항 33

제26항에 있어서, 상기 입체 구조는 비도전성 또는 반도전성 물질을 포함하는 전기적 기능성 층에 전사되고, 이 후에 도전성 물질을 포함하는 전극층이 상기 전기적 기능성 층에 도포되는 것을 특징으로 하는 막 제조 방법.

### 청구항 34

제26항에 있어서, 제3항의 막 제조 방법으로서,

유기 반도체 제조 공정을 통해 제조된 1개 이상의 부품의 기능에 필요한 1개 이상의 전기적 절연층, 1개 이상의 반도체 물질 층 및 2개 이상의 전기적 도전성 층들은 프린팅 공정들에 의해 전면 영역 또는 일부 영역에 걸쳐 막 구조를 형성하며,

상기 반도체 물질 층은 상기 전기적 절연층의 상부에 형성되고, 상기 전기적 도전성 층들은 상기 전기적 절연층 또는 상기 반도체 물질 층에 접촉하도록 형성되는 것을 특징으로 하는 막 제조 방법.

### 청구항 35

제26항에 있어서, 유기 반도체 제조 공정을 통해 제조된 1개 이상의 부품의 전기적 기능, 및 회절-광학 구조들 형태의 광학 기능은 전사 공정에 의해 형성되는 것을 특징으로 하는 막 제조 방법.

## 명세서

### 기술 분야

[0001]

유기 전계 효과 트랜지스터들(organic field effect transistors: OFETs)은 소스 전극과 적어도 1개의 드레인 전극 사이 및 소스 전극과 적어도 1개의 드레인 상의 유기 반도체층, 상기 반도체층 상의 유기 절연층 및 게이트 전극을 구비한다. 상기 소스 전극, 드레인 전극 및 게이트 전극은 금속 또는 유기 도전성 폴리머(polymer)를 구비할 수 있다. 유기 전극 물질들은 예를 들어, 폴리아닐린(polyaniline)과 폴리피롤(polypyrrole)이다. 예를 들면, 폴리티오펜(polythiophene)은 반도체로서 사용되고 폴리비닐페놀(polyvinylphenol)은 절연체로서 사용된다.

[0002]

도전성 전극층들을 구조화하는 것은 유기 전계 효과 트랜지스터들(OFETs) 또는 기타 유기 폴리머들의 다른 부품들(components)의 제조에 필요하다. 나머지 층들을 구조화하는 것은 반드시 필요하지 않으나 유기 폴리머들로 구성되는 부품들의 효율과 성능을 개선할 수 있다.

### 배경 기술

[0003]

WO 02/25750호는 리소그래피(lithography) 공정을 사용하여 전극 또는 도전체 배선(track)을 제조하는 것을 기술하고 있다. 이 경우, 도핑된 폴리아닐린(PANI) 또는 폴리에틸렌 디옥시티오펜(polyethylene dioxythiophene)(PEDOT)의 도전성 유기층은 닉터(doctor)에 의한 도포, 스프레이(spray), 스판 코팅(spun coating) 또는 스크린 프린팅(screen printing)에 의해 기판, 예를 들어 막(film)에 상기 기판의 영역에 걸쳐 도포된다. 얇은 층의 포토레지스트(photoresist)는 상기 막에 도포되고, 구조화된 구성(configuration)으로 노광된다. 현상 때, 노광된 폴리아닐린층은 디벨로퍼(developer)의 작용에 의해 탈양성자화(deprotonised)되고 이로써 비도전성이 된다. 잔존한 포토레지스트는 솔벤트로 용해된다. 상기 스텝 전 또는 후에, 상기 비도전성 매트릭스(matrix)의 유기층은 비염기성(non-basic) 솔벤트로 용해된다.

[0004]

선택적으로, 상기 노광된 영역들은 상기 포토레지스트의 용해 전에 반응성 식각에 의해 산화적으로 제거되는 것이 또한 가능하다.

[0005]

WO 02/25750호는 또한, 탈양성자화 효과를 갖는 화학적 화합물이 구조화 목적을 위해, 프린팅에 의해 지역적(areal) 기능성(functional) 폴리머층에 도포되는 것을 기술하고 있다. 상기 화합물은 바람직하게는 염기(bas-

e)이다. 비도전성 영역들은 후속의 세정에 의해 선택적으로 제거된다.

[0006] 리소그래피 공정은 폴리아닐린 물질에 작용만을 하는 단점이 있다. 덧붙여, 롤(roll) 물질이 리소그래피 공정으로 구조화되는 것은 종래에 공지되어 있지 않다. 다른 구조화 공정들, 예를 들어 프린팅을 이용하면, 상기 소스 전극과 드레인 전극 사이의 가능한 최소 거리는 적어도  $30\mu\text{m}$  내지  $50\mu\text{m}$  이다. 하지만 OFET의 성능과 효율을 증가시키기 위해 약  $10\mu\text{m}$ 의 길이를 구현하려고 노력하고 있다.

[0007] WO 02/47183호는 OFET에 도전성 유기층 및 다른 층들을 구조화하기 위한 성형(shaping) 층의 리세스(recess)에 기능성 폴리머를 도입하는 것을 제안하고 있다. 상기 성형층은 절연 특성을 가진 상이한 유기 물질을 구비하고, 그 내부에 펀치(punch)가 프레스(press)되어 있다. 상기 물질은 예를 들어, 기판의 전면 영역에 걸쳐 상기 판에 도포되는 자외선 경화성(UV-hardenable) 또는 열 경화성(heat-hardenable) 라커(lacquer)이다. 상기 라커는 조사(irradiation) 예를 들어, 자외선에 의 경화되고, 리세스들은 그 다음에 상기 성형층에 만들어진다. 상기 기능성 폴리머는 그 다음에 상기 리세스들에 스크레이프(scrape) 된다. 상기 공정은 그러므로  $2\mu\text{m}$ - $5\mu\text{m}$ 의 영역에 매우 미세한 수평 치수의 구조물을 만드는 것을 가능하게 한다. 스크레이핑=scraping 방법은 또한, 물질 특정적(material-specific)이 아니라, 즉 OFET의 모든 층들을 구조화하기에 적합하다. 폴리아닐린 이외에도, 예를 들어 폴리페롤, 폴리티오펜 또는 또한 폴리비닐페놀과 같은 다른 도전성 또는 반도전성 유기 물질들은 리세스로 스크레이프되어 구조화될 수 있다. 덧붙여 스크레이프 동작을 위한 점도(viscosity) 범위는, 상기 기능성 폴리머들이 그 일관성에 충분히 남아있을 수 있도록 상기 프린팅 동작의 점도 범위 보다도 비교가 안될 정도로 크다. 덧붙여  $1\mu\text{m}$  까지 범위의 상대적으로 두꺼운 층들은 제조될 수 있다. 상기 공정을 연속적인 롤링(rolling) 프린트 동작에 사용하는 것이 또한 제안되어 있다. 이 경우, 밴드(band)는 자외선 경화성 라커뿐만 아니라 열 경화성 라커가 될 수 있는 성형용 폴리머가 도포된 기판 물질을 구비한다. 상기 리세스들은 먼저 스템핑 를러로 양각(emboss)되고, 상기 성형용 폴리머는 자외선 조사에 의해 초기 경화된다. 상기 라커는 그 후단에 배치된 자외선 램프로 최종 경화된다. 상기 기능성 폴리머는 그 다음에 닉터 스크레이퍼(doctor scraper)로 상기 구조화된 라커에 스크레이프된다.

[0008] DE 100 33 112호는 탬пон(tampon)에 의해 성형 금형(shaping mold)에 도입되었던 상기 기능적 폴리머를 벗겨내고, 그 다음에 이것을 이미 존재하는 기판 또는 층들에 도포하는 공정을 기술하고 있다.

### 발명의 상세한 설명

[0009] 본 발명의 목적은 유기 반도체 기술을 사용하여 효율적인 부품들의 제조를 개선함 및/또는 유기 반도체 기술을 사용하여 개선된 부품들의 구조를 제공함에 있다.

[0010] 상기 목적은, 유기 반도체 기술을 사용하는 적어도 1개 부품(component), 특히 1개 이상의 유기 전계 효과 트랜지스터들(OFETs)을 포함하는 막에 의해, 특히 스템핑 막, 적층 막 또는 막 요소(element)에 의해 달성될 수 있다. 상기 목적은 유기 반도체 기술의 적어도 1개의 부품 중 1개 이상의 막들을 구조화하는 것이 열 전사(thermal replication) 또는 자외선 전사에 의해 이루어지는, 상기 막의 제조를 위한 공정에 의해 또한 달성될 수 있다.

[0011] 유기 반도체 기술을 사용하여 전자 회로들을 웨이퍼 상의 기준의 통상적인 것이 아니라 막의 부분으로서 제조하는 것은 제조 기술의 점에서 큰 이점을 제공한다. 막 기술의 시도, 검증된 방법들과 현재의 제조 장치들은 상기 전자 회로들의 제조에 사용될 수 있으므로써 상당한 원가 이점을 제공한다.

[0012] 유기 반도체 기술을 사용하여 상기 부품들을 스템프 막 또는 적층 막에 구현함에 있어서, 특정 이점이 있다. 이는 완제품들과 반(intermediate) 제품들에 이러한 종류의 전자 회로들을 여러 가지 상이한 방식으로 응용하는 옵션(option)을 가능하게 한다. 이는 제조 비용이 저렴하고, 많은 다양한 방식으로 주문형(customer-specific fashion)으로 사용되고 적용될 수 있는 반제품을 제공한다. 상기 제조 공정은 결과적으로 더욱 유연해지고, 제조 원가가 절감된다. 스템핑 막과 적층 막을 제조하는데 사용되는 막 기술과 제조 공정들은 이러한 종류의 전자 회로들을 제조하는데 매우 적합하다는 것이 또한 알려져 있다.

[0013] 본 발명의 바람직한 실시예에 따라, 이러한 스템핑 막, 적층막 또는 막 요소는, 캐리어(carrier) 막, 유기 반도체 물질, 특히 폴리티오펜을 구비하는 1개 이상의 층, 전기적 절연성 물질을 구비한 1개 이상의 층 및 영역(region-wise) 및 패턴 구성으로 형성되고 전극층들로서 작용하는, 전기적 도전성 물질의 2개 이상의 층들 갖고 있다. 이 경우 상기 전기적 도전성 층들은 바람직하게는 유기적으로(organically) 도전성 물질, 특히 폴리아닐

린 또는 폴리파롤을 구비한다. 상기 전기적 절연성 층은 바람직하게는 유기 절연 물질, 특히 폴리비닐페놀을 구비한다. 덧붙여 상기 막은 바람직하게는 릴리스층 및 접착층과, 아울러 상기 기능성 폴리머 층들에 인접한 1개 이상의 라커층들을 갖고 있다.

[0014] 또 다른 이점은, 상기 전기적 도전성 층, 상기 반도체 물질로 구성된 층 및 상기 절연층이 일반적으로 투명하면, 달성될 수 있다. 이러한 방식에서 상기 막의 광학적 외형은 스탬핑 막 또는 적층 막의 추가 층들의 구성에 의해 영향을 받거나 예를 들어 전자 회로 및 장식(decorative) 요소로서 상기 막의 다용도를 단순화하는 것이 가능하다.

[0015] 본 발명의 바람직한 실시예에 따라, 전기 기능, 특히 유기 반도체 기술을 사용하여 제조된 1개 이상의 전자 부품은 광학 피쳐들(features)과 함께 상기 막에 조합되어 있다. 따라서 한편으로 상기 막은 유기 반도체 기술을 사용한 1개 이상의 전자 부품들을 가진 전자 회로를 갖는 반면에 관측자에게 1개 이상의 광학(보안) 피쳐들을 제공한다. 상기 목적을 위해, 예를 들어 상기 막은, 상기 막의 층들 사이에 형성되며, 한편으로 유기 반도체 기술을 사용하여 제조된 유기 부품의 층을 패턴 구성으로 구조화하고, 다른 한편으로 광학 피처를 형성하는 광학 회절 효과를 일으키는 입체 구조(spatial structure)를 가질 수가 있다. 이 경우 상기 입체 구조는 마크로 구조(macrostructure)와マイ크로 구조(microstructure)의 중첩(superimposition)에 의해 형성될 수 있고, 상기 마크로 구조는 전기적 기능성 층의 패턴 구조화를 담당하고, 상기 마이크로 구조는 광학 회절 효과의 생성을 담당하고 이로써 광학(보안) 피처의 생성을 담당한다. 따라서 입체 구조는 2개의 기능, 즉 한편으로 유기 반도체 기술을 사용한 전자 부품의 구현과, 다른 한편으로 상기 막을 관측하는 자를 위한 광학 피처의 생성을 제공한다.

[0016] 덧붙여 상기 막은 광학-회절 보안 피처를 제조하기 위한 1개 이상의 홀로그래프-광학 또는 회절 층들, 간섭에 의해 광학 보안 피처를 제조하기 위한 1개 이상의 박막 연속층들, 상기 전기적 기능에 추가하여, 광학 기능, 예를 들어 1개 이상의 광학(보안) 피처들 또는 장식 효과들의 생성을 제공하는 1개 이상의 장식 층들을 가질 수가 있다.

[0017] 이러한 설계 구성의 막은 따라서 예를 들어 신분 카드들 또는 출입 카드들, 지폐들, 신용 카드들, 캐시(cash) 카드들 아울러 물품(articles)을 보호하기 위한 광학 보안 요소로서 역할을 담당한다. 이 점에서 이러한 막은 광학 보안 피처들 이외에 또한 전기적 보안 피처들을 제공할 수 있다. 위조에 대한 보안 수준은 상기 광학 및 전기적 보안 피처들의 조합에 의해 상당히 높아지고 있다. 덧붙여 상기 막은 2개 이상의 상호 중첩된 층들을 갖는 것이 또한 가능하다. 상기 층은 광학적 보안 피처를 생성하며, 여기서, 유기 반도체 기술의 전자 부품의 1개 이상의 기능성 층들은 그러한 특성을 갖는 광학적으로 활성 층들 사이에 배열된다. 이는, 상기 광학 또는 전기적 보안 피처의 어떠한 조작 시도는 즉시 검출될 수 있고 이로써 이를 보안 피처들은 서로 보호함에 따라 위조에 관하여 보안 수준을 상당히 높여준다.

[0018] 본 발명에 따른 막을 제조하는 매우 효과적이고도 저렴한 방식은, 유기 반도체 기술을 사용하여 제조된 적어도 1개의 부품의 1개 이상의 층들의 구조화가 열 전사 또는 자외선 전사에 의해 구현되는 것을 제공한다.

[0019] 본 발명의 바람직한 실시예에 따라 입체 구조는 전사되는 층에 전사되고, 상기 입체 구조의 깊이는 상기 전사되는 층의 두께 이상이어서 상기 전사되는 층의 일부분은 전사 단계에 의해 부분적으로 완전히 단절된다. 따라서 전사 공정은 상기 입체 구조에 따라 패턴 구성으로 구조화된 전기적 기능성 층을 제공한다. 상기 공정은 예를 들어 10 $\mu\text{m}$  내지 100nm 범위의 매우 높은 해상도 수준을 달성하는 것을 가능하게 한다. 이러한 작은 구조들을 제조할 수 있는 가능성 덕택에, 구현된 전자 회로들의 팩킹(packing) 밀도와 또한 성능 및 효율이 개선될 수 있다. 상기 공정의 또 다른 이점들은 전기적 기능성 층의 고해상도 구조화가 하나의 스텝에서 가능하다는 것이다. 상기 전기적 기능성 층의 구조화는 특히 롤 대 롤(roll-to-roll) 공정의 형태에서 고속 및 비교적 낮은 제조 원가로 실시될 수 있다.

[0020] 본 발명의 또 다른 바람직한 실시예에 따라, 입체 구조의 깊이가, 전사되는 층의 두께보다 작도록 입체 구조가 상기 전사되는 층에 전사된다. 경화 시에 소정의 체적이 축소되는 물질로 이루어진 전기적 기능성 층이 상기 전사되는 층에 도포된다. 상기 물질은, 경화 시에 체적이 축소하더라도, 구조화 공정에 따른 패턴 구성으로 구조화되는 상기 전사되는 층 상에 잔존할 수 있는 도포량으로, 상기 전사되는 층 상에 도포된다. 덧붙여 이 경우 전기적 기능성 층이 상기 전사되는 층 상에 도포되고, 이후에 전사된 구조에 따라 패턴 구성으로 구조화된 상기 전기적 기능성 층이 소정 깊이로 제거되어, 상기 전사되는 층 내에 잔존한다. 이러한 특성의 공정은 또한 전기적 기능성 층들의 높은 해상도 수준을 달성하는 것을 가능하게 하고 그 결과 이 점에서 전술한 이점들은 또한 상기 단계에서 누릴 수가 있다.

[0021] 선택적으로 또는 부가적으로, 상기 부품들이 기능하는데 필요한 1개 이상의 전극층, 절연층 및 반도전성 층은 프린팅 공정들, 특히 탬폰(tampon) 프린팅에 의해 막의 일부 영역 또는 전체 영역에 걸쳐 막 구조를 형성할 수 있다.

[0022] 이하, 본 발명에 따른 실시예들을 첨부된 도면들을 참조하여 설명하기로 한다.

## 실 시 예

[0034] 도 1은 유기 반도체 기술을 사용하여 제조된 적어도 1개 부품, 특히 유기 전계 효과 트랜지스터들(OFETs)을 포함하는 스템핑 막을 도시하고 있다. 이러한 스템핑 막은 특히 핫(hot) 스템핑 막이다. 도 2는 유기 반도체 기술을 사용하여 제조된 적어도 1개의 부품, 특히 유기 전계 효과 트랜지스터들(OFETs)을 구비하는 적층막의 구조를 도시하고 있다. 본 발명은 하지만 이러한 형태의 막에 한정되지 않는다.

[0035] 도 1은 캐리어 막(11)과, 상기 캐리어 막(11)에 도포된 트랜스퍼층부(transfer layer portion)(2)를 구비한 스템핑 막(1)을 나타낸다. 상기 캐리어 막(11)에서 상기 트랜스퍼층부(2)로 릴리스(release)를 용이하게 하는 역할을 담당하는 릴리스층(release layer)(12)은 상기 캐리어 막(11)과 트랜스퍼층부(2) 사이에 제공된다. 이 점에서, 상기 릴리스층(12)을 생략하는 것이 또한 가능하다.

[0036] 상기 트랜스퍼층부(2)는 제1 라커층(13) 및 제2 라커층(18), 전기적 절연성 물질을 구비한 절연층(15) 및 유기 반도체 물질 층(16)을 구비한다. 덧붙여 상기 트랜스퍼층부(2)는 패턴 구조으로 형성되며, 전기적 도전성 물질을 구비한 2개의 전극층들을 구비한다. 도 1은 게이트 전극을 형성하는 일부 영역(14)과, 소스 전극과 드레인 전극을 각각 형성하는 2개의 일부 영역들(17),(19)을 도시하고 있다.

[0037] 선택적으로, 상기 트랜스퍼층부(2)의 게이트 전극 또는 소스 전극 및 드레인 전극의 배열이 상호 교환되는 것이 또한 가능하다. 즉, 상기 소스 전극과 드레인 전극은 도면에서 상기 라커층(13) 상에 하향하여 배치될 수 있고, 상기 게이트 전극은 도면에서 상기 반도체층(16) 옆 및 상에 상향하여 배치될 수 있다.

[0038] 도 2는 유사한 층 구조를 포함하는 적층막(3)을 나타낸다. 상기 층들의 정확한 구조는 그러므로 이하 상기 스템핑 막(1)을 참조하여서만 설명한다.

[0039] 상기 캐리어 막(11)은  $6\mu\text{m}$  내지  $200\mu\text{m}$  두께, 바람직하게는  $19\mu\text{m}$  내지  $38\mu\text{m}$  두께의 플라스틱(plastic) 막이다. 상기 캐리어 막(11)은 바람직하게는 폴리에스테르막이다.

[0040] 상기 릴리스층(12)은 그 다음에 상기 캐리어 막(11)의 전면 영역에 걸쳐 상기 캐리어 막(11)에  $0.01\mu\text{m}$  내지  $0.2\mu\text{m}$ 의 두께로 도포된다. 이는 바람직하게는, 열(heat)의 발생(development) 때에 연질화되고, 상기 기판에 상기 핫 스템핑 막을 도포할 때 상기 캐리어 막(11)으로부터 추가적인 층들의 릴리스를 가능하게 하는 층의 형태이다.

[0041] 상기 제1 라커층(13)은 전면에 걸쳐 상기 릴리스층에 더욱 구체적으로는  $0.5\mu\text{m}$  내지  $5.0\mu\text{m}$ , 바람직하게는  $1\mu\text{m}$  내지  $2\mu\text{m}$ 의 두께로 일반적으로 도포된 보호성 라커층이다.

[0042] 상기 게이트 전극(14)을 가진 상기 제1 전극층은 상기 라커층(13)에 도포된다. 이 경우, 상기 제1 전극층은 바람직하게는, 전기적 도전성 폴리머, 바람직하게는 폴리아닐린과 폴리피롤을 구비한다. 상기 제1 전극층을 위한 금속들, 예를 들어 금 또는 은을 사용하는 것이 또한 가능하다.

[0043] 이 경우, 상기 제1 전극층은 예를 들어, 프린팅 공정(음각(intaglio) 프린팅, 스크린 프린팅) 또는 코팅 공정에 의해 패턴 구조으로 라커층(13)에 미리 부분적으로 도포될 수 있다. 하지만 상기 제1 전극층은 상기 라커층(13)의 전체 영역 또는 일부 영역에 걸쳐 상기 라커층(13)에 도포되고 그 다음에 후술되는 전사 공정, 노광 및 식각 공정, 또는 제거(ablation), 예를 들어 펄스 레이저(pulsed laser)에 의해 또다시 부분적으로 제거되는 것이 또한 가능하다.

[0044] 각각의 사용된 도포 공정에 따라, 상기 단계에서 전기적 도전성 물질은 상기 라커층(13)에 유체(fluid) 형태, 용해(dissolved) 형태 또는 혼탁액(suspension)으로 도포된다.

[0045] 상기 절연층(15)은 바람직하게는, 유기 절연 물질, 예를 들어 폴리비닐페놀을 구비한다. 하지만 상기 절연층(15)의 물질로서 산화층들, 예를 들어 금속산화물을 사용하는 것이 또한 가능하다. 이 경우, 유기 절연층들은 패턴 구조으로 구조화된 전극층에 상기한 공정들 중 하나에 의해 유체 형태, 용해 형태 또는 혼탁액으로 도포된다. 상기 절연층(15)은 그 다음에 건조 또는 몇몇 다른 방식으로 고형화된다. 산화층들은 열적 기상 증착 또는

진공 스퍼터링에 의해 도포된다.

[0046] 유기 반도체 물질을 구비한 층(16)은 상기 절연층(15)의 전체 영역 또는 일부 영역에 걸쳐 상기 절연층(15)에 도포된다. 이점에서, 폴리티오펜은 유기 반도체 물질로서 사용될 수 있다. 이 경우 상기 유기 반도체 물질은 상기한 공정들 중 하나에 의해 상기 절연층(15)에 유체 또는 용해 형태 또는 혼탁액으로 도포되고 그 다음에 고형화된다. 이 경우, 상기 층(16)을 상기 제1 전극층과 같은 동일한 방식으로 패턴 구성으로 구조화하는 것이 또한 가능함으로써 도 1 및 도 2에 도시된 상기 층(16)의 형성을 가능하게 한다.

[0047] 상기 소스 전극(17)과 드레인 전극(19)을 각각 구비한 제2 전극층은 그 다음에 전술한 바와 같은 동일한 방식으로 상기 층(16)에 도포된다. 상기 층에 사용된 물질들과 구조화 공정에 대하여 상기 제1 전극층에 관한 설명을 주목하여야 한다.

[0048] 상기 라커층(18)과 접착층(20)은 그 다음에 전면 영역에 걸쳐 도포된다. 상기 층(18)의 두께는 바람직하게는 2  $\mu\text{m}$ -10  $\mu\text{m}$ 이다. 상기 접착층(20)은 트랜스퍼막들 또는 핫 스템핑막들에 관하여 공지되고 일반적인, 약 1  $\mu\text{m}$  내지 10  $\mu\text{m}$  두께의 접착층이다. 여기서, 핫 스템핑막을 위한 접착층은 상응하는 열(heat) 작용에 영향을 받았을 때 끈적거리게만 되는 그러한 조성(composition)으로 이루어진다.

[0049] 상기 층들(12), (13), (18), (20)은 아래의 조성물들에 따라 제조될 수 있다.

릴리스층(12)(분리층):

[0051] 톨루엔 99.5부

[0052] 에스테르 와스(적하점 90°C) 0.5부

[0053] 라커층(13)(보호성 라커층):

[0054] 메틸에틸케톤 61.0부

[0055] 디아세톤 알콜 9.0부

[0056] 메틸 메탄 아크릴레이트( $T_g = 122^\circ\text{C}$ ) 18.0부

[0057] 폴리에틸렌 분산물(dispersion)(크실렌에서 23%)(연화점 140°C) 7.5부

[0058] 고-분자 분산 첨가제(40%, 아민 인덱스 20) 0.5부

[0059] 희석제(extender)(알루미늄 실리케이트) 20.0부

[0060] 라커층(18)(중간층):

[0061] 메틸에틸케톤 40.0부

[0062] 톨루엔 22.0부

[0063] 에틸렌 비닐 아세테이트 터폴리머( $mp = 60^\circ\text{C}$ ) 2.5부

[0064] 폴리비닐클로라이드( $Tg: 89^\circ\text{C}$ ) 5.5부

[0065] 폴리비닐클로라이드( $Tg: 40^\circ\text{C}$ ) 3.0부

[0066] 분산 첨가제(50%, 산가(acid number) 51) 1.0부

[0067] 티타늄 디옥사이드( $d = 3.8 - 4.2 \text{ g/cm}^3$ ) 26.0부

[0068] 접착층(20):

[0069] 메틸에틸케톤 55.0부

[0070] 톨루엔 12.5부

[0071]	에탄올	3.5부
[0072]	폴리비닐 아세테이트(연화점 80°C)	6.0부
[0073]	부틸-/메틸메타크릴레이트(Tg: 80°C)	8.0부
[0074]	에틸 메타크릴 수지 (Tg: 63°C)	3.0부
[0075]	메타크릴레이트 코폴리머(Tg: 800°C)	5.0부
[0076]	불포화 폴리에스테르 수지(연화점 103°C)	3.5부
[0077]	실리콘 디옥사이드	3.5부

- [0078] 상기 라커층들(13), (18)은 여기서 한편으로 전기적 절연성을 갖는데, 덧붙여 이들은 포함된 전기적인 기능의 폴리머층들의 보호층들의 기능을 수행한다.
- [0079] 상기 제1 라커층(13)과 제2 라커층(18)을 생략하는 것이 또한 가능하다.
- [0080] 이점에서 유기 반도체 물질들, 유기 도전성 물질들 및 유기 절연 물질들은 각각의 전기적 특성을 갖는 유기 물질, 유기금속 물질 및/또는 무기 플라스틱 물질에 의해 형성된다. 이점에서 유기 반도체 기술을 사용하여 부품들을 구조화하는데 사용될 수 있는 상기 유기 물질, 유기금속 물질 및/또는 무기 물질은 기능성 폴리머들로서 사용될 수 있다. 상기 기능성 폴리머는 따라서 논폴리머(non-polymer) 부품들을 또한 포함한다.
- [0081] 도 1에 도시된 막(1)의 부분은 게이트 전극(14), 소스 전극(17) 및 드레인 전극(19)을 구비하여 유기 전계 효과 트랜지스터가 상기 전극들과 절연층(15) 및 유기 반도체 물질을 구비한 층(16)의 협동에 의해 상기 막(1)의 도 1에 도시된 영역에 의해 구현된다. 상기 제1 전극층과 제2 전극층의 각각의 구조 그리고 일부 환경 하에서 상기 절연층(15)과, 반도체 물질을 구비한 층(16)의 구조에 따라, 유기 반도체 기술을 사용하여 제조된 복수개의 부품들을 구비한 복합 전자 회로를 상기 막(1)에 구현하는 것이 가능하다.
- [0082] 이점에서, 유기 반도체 기술을 사용하여 제조된 부품은 기능성 부품 부분, 예를 들어 트랜지스터들, 에프이티(FET)들, 트라이악들, 다이오드들 등으로서 유기 반도체 층 또는 반도체 층 영역을 포함하는 전자 부품을 의미한다.
- [0083] 이점에서, 도 1에 도시된 복수개의 층들(13-16)은, 유기 반도체 기술을 사용하여 제조된 2개 이상의 상호 중첩된 부품들을 상기 막(1)에 상기 방식으로 구현하기 위해 상호 중첩하여 배열되는 것이 또한 가능하다.
- [0084] 유기 반도체 기술을 사용하여 상기 부품들을 제조하면, 이 경우 상기 제1 전극층 및 제2 전극층은 상술한 바와 같이, 패턴 구성으로 구조화된 형태로 제조되는 것이 가능하다. 하지만, 절연층(15)과, 반도체 물질을 구비한 층(16)은 또한, 상응하는 전기적 기능을 구현하기 위해 패턴 구성의 구조화들을 포함하는 형태로 제조되는 것이 또한 가능하다. 이점에서 상기 패턴화된 구조화들을 위한 후속 공정들 또는 후속 공정들의 조합이 제안된다.
- [0085] 상기 부품들의 기능에 필요한 상기 전극 층, 절연층 및 반도체층을 프린팅 공정들에 의해 전면 영역 또는 일부 영역에 걸쳐 막 구조에 도입하는 것이 제안된다.
- [0086] 현재 일부 영역 상에 프린팅하는 공지된 고해상도 프린팅 공정들은 하지만 50 $\mu\text{m}$ 의 수평 해상도를 포함하므로 특히 상기 소스 전극과 드레인 전극의 제조에 제한적으로만 적합하다.
- [0087] 이에 반하여, 본 발명에서 바람직한 공정의 경우, 전면 영역에 걸쳐 먼저 프린팅이 이루어지고 다음에 상기 층의 적절한 구조화가 열 전사 또는 자외선 전사에 의해 이루어진다. 상기 목적을 위한 적합한 장치는 도 3에 도시되어 있고, 그 결과가 도 4a 내지 도 4c에 도시되어 있다. 덧붙여 자외선 램프(미도시)와 마스크(또한 미도시)는 자외선 전사 동작을 위해 제공되어야 한다. 0.5 $\mu\text{m}$  내지 5 $\mu\text{m}$  범위의 매우 높은 수평 해상도 수준은 상기 종류의 전사 공정에 의해 달성된다.
- [0088] 도 3은 전사 롤러(51), 역압(counterpressure) 롤러(52), 캐리어 막(41), 층(42) 및 구조화된 층(43)을 도시하고 있다. 상기 층(42)과 캐리어 막(41)을 구비하는 막 체(body)는 상기 전사 롤러(51)와 역압 롤러(52)가 도 3에 도시된 방향으로 회전함에 따라 공급 방향(53)으로 이송된다. 이 경우 도 3에 도시된 바와 같이, 구조가 상기 층(42)에 전사되고 그 결과 상기 층(42)은 도 3에 도시된 구조를 얻어서 상기 구조화된 층(43)을 형성한다.
- [0089] 상기 층(42)은 유기 반도체 기술을 사용하여 제조된 부품의 기능성 층, 예를 들어 도 1 및 도 2에 도시된 유기

전계 효과 트랜지스터의 층, 예를 들어 제1 전극층, 절연 물질을 구비한 층, 제2 전극층 또는 유기 반도체 물질을 구비한 층이다. 상기 캐리어 막(41)은, 상기 캐리어 막(11) 또는 상기 캐리어 막(11)과 그 위에 배치된 1개 이상의 층들을 가진 다층 막 체(body), 예를 들어 상기 캐리어 막(11), 릴리스층(12) 및 라커층(13)을 가진 다층 막 체가 될 수 있다.

[0090] 바람직하게는, 열 전사 또는 자외선 전사가 전사 공정으로서 사용된다.

[0091] 상기 열 전사 단계에서, 전사는 상기 층(42)의 열적 변형에 의해 이루어진다. 열가소성 특성을 가진 물질은 상기 층(42)에 사용된다. 상기 전사 롤러(51)의 표면 형상에 상응하는 구조는 그 다음에 상기 가열된 전사 롤러(51)에 의해 상기 층(42)에 양각(emboss)된다.

[0092] 예로서 건조 후에  $2.2\text{g/cm}^2$ 의 도포 중량(application weight)을 포함하는 폴리아닐린 또는 폴리피롤 용액은 음각(intaglio) 프린팅 레스터 롤러에 의해 상기 캐리어 막(41)의 막 체에 도포된다. 이 경우 건조는  $100^\circ\text{C}$  내지  $120^\circ\text{C}$  온도의 건조 경로(passage)에서 이루어진다. 상기 구조는 그 다음에, 예를 들어 니켈을 포함하는 전사 롤러에 의해 약  $130^\circ\text{C}$ 에서 상기 층(42)에 양각된다. 이 경우 상기 전사 롤러는 바람직하게는, 상기 구조를 양각화하기 위해 전기적으로 가열된다. 전사 롤러 대신에, 본 발명에서 전사 다이(die)를 사용하는 것이 또한 가능하다. 이러한 다이는 상기 층(42)을 벗겨지기 전에 또다시 냉각될 수 있다. 상기 구조가 양각된 후 상기 층(43)은 그 다음에 가교결합(cross-linking) 또는 몇몇 다른 방식으로 경화된다.

[0093] 자외선 경화성 물질은 자외선 전사 단계에서 층(42)에 사용된다. 상기 전사 롤러(51)의 표면 구조에 따라 형성된 층(43)을 경화시키는 자외선 램프는 상기 전사 롤러(51) 내에 또는 상기 전사 롤러(51) 하측에 구비된다. 상기 전사 롤러(51)는 상기 층(42)을 마스크의 형태로 부분적으로 노광하는 평탄한 표면을 갖는 것이 또한 가능하다. 상기 층(42)은 상기 노광된 영역들에서 경화된다. 상기 층(42)은 비노광된 영역들에서 경화되지 않고 세정 공정에서 제거되어 도 3에 도시된 층(43)의 구조화를 제공한다.

[0094] 도 4a에 도시된 바와 같이, 이 경우 입체 구조가 상기 층(42)에 전사되고 상기 구조의 깊이는 전사되는 층의 두께 이상이다. 상기 전사되는 층(42)은 따라서 전사 단계에 의해 부분적으로 완전히 단절됨으로써 입체 구조에 따라 패턴 구성으로 구조화된 전기적 기능성 층(43)을 가능하게 한다.

[0095] 이점에서 열 전사 동작에서의 구조 깊이는 상기 층(42)의 두께 보다 큰 것이 특히 바람직하다. 이점에서 바람직하게는, 전사 라커를 구비하는 추가 라커층(44)은 상기 층(42) 아래에 배치되는 것이 도 4b에 도시된 바와 같이, 유익하다. 상기 전사 롤러의 스템핑 다이는 따라서 상기 라커층(44) 또는 관측되고 있는 추가 층들 아래의 캐리어 막에 손상을 주지 않고 상기 층(42)을 관통하여 스템핑할 수 있다. 도 4c는 상기 층(42)의 두께가 상기 전사 깊이보다 훨씬 작은 실시예를 도시하고 있다. 이는 상기 전기적 기능성 층(43)의 영역들의 신뢰할만한 분리가 달성되는 것을 보장한다.

[0096] 도 5는 제1 전극층과 제2 전극층이 도 3 내지 도 4c에 도시된 공정에 의해 패턴 구성으로 구조화된 스템핑 막(6)을 도시하고 있다.

[0097] 도 5는 캐리어 막(61), 릴리스층(62), 라커층(63), 제1 전극층(64), 절연층(65), 유기 반도체 물질을 구비한 층(67), 제2 전극층(66), 라커층(68) 및 접착층(69)을 구비한 스템핑 막(6)을 도시하고 있다.

[0098] 상기 라커층(63)은 전사 라커를 구비한다. 상기 제1 전극층(64)은 관여된 전면 영역에 걸쳐 상기 라커층(63)에 도포되고 그 다음에 도 3 및 도 4a, 도 4b 또는 도 4c를 참조하여 설명된 전사 공정에 의해 패턴 구성으로 구조화된다. 상기 절연층(65)은 그 다음에, 관여된 전면 영역 상에 도포된다. 그 다음에 유기 반도체 물질을 구비한 층(67)은 상기 전면 영역 상에 도포된다. 제2 전극층(66)은 상기 층(67)에 도포되고 이어 도 3 내지 도 4c의 전사 공정에 의해 패턴 구성으로 구조화된다. 상기 제2 전극층(66)은, 특히 소스 전극과 드레인 전극이 상기 층 구조에 하향 배치되고 상기 게이트 전극이 상기 층 구조에 상향 배치되면, 프린팅 공정 및 코팅 공정에 의해 부분적으로 도포되는 것이 또한 가능하다.

[0099] 상기 층들(68), (69)은 그 다음에 상기 전면 영역 상에 도포된다.

[0100] 하지만 상술한 바와 같이 상기 절연층(65) 및 유기 반도체 물질을 구비한 층(67) 모두는 도 3 내지 도 4c의 공정들에 의해 패턴 구성으로 구조화되는 것이 또한 가능하고, 따라서 매우 복잡한 전자 회로들은 상기 스템핑 막(6)에 구현되는 것이 가능하다.

[0101] 덧붙여 상기 전사되는 층에, 입체 구조의 깊이가 상기 전사되는 층의 두께보다 작도록 전사하는 것도 가능하다.

이는 도 6a의 예로서 도시되어 있다. 따라서, 도 3을 참조하여 설명된 전사 공정은, 상기 층(42)을 관통하지 않는 구조를 상기 층(42)에 전사하는데 사용되고 이로써 전사 결과로서 도 6a에 도시된 층(48)을 가능하게 한다. 도 6b에 도시된 바와 같이, 다음 스텝에서 전기적 기능성 층(49)은 상기 구조화된 층(48) 상에 프린팅, 코팅 또는 스프레이됨으로써 상기 구조화된 층(48)에 도포된다. 이점에서 고 점도의 물질이 상기 전기적 기능성 층(49)에 사용되어 상기 층(48)의 리세스들이 상기 층(49)에 의해 완전히 충전된다. 덧붙여 경화 때에 소정의 체적 감소를 겪는 물질이 상기 전기적 기능성 층(49)에 사용된다. 따라서 예를 들어 자외선 경화성 물질, 바람직하게는 자외선 경화 때에 미리 명확하게 정의된 체적 축소를 겪는 아크릴레이트 계(system)를 사용하는 것이 가능하다. 덧붙여 상기 체적 축소는 또한, 사용된 기능성 폴리머가 용해되는 솔벤트의 증발에 의해 달성될 수 있다.

[0102] 이 경우 상기 층(49)의 물질은 단위 면적당 도포량으로 도포되며, 한편으로 상기 층(48)의 리세스들이 상기 층(49)의 물질에 의해 완전히 충전되는 반면에 상기 층(49)의 경화 때에 상기 층(49)이 완전히 또는 부분적으로 상기 층(48)의 리세스들에 충전되나 상기 층(48)의 평탄부(plateaux)를 더 이상 커버하지 않는 결과를 갖는 체적 축소가 있다. 이는, 경화 후에 상기 층(49)이 상기 층(48)의 리세스들을 95% 정도로 충전만하는 것을 볼 수 있는, 예를 들어 도 6c에 도시되어 있다. 이는, 상기 층(49)의 경화 후에 상기 전사된 구조에 따라 패턴 구성을 구조화된 전기적 기능성 층(49)이 잔존하는 것을 제공한다.

[0103] 선택적으로 또는 부가적으로, 경화 후에, 상기 층(48)을 완전히 커버하는 전기적 기능성 층(50)을 상기 층(48)에 도 6d에 도시된 바와 같이 도포하고, 그 다음에, 관여된 전면 영역 상의 층(50)을 상기 전사된 구조에 따라 패턴 구성을 구조화된 전기적 기능성 층(50)이 잔존하는 깊이로 도 6e에 도시된 바와 같이, 제거하는 것이 또한 가능하다. 상기 기능성 층(50)의 제거는 여기서 예를 들어 식각 공정 또는 몇몇 다른 제거(ablation) 공정, 예를 들어 레이저 제거(laser ablation)에 의해 이루어질 수 있다.

[0104] 상기 층들(49),(50) 각각은 각각의 유기 절연층, 유기 도전성 물질을 구비하는 층 또는 유기 반도체 기술을 사용하여 제조된 부품의 기능성 층으로서 사용되는 유기 반도체 물질을 구비한 층을 포함할 수 있다. 상기 층(48)은 또한, 전기적 기능성 층의 구조화를 촉진만하는 그러한 기능성 층 또는 보조(auxiliary) 층이 될 수 있다.

[0105] 도 7은 도 6a 내지 도 6e를 참조하여 설명된 공정에 따라 패턴 구성을 구조화된 전기적 기능성 층들을 갖는, 본 발명에 따른 막의 실시예를 도시하고 있다.

[0106] 도 7은 캐리어 막(71), 릴리스층(72), 라커층(73), 절연층(75), 유기 반도체 물질을 구비한 층(76), 2개의 전극 층(74),(77), 라커층(78), 접착층(79)을 구비한 스템핑 막(7)을 도시하고 있다.

[0107] 상기 층(73)은 투명한 열가소성 물질을 구비한 전사 라커층에 의해 형성된다.

[0108] 예로서 상기 라커층(73)은 아래의 조성으로 이루어질 수 있다.

성분	중량부
고분자 PMMA 수지	2000
실리콘 알카드, 오일프리(oil-free)	300
비이온성 습윤제	50
저점도 니트로셀룰로스	750
메틸에틸케톤	1200
톨루엔	2000
디아세톤 알콜	2500

[0110] 입체 구조는 상기 층(73)에 전사되고, 유기 도전성 물질, 예를 들어 폴리아닐린 또는 폴리피롤을 구비한 층(74)은 코팅 공정에 의해 도포되고 그 다음에 경화되어 도 6b 및 도 6c를 참조하여 설명된 효과를 제공한다. 상기 절연층(75)은 그 다음에 예를 들어 프린팅 공정에 의해 상기 전면 영역 상에 도포된다. 이 경우 상기 절연층(75)은 상기 라커층(73)과 같은 동일한 물질을 구비할 수 있다. 유기 반도체 물질, 예를 들어 폴리티오펜을 구비한 층(76)은 그 다음에 프린팅에 의해 관여된 전면 영역 상에 도포된다. 구조는 상기 층(76)에 전사되고, 전기적 도전성 물질을 구비한 층(77)은 도포되고 경화되어 도 6b 및 도 6c를 참조하여 설명된 효과를 제공한다. 상기 라커층(78)과 접착층(79)은 그 다음에 프린팅에 의해 예를 들어 음각(intaglio) 프린팅 룰러에 의해 관여된 전면 영역 상에 도포된다.

- [0111] 종래 기술에서 설명된 형성층(shaping layer)은 전사 공정들에 의해 제조되고, OFET 층들의 구조화는 그 다음에 닥터 공정 또는 스크레이퍼 공정을 사용하여 실시되는 것이 또한 가능함을 알아야 한다. 상기 종래기술에 관하여, 본 명세서의 서문에 언급된 종래기술에 주목한다.
- [0112] 더욱이 부가층들(도 1 및 도 2에 미도시), 특히 홀로그래픽-광학층, 광 효과 박막층들, 보호층들 등을 고려하는 것이 가능함을 알아야 한다.
- [0113] 이점에서 (유기 반도체 회로의) 전기적 기능은 광학적 피처들(features)과 조합되는 것이 유익하다. 양자는 도 8a에 도시된 바와 같이, 전사 단계 동안에 1개 스텝에서 제조된다. 회절-광학 구조들이 구비된 부품 구조들은 특정한 광학적 임프레션(impression), 예를 들어 회사 로고(logo)가 제조되는 그러한 방식으로 배열되는 것이 특히 가능하다. 위조 방지의 특정한 수준은 회절 구조들이 레이저 시스템에서 상이한 높이(heightwise) 지점에, 특히 또한 상호 중첩 관계로 배열될 수 있는 사실 덕택에 가능해진다. 이러한 방식으로 제조된 광학-전기적 요소는 따라서 위조에 관련하여 지폐들, 문서들의 보안 요소와, 보호품(safeguarding articles)과 데이터 캐리어들의 보안 요소로서 매우 양호하게 적합하다.
- [0114] 도 8a는 광학적 보안 피처를 위한 회절성 광학 구조와 전기적 기능성 층의 구조화는 동시에 제조되는 전사 단계의 기능적 표시를 도시하고 있다. 따라서 도 8a는 도 4a, 도 4b, 도 4c 또는 도 6a에 도시된 캐리어 막(41)과 접착층(42)을 도시하고 있다. 도 8a에 도시된 바와 같이, 마크로 구조(macrostructure)와 마이크로 구조(microstructure)의 중첩으로 구성된 구조(47)가 상기 층(42)에 전사되어 있다. 상기 마크로 구조는 상기 층(42)을 패턴 구성으로 구조화하는 것을 가져오고 이로써 패턴으로 구조화된 전기적 기능성 층을 제공한다. 상기 마이크로 구조는 상기 전사된 층(46)의 표면의 미세 구조화를 나타낸다. 상기 마이크로 구조는 바람직하게는, 예를 들어 홀로그램 또는 키네그램(kinegram), 키네티브(kineform) 등과 같은 광학적 회절 효과를 일으키는 회절성 광학 구조에 의해 형성된다. 상기 마이크로 구조는 또한 소정의 컬러 및 컬러 틸트(tilt) 효과들을 만들어내는 영차(zero order) 회절 구조를 포함할 수 있다. 덧붙여 상기 마이크로 구조는 등방성 또는 비등방성 매트(matt) 구조에 의해 형성되는 것이 또한 가능하다.
- [0115] 이점에서, 열 전사의 경우 구조 깊이는 상기 층(42)의 두께 보다 더 큰 것이 특히 바람직하다. 이점에서 도 8b에 도시된 바와 같이, 바람직하게는 전사 라커를 구비한 추가 라커층(44)을 상기 층(42) 아래에 제공하는 것이 유익하다. 전사 롤러의 스템핑 다이는 상기 캐리어 막 또는 관측되고 있는 상기 라커층(44) 아래의 추가 층들에 손상을 주지 않고 상기 방식으로 상기 층(42)을 관통하여 스템핑할 수 있다.
- [0116] 그 다음에 상기 층(46)에, 굴절율이 상기 층(46)을 위해 사용된 물질의 굴절율과 뚜렷하게 상이한 물질을 구비한 (라커) 층이 도포되어 있고 그 결과 상기 마이크로 구조에 의해 생성된 광학 효과들은 상기 막을 바라보는 사람에게 인식된다. 선택적으로, 반사층은 완전히 또는 부분적으로 도포된 금속층 또는 HRI(high refraction index) 층의 형태로 상기 층(46)에 도포될 수 있다. 크롬, 알루미늄, 구리, 철, 니켈, 은, 금 또는 이를 물질들의 합금은 상기 반사층을 위한 물질들로서 필수적으로 고려된다.
- [0117] 도 9a는 전자적 반도체 기술을 사용하여 제조된 전자 부품의 막 기능들 내에 광학 보안 피처들을 조합하는 또 다른 가능한 방법을 도시하고 있다.
- [0118] 도 9a는 캐리어 막(81), 릴리스층(82), 2개의 라커층들(83), (84), 제1 전극층(86), 절연층(87), 유기 반도체 물질을 구비한 층(88), 제2 전극층(89), 라커층(90), 라커층(91), 흡수층(94)과 스페이서층(95)을 구비한 박막층 시스템, 반사층(96) 및 접착층(97)을 구비한 스템핑 막(8)을 도시하고 있다.
- [0119] 상기 제1 전극층(86)과 제2 전극층(89), 절연층(87) 및 유기 반도체 물질을 구비한 층(88)은 도 1 및 도 2에 도시된 상응하는 층들과 유사하다. 상기 전극층들(86), (89)의 구조화는 예를 들어 도 3 내지 도 4c를 참조하여 설명된 전사 공정들에 의해 실시될 수 있다.
- [0120] 상기 층(83)은 광학 회절 구조(85)가 양각된 전사 라커층이다. 굴절율이 상기 라커층(83)의 굴절율과 뚜렷하게 상이한 물질을 구비한 라커층(84)은 그 다음에 도포된다. 도 9a에 도시된 바와 같이, 회절 구조(85)는 전면 영역을 커버하는 것이 아니라 상기 전면 영역의 일부분만을 커버한다. 상기 층(90)은 또한 광학 회절 구조(93)가 양각된 전사층을 포함한다. 상기 라커층(91)은 상기 층(90)에 패턴 구성으로 부분적으로 도포되고 상기 층(91)의 굴절율은 상기 층(90)의 굴절율과 뚜렷하게 상이하다. 상기 광학 회절 구조(93)는 또한 부분적으로 제공되고 그 결과 상기 광학 회절 구조(93)에 의해 만들어진 광학 피처가 상기 구조(85)에 의해 만들어진 광학 피처와 중첩되고 상기 광학 피처에 의해 보충된다.

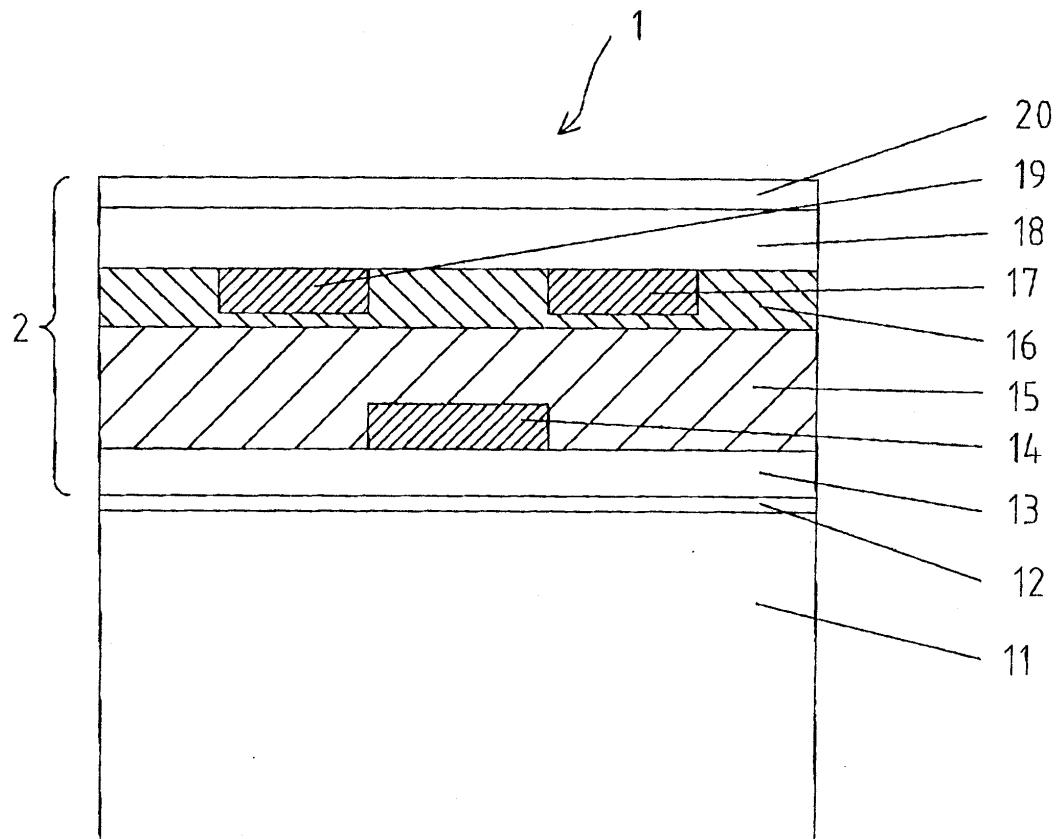
- [0121] 상기 박막층 시스템은, 상기 박막층 시스템이 발신 요소로서 동작한다면, (바람직하게는 30% 내지 65% 투과율을 갖는) 흡수층(94), 컬러 변조층(예를 들어  $1/4\lambda$  또는  $1/2\lambda$  층)인 투명한 스페이서층(85) 및 반사층(96) 또는 광학적 분리층을 구비한다.
- [0122] 상기 층들(94),(95),(96)은 시야각에 좌우되는 컬러 시프트(color shift)를 간섭에 의해 만들어낸다. 상기 박막 층 시스템에 의해 만들어진 컬러 시프트들은 이 경우, 바람직하게는 관찰자에 보여질 수 있는 광의 범위에 있다.
- [0123] 박막 요소는 연속의 고굴절층과 저굴절층으로 구성될 수 있는 것이 또한 가능하다. 예를 들면 이러한 박막 요소는 3개 내지 9개의 상기 층들 또는 2개 내지 10개의 상기 층들로 구성될 수 있다. 관여된 층들의 개수가 많아질 수록 컬러 변조 효과를 위한 과장들을 더 예리하게(sharper) 조절하는 것이 가능하다.
- [0124] 상기 반사층(96)은 전체 영역 또는 일부분 금속층 또는 HRI(high refraction index)층의 형태가 될 수 있다. 따라서, 크롬, 알루미늄, 구리, 철, 니켈, 은, 금 또는 이들 물질들의 합금은 상기 반사층을 위한 물질로서 필수적으로 고려될 수 있다.
- [0125] 상기 라커층들(83),(84),(90),(91)은 컬러화되는 것이 또한 가능하다. 상기 층들(86),(87),(88),(89)은 바람직 하게는, 전면 영역에 걸쳐 투명하거나 컬러화되고 그 결과 상기 전기적 기능성 층들은 상기 막 요소의 광학 임프레션에 영향을 주지 않는다. 상기 전극층들(86),(87)의 전사 때에 도 8a 또는 도 8b를 참조하여 설명된 전사 공정이 채택되는 것이 또한 가능하고 그 결과 도 9a에서 전술된 광학 효과들은 또한 추가적인 광학 효과들에 의해 중첩되는 것을 알아야 한다. 이 경우 상기 방식으로 만들어진 광학 효과들은 예를 들어 회절 구조들(85),(93)에 의해 만들어진 광학 효과들에 의해 보충됨으로써 상기 효과들 중 하나에 대한 조정 또는 변경은 관측자에게 즉시 인식되는 것이 또한 유익하다.
- [0126] 도 9a를 참조하여 설명된 광학 효과들 모두가 본 발명에 따른 막에 구현되는 것이 아니라 상기 효과들의 선택된 것만이 상기 막에 구현되는 것이 또한 가능함을 알아야 한다.
- [0127] 도 9b는 추가적인 반사층들(98),(99)이 금속층들 또는 HRI층들의 형태로 관여된 전면 영역에 걸쳐 또는 부분적으로 상기 층(83) 또는 상기 층(90)에 각각 도포되는 막 구조의 변형을 도시하고 있다. 이 경우 상기 층들(84),(83)을 위해 사용된 물질들의 굴절율들은 상이할 필요가 없다. 마찬가지로 상기 층(90)과 층(91)을 위해 각각 사용된 물질들의 굴절율들은 상이할 필요가 없다.

### 도면의 간단한 설명

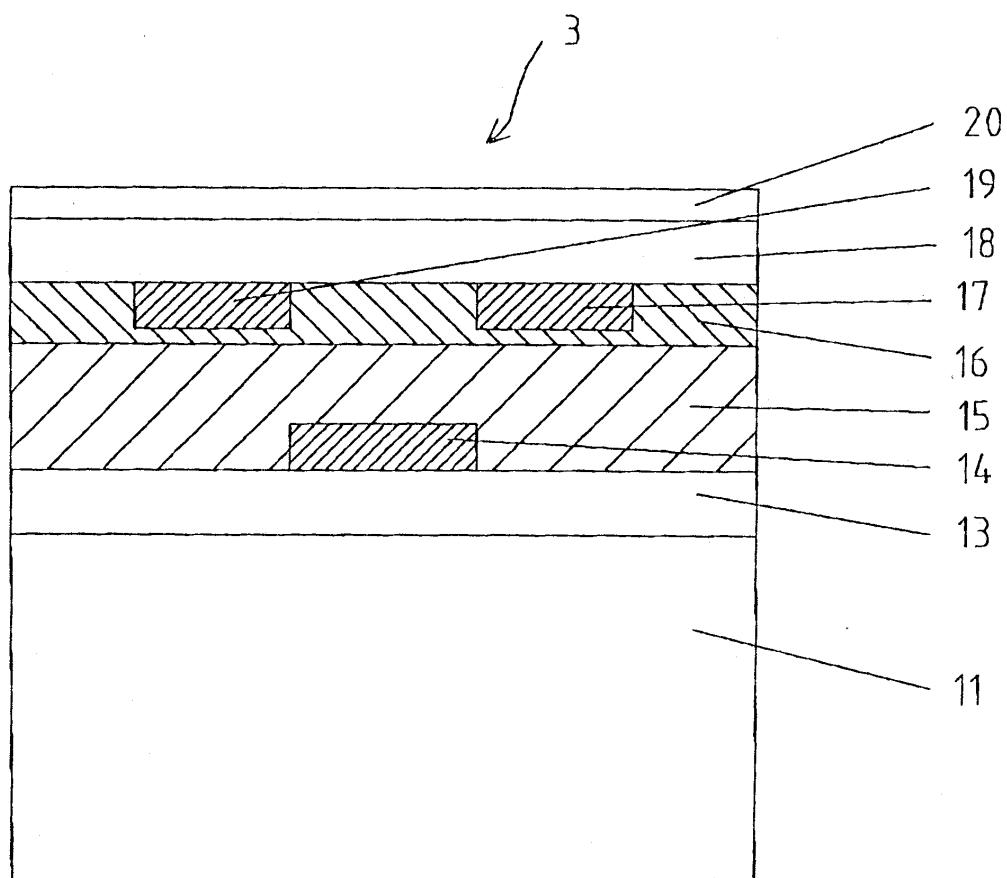
- [0023] 도 1은 본 발명의 제1 실시예를 위한 본 발명에 따른 막의 단면도.
- [0024] 도 2는 본 발명의 다른 실시예를 위한 본 발명에 따른 막의 단면도.
- [0025] 도 3은 유기 반도체 기술을 사용한 전자 부품들, 특히 유기 전계 효과 트랜ジ스터들의 구조들의 전사를 위한 장치도.
- [0026] 도 4a는 제1 실시예에 따라 유기 반도체 기술을 사용한 부품의 층을 구조화하는 기능도(functional view).
- [0027] 도 4b 및 도 4c는 제1 실시예에 따라 층을 구조화하는 상세 기능도.
- [0028] 도 5는 도 4에 도시된 공정에 따라 유기 반도체 기술을 사용하여 제조된 부품의 1개 이상의 층들이 전사된, 본 발명에 따른 막의 단면도.
- [0029] 도 6a 내지 도 6e는 다른 실시예에 따라 유기 반도체 기술을 사용하여 제조된 부품의 층을 전사에 의해 구조화하는 기능도.
- [0030] 도 7은 유기 반도체 기술을 사용하여 제조된 부품의 1개 이상의 층들이 도 6a 내지 도 6e에 도시된 공정들에 따라 구조화되는 막의 단면도.
- [0031] 도 8a는 다른 실시예에 따라 유기 반도체 기술을 사용하여 제조된 부품의 층의 전사를 나타낸 기능도.
- [0032] 도 8b는 다른 실시예에 따라 유기 반도체 기술을 사용하여 제조된 부품의 층의 전사를 나타낸 기능도.
- [0033] 도 9a 및 9b는 본 발명의 다른 실시예들을 위한 본 발명에 따른 막의 단면도.

도면

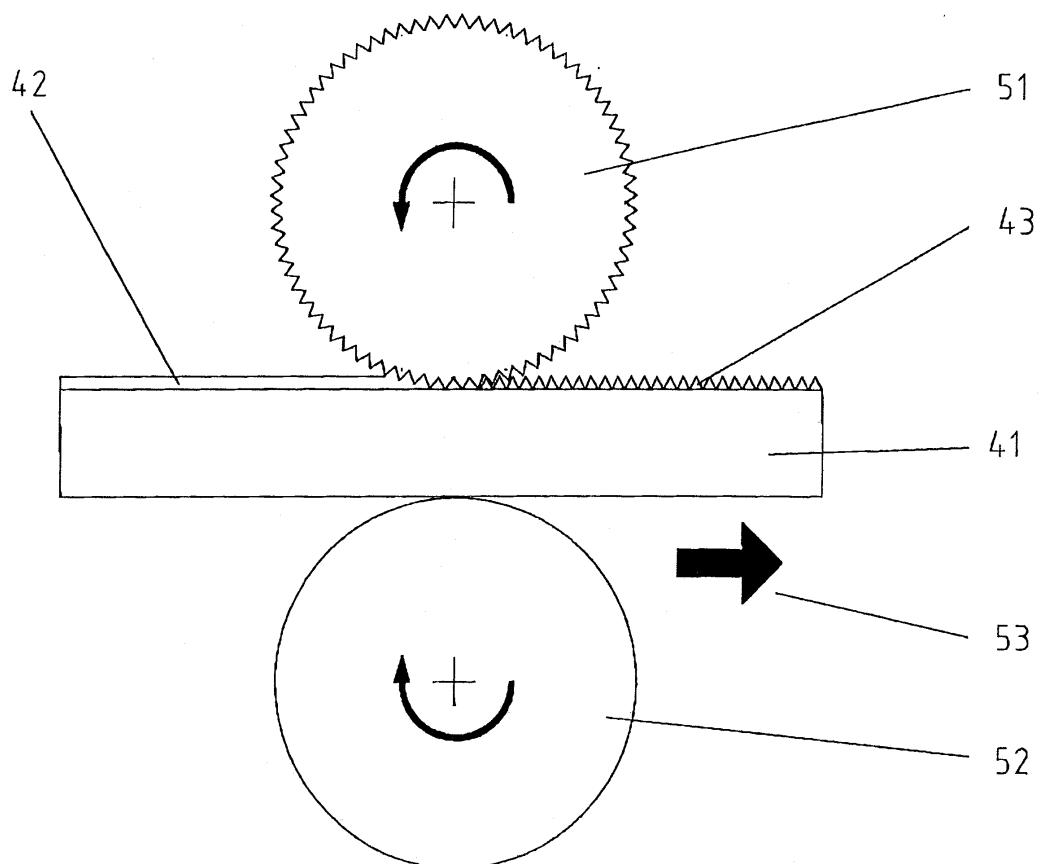
도면1



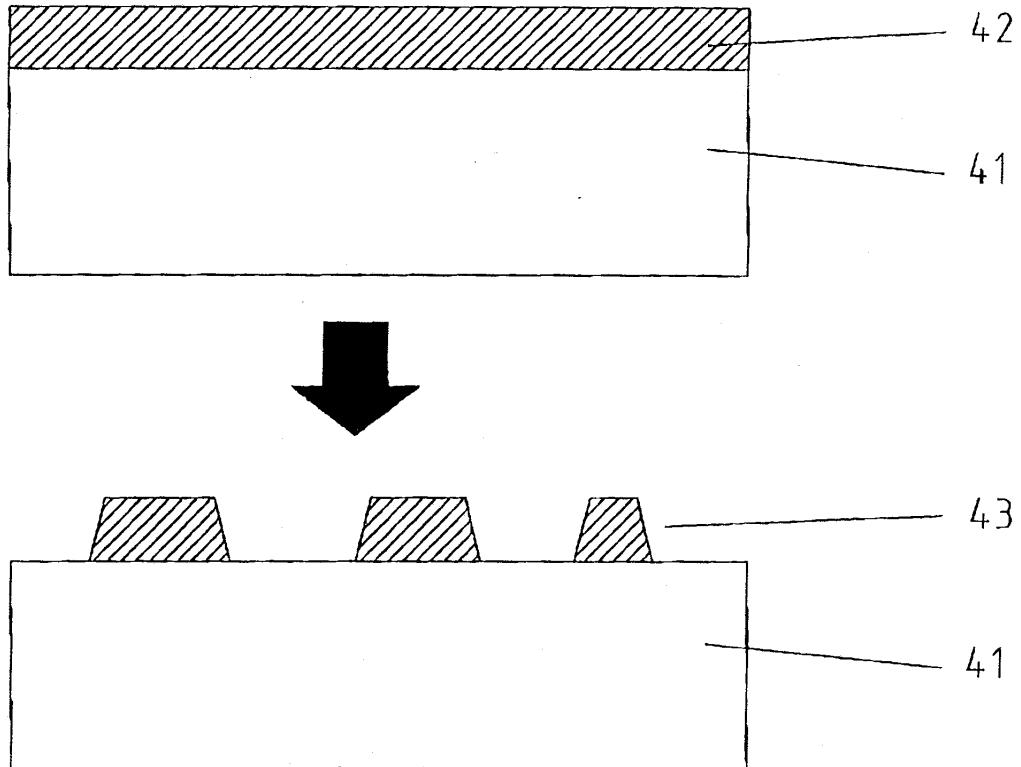
도면2



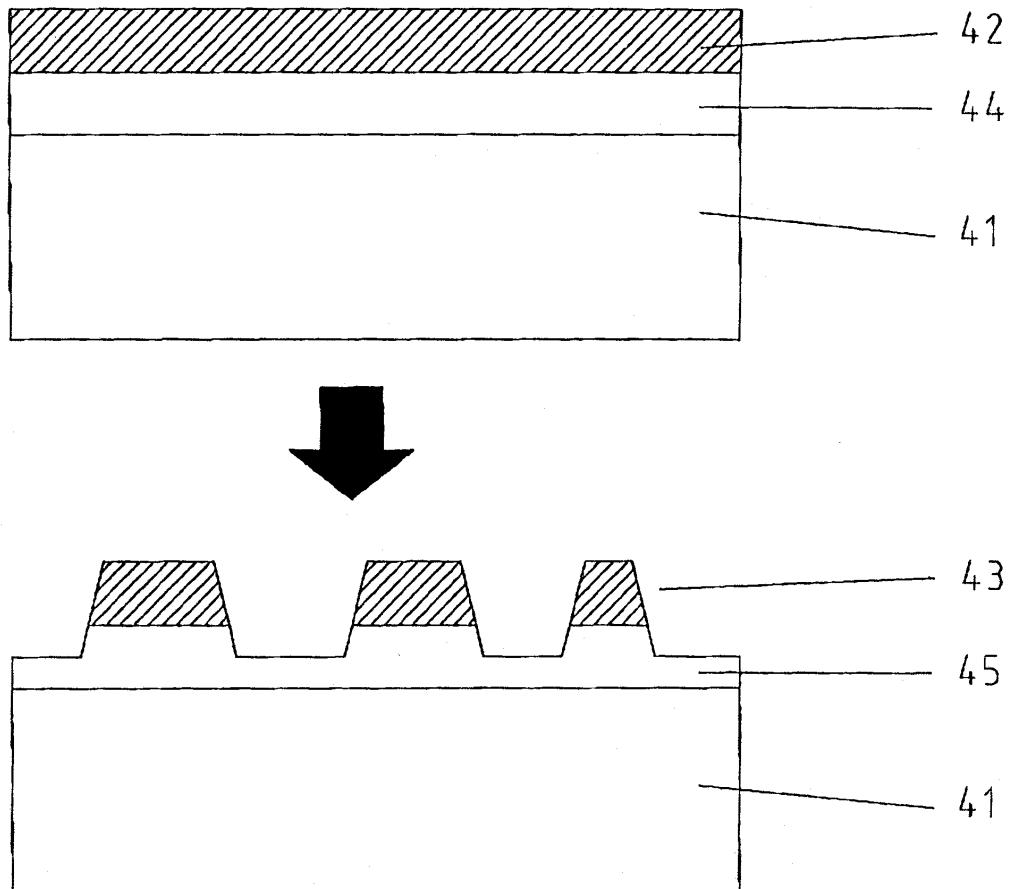
도면3



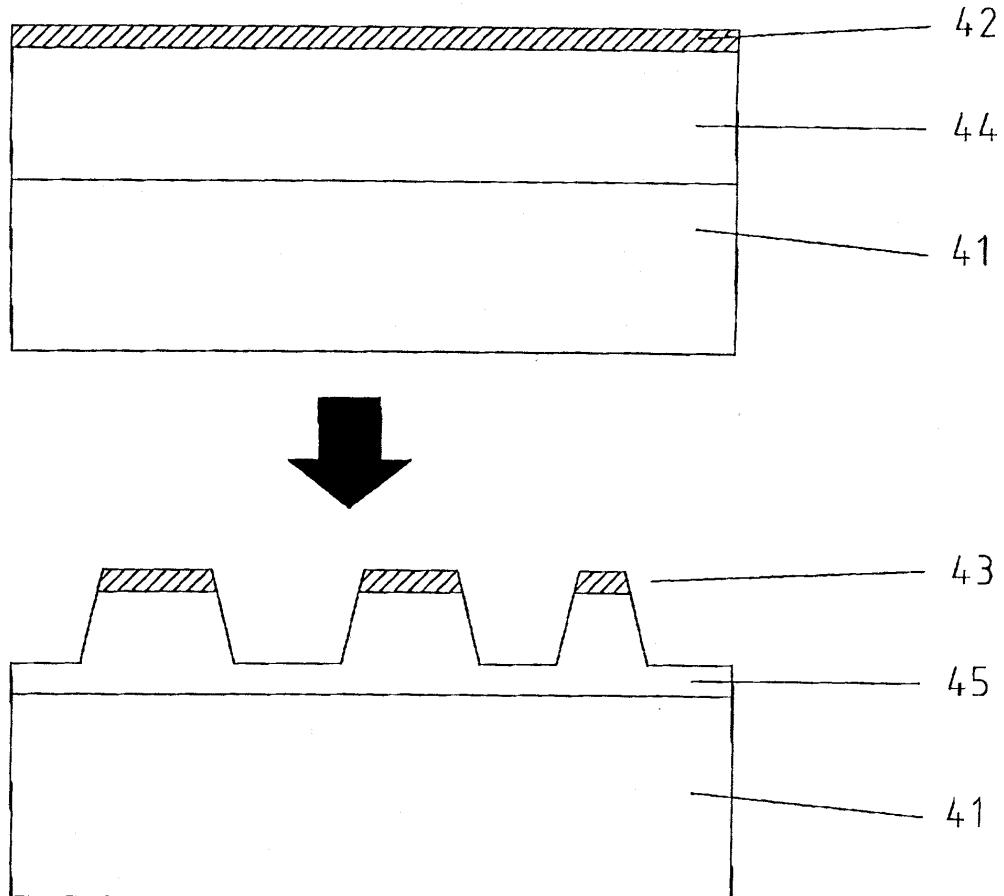
도면4a



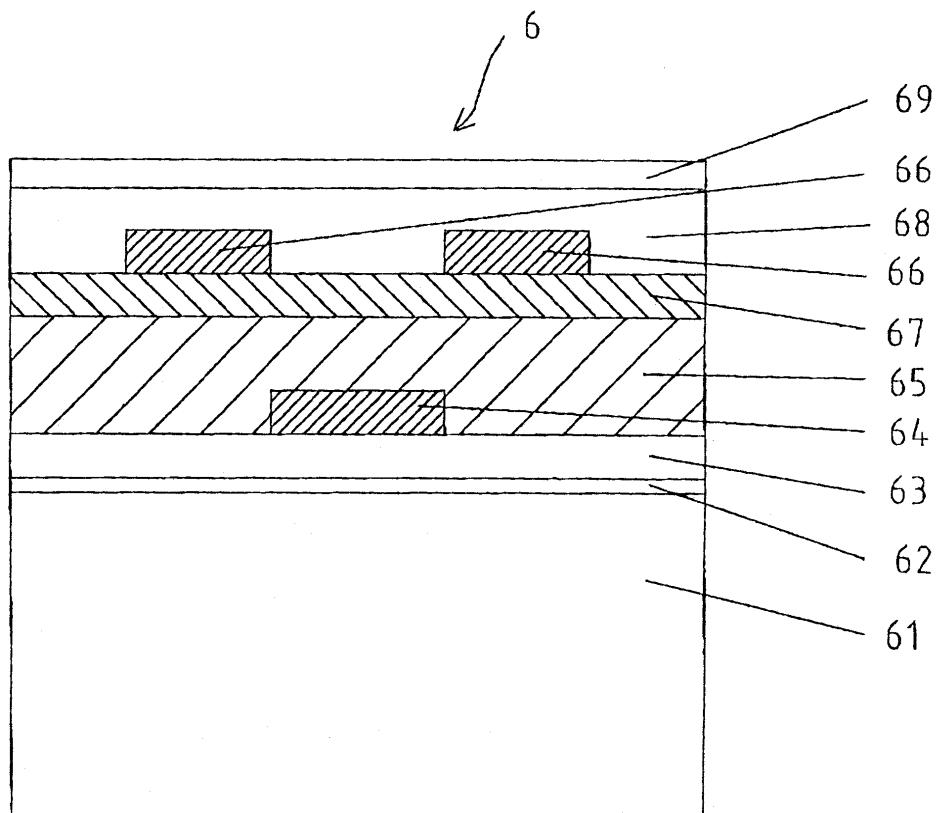
도면4b



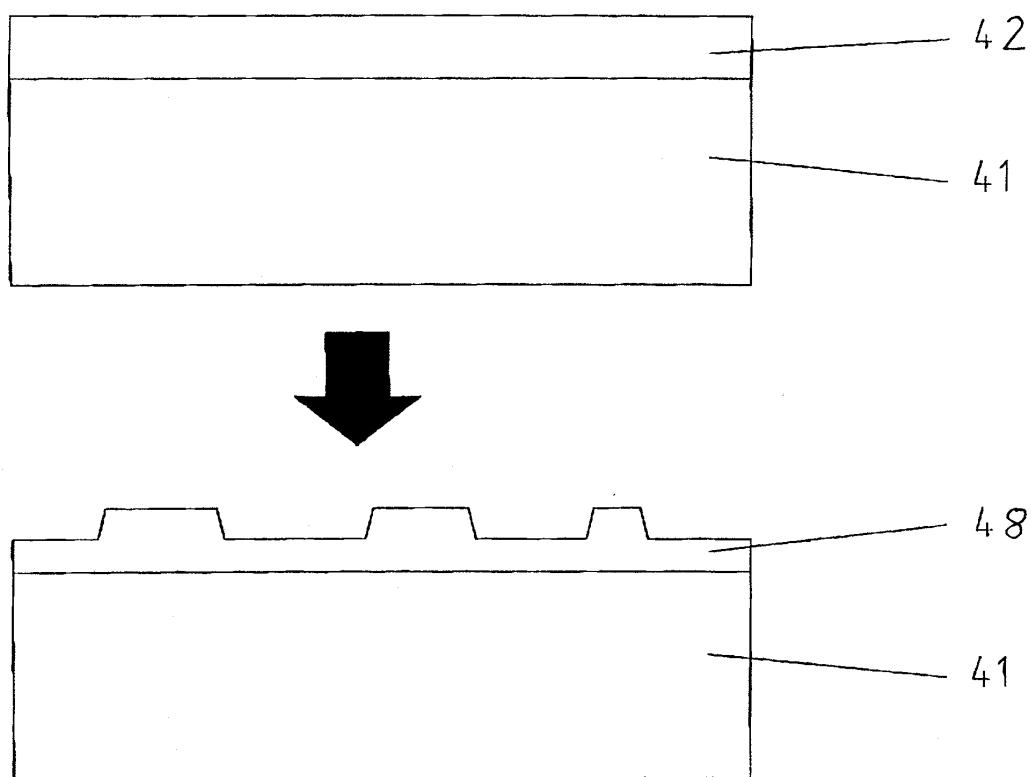
도면4c



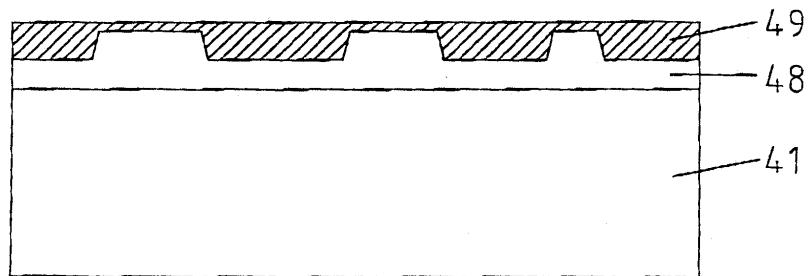
도면5



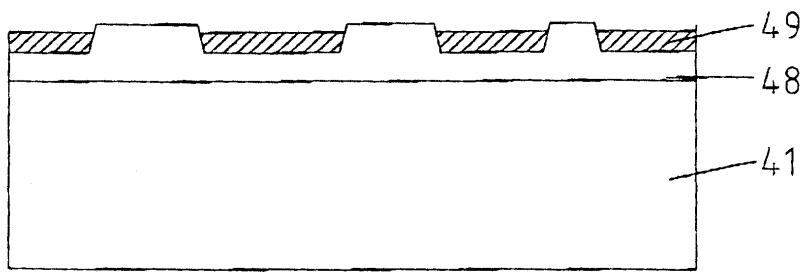
도면6a



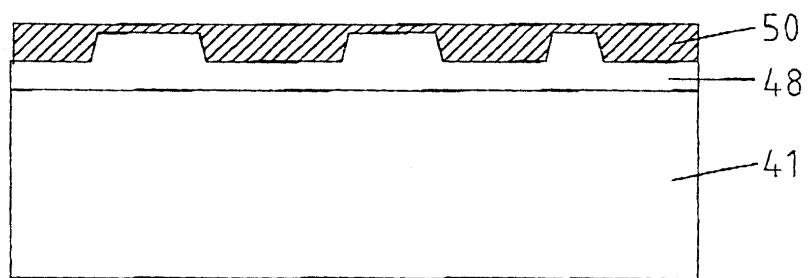
도면6b



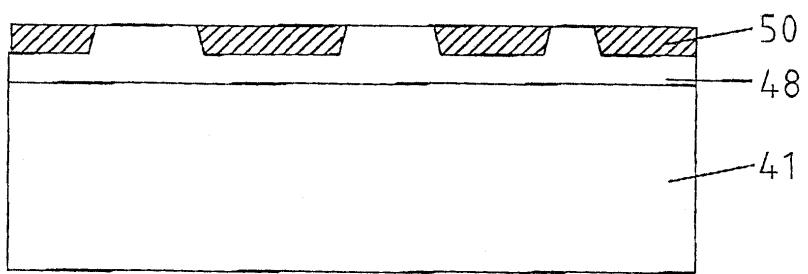
도면6c



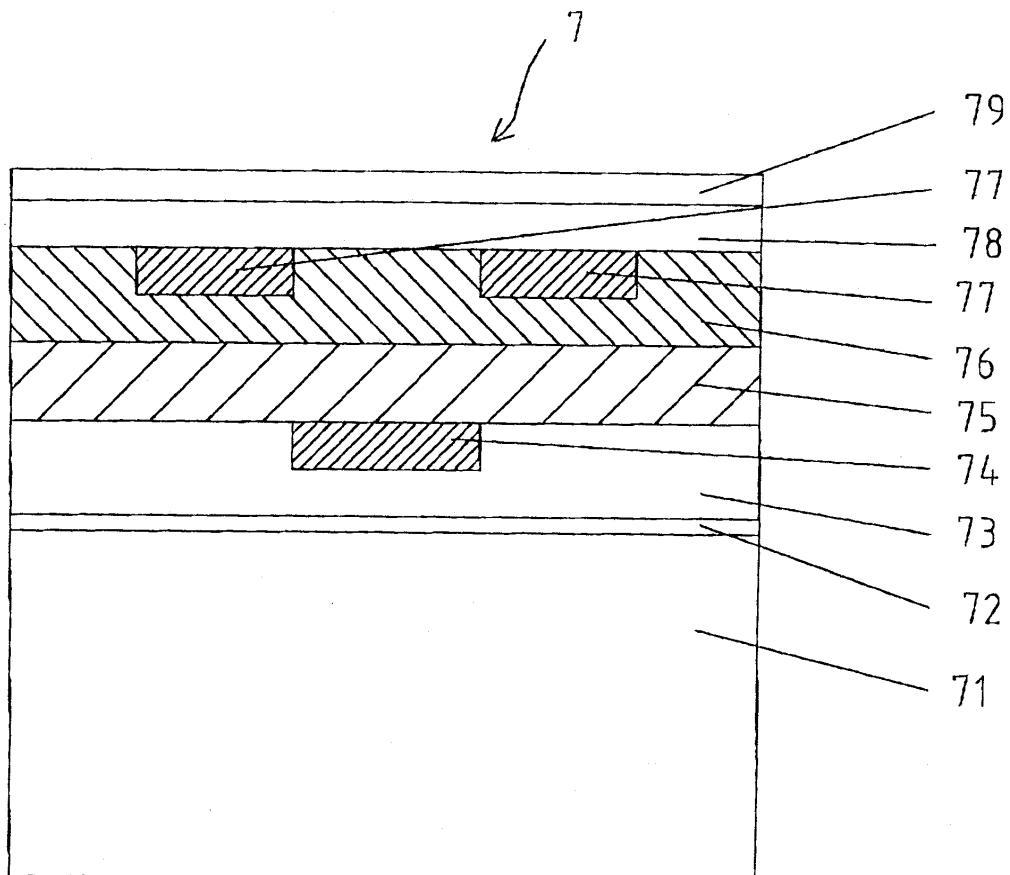
도면6d



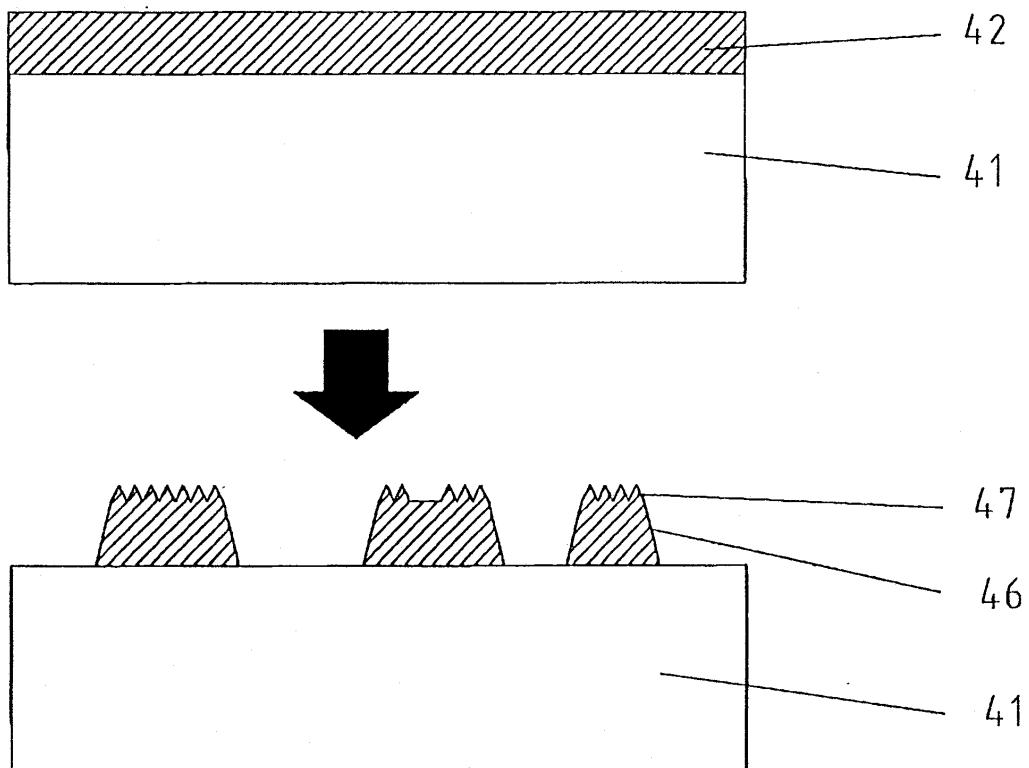
도면6e



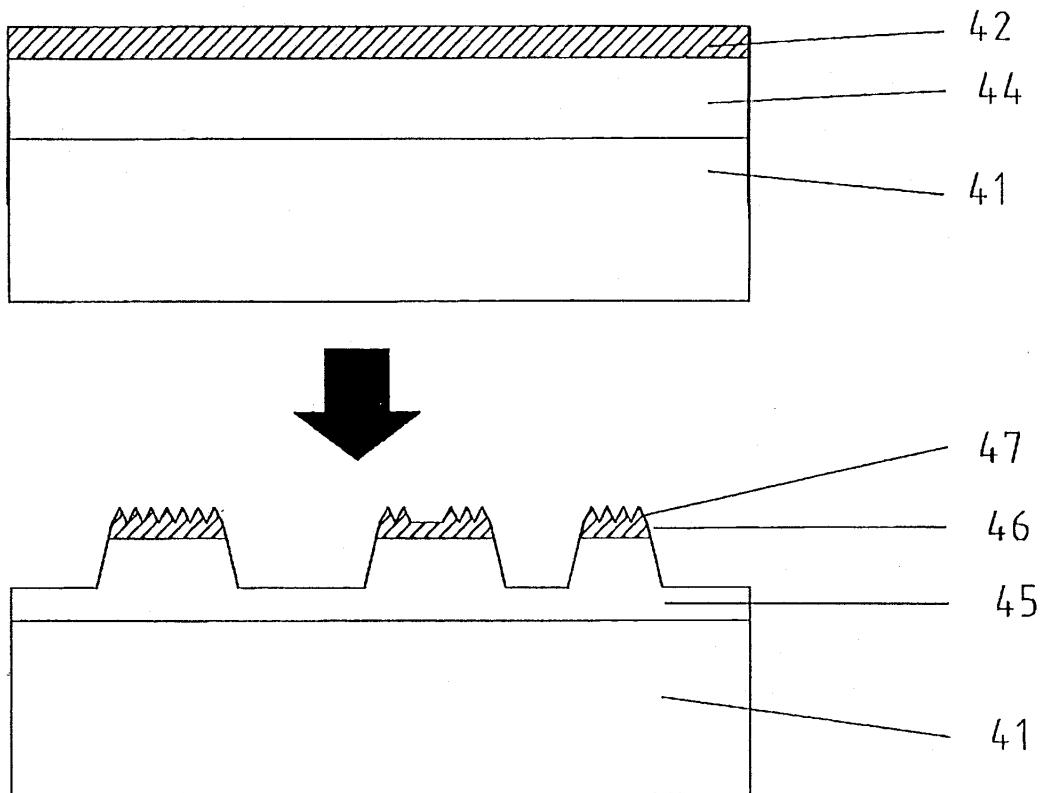
도면7



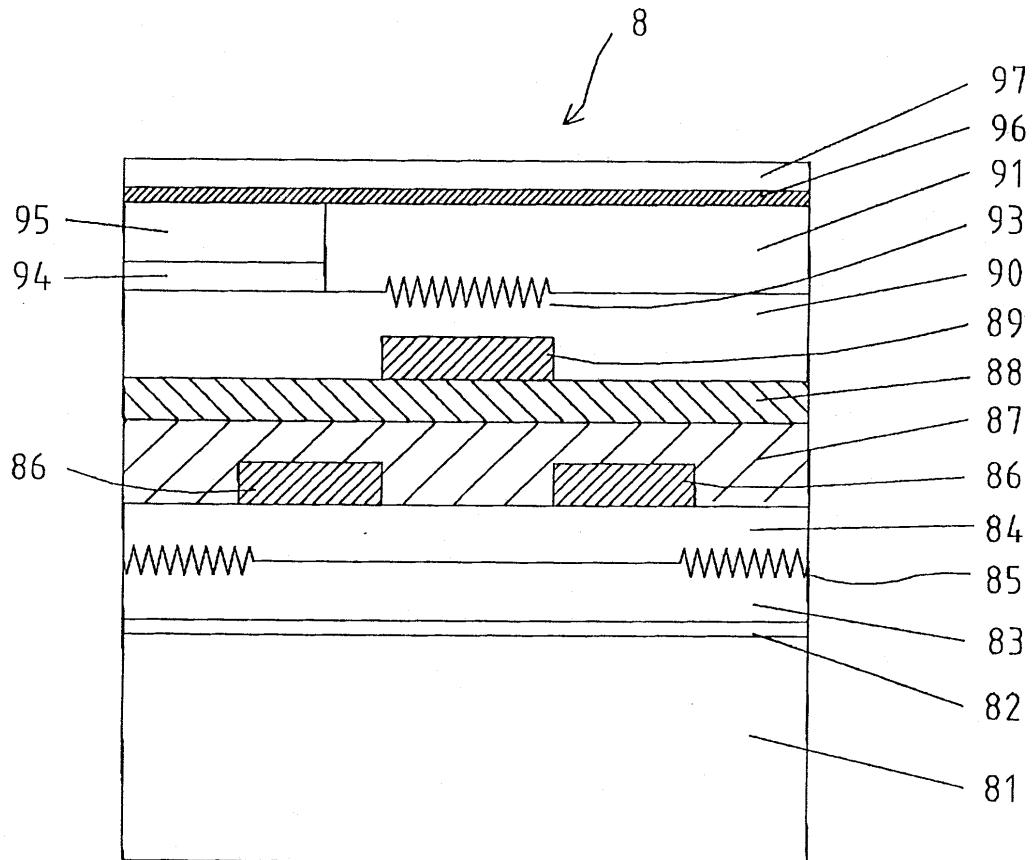
도면8a



도면8b



도면9a



도면9b

