

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 08.09.93.

⑯ Priorité : 08.09.92 GB 9218987.

⑰ Date de la mise à disposition du public de la demande : 11.03.94 Bulletin 94/10.

⑱ Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : FUJITSU LIMITED — JP.

⑵ Inventeur(s) : Dedic Ian Juso.

⑶ Titulaire(s) :

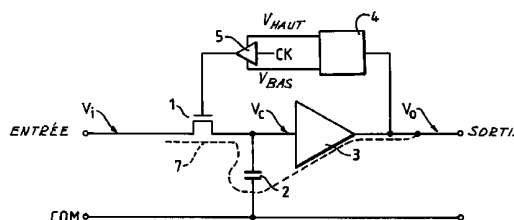
⑷ Mandataire : Cabinet Beau de Loménie.

⑸ Circuits de mémorisation, de sommation et de conversion de tension et convertisseurs analogique-numérique.

⑹ L'invention concerne les circuits de traitement de tensions analogiques.

Un circuit de mémorisation de tension comprend un élément de commutation d'entrée (1) connecté entre un nœud d'entrée (ENTREE) du circuit et une première armature d'un condensateur de mémorisation (2). L'autre armature est connectée à une borne commune (COM) du circuit. Un élément amplificateur à haute impédance (3) est connecté à la première armature pour fournir sur un nœud de sortie (SORTIE) une tension de sortie (V_o) qui dépend du potentiel de la première armature (V_c). Un tel circuit évite une charge/décharge du condensateur de mémorisation sous l'effet d'une injection de charge par l'élément amplificateur.

Application aux convertisseurs analogique-numérique rapides de très haute précision.



La présente invention concerne des circuits de mémorisation de tension prévus par exemple pour l'utilisation dans des convertisseurs analogique-numérique, pour mémoriser une valeur analogique appliquée avant la conversion en son équivalent numérique.

La figure 1 des dessins annexés montre un circuit de mémorisation de tension envisagé précédemment, qui comprend un élément de commutation d'entrée 1, un condensateur de mémorisation 2, et un élément amplificateur 3 ayant une impédance élevée et un gain égal à l'unité. Initialement, lorsque l'élément de commutation 1 est dans la position fermée, une tension d'entrée analogique V_i qui est appliquée entre les bornes d'entrée du circuit est transmise au condensateur de mémorisation 2, de façon que la différence de potentiel entre les armatures du condensateur de mémorisation suive la tension d'entrée V_i . A un instant prédéterminé t_{comm} , l'élément de commutation d'entrée 1 est commuté vers la position ouverte, ce qui fait que la différence de potentiel entre les armatures du condensateur immédiatement après cette commutation est mémorisée jusqu'au moment où l'élément de commutation d'entrée 1 est ouvert à nouveau. Pendant la période au cours de laquelle l'élément de commutation est dans la position ouverte, la tension mémorisée est reproduite entre les bornes de sortie du circuit, sous la forme d'une tension de sortie V_o , l'élément amplificateur 3 ayant pour fonction d'éviter que le condensateur de mémorisation ne soit chargé par un circuit qui est connecté aux bornes de sortie.

La figure 2 montre de façon plus détaillée une partie d'entrée de l'élément amplificateur 3. Cette partie d'entrée comprend un transistor d'entrée 33 qui est un transistor à effet de champ ayant une électrode de drain connectée à une ligne d'alimenta-

tion positive V_{dd} de l'élément, une électrode de source connectée par l'intermédiaire d'une source de courant 32 à une ligne d'alimentation négative V_{ss} de l'élément, et une électrode de grille connectée à une armature (l'armature supérieure sur la figure 1) du condensateur de mémorisation. On notera que le transistor à effet de champ d'entrée 33 est connecté dans ce que l'on appelle la configuration à charge de source.

Un circuit supplémentaire, non représenté sur la figure 2, est normalement interposé entre l'électrode de source du transistor à effet de champ d'entrée 33 et une sortie de l'élément pour isoler/amplifier le potentiel de l'électrode de source de façon à produire le potentiel de sortie V_o .

Dans l'utilisation de l'élément amplificateur 3 de la figure 2, la source de courant 32 fait circuler un courant dans le canal drain-source du transistor à effet de champ d'entrée 33, ce qui fait que le potentiel d'électrode de source V_s de ce transistor suit le potentiel d'électrode de grille, et par conséquent le potentiel mémorisé V_c de l'armature supérieure du condensateur de mémorisation 2. Ainsi, la partie d'entrée de l'élément amplificateur 3 a un gain en tension pratiquement égal à l'unité, bien qu'en pratique le potentiel d'électrode de source V_s soit toujours légèrement inférieur au potentiel V_s de l'armature supérieure du condensateur de mémorisation 2.

Du fait que la partie d'entrée utilise un transistor à effet de champ d'entrée dont le courant de grille est très faible, l'impédance d'entrée de l'élément est très élevée. Par conséquent, après que l'élément de commutation d'entrée 1 du circuit de mémorisation de tension de la figure 1 a été ouvert,

le condensateur de mémorisation n'est pas déchargé d'une manière appréciable par l'élément amplificateur 3.

L'élément amplificateur 3 de la figure 2 présente cependant un inconvénient qui résulte d'une injection de charge dans sa partie d'entrée à partir du condensateur de mémorisation 2 (ou inversement), lorsque le potentiel de l'armature supérieure V_C du condensateur de mémorisation 2 est changé. Bien qu'après que l'élément de commutation d'entrée 1 a été ouvert, il ne se produise normalement aucun changement de ce type du potentiel de l'armature supérieure, comme on l'expliquera ultérieurement dans la présente description, le potentiel de l'armature supérieure V_C change inévitablement à l'instant t_{comm} de l'ouverture de l'élément de commutation d'entrée 1, à cause d'une injection de charge à ce moment par l'élément de commutation d'entrée 1 lui-même. Une telle injection de charge par l'élément de commutation d'entrée 1 conduit à un changement faible, mais appréciable lorsqu'on travaille avec une précision élevée, dans la tension qui est mémorisée dans le condensateur de mémorisation 2, et par conséquent il provoque un changement dans le potentiel V_C de l'armature supérieure du condensateur, au moment où l'élément de commutation est ouvert.

On va maintenant expliquer les raisons pour lesquelles une injection de charge se produit dans la partie d'entrée de l'élément amplificateur sous l'effet de changements du potentiel de l'armature supérieure du condensateur de mémorisation 2. Comme le montre la figure 2, le transistor à effet de champ d'entrée 33 a inévitablement de petites capacités parasites entre ses électrodes, et il y a une capacité parasite grille-source C_{gs} entre les électrodes de

grille et de source, une capacité parasite grille-drain C_{gd} entre les électrodes de grille et de drain, et une capacité parasite drain-source C_{ds} entre les électrodes de drain et de source. Chaque fois que les potentiels de ces trois électrodes changent mutuellement, une charge doit entrer dans les capacités parasites ou sortir de celles-ci, et c'est la combinaison de ces circulations de charges qui provoque l'injection de charge dans la partie d'entrée d'élément amplificateur, ou à partir de celle-ci.

Dans l'élément amplificateur de la figure 2, du fait que le transistor d'entrée 33 est connecté dans la configuration à charge de source mentionnée ci-dessus, son potentiel grille-source est pratiquement constant, indépendamment du potentiel V_C de l'armature supérieure du condensateur de mémorisation 2, ce qui fait que l'on peut normalement négliger l'injection de charge qui est due à la capacité parasite grille-source C_{gs} .

Cependant, le potentiel grille-drain et le potentiel drain-source du transistor d'entrée 33, qui ont respectivement les valeurs $V_{dd} - V_C$ et $V_{dd} - V_S$, ne sont pas constants et varient sous la dépendance du potentiel V_C de l'armature supérieure. Par conséquent, chaque fois que V_C est changé, une charge doit entrer dans la capacité parasite grille-drain C_{gd} et la capacité parasite drain-source C_{ds} , ou sortir de ces capacités, ce qui provoque dans chaque cas la circulation d'une charge vers la partie d'entrée de l'élément amplificateur ou à partir de celle-ci.

Lorsque l'élément de commutation d'entrée est ouvert, la charge qui circule doit charger ou décharger le condensateur de mémorisation 2, en fonction de la direction de circulation. Cette charge ou cette décharge introduit inévitablement une erreur

dans la tension mémorisée entre les armatures du condensateur de mémorisation 2.

Les effets des capacités parasites de la partie d'entrée de l'élément amplificateur sont particulièrement sévères lorsque la capacité du condensateur de mémorisation 2 n'est pas élevée par rapport aux capacités parasites elles-mêmes, ce qui peut être le cas par exemple lorsqu'on désire réduire le temps d'acquisition du circuit de mémorisation de tension.

Un premier aspect de la présente invention procure un circuit de mémorisation de tension comprenant :

un condensateur de mémorisation dont une première armature est connectée à une borne d'entrée du circuit par l'intermédiaire d'un élément de commutation d'entrée et dont la seconde armature est connectée à une borne commune du circuit, un signal d'entrée à mémoriser étant appliqué entre les bornes d'entrée et commune lorsque le circuit est en cours d'utilisation; et

un élément amplificateur, ayant une entrée connectée à la première armature et une sortie connectée à une borne de sortie du circuit, pour fournir un signal de sortie entre la borne de sortie et la borne commune, sous la dépendance de la tension qui est mémorisée dans le condensateur de mémorisation, cet élément amplificateur comprenant un dispositif d'entrée électronique ayant un chemin de courant commandé entre des première et seconde électrodes respectives de chemin de courant du dispositif, et ayant également une électrode de commande à laquelle un potentiel est appliqué pour commander l'intensité du courant dans le chemin de courant, cette électrode de commande étant connectée à la première armature, et les première et seconde électrodes de chemin de

courant étant connectée à des moyens suiveurs de potentiel, de façon que le potentiel de la première électrode de chemin de courant ainsi que le potentiel de la seconde électrode de chemin de courant suivent le potentiel de l'électrode de commande, pendant qu'un courant circule dans le chemin à courant commandé, afin que les potentiels respectifs des première et seconde électrodes de chemin de courant soient maintenus pratiquement fixes par rapport au potentiel de la première armature.

Avec une telle conception de l'élément amplificateur, les potentiels de l'électrode de commande et des première et seconde électrodes de chemin de courant du dispositif d'entrée sont tous dans une relation pratiquement fixe les uns par rapport aux autres et par rapport au potentiel de la première armature, lorsque le circuit est en cours d'utilisation, ce qui fait que les capacités parasites qui existent entre ces électrodes n'affectent pas notablement le fonctionnement du circuit. Ceci évite une injection de charge vers l'élément amplificateur ou à partir de celui-ci, avec la charge/décharge résultante du condensateur de mémorisation, à cause du fonctionnement de l'élément amplificateur qui est connecté à la première armature du condensateur de mémorisation. On élimine ainsi une erreur dans la tension mémorisée sous l'effet d'une telle charge/décharge.

Il est préférable que les moyens suiveurs de potentiel comprennent une source de courant, connectée à la première électrode de chemin de courant, pour faire en sorte que le potentiel de la première électrode de chemin de courant suive le potentiel de l'électrode de commande, et un circuit suiveur actif connecté fonctionnellement entre les première et seconde électrodes de chemin de courant, pour que le

potentiel de la seconde électrode de chemin de courant
suive le potentiel de la première électrode de chemin
de courant.

Dans une telle configuration, la première
5 électrode de chemin de courant suit automatiquement le
potentiel de la première armature, ce qui fait que le
circuit suiveur actif peut être connecté fonctionnel-
lement entre les première et seconde électrodes de
chemin de courant, c'est-à-dire exclusivement du côté
10 de la sortie du dispositif d'entrée, pour réaliser la
fonction exigée consistant à suivre la seconde élec-
trode de chemin de courant.

Le dispositif d'entrée électronique est
avantageusement un transistor d'entrée à effet de
15 champ, de façon que l'électrode de commande soit
l'électrode de grille du transistor d'entrée à effet
de champ, la première électrode de chemin de courant
soit l'électrode de source du transistor d'entrée à
effet de champ, la seconde électrode de chemin de
20 courant soit l'électrode de drain du transistor
d'entrée à effet de champ, et le chemin à courant
commandé soit constitué par le canal drain-source du
transistor d'entrée à effet de champ.

Un tel transistor d'entrée à effet de champ
25 confère une impédance d'entrée élevée à l'élément
amplificateur, de façon à éviter une décharge du
condensateur de mémorisation après que l'élément de
commutation d'entrée a été ouvert, les capacités
parasites grille-source, grille-drain et source-drain
30 du transistor à effet de champ d'entrée, qui sont
inévitables, n'affectant pas le fonctionnement.

Lorsque le dispositif d'entrée est un
transistor à effet de champ, le circuit suiveur actif
peut comprendre un transistor à effet de champ en
35 montage cascode avec son canal drain-source en série

avec le canal drain-source du transistor d'entrée à effet de champ, de façon que le potentiel d'électrode de source du transistor en montage cascode suive le potentiel d'électrode de grille de ce transistor, et
5 il peut également comprendre un générateur de polarisation connecté fonctionnellement entre l'électrode de source du transistor d'entrée à effet de champ et l'électrode de grille du transistor en montage cascode, pour maintenir une différence de potentiel
10 pratiquement constante entre ces électrodes.

Une telle configuration cascode est simple mais efficace, la connexion en série du transistor à effet de champ à montage cascode, avec le transistor d'entrée à transistor à effet de champ, garantissant
15 que le potentiel d'électrode de source du transistor à montage cascode suit automatiquement celui de l'électrode de grille.

L'élément amplificateur est de préférence constitué par des première et seconde parties de
20 circuit pratiquement identiques, la première partie comprenant le dispositif d'entrée et le circuit suiveur actif, et la seconde partie comprenant la source de courant.

Une telle symétrie de circuit peut permettre
25 d'obtenir un fonctionnement très stable et très prévisible de l'élément amplificateur, en particulier en ce qui concerne la relation entre les potentiels d'entrée et de sortie de l'élément amplificateur, et le circuit peut être fabriqué commodément.

30 L'élément de commutation d'entrée est de préférence un élément de commutation d'entrée électronique, fonctionnant sous la dépendance du potentiel présent sur une électrode de commutation de cet élément, le circuit comprenant en outre des moyens
35 d'attaque de commutation qui sont connectés pour faire

en sorte que le potentiel de l'électrode de commutation suive le potentiel de la borne d'entrée lorsque l'élément est dans son état passant, ce qui a pour effet de maintenir le potentiel de l'électrode de commutation pratiquement fixe par rapport au potentiel de la borne d'entrée, et que l'on peut actionner pour faire en sorte que le potentiel de l'électrode de commutation change, par rapport au potentiel de la borne d'entrée, pour que l'élément soit commuté de son état passant à son état bloqué.

Dans un tel circuit, le potentiel de l'électrode de commande est fixe par rapport au potentiel de la borne d'entrée, ce qui fait que la quantité de charge qui est injectée dans l'élément de commutation électronique au moment de la commutation à l'état bloqué est pratiquement indépendante du niveau du signal d'entrée. Par conséquent, l'erreur dans la tension mémorisée qui est due à une telle injection de charge est pratiquement constante, ou au moins linéaire, pour différentes tensions de signal d'entrée, et on peut donc prendre des mesures appropriées pour compenser une telle erreur.

Le potentiel de l'électrode de commutation est avantageusement obtenu à partir du signal de sortie, de façon que ce potentiel puisse être obtenu sans charger ou affecter d'une autre manière le signal d'entrée.

Selon une caractéristique avantageuse, les moyens d'attaque de commutation sont connectés fonctionnellement à la borne de sortie et on peut les faire fonctionner, sous la dépendance d'un signal de commutation qu'ils reçoivent, de façon à appliquer à l'électrode de commutation soit un potentiel d'état passant, pour maintenir l'élément de commutation d'entrée dans son état passant, soit un potentiel

d'état bloqué, pour maintenir l'élément de commutation d'entrée dans son état bloqué, ces potentiels d'état passant et d'état bloqué étant chacun pratiquement fixes par rapport au potentiel de la borne de sortie, mais différant l'un de l'autre d'une quantité prédéterminée.

Dans cette configuration, les deux potentiels d'état passant et d'état bloqué sont fixes par rapport au potentiel de signal d'entrée, ce qui fait que l'injection de charge par l'élément de commutation d'entrée est pratiquement constante, indépendamment du potentiel du signal d'entrée.

Le circuit de mémorisation de tension peut parfaitement comporter des première et seconde lignes de polarisation respectives, connectées fonctionnellement à la borne de sortie, de façon à être à des potentiels qui sont respectivement fixes par rapport au potentiel de la borne de sortie, le potentiel de la seconde ligne de polarisation étant égal à l'un des potentiels d'état passant et d'état bloqué, et la différence de potentiel entre les première et seconde lignes de polarisation étant supérieure ou égale à la quantité prédéterminée. Dans ce cas, les moyens d'attaque de commutation peuvent comprendre un condensateur d'amplificateur à réaction du type "bootstrap", dont une première armature est connectée à l'électrode de commutation pour fournir le potentiel de l'électrode de commutation, et ils peuvent également comprendre des moyens de connexion connectés aux deux armatures du condensateur bootstrap et aux lignes de polarisation, et pouvant être commutés, lorsque le potentiel de l'électrode de commutation doit être changé de l'un de ses potentiels d'état passant et d'état bloqué, à l'autre de ces potentiels, de façon à passer d'une configuration de charge, ayant pour

fonction de connecter la première armature du condensateur bootstrap à la seconde ligne de polarisation, et de connecter la seconde armature de ce condensateur à la première ligne de polarisation, à une configuration flottante ayant pour fonction d'isoler la
5 première armature précitée vis-à-vis de la seconde ligne de polarisation, en connectant la seconde armature à la seconde ligne de polarisation, pour que le potentiel sur la première armature précitée change
10 ainsi en passant du potentiel de la seconde ligne de polarisation à un potentiel qui en diffère de la quantité prédéterminée.

Dans une telle configuration, l'un des potentiels d'état passant et d'état bloqué peut, si
15 nécessaire, être à l'extérieur des potentiels des lignes d'alimentation du circuit.

Selon une variante, le circuit de mémorisation de tension peut comporter des première, seconde et troisième lignes de polarisation respectives,
20 connectées fonctionnellement à la borne de sortie, de façon à être à des potentiels qui sont respectivement fixes par rapport au potentiel de la borne de sortie, le potentiel de la troisième ligne de polarisation étant égal à l'un des potentiels d'état passant et
25 d'état bloqué, et la différence de potentiel entre les première et seconde lignes de polarisation étant supérieure ou égale à la quantité prédéterminée. Dans ce cas, les moyens d'attaque de commutation peuvent comprendre un condensateur d'amplificateur à réaction
30 du type "bootstrap", dont une première armature est connectée à l'électrode de commutation pour fournir le potentiel de l'électrode de commutation, et ils peuvent également comprendre des moyens de connexion connectés aux deux armatures du condensateur bootstrap
35 et aux lignes de polarisation, et pouvant être

commutés, lorsque le potentiel de l'électrode de commutation doit être changé de l'un de ses potentiels d'état passant et d'état bloqué, à l'autre de ces potentiels, de façon à passer d'une configuration de charge, ayant pour fonction de connecter la première armature du condensateur bootstrap à la troisième ligne de polarisation, tout en connectant la seconde armature de ce condensateur à la première ligne de polarisation, à une configuration flottante ayant pour fonction d'isoler la première armature vis-à-vis de la troisième ligne de polarisation, tout en connectant la seconde armature à la seconde ligne de polarisation, pour changer le potentiel sur la première armature, de façon qu'il passe du potentiel de la troisième ligne de polarisation à un potentiel qui diffère de ce dernier de la quantité prédéterminée.

Dans cet exemple, le changement exigé dans le potentiel de l'électrode de commande, à partir du potentiel de la borne de sortie lorsque l'élément de commutation est dans l'un de ses états passant et bloqué, vers un potentiel qui diffère de la quantité prédéterminée par rapport au potentiel de la borne de sortie, lorsque l'élément de commutation est dans l'autre de ses états passant et bloqué, peut être réalisé en utilisant des lignes de polarisation internes dont les potentiels ne conviennent pas pour fournir directement les potentiels d'état passant et d'état bloqué, et/ou dont les potentiels diffèrent du potentiel de la borne de sortie avec un écart inférieur à la quantité prédéterminée.

Il est préférable que l'élément de commutation d'entrée électronique soit un transistor MOS à effet de champ, auquel cas l'un des potentiels d'état passant et d'état bloqué peut être pratiquement identique au potentiel de la borne de sortie. Par

exemple, si le transistor MOS à effet de champ est un transistor du type à canal n et à enrichissement, le potentiel d'état bloqué peut être pratiquement identique au potentiel de la borne de sortie. Avec un
5 tel transistor MOS à effet de champ pour l'élément de commutation électronique, la génération de potentiels d'état passant et d'état bloqué peut être simple, comme il est souhaitable, en particulier dans le cas où le potentiel précité parmi les potentiels d'état
10 passant et d'état bloqué peut être obtenu en appliquant simplement directement le potentiel de la borne de sortie à l'électrode de commande.

Il est préférable que le circuit de mémorisation de tension soit formé sur un seul substrat, et
15 que l'élément de commutation d'entrée et le dispositif d'entrée de l'élément amplificateur se trouvent dans un ou plusieurs caissons du type de conductivité opposé à celui du matériau environnant du substrat, des moyens étant incorporés pour faire en sorte que le
20 **potentiel de caisson**, ou chacun d'eux, suive le potentiel de la première armature. En commandant de cette manière le potentiel du **caisson**, on peut éliminer par le montage bootstrap les capacités parasites du circuit (comprenant la capacité de l'élément de commutation et
25 toute capacité d'interconnexion). Le caisson peut par exemple être connecté électriquement à la borne de sortie du circuit. Ceci permet au potentiel du caisson de suivre le potentiel de la borne de sortie.

Le condensateur de mémorisation précité peut
30 également se trouver à l'intérieur d'un tel caisson pour compenser par une configuration bootstrap des capacités parasites qui lui sont associées.

Selon une configuration avantageuse, un ou plusieurs blindages conducteurs s'étendent sur la
35 région du caisson ou de chaque caisson, et des moyens

sont incorporés pour faire en sorte que le potentiel ou chaque potentiel de blindage suive le potentiel de la première armature. Ceci contribue à éliminer des effets de capacité parasite résiduelle. Dans un tel cas, le blindage conducteur peut également utilement être connecté électriquement à la borne de sortie du circuit, de façon que le potentiel du blindage suive le potentiel de la borne de sortie.

Lorsque l'élément amplificateur du circuit de mémorisation de tension comprend deux parties de circuit pratiquement identiques, comme décrit ci-dessus, la première partie de l'élément amplificateur est de préférence placée à l'intérieur du **caisson** ou des **caissons précités** et la seconde partie de l'élément amplificateur est formée dans un ou plusieurs **caissons** supplémentaires, chacun du type de conductivité opposé à celui des régions environnantes du substrat, le potentiel du **caisson** ou de chaque **caisson** supplémentaire étant pratiquement fixe par rapport au potentiel d'une ligne d'alimentation du circuit.

Le circuit de mémorisation de tension comprend en outre de préférence des moyens de maintien de potentiel d'entrée, intercalés entre la borne d'entrée et le côté d'entrée de l'élément de commutation d'entrée, dans le but de maintenir le potentiel du côté de l'entrée de l'élément de commutation d'entrée, après le passage de cet élément à l'état bloqué, pratiquement fixe par rapport au potentiel de la première armature du condensateur de mémorisation.

Ceci peut éviter que l'élément de commutation d'entrée ne commute accidentellement à l'état passant au cas où le potentiel du signal d'entrée change suffisamment par rapport au potentiel de l'électrode de commande après que l'élément a été commuté à l'état bloqué.

Les moyens de maintien de potentiel d'entrée peuvent comprendre un élément de commutation supplémentaire connecté en série avec l'élément de commutation d'entrée précité, et pouvant être actionné, après
5 que l'élément de commutation d'entrée a été commuté à l'état bloqué, de façon à isoler le côté d'entrée de cet élément vis-à-vis de la borne d'entrée. De cette manière, une variation du potentiel du signal d'entrée après l'ouverture de l'élément de commutation supplémentaire
10 n'affecte pas le potentiel du côté d'entrée de l'élément de commutation d'entrée.

Les moyens de maintien de potentiel d'entrée peuvent en outre comprendre un condensateur auxiliaire connecté entre le côté d'entrée de l'élément de commutation d'entrée et la seconde armature du condensateur
15 de mémorisation, et/ou un élément de commutation de réaction connecté entre l'élément amplificateur et le côté d'entrée de l'élément de commutation d'entrée, et pouvant être actionné, lorsque le côté d'entrée de cet
20 élément doit être isolé, de façon à lui appliquer un potentiel qui est obtenu à partir du potentiel de la première armature du condensateur de mémorisation.

Le gain de l'élément amplificateur est de préférence pratiquement égal à l'unité. Dans ce cas,
25 le potentiel de l'électrode de commande et le ou les potentiels de ~~caisson~~ peuvent commodément être portés par une configuration bootstrap au potentiel de la borne de sortie du fait que, lorsque l'élément amplificateur a un gain pratiquement égal à l'unité, le
30 potentiel de la borne de sortie, après amplification/isolation, est pratiquement égal au potentiel de la première armature/potentiel du signal d'entrée. Par conséquent, le potentiel d'électrode de commande qui est exigé peut être obtenu à partir du signal de
35 sortie après isolation/amplification, sans affecter

le signal d'entrée.

Un circuit de mémorisation de tension (dont l'élément amplificateur a un gain égal à l'unité) du type décrit ci-dessus peut utilement être inclus dans
5 un circuit de sommation de tension qui comprend également :

des premier, second et troisième noeuds d'entrée auxquels des premier, second et troisième potentiels sont appliqués lorsque le circuit est en
10 cours d'utilisation;

un noeud de sortie connecté à la borne d'entrée du circuit de mémorisation de tension; et
des moyens de commutation connectés aux noeuds d'entrée et au circuit de mémorisation de
15 tension et pouvant être commutés d'une configuration d'entrée à une configuration de sortie, après que l'élément de commutation d'entrée du circuit de mémorisation de tension a été commuté à l'état bloqué, la configuration d'entrée ayant pour fonction de
20 connecter les premier et second noeuds d'entrée respectivement à la borne d'entrée et à la borne commune du circuit de mémorisation de tension, pour permettre ainsi la mémorisation de la différence de potentiel entre les premier et second potentiels dans
25 le condensateur de mémorisation du circuit de mémorisation de tension, et la configuration de sortie ayant pour fonction de connecter la borne commune du circuit de mémorisation de tension au troisième noeud d'entrée, pour produire ainsi sur le noeud de sortie
30 un potentiel qui est pratiquement égal à la somme du troisième potentiel et de la différence mémorisée entre les premier et second potentiels.

Un tel circuit de sommation de tension est capable d'effectuer une sommation de tension de très
35 grande précision, la précision étant essentiellement

limitée seulement par l'efficacité avec laquelle on peut éliminer les effets de capacités parasites dans le circuit de mémorisation de tension. Lorsque, dans chaque circuit de mémorisation de tension, les diver-

5 ses capacités parasites du circuit (la capacité de l'élément de commutation, la capacité d'entrée de l'élément amplificateur et toute capacité d'interconnexion) sont éliminées par une configuration bootstrap en utilisant les techniques indiquées ci-dessus,

10 pratiquement la seule limite sur l'annulation d'effets de capacité parasite résulte de l'erreur de gain des éléments amplificateurs. On peut réduire cette erreur de gain à des niveaux très faibles en adoptant des structures appropriées pour l'élément amplificateur.

15 Des premier et second circuits de mémorisation de tension, chacun d'eux étant du type décrit ci-dessus et chacun d'eux ayant des éléments amplificateurs à gain égal à l'unité, peuvent avantageusement être inclus dans un circuit de sommation de tension

20 qui comprend également :

des premier, second, troisième, quatrième, cinquième et sixième noeuds d'entrée, une première paire de tensions d'entrée étant appliquée aux premier et second noeuds d'entrée, une seconde paire de tensions d'entrée étant appliquée aux troisième et

25 quatrième noeuds d'entrée, et une troisième paire de tensions d'entrée étant appliquée aux cinquième et sixième noeuds d'entrée, lorsque le circuit est en cours d'utilisation;

30 des premier et second noeuds de sortie, connectés aux bornes de sortie respectives des premier et second circuits de mémorisation de tension; et

des moyens de commutation connectés aux noeuds d'entrée et aux circuits de mémorisation de

35 tension et pouvant être commutés, après que les

éléments de commutation d'entrée respectifs des premier et second circuits de mémorisation de tension ont été commutés dans leur état bloqué, d'une configuration d'entrée vers une configuration de sortie, la configuration d'entrée ayant pour fonction de connecter les premier et second noeuds d'entrée respectivement à la borne d'entrée et à la borne commune du premier circuit de mémorisation de tension, et également de connecter les troisième et quatrième noeuds d'entrée respectivement à la borne d'entrée et à la borne commune du second circuit de mémorisation de tension, pour permettre ainsi la mémorisation, dans le condensateur de mémorisation du premier circuit de mémorisation de tension, d'une première différence de potentiel entre les deux tensions d'entrée de la première paire, et pour permettre la mémorisation, dans le condensateur de mémorisation du second circuit de mémorisation de tension, d'une seconde différence de potentiel entre les deux tensions d'entrée de la seconde paire, et la configuration de sortie ayant pour fonction de connecter les bornes communes respectives des premier et second circuits de mémorisation de tension respectivement aux cinquième et sixième noeuds d'entrée, pour produire ainsi entre les premier et second noeuds de sortie une paire de tensions de sortie ayant entre elles une différence de potentiel qui est pratiquement égale à la somme de différence de potentiel entre les deux tensions d'entrée de la troisième paire, et la différence entre les première et seconde différences de potentiel mémorisées.

Du fait de la connexion en opposition des deux circuits de mémorisation de tension, les quantités de charge individuelles (fixes) qui sont injectées par les éléments de commutation respectifs de ces circuits au moment où ils sont bloqués, sont les mêmes

pour chaque circuit, et par conséquent elles s'annulent mutuellement de façon effective, si l'on tient compte de la nature différentielle de l'entrée et de la sortie des circuits.

5 Dans un autre exemple préféré, des premier et second circuits de mémorisation de tension, qui sont chacun du type décrit ci-dessus et qui ont chacun des éléments amplificateurs à gain égal à l'unité, peuvent être inclus dans un circuit doubleur de
10 tension qui comprend également :

des premier et second noeuds d'entrée entre lesquels une tension d'entrée à doubler est appliquée lorsque le circuit est en cours d'utilisation;

des premier et second noeuds d'entrée
15 connectés respectivement aux bornes de sortie respectives des premier et second circuits de mémorisation de tension; et

des moyens de commutation connectés aux noeuds d'entrée et aux circuits de mémorisation de
20 tension et pouvant être commutés d'une configuration d'entrée vers une configuration de sortie, après que les éléments de commutation d'entrée respectifs des premier et second circuits de mémorisation de tension ont été commutés à l'état bloqué, la configuration
25 d'entrée ayant pour fonction de connecter le premier noeud d'entrée à la fois à la borne d'entrée du premier circuit de mémorisation de tension et à la borne commune du second circuit de mémorisation de tension, et également de connecter le second noeud
30 d'entrée à la fois à la borne d'entrée du second circuit de mémorisation de tension et à la borne commune du premier circuit de mémorisation de tension, pour faire ainsi en sorte que chacun des condensateurs de mémorisation respectifs des circuits de mémorisa-
35 tion de tension soit chargé à la tension d'entrée,

et la configuration de sortie ayant pour fonction de connecter ensemble les bornes communes respectives des premier et second circuits de mémorisation de tension, de façon que les condensateurs de mémorisation de
5 tension soient connectés mutuellement en série entre les premier et second noeuds de sortie, pour produire ainsi entre ces noeuds de sortie une tension de sortie qui est pratiquement égale au double de la tension d'entrée.

10 Ici encore, la connexion en opposition des deux circuits de mémorisation de tension permet l'annulation de la charge qui est injectée par les éléments de commutation d'entrée, ce qui fait que la tension doublée est très précise. Le circuit présente
15 un compromis vitesse/puissance/bruit considérablement amélioré, peut-être jusque dans un rapport de dix, par rapport à des propositions antérieures comparables.

Un tel circuit doubleur de tension peut être appliqué de façon particulièrement avantageuse dans
20 des convertisseurs analogique-numérique qui accomplissent des opérations de doublement de tension au cours de leurs opérations de conversion. Un tel convertisseur peut comprendre un étage de conversion de tension comprenant :

25 un circuit doubleur de tension du type décrit ci-dessus;

des moyens comparateurs connectés de façon à recevoir une tension de travail égale à la tension d'entrée, ou obtenue à partir de cette
30 dernière, et également connectés de façon à recevoir un potentiel de comparaison, et capables d'effectuer une comparaison entre cette tension de travail et le potentiel de comparaison, et de fournir des données numériques représentatives du résultat de la compa-
35 raison; et

des moyens de réglage de tension connectés entre les bornes communes respectives des premier et second circuits de mémorisation de tension et capables, après que les moyens de commutation ont été

5 commutés de la configuration d'entrée à la configuration de sortie, d'appliquer entre ces bornes une tension de décalage ayant une valeur sélectionnée, par les données numériques, parmi un ensemble de valeurs prédéterminées possibles, pour produire ainsi entre

10 les noeuds de sortie une tension de conversion analogique qui diffère du double de la tension d'entrée, avec un écart égal à la tension de décalage sélectionnée.

Dans un tel étage de conversion, grâce à

15 l'utilisation d'un circuit doubleur de tension de haute précision, comme décrit ci-dessus, la tension de conversion analogique peut être obtenue avec une précision élevée souhaitable, à partir de la tension d'entrée, sans l'utilisation de structures de commuta-

20 tion complexes pour interconnecter les deux condensateurs de mémorisation. Cette tension de conversion analogique peut être décalée, par rapport au double de la tension d'entrée, d'une tension de décalage parmi un certain nombre de tensions de décalage présélectionnées, qui est sélectionnée sous la dépendance de

25 la valeur absolue de la tension d'entrée, comme c'est par exemple nécessaire dans des convertisseurs analogique-numérique du type utilisant une "logique à trois états". Les moyens de réglage de tension

30 précités sont connectés entre les bornes communes respectives des premier et second circuits de mémorisation de tension, et ils sont capables d'appliquer la tension de décalage entre ces bornes. De cette manière, du fait que les moyens de réglage de tension

35 sont connectés en série avec les deux condensateurs de

mémorisation, de façon à établir entre les secondes armatures des condensateurs une différence de potentiel égale à la tension de décalage sélectionnée, et du fait que chaque condensateur de mémorisation a
5 entre ses armatures respectives une différence de potentiel égale à la tension d'entrée, le décalage exigé de la tension de conversion analogique, par rapport au double de la tension d'entrée, est obtenu de façon simple et précise, sans employer des addi-
10 tionneurs de tension analogiques qui sont complexes et sujets à erreurs.

Les moyens comparateurs accomplissent de préférence la comparaison pendant que les moyens de commutation des circuits de mémorisation de tension
15 sont dans la configuration d'entrée, ce qui procure un fonctionnement à vitesse élevée.

Dans un exemple préféré, les moyens comparateurs sont connectés aux premier et second noeuds d'entrée, de façon que la tension d'entrée soit la
20 tension de travail précitée, et ils fournissent des premières données numériques si la tension d'entrée est inférieure ou égale à l'opposé du potentiel de comparaison, ils fournissent des secondes données numériques si le potentiel de comparaison est infé-
25 rieur ou égal à la tension d'entrée, et ils fournissent des troisièmes données numériques dans tous les autres cas, et la tension de décalage qui est sélectionnée par les secondes données numériques est $-V_{\text{ref}}$, en désignant par $+V_{\text{ref}}$ la tension de décalage qui est
30 sélectionnée par les premières données numériques, tandis que la tension de décalage qui est sélectionnée par les troisièmes données numériques est égale à zéro; le potentiel de comparaison étant pratiquement égal à $V_{\text{ref}}/4$.

35 Grâce à l'immunité de l'algorithme de

conversion qui est incorporé dans un tel étage de conversion, vis-à-vis d'erreurs de codes manquants qui résulteraient par ailleurs de la tension de décalage des moyens comparateurs, il est possible de bénéficier
5 pleinement de l'amélioration de la précision de l'opération de conversion de tension qui est effectuée par l'étage, lorsqu'on considère la précision de conversion globale.

Un convertisseur analogique-numérique de ce
10 type qui est particulièrement avantageux comprend :
une série de N étages, chacun d'eux étant un étage de conversion de tension tel que celui décrit ci-dessus, une tension analogique à numériser étant appliquée entre les premier et second noeuds d'entrée
15 du premier étage de la série, et les premier et second noeuds de chaque étage successif étant connectés respectivement aux premier et second noeuds de sortie de l'étage immédiatement précédent;

des moyens de commande capables de commander
20 les moyens de commutation de chacun des étages, en succession, pour les commuter de la configuration d'entrée à la configuration de sortie, cette commutation étant commandée de façon à avoir lieu dans chacun des étages, à l'exception du premier étage, à un
25 instant auquel les moyens de commutation de l'étage immédiatement précédent sont dans la configuration de sortie, de façon qu'avant une telle commutation l'étage qui est commuté reçoive pour sa tension d'entrée la tension de conversion analogique qui est
30 produite par cet étage immédiatement précédent, et produise ainsi sa tension de conversion analogique sous la dépendance de celle-ci, après une telle commutation; et

des moyens de traitement de données qui sont
35 connectés de façon à recevoir les données numériques

fournies par les N étages, et qui sont capables d'élaborer à partir de ces données un mot de sortie numérique, comprenant N+1 bits, qui est représentatif de la tension analogique appliquée.

5 Un tel convertisseur analogique-numérique peut fonctionner très rapidement, en produisant un mot de sortie numérique complet à N+1 bits par période d'horloge.

10 Il est préférable qu'un tel convertisseur analogique-numérique travaille en alternance dans des première et seconde phases d'horloge, et que pendant la première phase d'horloge, les moyens de commande maintiennent les moyens de commutation respectifs des étages de rang impair de la série dans la configura-
15 tion d'entrée, tandis qu'ils maintiennent les moyens de commutation respectifs des étages de rang pair dans la configuration de sortie, mais que pendant la seconde phase d'horloge les moyens de commande maintiennent les moyens de commutation respectifs des
20 étages de rang pair dans la configuration d'entrée, tandis qu'ils maintiennent les moyens de commutation respectifs des étages de rang impair dans la configuration de sortie.

25 Cette structure permet au convertisseur de fonctionner à la vitesse élevée mentionnée précédemment, tout en conservant la simplicité de la commande des étages, comme il est souhaitable.

30 Selon une caractéristique avantageuse, pour au moins une paire d'étages adjacents de la série, les condensateurs de mémorisation respectifs des premier et second circuits de mémorisation de tension dans le second étage de la paire ont une capacité inférieure à celle des condensateurs de mémorisation comparables dans le premier étage de la paire, le rapport des
35 capacités de mémorisation des deux étages d'une paire

ou de chaque paire étant de préférence d'environ 2:1. Ceci peut contribuer à réduire la puissance consommée par le convertisseur.

5 Pour au moins une paire d'étages adjacents
de la série, les dispositifs d'entrée d'éléments
amplificateurs respectifs des premier et second
circuits de mémorisation de tension dans le second
étage de la paire ont de préférence une plus faible
10 largeur que les dispositifs d'entrée comparables dans
le premier étage de la paire, le rapport des largeurs
des dispositifs d'entrée des deux étages d'une paire
ou de chaque paire étant avantageusement approxima-
tivement égal à 2:1, ici encore pour réduire la
puissance consommée.

15 En outre, pour au moins une paire d'étages
adjacents de la série, les courants respectifs dans
les chemins de courant commandés des dispositifs
d'entrée d'éléments amplificateurs des premier et
second circuits de mémorisation de tension dans le
20 second étage de la paire peuvent être plus faibles que
les courants comparables dans le premier étage de la
paire, le rapport de courant des deux étages d'une
paire ou de chaque paire étant de préférence approxi-
mativement égal à 2:1, ici encore pour contribuer à
25 réduire la puissance consommée.

Selon une caractéristique avantageuse, dans
chacun des étages du convertisseur allant du second au
n-ième, avec $2 \leq n \leq N$, chacun des condensateurs de
mémorisation respectifs des premier et second circuits
30 de mémorisation de tension de l'étage a une capacité
qui est réduite, par rapport à la capacité du conden-
sateur de mémorisation comparable de l'étage immédia-
tement précédent, d'un premier facteur de proportion-
nalité qui est constant dans l'ensemble de ces second
35 à n-ième étages. Le fait de proportionner ainsi la

capacité avec un facteur de proportionnalité constant contribue à réduire la puissance consommée par le convertisseur et à réduire l'aire de puce qui est nécessaire pour réaliser le convertisseur.

5 Le premier facteur de proportionnalité précité est de préférence égal à 2. Cette valeur de facteur de proportionnalité est optimale en ce qui concerne la réduction de la puissance consommée.

10 Selon une caractéristique avantageuse, dans chacun des étages du convertisseur allant du second au n-ième, avec $2 \leq n \leq N$, le dispositif d'entrée d'élément amplificateur de chaque circuit de mémorisation de tension de l'étage a une largeur de canal qui est réduite, par rapport à la largeur de canal du dispositif d'entrée d'élément d'amplificateur comparable de
15 l'étage immédiatement précédent, d'un second facteur de proportionnalité qui est constant dans l'ensemble de ces second à n-ième étages.

20 Le fait de proportionner ainsi avec un facteur constant un certain nombre d'étages successifs peut également contribuer à réduire la puissance consommée par le convertisseur et l'aire de puce qui est occupée par ce dernier.

25 Le second facteur de proportionnalité est également de préférence égal à 2. Ceci conduit à une réduction optimale de la puissance consommée.

30 Selon une autre caractéristique avantageuse, dans chacun des étages du convertisseur allant du second au n-ième, avec $2 \leq n \leq N$, le courant dans chacun des chemins de courant commandés des dispositifs d'entrée d'élément amplificateur de l'étage est commandé de façon à être réduit, par rapport au courant dans le chemin de courant commandé comparable de l'étage immédiatement précédent, d'un troisième
35 facteur de proportionnalité qui est constant dans

l'ensemble de ces second à n-ième étages.

Le fait de proportionner ainsi le courant peut contribuer encore davantage à réduire la puissance consommée par le convertisseur.

5 Le troisième facteur de proportionnalité est également de préférence égal à 2. Cette valeur est optimale en ce qui concerne la réduction de la puissance consommée.

10 Dans un autre mode de réalisation préféré, pour au moins une paire d'étages adjacents de la série, l'une au moins des valeurs possibles prédéterminées de la tension de décalage dans le second étage de la paire est réglée de manière fractionnaire en comparaison avec la valeur possible prédéterminée
15 correspondante de la tension de décalage dans le premier étage de la paire.

 On peut utiliser un tel réglage fractionnaire pour corriger des erreurs de gain dans les éléments amplificateurs qui sont utilisés dans chaque
20 étage, et ce réglage permet donc de maintenir un fonctionnement de haute précision du convertisseur global, malgré des imperfections dans ces éléments amplificateurs.

 A la place, **ou en plus**, les moyens de traitement de données peuvent régler de manière fractionnaire les données numériques qui sont fournies par les moyens comparateurs respectifs d'étages successifs de la série, afin de faciliter la correction d'erreurs de conversion de tension dans ces étages successifs.

30 Un autre convertisseur analogique-numérique avantageux comprend :

 des premier et second étages, chacun d'eux étant un étage de conversion de tension du type décrit ci-dessus, connectés ensemble de façon que les premier
35 et second noeuds de sortie du premier étage soient

connectés respectivement aux premier et second noeuds d'entrée du second étage, et de façon que les premier et second noeuds de sortie du second étage soient connectés respectivement aux premier et second noeuds d'entrée du premier étage, une tension analogique à numériser étant appliquée, au début d'une opération de conversion itérative du convertisseur, entre les premier et second noeuds d'entrée du premier étage;

des moyens de commande capables de faire en sorte que les moyens de commutation des premier et second étages soient commutés en alternance, en partant du premier étage, de la configuration d'entrée vers la configuration de sortie, cette commutation étant commandée de façon à avoir lieu dans un étage à un instant auquel les moyens de commutation de l'autre étage sont dans la configuration de sortie, de façon qu'avant une telle commutation l'étage qui est commuté reçoive pour sa tension d'entrée la tension de conversion analogique qui est produite par l'autre étage, et produise ainsi sa tension de conversion analogique sous la dépendance de la tension précitée, après une telle commutation; et

des moyens de traitement de données connectés de façon à recevoir les données numériques qui sont fournies en alternance par les premier et second étages, au cours de l'opération de conversion itérative, et capables d'élaborer à partir de ces données un mot numérique de sortie représentatif de la tension analogique appliquée.

Dans un tel convertisseur analogique-numérique, deux étages seulement sont nécessaires pour effectuer une opération de conversion, ce qui conduit à une structure simple et ayant un faible encombrement, comme il est souhaitable.

Un second aspect de la présente invention

procure un convertisseur analogique-numérique, capable de fonctionner en alternance dans des première et seconde phases d'horloge, comprenant :

des premier et second noeuds d'entrée entre
5 lesquels une tension d'entrée analogique à numériser peut être appliquée lorsque le convertisseur est en cours d'utilisation;

des premier et second circuits de mémorisation de tension, chacun d'eux comprenant des premier
10 et second condensateurs de mémorisation respectifs et un élément amplificateur à gain égal à l'unité, ayant des bornes d'entrée et de sortie respectives, cet élément comprenant un dispositif d'entrée électronique ayant un chemin de courant commandé qui est établi
15 entre des première et seconde électrodes de chemin de courant respectives du dispositif, et ayant également une électrode de commande à laquelle un potentiel est appliqué pour commander l'intensité du courant dans le chemin de courant, cette électrode de commande étant
20 connectée à la borne d'entrée de l'élément amplificateur, et les première et seconde électrodes de chemin de courant étant connectées à des moyens suiveurs de potentiel, de façon que le potentiel de la première électrode de chemin de courant et le potentiel de la
25 seconde électrode de chemin de courant suivent le potentiel de l'électrode de commande, pendant qu'un courant circule dans le chemin de courant commandé, de façon que les potentiels respectifs des première et seconde électrodes de chemin de courant soient
30 maintenus pratiquement fixes par rapport au potentiel de la borne d'entrée;

des moyens d'échantillonnage d'entrée capables de fonctionner pendant l'une initiale des phases d'horloge, de façon à connecter la borne d'entrée du
35 premier circuit de mémorisation de tension au premier

noeud d'entrée, et à connecter la borne d'entrée du second circuit de mémorisation de tension au second noeud d'entrée;

des premier et second noeuds de sortie qui
5 sont respectivement connectés aux bornes de sortie d'élément amplificateur des premier et second circuits de mémorisation de tension;

des moyens comparateurs connectés aux
premier et second noeuds de sortie, et également
10 connectés de façon à recevoir un potentiel de comparaison, et pouvant fonctionner dans chaque phase d'horloge de façon à effectuer une comparaison entre la différence de potentiel entre les premier et second noeuds de sortie, et le potentiel de comparaison, et à
15 fournir des données numériques représentatives du résultat de la comparaison;

des moyens de réglage de tension comportant une paire de bornes de connexion et pouvant fonctionner dans chaque phase d'horloge de façon à appliquer
20 entre ces bornes une tension de décalage ayant une valeur sélectionnée, par les données numériques qui sont fournies par les moyens comparateurs au cours de la phase d'horloge immédiatement précédente, parmi un ensemble de valeurs possibles prédéterminées;

des moyens de commutation pouvant fonctionner dans la première phase d'horloge de façon à
connecter les deux premiers condensateurs de mémorisation et les bornes de connexion en série entre les bornes d'entrée respectives des éléments amplifica-
30 teurs, tout en connectant les seconds condensateurs de mémorisation, mutuellement en parallèle, entre les premier et second noeuds de sortie, et capables de fonctionner dans la seconde phase d'horloge de façon à connecter les seconds condensateurs de mémorisation et
35 les bornes de connexion en série entre les bornes

d'entrée respectives des éléments amplificateurs, tout en connectant les premiers condensateurs de mémorisation mutuellement en parallèle entre les premier et second noeuds de sortie; et

5 des moyens de traitement de données connectés de façon à recevoir les données numériques qui sont fournies par les moyens comparateurs, sur un nombre prédéterminé des phases d'horloge, et capables d'élaborer à partir de celles-ci un mot de sortie
10 numérique qui est représentatif de la tension d'entrée analogique appliquée.

Un tel convertisseur analogique-numérique n'exige qu'un seul étage pour effectuer une opération de conversion, ce qui conduit à une structure ayant
15 une taille particulièrement réduite.

Un troisième aspect de la présente invention procure un convertisseur analogique-numérique comprenant un ensemble d'étages de conversion de tension mutuellement similaires, qui sont connectés en série
20 de façon que la sortie d'un étage applique une information d'entrée à l'étage suivant, chaque étage comprenant un condensateur de mémorisation qui peut être connecté sélectivement à l'entrée de l'étage pour mémoriser une tension d'entrée de l'étage, et comprenant
25 également un élément amplificateur qui peut être connecté sélectivement entre le condensateur de mémorisation et la sortie de l'étage, pour fournir une tension de sortie de l'étage qui dépend de la tension d'entrée mémorisée, dans lequel dans au moins un étage
30 de la série, autre que le premier étage, la capacité du condensateur de mémorisation est inférieure à la capacité du condensateur de mémorisation de l'étage immédiatement précédent, et/ou la largeur d'un transistor d'entrée de l'élément amplificateur est inférieure
35 à la largeur du transistor d'entrée de

l'élément amplificateur de l'étage immédiatement précédent.

Un tel convertisseur analogique-numérique, employant une série d'étages de conversion de tension "proportionnés", peut parvenir à un meilleur compromis global entre le bruit et la puissance consommée. Le facteur (facteur de proportionnalité) par lequel la capacité du condensateur de mémorisation et/ou la largeur du transistor d'entrée est réduite d'un étage au suivant, est de préférence proche de 2. On peut arrêter la réduction proportionnelle après les quelques premiers étages; par exemple il peut y avoir une réduction proportionnelle d'un étage au suivant dans les six premiers étages, et ensuite les étages restants peuvent avoir une taille constante.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés dans lesquels :

La figure 1, que l'on a envisagée précédemment, montre un schéma d'un circuit de mémorisation de tension considéré antérieurement;

La figure 2, qui a également été envisagée précédemment, montre de façon plus détaillée un élément amplificateur qui fait partie du circuit de la figure 1;

La figure 3 montre un schéma d'un circuit de mémorisation de tension qui met en oeuvre le premier aspect précité de l'invention;

La figure 4 montre une structure d'un élément amplificateur qui fait partie du circuit de la figure 3;

La figure 5 montre une autre structure

d'élément amplificateur prévu pour l'utilisation dans le circuit de la figure 3;

La figure 6 montre de façon plus détaillée un élément de commutation d'entrée qui fait partie du circuit de la figure 3;

La figure 7 montre encore une autre structure d'élément amplificateur, ainsi qu'un exemple de moyens d'attaque de commutation, pour l'utilisation dans le circuit de la figure 3;

Les figures 8(A) et 8(B) montrent respectivement des représentations en plan et en coupe qui illustrent une implantation possible du circuit de la figure 3 sur un substrat de circuit intégré;

Les figures 9(A) et 9(B) montrent respectivement des représentations en plan et en coupe qui illustrent une autre implantation possible du circuit de la figure 3 sur un substrat de circuit intégré;

La figure 10 montre un schéma d'un circuit de sommation de tension qui utilise un circuit de mémorisation de tension du type représenté sur la figure 3;

La figure 11 montre un schéma d'un circuit doubleur de tension qui utilise deux circuits de mémorisation de tension du type représenté sur la figure 3;

La figure 12 montre un schéma de circuit de certaines parties d'un convertisseur analogique-numérique comprenant un ensemble d'étages de conversion qui sont respectivement basés sur le circuit doubleur de tension de la figure 11;

La figure 13 montre un schéma de circuit de certaines parties d'un convertisseur analogique-numérique, ayant un seul étage de conversion, qui met en oeuvre le second aspect précité de la présente invention;

La figure 14 est un schéma de certaines parties du convertisseur de la figure 12, qui est destiné à illustrer des avantages de l'application d'un facteur de proportionnalité entre les étages successifs du convertisseur de la figure 12;

La figure 15 est une représentation graphique qui, dans le cas d'un convertisseur tel que celui représenté sur la figure 12, ayant 16 étages, illustre la relation entre le courant consommé total du convertisseur et le facteur de proportionnalité, et la relation entre le bruit total dans le convertisseur et le facteur de proportionnalité; et

La figure 16 est un schéma qui illustre un exemple de l'implantation du convertisseur de la figure 12 sur une puce de circuit intégré.

Le circuit de mémorisation de tension de la figure 3 comprend un élément de commutation électronique 1, de préférence un transistor à effet de champ MOS, un condensateur de mémorisation 2, un amplificateur-séparateur à gain égal à l'unité, 3, et des moyens d'attaque de commutation à configuration bootstrap, 4, 5, connectés entre un circuit de borne de sortie et l'électrode de grille (électrode de commande) du transistor à effet de champ MOS 1.

La figure 4 montre un premier exemple de la structure de l'élément amplificateur 3 dans le circuit de la figure 3. L'élément 3 comprend deux parties de base, à savoir un circuit à charge de source de type cascode 31 et une source de courant 32.

Le circuit à charge de source de type cascode 31 comprend un transistor d'entrée MOS à canal n 33 dont l'électrode de grille est connectée à une armature (l'armature supérieure sur la figure 3) du condensateur de mémorisation 2. Le canal drain-source du transistor d'entrée 33 est connecté en série avec

le canal drain-source d'un transistor MOS à canal n supplémentaire, que l'on appellera ci-après un transistor de connexion en cascode 34. L'électrode de drain du transistor de connexion en cascode 34 est
5 connectée à une ligne d'alimentation positive V_{dd} du circuit, tandis que l'électrode de source du transistor d'entrée 33 est connectée à une borne de sortie SORTIE du circuit.

Egalement dans le circuit à charge de source
10 de type cascode 31, un générateur de polarisation 35 est connecté entre l'électrode de source du transistor d'entrée 33 et l'électrode de grille du transistor de connexion en cascode 34. Ce générateur de polarisation a pour fonction de maintenir une différence de potentiel
15 pratiquement constante entre l'électrode de grille du transistor de connexion en cascode et l'électrode de source du transistor d'entrée 33, indépendamment d'une variation du potentiel de l'électrode de source.

20 La source de courant 32 est constituée de façon pratiquement identique au circuit à charge de source de type cascode 31, et elle comprend deux transistors MOS à canal n 36 et 37 (correspondant respectivement aux transistors 33 et 34 du circuit à
25 charge de source de type cascode 31), connectés en série entre la borne de sortie SORTIE du circuit et une ligne d'alimentation négative V_{ss} du circuit, et un générateur de polarisation associé 38 (correspondant au générateur de polarisation 35 dans le circuit
30 à charge de source de type cascode 31), qui a pour fonction de maintenir une différence de potentiel pratiquement constante entre l'électrode de grille du transistor 37 et l'électrode de source du transistor 36. Dans ce cas, l'électrode de source du transistor
35 36 est directement connectée à la ligne d'alimentation

négative V_{ss} , de façon que le potentiel de l'électrode de grille du transistor 37 soit fixe par rapport à la ligne d'alimentation négative. La source de courant 32 comporte une borne d'entrée de polarisation, portant
5 la désignation POLARISATION qui est connectée à l'électrode de grille du transistor 36. On peut appliquer un potentiel de polarisation à l'entrée de polarisation de la source de courant 32, pour commander le fonctionnement de l'élément, comme on le décrira ci-
10 après.

Du fait que la source de courant 32 est connectée en série avec le circuit à charge de source de type cascode 31, elle établit un chemin de courant entre les lignes d'alimentation positive et négative
15 V_{dd} et V_{ss} .

Dans le fonctionnement de l'élément amplificateur de la figure 4, on peut faire fonctionner la source de courant de façon qu'un courant pratiquement constant circule dans le chemin de courant mentionné
20 ci-dessus, et donc dans chacun des transistors 33 et 34 du circuit à charge de source de type cascode 31. Ceci fait en sorte que le potentiel de l'électrode de source du transistor d'entrée 33 suive le potentiel de l'électrode de grille de ce transistor, de façon que
25 le potentiel de la borne de sortie V_o suive le potentiel V_c de l'armature supérieure du condensateur de mémorisation 2.

Par conséquent, le gain en tension de l'élément est pratiquement égal à l'unité.

30 De façon similaire, le potentiel de l'électrode de source du transistor de connexion en cascode 34 suit le potentiel de l'électrode de grille de ce transistor, ce potentiel étant à son tour maintenu par le générateur de polarisation 35 pratiquement fixe par
35 rapport au potentiel de l'électrode de source du

transistor d'entrée 33. Par conséquent, le potentiel de l'électrode de drain du transistor d'entrée 33 suit le potentiel de l'électrode de source de ce transistor, et il suit donc également le potentiel V_C de l'armature supérieure du condensateur de mémorisation 2.

Comme on peut le voir, indépendamment du potentiel V_C de l'armature supérieure du condensateur de mémorisation 2, les potentiels des électrodes de source et de drain du transistor d'entrée 33 sont pratiquement fixes l'un par rapport à l'autre et par rapport au potentiel de l'électrode de grille de ce transistor d'entrée. Par conséquent, les capacités parasites grille-source, grille-drain et drain-source C_{gs} , C_{gd} , C_{ds} ne sont pas chargées ou déchargées lorsque le potentiel V_C de l'armature supérieure du condensateur de mémorisation 2 varie, et ces capacités parasites n'ont donc pratiquement aucun effet sur la tension qui est mémorisée dans le condensateur de mémorisation 2.

Du fait que le transistor d'entrée 3 est un transistor d'entrée à effet de champ, le courant de grille est pratiquement égal à zéro, ce qui fait que la charge qui est mémorisée dans le condensateur de mémorisation ne diminue pas notablement sous l'effet du fonctionnement de l'élément amplificateur 3 après que l'élément de commutation d'entrée 1 a été ouvert.

Dans l'élément amplificateur de la figure 4, le potentiel réel sur la borne de sortie n'est pas exactement égal au potentiel de l'armature supérieure V_C , mais est légèrement réduit conformément à la tension différentielle grille-source à l'état passant du transistor 33, comme l'indique l'expression suivante :

$$V_O = V_C - (V_T + V_{DSAT})$$

dans laquelle V_T est la tension de seuil du transistor d'entrée 33 et V_{DSAT} est la tension de saturation du transistor d'entrée 33.

Comme il ressort de la figure 4, le circuit à charge de source de type cascode 31 et la source de courant 32 ont des structures qui sont pratiquement identiques l'une à l'autre. Ainsi, l'homologue du transistor d'entrée 33 du circuit à charge de source de type cascode 31, est le transistor 36 dans la source de courant 32, ce transistor 36 recevant le potentiel de polarisation précité. Du fait que le même courant circule dans les canaux drain-source respectifs des transistors 33 et 36, et du fait que ces transistors ont des dimensions identiques, on peut commander le potentiel grille-source du transistor 33 en réglant le potentiel grille-source du transistor 36 dans la source de courant 32. Ce potentiel grille-source du transistor 36 est égal à la différence entre le potentiel de polarisation et le potentiel de la ligne d'alimentation négative, ce qui fait qu'en appliquant un potentiel de polarisation constant approprié à la borne de polarisation, on peut régler à un niveau avantageusement faible et constant la différence entre le potentiel V_O de la borne de sortie et le potentiel V_C de l'armature supérieure du condensateur de mémorisation 2.

Dans l'élément amplificateur de la figure 4, les transistors 33, 34, 36 et 37 peuvent être du type à désertion ou à enrichissement.

La figure 5 montre un exemple plus perfectionné de la structure de l'élément amplificateur 3, employant des transistors MOS à canal n du type à désertion pour donner un fonctionnement rapide. Dans l'exemple de la figure 5, l'élément amplificateur comprend à nouveau un circuit à charge de source de

type cascode 31 et une source de courant 32, et le transistor d'entrée à effet de champ 33 dans le circuit à charge de source de type cascode 31 est à nouveau connecté dans la configuration à charge de source de type cascode que l'on a décrite précédemment en relation avec la figure 4, l'électrode de grille du transistor 33 étant connectée de façon à recevoir le potentiel V_C de l'armature supérieure du condensateur de mémorisation 2, l'électrode de source du transistor 33 étant connectée à la borne de sortie du circuit, portant la désignation SORTIE, et l'électrode de drain du transistor 33 étant connectée par l'intermédiaire d'un premier et d'un second transistor de connexion entre cascode, 341 et 342, à la ligne d'alimentation positive V_{dd} du circuit.

Dans ce cas, le générateur de polarisation de type cascode 35 comprend trois transistors connectés en série, 351, 352 et 353, qui sont connectés de façon à appliquer des potentiels de polarisation appropriés aux électrodes de grille respectives des premier et second transistors de connexion en cascode 341 et 342, afin que les électrodes de grille respectives des transistors de connexion en cascode 341 et 342 soient respectivement maintenues à des potentiels pratiquement fixes par rapport au potentiel de l'électrode de source du transistor d'entrée 33.

La source de courant 32 de l'élément amplificateur de la figure 5 a une structure identique à celle de son circuit à charge de source de type cascode, 31, et elle comprend trois transistors connectés en série 36, 371 et 372 (correspondant respectivement aux transistors 33, 341 et 342 du circuit à charge de source de type cascode 31), qui sont connectés entre l'électrode de source du transistor d'entrée 31 et la ligne d'alimentation négative

V_{ss} . Dans ce cas, le potentiel de l'électrode de grille du transistor 36 (qui équivaut au potentiel de polarisation qui est appliqué à l'entrée de polarisation dans l'élément amplificateur de la figure 4), est
5 fourni par la ligne d'alimentation négative V_{ss} , tandis que les potentiels des électrodes de grille respectives des transistors 371 et 372 sont fournis par un générateur de polarisation 38 (ayant une structure identique à celle du générateur de polarisation
10 35 dans le circuit à charge de source de type cascode 31), qui comprend trois transistors connectés en série, 381 à 383. On pourra voir que les générateurs de polarisation 35 et 38 sont connectés mutuellement en série entre les lignes d'alimentation positive et
15 négative, de façon à établir un chemin de courant supplémentaire entre elles.

Dans l'élément amplificateur de la figure 5, du fait que l'électrode de grille du transistor 36 dans la source de courant 32 est directement connectée
20 à la ligne d'alimentation négative V_{ss} , les potentiels de grille et de source du transistor 36 sont mutuellement égaux. Du fait que le même courant drain-source circule dans le transistor 33 et dans son transistor homologue 36 dans la source de courant 32, et du fait
25 que le circuit à charge de source de type cascode 31 et la source de courant 32 ont une structure pratiquement identique, il en résulte que les potentiels de grille et de source du transistor d'entrée 33 dans le circuit à charge de source de type cascode 31 seront
30 également pratiquement égaux l'un à l'autre. Ainsi, le gain en tension de l'élément amplificateur de la figure 5 est plus proche de l'unité (approximativement 0,9995) que dans le cas de l'élément amplificateur de la figure 4. En comparaison avec l'amplificateur de la
35 figure 4, l'élément amplificateur de la figure 5 est

également capable de fonctionner plus rapidement. Cependant, le fonctionnement de l'élément de la figure 5 est par ailleurs pratiquement identique à celui de l'élément amplificateur de la figure 4.

5 En retournant maintenant à la figure 3, on note que les moyens d'attaque de commutation à configuration bootstrap comprennent un circuit de génération de potentiel 4, ayant une entrée connectée à la borne de sortie du circuit, et qui est capable de
10 produire sur ses sorties respectives des potentiels V_{haut} et V_{bas} ($V_{\text{haut}} > V_{\text{bas}}$), chacun de ces potentiels ayant un décalage constant par rapport au potentiel de la borne de sortie. Ces deux potentiels doivent être à des niveaux appropriés pour l'application à l'élec-
15 trode de grille du transistor MOS 1, afin de le maintenir dans ses états passant et bloqué.

Les deux potentiels V_{haut} et V_{bas} sont appliqués sous la forme de signaux d'entrée à un élément sélecteur 5 qui reçoit également un signal de
20 commutation CK. La sortie de l'élément sélecteur 5 est connectée à l'électrode de grille de l'élément de commutation à transistor MOS 1, pour commander son potentiel. L'élément sélecteur 5 commute le potentiel de l'électrode de grille entre les deux potentiels
25 V_{haut} et V_{bas} sous la dépendance du signal de commutation CK. Ce signal CK peut être un signal logique qui est fourni par un circuit logique numérique qui commande le fonctionnement du circuit de mémorisation de tension.

30 Dans le but d'éviter une injection de charge imprévisible dans le condensateur de mémorisation 2, par l'élément de commutation d'entrée à transistor MOS 1, lorsque l'élément de commutation d'entrée est commuté à l'état bloqué, le potentiel de commande qui
35 est appliqué à l'électrode de grille du transistor MOS

doit être pratiquement fixe par rapport au potentiel de la borne d'entrée, au moins lorsque le transistor MOS doit être commuté à l'état passant, comme on va maintenant l'expliquer en se référant à la figure 6.

5 La figure 6 montre en détail l'élément de commutation d'entrée 1, qui est dans cet exemple un transistor à effet de champ MOS du type à enrichissement et à canal n. Le transistor MOS 1 comporte une électrode de source qui constitue une borne d'entrée
10 de l'élément de commutation, portant la désignation ENTREE, une électrode de drain qui constitue une borne de sortie de l'élément de commutation, portant la désignation SORTIE, et une électrode de grille qui est connectée de façon à être commutée alternativement
15 entre les potentiels de commande V_{haut} et V_{bas} mentionnés précédemment. Le canal drain-source du transistor est bloqué lorsque son potentiel grille-canal est égal à zéro (ou négatif), ce qui fait que lorsque le potentiel de commande appliqué est V_{bas}
20 ($\leq V_0$), la borne de sortie de l'élément de commutation est isolée de sa borne d'entrée, la résistance à l'état bloqué (R_{off}) de l'élément de commutation dans cette condition étant de façon caractéristique supérieure à 10 000 M Ω . Lorsque le potentiel de grille
25 est changé pour devenir V_{haut} ($> V_0$), le canal drain-source est placé dans l'état de conduction, la résistance à l'état passant (R_{on}) de l'élément de commutation dans cette condition étant de l'ordre de quelques dizaines ou centaines d'ohms.

30 Dans un convertisseur analogique-numérique qui utilise un circuit de mémorisation de tension tel que celui qui est représenté sur la figure 3, le fonctionnement de l'élément de commutation 1 doit normalement être commandé par un circuit logique numérique du
35 convertisseur et, en partie pour cette raison, dans

des propositions antérieures des potentiels logiques numériques fixes (par exemple 0 et $+V_{DD}$ volts) étaient habituellement appliquées à la grille pour commander la commutation de l'élément.

5 Il apparaît cependant un problème lorsqu'on utilise de tels potentiels logiques numériques, comme on va maintenant l'expliquer.

 L'élément de commutation à transistor MOS 1 de la figure 6 a inévitablement une capacité parasite grille-canal C_{gc} entre son électrode de grille et son canal drain-source. Cette capacité parasite a une première composante qui est due à un chevauchement physique entre la grille et le canal du transistor à effet de champ, et une seconde composante qui est associée à la charge qui est emmagasinée dans le canal lorsque le transistor à effet de champ est dans l'état passant. Il apparaît que cette seconde composante
10 grille-canal C_{gc} entre son électrode de grille et son canal drain-source. Cette capacité parasite a une première composante qui est due à un chevauchement physique entre la grille et le canal du transistor à effet de champ, et une seconde composante qui est associée à la charge qui est emmagasinée dans le canal lorsque le transistor à effet de champ est dans l'état passant. Il apparaît que cette seconde composante
15 varie avec le potentiel de canal (c'est-à-dire avec le potentiel V_i du signal qui est commuté), mais d'une manière imprévisible.
20

 La capacité grille-canal donne lieu à une injection de charge à partir de la grille vers le canal, à l'instant de commutation t_{comm} , et cette injection produit à son tour une erreur dans la tension qui est mémorisée. L'injection de charge due à la première composante précitée de la capacité grille-canal dépend essentiellement de la variation de la tension de grille V_G à l'instant t_{comm} (par exemple $0 - V_{DD} = -V_{DD}$), et par conséquent elle est pratiquement
25 indépendante du potentiel de canal V_i à l'instant t_{comm} . Cependant, l'injection de charge qui est due à la seconde composante de la capacité grille-canal est influencée par le potentiel du signal d'entrée V_i par rapport au potentiel de grille à l'instant de la
30 commutation, ce qui conduit à l'erreur précitée dans
35

la tension mémorisée, et à une non-linéarité dans le fonctionnement du circuit de mémorisation de tension.

Il n'est pas aisé en pratique de compenser une telle injection de charge, par exemple par
5 couplage d'une version inversée du signal de grille, par l'intermédiaire d'un petit condensateur réglable, du fait que l'effet de la seconde composante précitée de la capacité grille-canal n'est pas suffisamment prévisible.

10 Dans des propositions antérieures employant des potentiels de commande fixes, tels que des potentiels logiques numériques, les effets d'injection de charge à l'instant de commutation t_{comm} sont particulièrement importants dans le cas où l'on désire
15 employer un condensateur de mémorisation ayant une faible capacité, afin de réduire le temps d'acquisition du circuit.

Cependant, dans les moyens d'attaque de commutation à configuration bootstrap 4, 5 de la
20 figure 3, au moins le potentiel de commande qui est appliqué à l'élément de commutation 1 pour le maintenir dans l'état passant est fixe par rapport au potentiel de la borne d'entrée V_i , ce qui fait que la quantité de charge qui est injectée par l'élément 1
25 lorsqu'il est commuté à l'état bloqué est pratiquement constante, indépendamment du potentiel de la borne d'entrée. Du fait que cette injection de charge est constante, elle conduit à une erreur constante dans la tension mémorisée, que l'on peut aisément compenser.

30 On notera incidemment que dans certains cas, il peut être possible que le potentiel de commande qui est appliqué à l'élément de commutation 1, lorsque ce dernier doit être maintenu dans l'état bloqué (par opposition à l'état passant), soit fixe, au lieu
35 d'être variable avec le potentiel d'entrée V_i , comme

sur la figure 3. Ceci vient du fait que la première composante précitée de la capacité parasite grille-canal C_{gc} est linéaire.

Les potentiels V_{haut} et V_{bas} qui sont exigés
 5 dépendent du type et de la tension de seuil du transistor MOS qui est utilisé pour le transistor 1. Cet élément de commutation peut être du type à enrichissement ou à désertion, et peut être à canal n ou à canal p. Pour un transistor MOS à canal de type n, le potentiel V_{haut} sera appliqué à l'électrode de grille pour débloquer le transistor MOS (c'est-à-dire que V_{haut}
 10 est le potentiel d'état passant), et le potentiel V_{bas} sera appliqué pour le bloquer (c'est-à-dire que V_{bas} est le potentiel d'état bloqué), tandis que pour un
 15 transistor MOS à canal p, le potentiel V_{haut} sera appliqué à l'électrode de grille pour bloquer le transistor MOS (c'est-à-dire que V_{haut} est le potentiel d'état bloqué) et le potentiel V_{bas} sera appliqué pour le débloquer (c'est-à-dire que V_{bas} est le potentiel d'état passant).
 20

Dans le cas d'un transistor MOS à canal n ayant une tension de seuil V_T , pour avoir une faible résistance à l'état passant, on doit avoir :

$$V_{haut} - V_i \geq V_T + V_{on}$$

25 en désignant par V_{on} une différence de potentiel prédéterminée. De façon similaire, pour avoir une résistance à l'état bloqué de valeur élevée, on doit avoir :

$$V_{bas} - V_i < V_T - V_{off}$$

30 en désignant également par V_{off} une différence de potentiel prédéterminée.

La différence entre les potentiels d'état passant et d'état bloqué est donc $V_{on} + V_{off}$, et cette

différence doit être au moins de plusieurs centaines de millivolts.

Il peut être possible d'utiliser directement le potentiel V_o de la borne de sortie pour fournir l'un des deux potentiels V_{haut} et V_{bas} . Par exemple, dans le cas dans lequel l'élément de commutation à transistor MOS 1 est un élément de commutation à canal n du type à désertion, V_{haut} peut simplement être V_o ; de façon similaire, dans le cas dans lequel l'élément de commutation à transistor MOS 1 est un élément de commutation à canal n du type à enrichissement, V_{bas} peut être le potentiel V_o de la borne de sortie.

Dans le circuit de mémorisation de tension de la figure 3, le circuit de génération de potentiel 4 est représenté dans une situation dans laquelle il est interposé entre la borne de sortie et le circuit sélecteur 5. Cependant, dans certains cas, ce circuit 4 peut être omis si les potentiels V_{haut} et V_{bas} exigés sont déjà disponibles sur des lignes de polarisation internes existantes du circuit, en particulier sur des lignes de polarisation internes de l'élément amplificateur 3. Selon une variante, comme on le décrira ultérieurement de façon plus détaillée en relation avec la figure 9, les potentiels V_{haut} et V_{bas} exigés peuvent être obtenus à partir de potentiels de lignes de polarisation internes qui ne conviennent pas directement pour fournir les potentiels V_{haut} et V_{bas} .

On voit que dans les exemples décrits ci-dessus de structures appropriées de l'élément amplificateur 3, cet élément amplificateur comporte des générateurs de polarisation 35 et 38 qui fournissent des tensions de polarisation d'électrode de grille sur des lignes de polarisation internes de l'élément. Ces tensions de polarisation suivent le potentiel de la

borne de sortie.

Les niveaux de potentiel de ces lignes de polarisation internes peuvent convenir pour fournir directement les potentiels d'état passant et d'état bloqué exigés, pour l'utilisation dans la commande de la commutation de l'élément de commutation 1, auquel cas on peut évidemment supprimer entièrement le circuit de génération de potentiel 4 dans le circuit de la figure 3.

Dans d'autres cas, l'élément amplificateur peut parfaitement comporter une paire de lignes de polarisation internes ayant entre elles une différence de potentiel qui est supérieure ou égale à la différence $V_{on} + V_{off}$ entre les potentiels d'état passant et d'état bloqué qui sont exigés. Cependant, les niveaux de potentiel respectifs des lignes de polarisation internes de la paire peuvent ne pas toujours convenir pour fournir directement les potentiels d'état passant et d'état bloqué. D'autre part, l'un des potentiels d'état passant et d'état bloqué exigés, par exemple le potentiel d'état passant dans le cas d'un élément de commutation à transistor MOS du type à enrichissement, ou le potentiel d'état bloqué dans le cas d'un élément de commutation à transistor MOS du type à désertion, peut dans certaines occasions devoir être à l'extérieur des potentiels des lignes d'alimentation du circuit.

On peut surmonter ces difficultés en adoptant pour l'élément amplificateur 3 et les moyens d'attaque de commutation 4, 5 une structure de circuit qui est décrite ci-dessous en relation avec la figure 7.

Sur la figure 7, l'élément amplificateur 3 est constitué essentiellement par des transistors MOS à canal n du type à enrichissement, mais cet élément a

par ailleurs une structure similaire à celle des
exemples qui sont représentés sur les figures 4 et 5,
et il comprend un circuit à charge de source de type
cascode 31 et une source de courant 32, connectés en
5 série entre la ligne d'alimentation positive V_{dd} et la
ligne d'alimentation négative V_{ss} . Comme précédemment,
le circuit à charge de source de type cascode 31
comprend un transistor d'entrée 33 et un transistor de
connexion en cascode 341, plus un transistor supplé-
10 mentaire 342 connecté entre la ligne d'alimentation
positive V_{dd} et l'électrode de drain du transistor
331, et un générateur de polarisation de type cascode
35 qui comprend des transistors 351 et 352 connectés
en série, ainsi qu'un transistor supplémentaire 353,
15 entre la ligne d'alimentation positive V_{dd} et l'élec-
trode de source du transistor 33. Dans ce cas, la
borne de sortie SORTIE du circuit est connectée à
l'électrode de drain du transistor 351 qui, pendant
que l'élément amplificateur est en cours d'utilisa-
20 tion, est maintenue pratiquement au même potentiel que
l'électrode de grille du transistor 33, c'est-à-dire à
la tension V_c de l'armature supérieure du condensateur
de mémorisation 2 qui est connectée à l'électrode de
grille. A cet égard, les transistors 342 et 353 sont
25 sélectionnés et connectés de façon à constituer un
circuit miroir de courant du type PMOS, qui a pour
fonction de diminuer l'erreur de gain de l'amplifica-
teur en faisant en sorte que le courant dans le
transistor 351 soit le même que celui dans le transis-
30 tor d'entrée 33, afin que la tension de sortie suive
étroitement la tension d'entrée. Il faut cependant
noter qu'une telle utilisation d'un circuit miroir de
courant PMOS est facultative.

L'élément amplificateur 3 de la figure 7
35 comporte une première ligne de polarisation interne L1

qui est connectée à l'électrode de source du transistor 31. Lorsque le circuit est en cours d'utilisation, cette ligne de polarisation interne est maintenue à un potentiel V_1 qui est inférieur à la tension de condensateur V_C d'une quantité égale à la tension de seuil V_T du transistor 31, c'est-à-dire que l'on a $V_1 = V_C - V_T$.

L'élément amplificateur 3 comporte une ligne de polarisation supplémentaire L' qui est connectée au drain du transistor 351 du générateur de polarisation de type cascode, et (comme indiqué ci-dessus) cette ligne de polarisation est maintenue pratiquement à la tension de condensateur V_C lorsque le circuit est en cours d'utilisation, mais la différence de potentiel entre les lignes de polarisation internes L1 et L' est seulement égale à V_T , ce qui est une valeur inférieure à la différence de potentiel précitée ($V_{on} + V_{off}$) entre les potentiels d'état passant et d'état bloqué qui est nécessaire pour commander l'élément de commutation 1. Cependant, le transistor 352 qui est inclus entre les transistors 351 et 353 dans le générateur de polarisation de type cascode 35 génère sur une seconde ligne de polarisation L2 de l'élément un potentiel V_2 qui est toujours supérieur au potentiel V_O de la borne de sortie, avec un écart pratiquement égal à la tension de seuil V_T du transistor 352. La différence de potentiel entre les première et seconde lignes de polarisation L1 et L2 est pratiquement égale à deux tensions de seuil de transistor, $2V_T$, et cette différence de potentiel est supérieure ou égale à la différence exigée ($V_{on} + V_{off}$) entre les potentiels d'état passant et d'état bloqué de l'élément de commutation 1.

On va maintenant donner un exemple de moyens d'attaque de commutation 4, 5 capables d'employer ces

potentiels V_1 et V_2 pour générer les potentiels d'état passant et d'état bloqué qui sont exigés. Dans cet exemple, l'élément de commutation 1 est du type à enrichissement et à canal n, ce qui fait que le potentiel d'état bloqué, V_{bas} , peut être le potentiel de la borne de sortie, V_o , lui-même, et le potentiel d'état passant est $V_{haut} \approx V_{bas} + 2V_T$. Dans cet exemple, ce potentiel d'état passant peut être supérieur au potentiel de la ligne d'alimentation positive, V_{dd} .

Sur la figure 7, les moyens de génération de potentiel 4 comprennent un condensateur de réaction ou bootstrap 44 et des moyens de connexion 45, comprenant des transistor 451 à 453, qui sont connectés de façon à établir des connexions pouvant être commandées entre les armatures du condensateur bootstrap 44 et les lignes de polarisation internes L1 et L2 et la borne de sortie SORTIE.

Les transistors 451 à 453 des moyens de connexion 45 reçoivent chacun un signal logique SW qui est au niveau logique haut lorsque l'élément de commutation 1 doit être bloqué, et au niveau logique bas lorsque l'élément de commutation 1 doit être passant.

Le signal logique SW est obtenu à partir du signal de commutation CK qui est utilisé pour commander l'élément de commutation 1, de façon à pouvoir être changé du niveau logique haut au niveau logique bas sous la dépendance du signal de commutation CK.

Le transistor 451 est un transistor de type p qui est donc débloquent lorsque le signal logique SW est au niveau logique bas, tandis que les transistors 452 et 453 sont des transistors de type n qui sont donc débloquent seulement lorsque le signal logique SW est au niveau logique haut.

Le transistor de type p 451 est connecté entre la seconde ligne de polarisation L2 et l'armature

5 négative du condensateur bootstrap 44, le transistor de type n 452 est connecté entre cette armature et la première ligne de polarisation L1, et le transistor de type n 453 est connecté entre l'armature positive du condensateur bootstrap 44 et la borne de sortie SORTIE.

L'armature positive du condensateur bootstrap 44 est connectée en permanence à l'électrode de grille de l'élément de commutation 1.

10 Le fonctionnement des moyens d'attaque de commutation 4, 5 de la figure 7 est le suivant. Lorsque le signal logique SW est au niveau logique haut, pour placer l'élément de commutation dans l'état bloqué, les transistors de type n 452 et 453 sont
15 débloqués, ce qui fait que l'armature positive du condensateur bootstrap 44 et l'électrode de grille de l'élément de commutation 1 sont maintenues au potentiel de la borne de sortie V_O ($= V_{bas}$), tandis que l'armature négative du condensateur 44 est maintenue
20 au potentiel V_1 ($= V_O - V_T$) de la première ligne de polarisation L1. Le condensateur bootstrap est donc chargé à un potentiel pratiquement égal à V_T .

Si maintenant le signal logique SW est changé, sous l'effet du signal de commutation CK, du
25 niveau logique haut au niveau logique bas pour débloquent l'élément de commutation, les deux transistors de type n 452 et 453 sont bloqués, et le transistor de type p 451 est débloqué. Par conséquent, l'armature négative du condensateur bootstrap 44 subit un changement de potentiel de V_1 à V_2 à un instant auquel son
30 armature positive est isolée du potentiel de la borne de sortie, V_O . Il en résulte que le potentiel de l'armature positive peut flotter librement conformément au changement de potentiel ($V_2 - V_1 \approx 2V_T$) de
35 l'armature négative, et de ce fait le potentiel de

l'armature positive change de $V_2 - V_1$. Il en résulte que le potentiel de l'électrode de grille de l'élément de commutation 1 change en passant du potentiel de la borne de sortie $V_O (= V_{bas})$ à $V_O + 2V_T (= V_{haut})$, même si $V_O + 2V_T > V_{dd}$.

Il faut noter que la capacité du condensateur bootstrap 44 doit être élevée en comparaison avec la capacité de grille de l'élément de commutation 1, pour que l'amplitude du changement du potentiel sur l'armature positive du condensateur bootstrap 44 au moment de la commutation, ne soit pas excessivement diminuée en comparaison avec le changement correspondant du potentiel sur son armature négative.

Comme décrit ci-dessus, l'utilisation d'un condensateur bootstrap et de moyens de connexion appropriés, pouvant être actionnés sous la dépendance du signal de commutation CK que l'on utilise pour commander la commutation, peut permettre d'obtenir les potentiels d'état passant et d'état bloqué exigés, à partir des potentiels de lignes de polarisation internes du circuit, même lorsque ces lignes n'ont pas des potentiels qui conviennent pour fournir directement ces potentiels d'état passant et d'état bloqué. Le condensateur bootstrap 44 peut également permettre à ces potentiels d'état passant et d'état bloqué d'être à l'extérieur des potentiels des lignes d'alimentation du circuit. En outre, le fait d'utiliser pour générer les potentiels d'état passant et d'état bloqué des lignes de polarisation internes qui sont nécessairement déjà présentes dans le circuit, peut conduire à une économie avantageuse en ce qui concerne la quantité de circuits nécessaires.

Il est préférable que le circuit de mémorisation de tension de la figure 3 soit réalisé sous la forme d'un circuit intégré, pour permettre de compenser

par une configuration bootstrap toutes les capacités parasites dans le circuit, comprenant la capacité de l'élément de commutation 1, la capacité d'entrée de l'élément amplificateur 3 et toute capacité d'inter-
5 connexion.

Dans ce but, l'élément de commutation 1, le condensateur de mémorisation 2 et des parties de l'élément amplificateur 3 du circuit de la figure 3 sont avantageusement formés dans un caisson (désigné
10 par la référence 7 sur la figure 3) du type de conductivité opposé à celui du matériau environnant du substrat. Par exemple, si le circuit intégré est du type CMOS ayant un substrat de type n, le caisson 7 dans lequel l'élément de commutation 1, le condensateur
15 de mémorisation et l'élément amplificateur-séparateur 3 sont formés sera du type de conductivité p. Le caisson est ensuite connecté de façon que son potentiel soit pratiquement fixe par rapport au potentiel V_c de l'armature supérieure du condensateur
20 de mémorisation 2. Le caisson peut par exemple être connecté électriquement à la borne de sortie du circuit, comme représenté sur la figure 3.

La figure 8 illustre une implantation possible, dans un tel circuit intégré, du circuit de
25 mémorisation de tension de la figure 3, lorsque l'élément amplificateur 3 est constitué pratiquement de la manière qui est représentée sur la figure 4. Comme indiqué sur la figure 8, l'élément de commutation 1, le condensateur de mémorisation 2 et le transistor d'entrée 33 et le transistor de connexion en
30 cascode 34 de l'élément amplificateur 3, sont formés dans un caisson p, portant la référence 7p, qui est formé dans un substrat n, portant la référence 8n. La source de courant 32, le générateur de polarisation de
35 source de courant 33 (aucun des deux n'est représenté

sur la figure 8), le générateur de polarisation de type cascode 35 et les moyens d'attaque de commutation 4, 5 sont formés à l'extérieur du caisson 7p. Selon une variante, le générateur de polarisation de type cascode 35 et les moyens d'attaque de commutation 4, 5 peuvent également se trouver à l'intérieur du caisson.

Comme la figure 8 le montre en détail, la tension d'entrée du circuit de la figure 3 est appliquée entre une borne d'entrée (ENTREE) 11 et une borne commune (COM) 12 de ce circuit, la borne commune 12 étant connectée à l'armature inférieure 21 du condensateur de mémorisation 2. L'armature supérieure 22 du condensateur de mémorisation 2 est connectée à l'électrode de grille 33g du transistor 33, et également à l'électrode de drain 1d de l'élément de commutation 1. L'électrode de source 1s de l'élément de commutation 1 est connectée à la borne d'entrée (ENTREE) 11.

La borne de sortie (SORTIE) 13 du circuit est connectée à l'électrode de source 33s du transistor 33, ce transistor 33 étant formé de façon à avoir un canal commun 33c avec le transistor de connexion en cascode 34. L'électrode de drain 34d du transistor de connexion en cascode 34 est connectée à la ligne d'alimentation positive V_{dd} , et son électrode de grille 34g est connectée à la borne de sortie 13 par l'intermédiaire du générateur de polarisation de type cascode 35. Les moyens d'attaque de commutation 4, 5 sont connectés entre la borne de sortie 13 du circuit et l'électrode de grille 1g de l'élément de commutation 1.

Le caisson de type p, 7p, est connecté électriquement à la borne de sortie 13 par une région de contact p^+ , 9, qui est formée dans le caisson de type p, 7p, dans une position adjacente au canal n^+ 33c, comme représenté sur la figure 8(B). Un contact 10

connecte la région de contact 9 à la borne de sortie 13, comme représenté sur la figure 8(A). De plus, comme représenté sur la figure 8(B), un blindage 15 est établi facultativement sur les dispositifs à l'intérieur du caisson, et ce blindage est également connecté électriquement par le contact 16 à la borne de sortie 13 du circuit.

On notera que du fait que l'élément de commutation à transistor MOS 1 et les transistors 33 et 34 de l'élément amplificateur 3 sont formés dans un caisson p sur la figure 8, ils doivent être du type à canal n.

Dans le cas de l'élément amplificateur de la figure 5, le circuit à charge de source de type cascode 31 (comprenant le transistor d'entrée à effet de champ 33, les transistors cascode 341 et 342 et les transistors 351 à 353 du générateur de polarisation de type cascode 35) est formé entièrement dans un caisson p du circuit qui contient le condensateur de mémorisation 2 et l'élément de commutation 1. Comme précédemment, le caisson peut par exemple être connecté électriquement à la borne de sortie SORTIE du circuit. La source de courant 32 de l'élément amplificateur de la figure 5 sera alors formée dans un second caisson p, qui doit être connecté électriquement à un point dans le circuit dont le potentiel est fixe par rapport aux lignes d'alimentation du circuit, comme par exemple la ligne d'alimentation négative elle-même.

Il n'est pas essentiel dans le circuit de la figure 3 que l'élément de commutation d'entrée 1, le condensateur de mémorisation 2 et l'amplificateur 3 soient formés ensemble dans un seul caisson. A titre d'exemple, sur la figure 9, l'élément de commutation 1, le condensateur de mémorisation 2 et l'élément

amplificateur 3 sont formés dans différents caissons p respectifs 71p, 72p et 73p.

Le caisson p 71p est connecté électriquement à la borne de sortie (SORTIE) 13 du circuit par
5 l'intermédiaire d'un élément amplificateur-séparateur auxiliaire 17 et des contacts 18 et 19, de façon à être à un potentiel pratiquement fixe par rapport au potentiel de la borne de sortie, et donc par rapport au potentiel de l'armature supérieure du condensateur
10 de mémorisation 2.

Le caisson p 72p est connecté électriquement à l'armature inférieure 22 du condensateur de mémorisation par l'intermédiaire du contact 23, de façon à être à un potentiel pratiquement fixe par rapport au
15 potentiel de l'armature supérieure, lorsque l'élément de commutation 1 est dans l'état bloqué.

Le caisson p 73p est connecté électriquement à la borne de sortie (SORTIE) 13 du circuit par le contact 18, de façon à être également à un potentiel
20 pratiquement fixe par rapport au potentiel de l'armature supérieure du condensateur de mémorisation 2.

Les éléments 14, 24 des parties d'interconnexion entre les éléments de circuit 1, 2 et 3 qui sont à l'extérieur des caissons 71p, 72p et 73p,
25 s'étendent sur des parties de blindage et d'interconnexion 151, 152, dont les potentiels sont maintenus égaux aux potentiels des caissons, pour éliminer ainsi les capacités parasites qui sont associées aux parties d'interconnexion.

30 Le caisson 72p pour le condensateur de mémorisation 2 est facultatif.

On va maintenant décrire, en se référant à la figure 10, une application particulièrement avantageuse d'un circuit de mémorisation de tension tel que
35 celui décrit ci-dessus en relation avec les figures 3

à 7.

La figure 10 montre un circuit de sommation de tension qui utilise un circuit de mémorisation de tension ayant la structure décrite ci-dessus en relation avec la figure 3.

En plus des composants du circuit de mémorisation de tension de la figure 3, le circuit de sommation de tension comprend un élément de commutation d'isolation d'entrée 46, connecté en série avec l'élément de commutation d'entrée 1, entre cet élément et un premier noeud d'entrée I_1 , un élément de commutation de sélection 47 connecté entre, d'une part, des second et troisième noeuds d'entrée respectifs I_2 et I_3 et, d'autre part, la borne commune COM du circuit de mémorisation de tension, et un élément de commutation de réaction 48 qui est connecté entre la borne de sortie SORTIE du circuit de mémorisation de tension et le côté d'entrée de l'élément de commutation d'entrée 1.

Un condensateur auxiliaire 49 peut également être incorporé facultativement, en étant connecté entre le côté d'entrée de l'élément de commutation d'entrée 1 et la borne commune COM du circuit de mémorisation de tension, auquel cas l'élément de commutation de réaction 48 peut être omis.

Dans l'utilisation du circuit de sommation de tension de la figure 10, les éléments de commutation 1 et 46 sont initialement commandés de façon à être tous deux à l'état passant, pendant que l'élément de commutation de réaction 48 est maintenu bloqué. A ce moment, l'élément de commutation de sélection 47 est dans une configuration dans laquelle il connecte le second noeud d'entrée I_2 à la borne commune COM du circuit de mémorisation de tension. L'élément de commutation d'entrée 1 du circuit de mémorisation de

tension est ensuite bloqué, ce qui fait que la différence de potentiel $V_1 - V_2$ entre les premier et second noeuds d'entrée I_1 et I_2 au moment de la commutation est mémorisée dans le condensateur de mémorisation 2 du circuit de mémorisation de tension.

Ensuite, l'élément de commutation d'isolation d'entrée 46 est également bloqué et l'élément de commutation de réaction 48 est débloquent. Il en résulte que le potentiel du côté d'entrée de l'élément de commutation à l'état passant est maintenu pratiquement fixe par rapport au potentiel V_c de l'armature supérieure du condensateur de mémorisation 2, après que l'élément de commutation d'entrée 1 a été bloqué, indépendamment de variations ultérieures du potentiel du premier noeud d'entrée.

Si le condensateur auxiliaire 49 est présent entre le côté d'entrée de l'élément de commutation d'entrée 1 et la borne COM du circuit de mémorisation de tension, ce condensateur auxiliaire agit à la place de l'élément de commutation de réaction 48, ou en plus de celui-ci, de façon à maintenir le potentiel du côté d'entrée de l'élément de commutation d'entrée 1 pratiquement fixe par rapport au potentiel V_c de l'armature supérieure du condensateur de mémorisation 2, après que l'élément de commutation d'entrée 1 a été bloqué.

Le maintien du potentiel du côté de l'entrée après que l'élément de commutation d'entrée 1 a été commuté à l'état bloqué, est souhaitable pour éviter la possibilité que l'élément de commutation d'entrée 1 ne soit débloquent à nouveau si le potentiel du premier noeud d'entrée change suffisamment par rapport au potentiel d'état bloqué qui est appliqué à l'électrode de grille de l'élément de commutation d'entrée 1.

En même temps que l'élément de commutation d'isolation d'entrée 46 est bloqué, ou après, l'élément

de commutation de sélection 47 est commuté de façon à connecter le troisième noeud d'entrée I_3 à la borne commune COM à la place du second noeud d'entrée I_2 .

De ce fait, le potentiel de la borne de
 5 sortie devient pratiquement égal au potentiel du troisième noeud d'entrée, V_3 , plus la différence mémorisée $V_1 - V_2$ entre les potentiels des premier et second noeuds d'entrée, c'est-à-dire :

$$V_o = V_1 - V_2 + V_3 + V_{\text{erreur}}$$

10 en désignant par V_{erreur} une tension d'erreur dans la différence de potentiel mémorisée $V_1 - V_2$ qui est occasionnée par une injection de charge par l'élément de commutation d'entrée 1 au moment où il est bloqué. Lorsque, comme on l'a envisagé précédemment, le poten-
 15 tiel d'état passant qui est appliqué à l'élément de commutation d'entrée I suit le potentiel du noeud d'entrée, cette tension d'erreur V_{erreur} est pratiquement constante, indépendamment des potentiels qui sont appliqués au circuit, ce qui fait que l'on peut
 20 compenser cette tension d'erreur d'une manière simple, comme il est souhaitable.

On notera que, du fait de l'élimination effective des effets de capacité parasite dans le circuit de mémorisation de tension, le potentiel de
 25 l'armature inférieure du condensateur de mémorisation peut être changé librement, après la mémorisation d'une différence de potentiel désirée, sans affecter d'une manière imprévisible la différence de potentiel mémorisée. Ceci permet à un circuit de mémorisation de
 30 tension ayant la structure décrite ci-dessus en relation avec la figure 3, de procurer une précision particulièrement élevée dans des applications de sommation de tension.

A titre d'application avantageuse supplé-

mentaire du circuit de mémorisation de tension de la figure 3, la figure 11 montre un circuit doubleur de tension 50 qui comprend des premier et second circuits de mémorisation de tension VSC_1 et VSC_2 , ayant chacun
 5 la structure décrite précédemment en relation avec la figure 3.

Le circuit 50 comporte des premier et second noeuds d'entrée I_1 et I_2 et des premier et second noeuds de sortie O_1 et O_2 . Un premier élément de
 10 commutation commandé 51 est connecté entre le premier noeud d'entrée I_1 et une borne d'entrée $ENTREE_1$ du premier circuit de mémorisation de tension VSC_1 . Un second élément de commutation commandé 52 est connecté entre le second noeud d'entrée I_2 et la borne commune
 15 COM_1 du premier circuit de mémorisation de tension VSC_1 .

Un troisième élément de commutation commandé 53 est connecté entre le premier noeud d'entrée I_1 et la borne commune COM_2 du second circuit de mémorisation de tension VSC_2 . Un quatrième élément de commuta-
 20 tion commandé 54 est connecté entre le second noeud d'entrée I_2 et la borne d'entrée $ENTREE_2$ du second circuit de mémorisation de tension VSC_2 .

Un cinquième élément de commutation commandé 55 est connecté entre les bornes communes respectives COM_1 , COM_2 des circuits de mémorisation de tension VSC_1 et VSC_2 .
 25

Les bornes de sortie respectives $SORTIE_1$ et $SORTIE_2$ des premier et second circuits de mémorisation de tension VSC_1 et VSC_2 sont respectivement connectées
 30 aux premier et second noeuds de sortie O_1 et O_2 du circuit 50.

Le circuit 50 comprend en outre des moyens de commande 60 qui appliquent un premier signal de
 35 commande ϕ_1 aux éléments de commutation 51 à 54, et un

second signal de commande ϕ_2 à l'élément de commutation 55. Les moyens de commande 60 appliquent également aux circuits de mémorisation de tension VSC_1 et VSC_2 le signal de commutation précité CK qui est
5 utilisé pour commander la commutation des éléments de commutation 1 respectifs des circuits de mémorisation de tension. Les éléments de commutation 51 à 54 sont commandés de façon à être dans l'état passant lorsque le signal de commande ϕ_1 est actif, et l'élément de
10 commutation 55 est commandé de façon à être dans l'état passant lorsque le signal de commande ϕ_2 est actif. La génération du signal de commutation CK qui est appliqué aux moyens d'attaque de commutation 4, 5 de chacun des circuits de mémorisation de tension est
15 synchronisée par les moyens de commande 60 avec la commutation des éléments de commutation de commande 51 à 55, de façon que les éléments de commutation 1 respectifs des circuits de mémorisation de tension VSC_1 et VSC_2 soient maintenus dans l'état passant lorsque
20 les éléments de commutation 51 à 54 sont initialement dans l'état passant, mais soient bloqués avant que ces éléments 51 à 54 ne soient commutés à l'état bloqué.

Dans le fonctionnement du circuit doubleur de tension de la figure 11, le signal de commande ϕ_1
25 est initialement activé de façon que les éléments de commutation commandés 51 à 54 soient initialement commutés à l'état passant, l'élément de commutation 55 étant bloqué à ce moment. Par conséquent, lorsque ϕ_1 est actif, les éléments de commutation 51 à 55 sont
30 dans une configuration d'entrée qui permet qu'une tension d'entrée V_1 entre les noeuds d'entrée I_1 et I_2 , soit appliquée entre les bornes d'entrée et commune respectives de chacun des circuits de mémorisation de tension VSC_1 et VSC_2 .

35 Pendant que les éléments de commutation

d'entrée 51 à 55 sont dans cette configuration, les éléments de commutation respectifs 1 des circuits de mémorisation de tension VSC_1 et VSC_2 sont commandés par leurs moyens d'attaque de commutation associés 4, 5 de façon à être dans l'état passant. Il en résulte que les condensateurs de mémorisation 2 respectifs de ces circuits sont respectivement chargés à la tension d'entrée V_{i1} . A cet égard, on notera que la tension d'entrée est appliquée au second circuit de mémorisation de tension VSC_2 avec une polarité inverse, en comparaison avec le premier circuit de mémorisation de tension VSC_1 .

Pendant que les éléments de commutation 51 à 54 sont toujours à l'état passant, les moyens de commande 60 appliquent le signal de commutation CK aux moyens d'attaque de commutation respectifs 4, 5 des circuits de mémorisation de tension, dans le but de commuter à l'état bloqué les éléments de commutation 1 respectifs des circuits de mémorisation de tension. Il en résulte que la tension d'entrée V_{is} à l'instant de commutation t_{comm} est mémorisée dans les condensateurs de mémorisation 2 respectifs des circuits de mémorisation de tension.

Ensuite, les moyens de commande 60 désactivent le signal de commande ϕ_1 , de façon à bloquer les éléments de commutation 51 à 54, et ils activent ensuite le signal de commande ϕ_2 de façon à commuter l'élément de commutation 55 à l'état passant. Dans cette condition, les éléments de commutation 51 à 56 sont dans une configuration de sortie. Dans cette configuration de sortie, les condensateurs de mémorisation 2 respectifs des circuits de mémorisation de tension VSC_1 et VSC_2 sont connectés en série entre les entrées respectives des éléments amplificateurs 3 des circuits de mémorisation de tension VSC_1 et VSC_2 . Du

fait que ces éléments amplificateurs 3 des circuits de
mémorisation de tension ont uniquement pour fonction
de reproduire sur leurs sorties respectives les poten-
tiels présents sur leurs entrées, la tension de sortie
5 V_O qui est produite entre les premier et second noeuds
de sortie O_1 et O_2 est pratiquement égale au double de
la tension d'entrée mémorisée V_{is} , c'est-à-dire que
l'on a $V_O = 2V_{is}$.

Par conséquent, le circuit 50 procure une
10 tension de sortie V_O qui est pratiquement égale au
double de la tension d'entrée appliquée V_i à l'instant
de commutation t_{comm} .

Le circuit de la figure 11 est capable de
procurer une précision très élevée dans le doublement
15 de tension, du fait que les effets de capacités para-
sites dans le circuit sont minimisés. Ceci vient du
fait que dans un circuit de mémorisation de tension
ayant la structure décrite précédemment, les capacités
parasites qui affectent le signal d'entrée appliqué
20 (c'est-à-dire la capacité de l'élément de commutation
d'entrée 1, la capacité à l'entrée de l'élément ampli-
ficateur 3, et toute capacité d'interconnexion dans le
circuit de mémorisation de tension) peuvent toutes
être compensées par une configuration bootstrap.
25 Compte tenu du fait que les circuits de mémorisation
de tension doivent être formés de préférence dans des
caissons respectifs (pour permettre la compensation
par une configuration bootstrap de la capacité
d'interconnexion des circuits de mémorisation de ten-
30 sion), l'ensemble du circuit doubleur de tension 50
doit de préférence être réalisé sous la forme d'un
circuit intégré.

Il faut noter que cette technique de double-
ment de tension est fondamentalement différente de
35 celle qui est adoptée dans des circuits à condensateurs

commutés que l'on a envisagés précédemment pour effectuer un doublement de tension. Dans ces circuits considérés précédemment, on conçoit le fonctionnement du circuit de façon qu'il soit insensible à des capacités parasites en faisant en sorte que tous les noeuds dans le circuit soient attaqués par des amplificateurs (de façon que les capacités parasites soient chargées par les sorties des amplificateurs et n'aient aucun effet), ou soient toujours ramenés à la même tension à toutes les phases d'horloge (configuration à "masse virtuelle", de façon qu'aucune charge résultante n'entre dans les capacités parasites ou ne sorte de celles-ci). Le document EP-B-0 214 831 fournit un exemple de cette dernière technique.

En concevant les circuits de façon qu'ils soient insensibles à des capacités parasites, on élimine les problèmes qui sont occasionnés par les capacités parasites elles-mêmes, mais l'élimination des problèmes de capacités parasites conduit à un problème différent, associé à la discordance inévitable entre les condensateurs qui sont utilisés pour mémoriser et pour doubler la tension d'entrée, ce qui empêche d'obtenir une précision aussi élevée qu'il est souhaitable.

Ce problème vient du fait que dans des circuits doubleurs de tension envisagés précédemment, qui sont basés sur des condensateurs commutés, la variable qui est conservée pendant une opération de doublement de tension est la charge (transférée d'un condensateur à un autre), et non la tension, comme dans le circuit de la figure 11.

En examinant ce problème de façon plus détaillée, on note que pour doubler une tension lorsque la charge est conservée, un condensateur de valeur $2C$ (ou deux condensateurs, ayant chacun un valeur C ,

connectés en parallèle) est chargé à la tension d'entrée, et ensuite toute la charge est transférée à un seul condensateur de valeur C (qui peut être ou non l'un des condensateurs chargés à l'origine). La
 5 conservation de charge donne :

$$2 C \cdot V_{\text{entrée}} = C \cdot V_{\text{sortie}}$$

$$V_{\text{sortie}} = 2 V_{\text{entrée}}$$

Cependant, on trouve que dans des circuits pratiques la tension de sortie V_{sortie} n'est pas
 10 précisément égale au double de la tension d'entrée $V_{\text{entrée}}$, et ceci est dû à une discordance entre les capacités respectives des condensateurs qui sont utilisés pour effectuer l'opération de doublement de tension. A cet égard, si l'on désigne respectivement
 15 par C_1 et C_2 les capacités respectives des deux condensateurs qui sont chargés à la tension d'entrée $V_{\text{entrée}}$, et par C_3 la capacité d'un troisième condensateur qui reçoit la charge combinée mémorisée dans ces deux condensateurs, la conservation de charge
 20 donne :

$$(C_1 + C_2) \cdot V_{\text{entrée}} = C_3 \cdot V_{\text{sortie}}$$

$$V_{\text{sortie}} = [(C_1 + C_2) / C_3] V_{\text{entrée}}$$

Des discordances aléatoires entre des condensateurs nominalement identiques sont comprises
 25 de façon caractéristique entre 0,1% (ce qui est relativement aisé à obtenir sur un circuit intégré) et 0,01% (ce qui exige des précautions extrêmes, par exemple de grands condensateurs divisés en plusieurs éléments et entrelacés). Une telle erreur de discor-
 30 dance de capacité conduit à une erreur comparable dans la tension doublée et, lorsque le circuit doubleur de tension est employé par exemple dans un convertisseur

analogique-numérique, la linéarité du convertisseur analogique-numérique peut être limitée par une telle erreur à une valeur comprise entre 10 et 13 bits.

5 L'erreur due à une discordance de capacité dans de tels circuits doubleurs de tension basés sur un transfert de charge que l'on a envisagés précédemment, peut être éliminée par l'utilisation de structures de commutation complexes. Un procédé envisagé précédemment consiste à charger un condensateur C_1 à la tension d'entrée, à transférer la charge vers un condensateur de mémorisation C_2 , à charger à nouveau C_1 à la tension d'entrée, et à retransférer ensuite toute la charge vers C_1 . Ceci conduit à un doublement de tension exact de la tension d'entrée, du fait que la charge est initialement et finalement dans le même condensateur, mais ce procédé est plus complexe, plus lent (il fait intervenir davantage de phases d'horloge) et plus sensible à du bruit de commutation d'amplificateur.

20 Un autre procédé envisagé précédemment consiste à effectuer un "auto-étalonnage", c'est-à-dire à incorporer des circuits supplémentaires qui mesurent la discordance des condensateurs et qui effectuent un réglage de compensation. Cependant, 25 l'incorporation de tels circuits augmente la complexité des circuits et réduit la vitesse de fonctionnement.

En outre, les circuits doubleurs de tension considérés précédemment, qui reposent sur un transfert de charge, reposent effectivement sur l'hypothèse selon laquelle les condensateurs sont linéaires, ce qui fait que le doublement de la charge dans un condensateur double nécessairement la tension à ses bornes. En fonction de la structure physique du condensateur, la non-linéarité des condensateurs qui

sont utilisés dans ces circuits doubleurs de tension envisagés précédemment peut également limiter la linéarité du circuit doubleur de tension, considéré globalement.

5 Au contraire, dans le circuit de la figure 11, l'exigence de condensateurs extrêmement linéaires et présentant une concordance exacte est éliminée. Le fait de charger deux condensateurs en parallèle et de les connecter ensuite en série doublera toujours
10 exactement la tension d'entrée, indépendamment de la concordance et de la linéarité des condensateurs, à condition de pouvoir éliminer de façon satisfaisante les effets de capacités parasites.

 Dans le circuit de la figure 11, du fait que
15 les moyens d'attaque de commutation de type bootstrap 4, 5 de chaque circuit de mémorisation de tension font en sorte que l'injection de charge des éléments de commutation 1 soit maintenue constante, alors à condition que les circuits de mémorisation de tension
20 soient conçus de façon que toutes les capacités parasites qu'ils contiennent soient attaquées par les sorties d'éléments amplificateurs, pratiquement la seule limite à la linéarité du fonctionnement consiste dans l'erreur de gain des éléments amplificateurs.
25 Ceci vient du fait que l'annulation des capacités parasites n'est pas pleinement efficace si les gains des éléments amplificateurs des circuits de mémorisation de tension ne sont pas exactement égaux à l'unité. On doit donc minimiser cette erreur de gain
30 par rapport à une valeur exactement égale à l'unité.

 En pratique, on peut rendre cette erreur de gain aussi faible que l'exige la précision désirée de l'application de doublement de tension particulière (bien qu'une structure d'élément amplificateur relativement complexe soit nécessaire pour obtenir une
35

exactitude optimale). Ceci signifie qu'en adoptant une structure d'élément amplificateur appropriée, on doit pouvoir obtenir une linéarité d'au moins 1 ppm ou mieux, la limite de performance réelle dépendant alors du bruit aléatoire qui est dû à l'amplificateur et du bruit thermique (kT/C).

Dans un convertisseur analogique-numérique utilisant un tel circuit doubleur de tension, on pourrait maintenir une linéarité dépassant 20 bits.

Enfin, grâce à la connexion en opposition de deux circuits de mémorisation de tension VSC_1 et VSC_2 dans le circuit doubleur de tension 50 de la figure 11, les quantités de charge respectives qui sont injectées par les éléments de commutation 1 des circuits à l'instant de commutation s'annulent effectivement, ce qui rend le circuit auto-compensateur.

On va maintenant présenter en se référant à la figure 12 un exemple de l'utilisation d'un circuit doubleur de tension 50 tel que celui qui est représenté sur la figure 11.

La figure 12 montre des parties d'un convertisseur analogique-numérique (CAN) employant un circuit doubleur de tension tel que celui qui est représenté sur la figure 11. Le convertisseur analogique-numérique de la figure 12 est un convertisseur analogique-numérique utilisant une "logique à trois états".

Un convertisseur analogique-numérique utilisant une logique à trois états effectue sa conversion analogique-numérique en accomplissant une série d'opérations de conversion de tension, en partant d'une tension d'entrée analogique appliquée, chacune de ces opérations faisant intervenir une opération de doublement de tension. Des données numériques sont produites au cours de chacune de ces opérations de

conversion de tension, et les données numériques provenant d'opérations de conversion successives sont combinées pour produire un mot de sortie numérique qui est représentatif de la tension d'entrée analogique appliquée.

Dans chaque opération de conversion de tension qui est effectuée par un CAN utilisant une logique à trois états, au cours d'une première phase du fonctionnement une tension d'entrée analogique est comparée avec un potentiel de comparaison prédéterminé $V_r/4$, en désignant par V_r un potentiel de référence prédéterminé, pour produire l'une de trois valeurs de données numériques, comme l'indique le Tableau 1 ci-dessous.

<u>Résultat de la comparaison</u>	<u>Données numériques</u>
$V_r/4 \leq V_i$	+1
$-V_r/4 \leq V_i < V_r/4$	0
$V_i < -V_r/4$	-1

Tableau 1

Ensuite, au cours d'une seconde phase du fonctionnement, sous la dépendance des données numériques qui sont produites dans la première phase, la tension d'entrée V_i est convertie pour produire une tension de conversion analogique V_c qui est liée à V_i par les expressions qui sont indiquées dans le Tableau 2 ci-dessous.

<u>Données numériques</u>	<u>Tension de conversion analogique V_c</u>
+1	$2V_i - V_r$
0	$2V_i$
-1	$2V_i + V_r$

Tableau 2

Au cours de l'opération de conversion suivante, cette tension de conversion analogique V_C est utilisée à titre de tension d'entrée analogique, et la tension de conversion V_C converge vers zéro au cours d'opérations successives de ce type. Chaque opération de conversion successive produit un "bit" de données numériques à logique à trois états (+1, 0, -1). Un mot de sortie exprimé en logique binaire normale (à deux états) peut être obtenu à partir de tous les bits à trois états, en combinaison, par l'emploi d'un circuit logique numérique approprié, R bits à trois états produisant un mot de sortie en logique binaire qui comprend (R+1) bits.

Une description plus complète du fonctionnement d'un convertisseur analogique-numérique utilisant une logique à trois états envisagé précédemment, est présentée dans les documents : "Fujitsu Facts : Three-states logic controls CMOS cyclic A/D converter is used in MB87020" par K. Gotoh et O. Kobayashi, et EP-B-0 214 831, ces deux documents étant incorporés ici par référence.

Le CAN de la figure 12 comprend N étages de conversion de tension ST_1, ST_2, \dots, ST_N connectés en série, chacun d'eux étant capable d'effectuer une opération de conversion de tension de la manière décrite ci-dessus en relation avec les Tableaux 1 et 2. Seuls les deux premiers étages de conversion de tension ST_1 et ST_2 du convertisseur analogique-numérique sont représentés sur la figure 12.

Chacun des étages ST_i est basé sur un circuit doubleur de tension 50' qui est de façon générale du type décrit précédemment en relation avec la figure 11, les noeuds d'entrée I_1 et I_2 du circuit doubleur de tension 50' constituant des noeuds d'entrée de l'étage, et les noeuds de sortie O_1 et O_2

du circuit doubleur de tension 50' constituant de façon similaire des noeuds de sortie de l'étage.

Le circuit doubleur de tension 50' de chaque étage ST_i diffère cependant du circuit doubleur de tension de la figure 11 par le fait qu'à la place de l'élément de commutation 55 unique du circuit de la figure 11, le circuit doubleur de tension 50' comporte deux éléments de commutation commandés 55 et 56 et des moyens de réglage de tension 58, connectés en série entre les bornes communes respectives COM_1 et COM_2 des deux circuits de mémorisation de tension VSC_1 et VSC_2 du circuit.

Dans chaque étage ST_i , les éléments de commutation 51 à 56 peuvent être soit dans la configuration d'entrée précitée (les éléments de commutation 51 à 54 sont dans l'état passant tandis que les éléments de commutation 55 et 56 sont dans l'état bloqué), soit dans la configuration de sortie (les éléments de commutation 55 et 56 sont dans l'état passant, tandis que les éléments de commutation 51 à 54 sont dans l'état bloqué).

Comme dans le cas du circuit doubleur de tension 50 de la figure 11, les éléments de commutation 51 à 56 de chaque étage ST_i sont commandés par des signaux de commande ϕ_1 et ϕ_2 . Cependant, dans le convertisseur analogique-numérique de la figure 12, des moyens de commande 60', communs à tous les étages, sont incorporés pour générer les premier et second signaux de commande de chaque étage, et lorsque ϕ_1 est à l'état actif, les éléments de commutation 51 à 56 des étages de rang impair ST_1, ST_3, ST_5, \dots sont maintenus dans la configuration d'entrée, tandis que les éléments de commutation 51 à 56 des étages de rang pair ST_2, ST_4, ST_6, \dots sont maintenus dans la configuration de sortie, et inversement lorsque ϕ_2 est à

l'état actif.

Chaque étage de conversion de tension ST_i comprend également des moyens comparateurs 70 connectés aux premier et second noeuds d'entrée I_1 et I_2 de l'étage, pour recevoir la tension d'entrée V_i qui est appliquée à l'étage, et connectés également de façon à recevoir le potentiel de comparaison $V_r/4$ précité. Les moyens comparateurs 70 fournissent à leurs sorties des données numériques en logique à trois états a (+1, 0, -1), qui constituent l'information de sortie numérique de l'étage, conformément au Tableau 2 ci-dessus. Les données numériques de chaque étage sont appliquées aux moyens de traitement de données 80 pour être traitées de façon à produire un mot de sortie numérique. Les données numériques a sont également appliquées aux moyens de réglage de tension 58 pour commander leur fonctionnement.

Lorsque les éléments de commutation 55 et 56 sont à l'état passant, les moyens de réglage de tension ont pour fonction d'appliquer entre les bornes communes respectives COM_1 et COM_2 des circuits de mémorisation de tension de l'étage, une tension de décalage V_{os} qui est sélectionnée, parmi trois tensions possibles différentes, par les données numériques a qui sont produites par les moyens comparateurs. Dans le cas dans lequel $a = +1$ (ce qui correspond au cas dans lequel $V_r/4 \leq V_i$), la tension de décalage sélectionnée est $V_{os} = -V_r$. Lorsque $a = 0$ (ce qui correspond au cas dans lequel $-V_r/4 \leq V_i < V_r/4$), la tension de décalage sélectionnée est $V_{os} = 0$. Lorsque $a = -1$ (ce qui correspond au cas dans lequel $V_i < -V_r/4$), la tension de décalage sélectionnée est $V_{os} = +V_r$.

Dans le fonctionnement du convertisseur analogique-numérique qui est représenté sur la figure

12, une tension d'entrée analogique V_{i1} devant être numérisée est appliquée entre les premier et second noeuds d'entrée I_1 et I_2 du premier étage de conversion de tension ST_1 . Initialement, les moyens de
5 commande 60' activent le signal de commande ϕ_1 , de façon que le premier étage de conversion de tension ST_1 soit maintenu dans la configuration d'entrée (ses éléments de commutation 51 à 54 sont dans l'état passant). Dans cette configuration, les éléments de
10 commutation 55 et 56 sont tous deux maintenus dans l'état bloqué, ce qui fait que les moyens de réglage de tension 58 sont isolés du reste du circuit.

Pendant que ϕ_1 est à l'état actif, les moyens comparateurs 70 du premier étage ST_1 comparent
15 la tension d'entrée appliquée V_i avec le potentiel de comparaison $V_r/4$ et ils produisent des données numériques logiques à trois états a sous la dépendance du résultat de la comparaison.

Avant la fin de la période au cours de laquelle ϕ_1 est à l'état actif, le signal de commutation CK est appliqué par les moyens de commande 60' à
20 chacun des moyens d'attaque de commutation 4, 5 du premier étage ST_1 , pour commuter à l'état bloqué les éléments de commutation 1 respectifs des circuits de mémorisation de tension VSC_1 et VSC_2 de l'étage ST_1 ,
25 ce qui fait que la tension d'entrée V_{i1} du premier étage ST_1 est mémorisée dans chacun des condensateurs de mémorisation 2 respectifs de ces circuits.

Les moyens de commande 60' désactivent ensuite ϕ_1 et ils activent ϕ_2 pour commuter le premier
30 étage ST_1 vers la configuration de sortie. Dans cette configuration, les éléments de commutation 51 à 54 de l'étage sont dans l'état bloqué, et les éléments de commutation 55 et 56 de l'étage sont dans l'état passant. Les moyens de réglage de tension 58 sont donc
35

connectés en série entre les condensateurs de mémorisation 2 respectifs des circuits de mémorisation de tension VSC_1 et VSC_2 , ce qui fait que la tension de décalage sélectionnée V_{os} ($-V_r$, 0, $+V_r$, dépendant des données numériques a), est appliquée entre les bornes communes respectives COM_1 et COM_2 des circuits de mémorisation de tension VSC_1 et VSC_2 . Par conséquent, il apparaît entre les premier et second noeuds de sortie O_1 , O_2 de l'étage ST_1 une tension de conversion analogique V_c qui diffère du double de la tension d'entrée mémorisée V_{i1} , avec un écart égal à la tension de décalage sélectionnée V_{os} qui est appliquée entre les bornes communes respectives COM_1 et COM_2 des circuits de mémorisation de tension VSC_1 et VSC_2 par les moyens de réglage de tension 58 (c'est-à-dire $V_{c1} = 2V_{i1} + V_{os}$).

Ainsi, conformément au Tableau 2 ci-dessus, la tension de conversion V_{c1} qui est produite par l'étage de conversion ST_1 peut être égale à $2V_{i1} - V_r$, $2V_{i1}$, ou $2V_{i1} + V_r$, en fonction du résultat de la comparaison entre V_{i1} et le potentiel de comparaison $V_r/4$.

Comme représenté sur la figure 12, les étages de conversion de tension du CAN sont connectés en série, de façon que le second étage de conversion de tension ST_2 reçoive pour sa tension d'entrée V_{i2} la tension de conversion analogique V_{c1} qui est produite par le premier étage de conversion de tension ST_1 . Comme indiqué ci-dessus, les éléments de commutation 51 à 56 du second étage ST_2 sont commandés par ϕ_2 de façon à être dans la configuration d'entrée lorsque les éléments de commutation 51 à 56 du premier étage ST_1 sont dans la configuration de sortie, ce qui fait que le second étage ST_2 peut commencer à effectuer sans aucun retard son opération de comparaison sur la

tension de conversion V_{c1} qui est produite par le premier étages ST_1 . Le signal de commutation CK pour les moyens de commande de commutation 4, 5 du second étage ST_2 est donc produit pendant que ϕ_2 est à l'état actif (et non pendant que ϕ_1 est à l'état actif, comme c'était le cas avec les moyens d'attaque de commutation 4, 5 du premier étage de conversion ST_1), ce qui fait que la tension de conversion analogique V_{c1} du premier étage ST_1 est mémorisée dans le second étage ST_2 . Après la fin de la période au cours de laquelle ϕ_2 est à l'état actif, ϕ_1 est activé à nouveau, ce qui commute le second étage ST_2 vers la configuration de sortie. Il produit donc sa tension de conversion analogique V_{c2} sous la dépendance de la tension de conversion analogique V_{c1} de l'étage précédent (premier étage).

La tension de conversion analogique V_{c2} est appliquée à l'entrée de l'étage suivant ST_3 , et elle est convertie à son tour (pendant la période suivante au cours de laquelle ϕ_1 est à l'état actif) en une tension de conversion analogique V_{c3} . Des opérations de conversion de tension successives sont ainsi effectuées à chaque permutation de l'activation des signaux de commande ϕ_1 et ϕ_2 . Les périodes t_1 et t_2 au cours desquelles les signaux de commande ϕ_1 et ϕ_2 sont respectivement actifs constituent des première et seconde phases d'horloge du convertisseur, la seconde phase commençant après la fin de la première phase d'horloge au cours de chaque période d'horloge successive du convertisseur.

Du fait que le premier étage ST_1 est commuté de façon à revenir à la configuration d'entrée lorsque le second étage ST_2 est commuté vers la configuration de sortie (pour convertir en tension de conversion analogique V_{c2} la tension de conversion analogique V_{c1}

qui vient d'être fournie par le premier étage), le convertisseur peut recevoir une nouvelle tension d'entrée analogique chaque fois que ϕ_1 est réactivé. De cette manière, le convertisseur analogique-numérique peut produire un nouveau résultat de conversion (un mot de sortie numérique basé sur N bits à trois états) à chaque période d'horloge.

Il n'est pas essentiel que les moyens comparateurs 70 d'un étage donné comparent directement la tension d'entrée appliquée de l'étage avec le potentiel de comparaison. La comparaison pourrait être effectuée entre d'une part le potentiel de comparaison et, d'autre part, la tension d'entrée qui est mémorisée dans les circuits de mémorisation de tension, ou une tension de conversion analogique initiale qui est fournie par l'étage avant la comparaison (la tension de conversion analogique étant ensuite corrigée).

A la place des N étages qui sont utilisés sur la figure 12, il serait possible d'utiliser seulement deux étages de conversion de tension fonctionnant de manière itérative, chacun d'eux échantillonnant alternativement l'information de sortie de l'autre. Cette configuration exigerait une période d'horloge (c'est-à-dire 2 phases d'horloge) pour produire chaque groupe de deux bits des données numériques à logique à trois états. Ainsi, pour effectuer une conversion à N bits, la structure prendrait N/2 périodes d'horloge, ce qui est beaucoup plus lent qu'un convertisseur employant N étages. Le volume des circuits exigés serait cependant diminué.

Selon un aspect différent de la présente invention, il est également possible de réaliser un convertisseur analogique-numérique utilisant une logique à trois états employant un seul étage de conversion de tension qui fonctionne de manière

itérative, bien que dans ce cas l'étage de conversion de tension doive utiliser des circuits de mémorisation de tension qui sont construits différemment des circuits de mémorisation de tension dans les étages de conversion ST_i du convertisseur analogique-numérique de la figure 12, comme il est décrit ci-dessous en relation avec la figure 13.

Sur la figure 13, un étage de conversion de tension 90 prévu pour l'utilisation dans un convertisseur analogique-numérique utilisant une logique à trois états, comprend des premier et second circuits de mémorisation de tension modifiés VSC_1' et VSC_2' , qui sont respectivement connectés à des premier et second noeuds d'entrée I_1 et I_2 de l'étage de conversion de tension 90.

Chaque circuit de mémorisation de tension modifié comprend un élément de commutation d'entrée 1, un élément amplificateur à gain égal à l'unité, 3, et des moyens d'attaque de commutation à configuration bootstrap 4, 5, comme décrit précédemment en relation avec les figures 3 à 9(B). Cependant, à la place d'un condensateur 2 unique dans le circuit de mémorisation de tension de la figure 3, chaque circuit de mémorisation de tension modifié comprend deux condensateurs, portant les désignations C_1 et C_3 dans le cas du premier circuit de mémorisation de tension modifié VSC_1' , et C_2 et C_4 dans le cas du second circuit de mémorisation de tension modifié VSC_2' . Les condensateurs C_1 à C_4 ont normalement la même capacité, mais ceci n'est pas essentiel pour le fonctionnement correct de l'étage de conversion de tension 90.

Chaque circuit de mémorisation de tension modifié comprend également un certain nombre d'éléments de commutation 91 à 106, avec quatre éléments de commutation associés à chaque condensateur

C_1 à C_4 . Ainsi, les éléments de commutation 91, 92, 95 et 96 sont associés au condensateur C_1 , les éléments de commutation 101, 102, 105 et 106 sont associés au condensateur C_2 , les éléments de commutation 93, 94, 97 et 98 sont associés au condensateur C_3 , et les éléments de commutation 99, 100, 103 et 104 sont associés au condensateur C_4 .

Les éléments de commutation 91 à 106 sont bloqués et débloqués conformément à des signaux de commande ϕ_1 et ϕ_2 qui sont produits par les moyens d'attaque de commutation à configuration bootstrap, comme on l'expliquera ci-après de façon plus détaillée.

A chaque circuit de mémorisation de tension modifié VSC_1 ou VSC_2 sont associés un élément de commutation d'isolation d'entrée 46 qui est connecté en série avec l'élément de commutation d'entrée 1, entre cet élément et le noeud d'entrée approprié I_1 ou I_2 de l'étage de conversion de tension 90, et un élément de commutation de réaction 48 qui est connecté entre un noeud de sortie du circuit de mémorisation de tension modifié (à la borne de sortie de l'élément amplificateur 3) et le côté d'entrée de l'élément de commutation d'entrée 1. L'élément de commutation d'isolation d'entrée 46 et l'élément de commutation de réaction 48 correspondent aux éléments de commutation qui portent la même dénomination et la même référence numérique dans le circuit de sommation de tension de la figure 10, et ils remplissent la même fonction. Selon une variante, on peut remplacer les éléments de commutation de réaction 48 par des résistances.

Des moyens de réglage de tension 58, qui sont de façon générale similaires aux moyens de réglage de tension 58 de la figure 12, sont connectés entre les premier et second circuits de mémorisation

de tension modifiés VSC_1' ou VSC_2' . En outre, des
 moyens comparateurs 70, similaires aux moyens compara-
 teurs de chaque étage de conversion de tension ST_i sur
 la figure 12, sont connectés entre les noeuds de
 5 sortie respectifs des circuits de mémorisation de
 tension modifiés.

Les moyens de réglage de tension 58 compren-
 nent en outre un ensemble supplémentaire d'éléments de
 commutation 581 à 588. Les six éléments de commutation
 10 582 à 584 et 586 à 588 sont activés par paires sous la
 dépendance du niveau logique du "bit" de données à
 trois états a_i que produisent les moyens comparateurs.
 De cette manière, lorsque $a_i = -1$, les éléments de
 commutation 582 et 586 sont activés, et il en résulte
 15 qu'une tension de décalage V_{os} qui est produite entre
 les bornes de sortie des moyens de réglage de tension
 58 est égale à $+V_r$, en désignant par V_r une tension de
 référence prédéterminée; lorsque $a_i = 0$, les éléments
 de commutation 583 et 587 sont activés, et la tension
 20 de décalage V_{os} est égal à zéro; et lorsque $a_i = +1$,
 les éléments de commutation 584 et 588 sont activés et
 la tension de décalage V_{os} est égale à $-V_r$.

On expliquera ci-dessous l'activation des
 deux autres éléments de commutation 581 et 585 dans
 25 les moyens de réglage de tension 58, qui sont respec-
 tivement connectés aux second et premier noeuds
 d'entrée I_2 et I_1 de l'étage 90.

Les moyens de commande 61, qui sont de façon
 générale similaires aux moyens de commande 60' sur la
 30 figure 12, produisent non seulement des signaux de
 commande maîtres ϕ_{1M} et ϕ_{2M} , mais également des
 signaux de commande maîtres supplémentaires respectifs
 SAM_M et CON_M . Les signaux de commande maîtres ϕ_{1M} , ϕ_{2M}
 et SAM_M sont appliqués aux moyens d'attaque de commu-
 35 tation à configuration bootstrap 4, 5 de chaque

circuit de mémorisation de tension modifié. Les moyens d'attaque de commutation à configuration bootstrap de chaque circuit de mémorisation de tension modifié génèrent des signaux de commande ϕ_1 , ϕ_2 et ECHANTILLONNAGE, soumis à l'action d'une configuration du type bootstrap, conformément aux signaux de commande maîtres correspondants ϕ_{1M} , ϕ_{2M} et SAM_M , pour l'application aux éléments de commutation du circuit de mémorisation de tension modifié concerné, les potentiels des signaux de commande de type bootstrap ayant la propriété de suivre le potentiel de la borne de sortie de l'élément amplificateur 3 dans le circuit de mémorisation de tension modifié. Un signal de commande supplémentaire CONVERSION, qui est utilisé pour activer l'élément de commutation de réaction 48 associé à chaque circuit de mémorisation de tension modifié, peut être un signal de commande de type bootstrap qui est obtenu à partir du signal maître CON_M , mais il peut également être fourni directement par le signal maître CON_M , du fait qu'il n'est pas essentiel que le signal qui est appliqué aux éléments de commutation de réaction 48 soit un signal traité par une configuration bootstrap.

Au début d'une opération de conversion par l'étage de conversion de tension 90 de la figure 13, une tension d'entrée analogique devant être convertie en son équivalent numérique est appliquée entre les premier et second noeuds d'entrée I_1 et I_2 de l'étage de conversion de tension 90. Pour faciliter l'échantillonnage de la tension analogique appliquée, les moyens de commande 61 génèrent le signal de commande maître SAM_M qui active les signaux de commande ECHANTILLONNAGE, qui sont soumis à l'action d'une configuration bootstrap, dans chaque circuit de mémorisation de tension modifié, pour connecter les noeuds

d'entrée I_1 et I_2 aux entrées respectives des éléments amplificateurs 3 dans les circuits de mémorisation de tension modifiés, par l'intermédiaire des éléments de commutation 1 et 46. A ce moment, le signal de commande CONVERSION est désactivé, ce qui fait que les
5 éléments de commutation de réaction 48 sont dans l'état bloqué.

Les éléments de commutation 581 et 585 dans les moyens de réglage de tension 58 sont également
10 activés par le signal de commande ECHANTILLONNAGE, ce qui fait que les potentiels des bornes de sortie des moyens de réglage de tension sont respectivement égaux aux potentiels des second et premier noeuds d'entrée I_2 et I_1 . Les autres éléments de commutation 582 à 584
15 et 586 sont maintenus dans l'état bloqué à ce moment.

Si l'on suppose que pendant l'échantillonnage de la tension d'entrée, le signal de commande ϕ_1 est actif, les éléments de commutation 91, 95, 101 et 105 seront dans l'état passant, ce qui fait que
20 l'armature supérieure du condensateur C_1 dans le premier circuit de mémorisation de tension modifié VSC_1 est connectée au premier noeud d'entrée I_1 , et son armature inférieure est connectée au second noeud d'entrée I_2 . De façon similaire, l'armature supérieure
25 du condensateur C_2 dans le second circuit de mémorisation de tension modifié VSC_2 est connectée au second noeud d'entrée I_2 , et son armature inférieure est connectée au premier noeud d'entrée I_1 . Chaque condensateur C_1 et C_2 mémorise donc la tension d'entrée
30 analogique appliquée, de façon à échantillonner cette tension d'entrée.

Pendant que le signal de commande ϕ_1 est actif, les éléments de commutation 94, 98, 100 et 104 sont dans l'état passant, ce qui fait que les condensateurs C_3 et C_4 sont connectés mutuellement en
35

parallèle entre les bornes de sortie respectives des éléments amplificateurs 3. Du fait que les éléments amplificateurs ont un gain égal à l'unité, la tension d'entrée analogique est également mémorisée dans
5 chacun des condensateurs C_3 et C_4 pendant ϕ_1 .

Le signal de commande ECHANTILLONNAGE est ensuite désactivé, de façon à mettre fin à l'échantillonnage de la tension d'entrée, le signal de commande ϕ_1 restant actif.

10 Après que le signal de commande ECHANTILLONNAGE a été désactivé, le signal de commande CONVERSION est activé pendant le reste d'une opération de conversion. Du fait que les potentiels des bornes d'entrée et de sortie de l'élément amplificateur à gain égal à l'unité, 3, sont toujours égaux, les
15 bornes du côté de l'entrée et du côté de la sortie de l'élément de commutation d'entrée 1 sont maintenues au même potentiel, ce qui fait que l'élément 1 est maintenu de façon sûre dans l'état bloqué, indépendamment de changements ultérieurs dans le potentiel du
20 noeud d'entrée I_1 ou I_2 associé.

La tension d'entrée échantillonnée, qui est maintenue par les condensateurs C_3 et C_4 , est comparée par les moyens comparateurs 70 avec un potentiel de
25 comparaison prédéterminé $V_r/4$, de la même manière que dans le convertisseur analogique-numérique de la figure 12. Un premier "bit" a_1 des données numériques utilisant une logique à trois états (+1, 0, -1) est produit par les moyens comparateurs 70 sous la dépendance du résultat de la comparaison (voir le Tableau 1
30 ci-dessus).

Après que le premier bit de données a_1 a été obtenu, une paire des éléments de commutation 582 à 584 et 586 à 588 dans les moyens de réglage de tension
35 58 est activée conformément au premier bit de données

a_1 . Les moyens de réglage de tension 58 produisent donc l'une de leurs tensions de décalage prédéterminées V_{os} ($-V_r$, 0, $+V_r$ en fonction du bit de données numériques a_1) entre leurs bornes de sortie. Avec le
 5 signal de commande ϕ_1 toujours actif, les éléments de commutation 91, 95, 101 et 105 sont toujours dans l'état passant, ce qui fait qu'une première connexion en série existe maintenant entre les bornes d'entrée respectives des éléments de commutation 3. Cette
 10 première connexion en série comprend le condensateur C_1 , les moyens de réglage de tension 58 et le condensateur C_2 . Par conséquent, la tension entre les bornes d'entrée respectives de l'élément amplificateur 3 est une première tension de conversion V_{c1} qui est égale
 15 au double de la tension d'entrée analogique échantillonnée qui est mémorisée dans les condensateurs C_1 et C_2 , plus la tension de décalage V_{os} qui est sélectionnée par le premier bits de données a_1 . De cette manière, une opération de conversion de tension
 20 conforme au Tableau 2 ci-dessus est effectuée.

Les potentiels des bornes d'entrée des éléments amplificateurs 3 sont amplifiés et isolés par les éléments amplificateurs 3, de façon que la première tension de conversion V_{c1} soit reproduite
 25 entre les bornes de sortie respectives des éléments amplificateurs 3.

Les éléments de commutation 94, 98, 100 et 104 sont tous encore à l'état passant, ce qui fait que les condensateurs C_3 et C_4 sont connectés mutuellement
 30 en parallèle entre les bornes de sortie respectives des éléments amplificateurs 3, et chacun d'eux mémorise la première tension de conversion V_{c1} .

Les moyens comparateurs 70 comparent la première tension de conversion V_{c1} avec le potentiel
 35 de comparaison $V_{r/4}$, et un second bit de données a_2

est produit sous la dépendance du résultat de la comparaison.

Les moyens de commande désactivent ensuite le signal de commande ϕ_1 et ils activent le signal de commande ϕ_2 . Simultanément, le second bit de données a_2 est appliqué aux moyens de réglage de tension pour sélectionner une nouvelle tension de décalage V_{os} , conformément à ce bit de données a_2 . Avec le signal ϕ_2 à l'état actif, les éléments de commutation 93, 97, 99 et 103 sont dans l'état passant. Il en résulte que les condensateurs C_3 et C_4 sont connectés en série avec les moyens de réglage de tension 58, pour former une seconde connexion en série (C_3 - V_{os} - C_4), à la place de la première connexion en série (C_1 - V_{os} - C_2) mentionnée ci-dessus, entre les bornes d'entrée respectives des éléments amplificateurs 3. La nouvelle tension de conversion résultante V_{c2} , qui est produite entre les bornes de sortie respectives des éléments amplificateurs 3, est donc égale au double de la première tension de conversion V_{c1} , plus la nouvelle tension de décalage sélectionnée V_{os} . Avec ϕ_2 à l'état actif, les éléments de commutation 92, 96, 102 et 106 sont dans l'état passant, ce qui fait que cette nouvelle tension de conversion V_{c2} est mémorisée dans les condensateurs C_1 et C_2 qui sont connectés en parallèle entre les bornes de sortie respectives des éléments amplificateurs 3.

La nouvelle tension de conversion V_{c2} est comparée avec le potentiel de comparaison $V_{r/4}$ dans les moyens comparateurs 70, pour produire le bit de données suivant a_3 . Ensuite, le signal de commande ϕ_2 est désactivé, le signal de commande ϕ_1 est activé et le bit de données a_3 est appliqué aux moyens de réglage de tension pour sélectionner une nouvelle tension de décalage V_{os} . Avec ϕ_1 à l'état actif, la

première connexion en série ($C_1-V_{os}-C_2$) remplace la
seconde connexion en série ($C_3-V_{os}-C_4$) entre les
bornes d'entrée des éléments amplificateurs, et les
condensateurs C_3 et C_4 mémorisent la nouvelle tension
5 de conversion résultante V_{C3} .

Par la suite, les signaux de commande ϕ_1 et
 ϕ_2 sont activés en alternance, et un nouveau bit de
données a_i et une nouvelle tension de conversion sont
produits pendant chaque phase successive des signaux
10 de commande.

Comme décrit ci-dessus en relation avec la
figure 12, les bits de données a_i sont appliqués à des
moyens de traitement de données 80 (non représentés)
du convertisseur analogique-numérique, pour être
15 traités de façon à produire un mot de sortie numérique
représentatif de la tension analogique qui a été
appliquée à l'origine. On notera que l'étage de
conversion de tension de la figure 13 nécessite N
phases d'horloge pour produire un mot de sortie numé-
20 rique basé sur N bits à trois états.

On notera que les éléments de commutation 1,
48, 91, 92, 93 et 94 dans le premier circuit de mémo-
risation de tension modifié VSC_1' , et les éléments de
commutation correspondants 1, 48, 103, 104, 105 et 106
25 dans le second circuit de mémorisation de tension
modifié VSC_2' , n'ont aucune tension entre leurs deux
bornes respectives lorsque ϕ_1 ou ϕ_2 est actif, du fait
que pour chaque élément amplificateur 3, le potentiel
de la borne d'entrée est égal au potentiel de la borne
30 de sortie.

Les éléments de commutation 91 à 94 et 103 à
106 qui sont connectés aux armatures supérieures des
condensateurs peuvent commuter sans non-chevauchement
(c'est-à-dire sans retard après le blocage de
35 l'élément 91, par exemple, avant que l'élément 92

puisse être débloquent), du fait que les quatre noeuds auxquels ces éléments sont connectés (borne d'entrée d'élément amplificateur, borne de sortie d'élément amplificateur, et les armatures supérieures respectives des deux condensateurs) ont tous la même tension avant et après la commutation (c'est-à-dire avant et après que chaque phase de signal de commande passe de ϕ_1 à ϕ_2 ou inversement). Cette aptitude à commuter sans non-chevauchement les éléments de commutation d'armatures supérieures 91 à 94 et 103 à 106, simplifie la génération des signaux de commande.

Il faut noter que les éléments de commutation 95 à 102 qui sont connectés aux armatures inférieures des condensateurs doivent être commutés un court intervalle de temps prédéterminé après la commutation des éléments de commutation 91 à 94 et 103 à 106 qui sont connectés aux armatures supérieures des condensateurs, dans le but d'éviter des effets d'injection de charge. Le court intervalle de temps prédéterminé doit être minimisé compte tenu du fait que pendant ce temps, la borne d'entrée de chaque élément amplificateur 3 est effectivement connectée à la borne de sortie de l'autre élément amplificateur, ce qui fait qu'une réaction positive peut avoir lieu. Les effets de cette réaction positive ne sont pas graves compte tenu du fait que les éléments amplificateurs ont un gain égal à l'unité, mais il est néanmoins préférable d'éviter de laisser l'étage de conversion de tension 90 dans cet état pendant un temps plus long que ce qui est absolument nécessaire. Ainsi, dès que les éléments de commutation d'armatures supérieures 91 à 94 et 103 à 106 se sont stabilisés, les éléments de commutation d'armatures inférieures 95 à 102 sont commutés.

Les éléments de commutation 1 et 91 à 94

dans le premier circuit de mémorisation de tension modifié VSC_1' doivent de préférence être formés dans un ou plusieurs caissons du type de conductivité opposé à celui du matériau environnant du substrat, le
5 potentiel du caisson ou de chaque caisson étant fixe par rapport au potentiel de la borne de sortie de l'élément amplificateur 3 dans le premier circuit de mémorisation de tension modifié. Ceci s'applique également aux éléments de commutation 1 et 103 à 106
10 dans le second circuit de mémorisation de tension modifié VSC_2' . Cette configuration des éléments de commutation permet d'éliminer par une configuration bootstrap les capacités parasites dans les circuits de mémorisation de tension modifiés, d'une manière fondamentale identique à celle que l'on a décrite précédemment en relation avec le circuit de mémorisation de
15 tension des figures 3 à 9.

Dans l'étage de conversion de tension de la figure 13, la première opération de conversion de
20 tension est effectuée pendant la phase d'horloge initiale au cours de laquelle la tension d'entrée analogique est échantillonnée, immédiatement après la terminaison de l'échantillonnage. Ceci accélère le fonctionnement du convertisseur, mais n'exige pas
25 l'emploi d'éléments de commutation supplémentaires (les éléments 581 et 585 qui sont représentés sont incorporés dans les moyens de réglage de tension 58), pour charger les armatures inférieures des condensateurs C_1 et C_2 aux potentiels des noeuds d'entrée
30 pendant l'échantillonnage. Il serait possible d'omettre ces éléments de commutation 581 et 585 et d'effectuer simplement une opération de comparaison dans la phase d'horloge initiale (pour obtenir a_1), la première opération de conversion de tension étant
35 effectuée dans la phase d'horloge suivante.

Un étage de conversion de tension du type décrit ci-dessus en relation avec la figure 12 ou 13 est applicable, avec des modifications appropriées, à d'autres convertisseurs analogique-numérique qui exigent des opérations de doublement de tension et de décalage de tension.

Dans le but de minimiser la puissance qui est consommée par un convertisseur analogique-numérique employant une série d'étages de conversion de tension, comme décrit ci-dessus en relation avec la figure 12, il est avantageux de "proportionner" des étages successifs. On va maintenant envisager ceci de façon plus détaillée en se référant à la figure 14.

La figure 14 représente schématiquement les trois premiers étages d'un convertisseur analogique-numérique du type de la figure 12. Les condensateurs de mémorisation 2 dans le premier étage ont chacun une capacité C , les transistors dans l'élément amplificateur 3 ont chacun une largeur de canal W , et le courant qui circule à travers chacun de ces transistors dans l'élément amplificateur 3 est égal à I .

Dans le second étage, les condensateurs de mémorisation 2 ont chacun une capacité kC , en désignant par $1/k$ un facteur de proportionnalité prédéterminé ($k < 1$), les transistors dans les éléments amplificateurs 3 ont chacun une largeur kW , et le courant qui traverse chaque transistor est égal à kI . De façon similaire, dans le troisième étage, la capacité est égale à k^2C , la largeur de canal des transistors est égale à k^2W , et le courant dans les transistors est égal à k^2I .

Ainsi, chaque étage successif est proportionné, au moins en ce qui concerne ces trois paramètres, conformément au facteur de proportionnalité $1/k$. Il en résulte que le courant total qui est

consommé dans le dispositif, exprimé par rapport au courant consommé par le premier étage, est :

$$1 + k + k^2 + k^3 + \dots$$

Chaque étage a une puissance de bruit à sa propre entrée qui est égale à $1/k$, mais par rapport à la borne d'entrée du convertisseur analogique-numérique, cette puissance de bruit est réduite par le produit des gains des étages précédents. Par exemple, la puissance de bruit du second étage est égale à $1/k$, le gain en tension des étages précédents (soit dans ce cas le gain en tension du premier étage) est égal à 2, et par conséquent la puissance de bruit, par rapport à la puissance de bruit d'entrée, est égale à $1/4k$.

Il en résulte que la puissance de bruit totale à l'entrée pour l'ensemble des étages est :

$$1 + \frac{1}{4k} + \frac{1}{16k^2} + \frac{1}{64k^3} + \dots$$

A titre d'exemple, lorsque $k = 1/2$, on a :

$$\text{bruit total} = 1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8} \dots = 2$$

De façon similaire, en substituant $k = 1/2$ dans l'expression de courant total ci-dessus, on obtient : courant total = $1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8} \dots = 2$.

Pour une puissance totale constante, toutes les tailles doivent être divisées par le résultat de la sommation de puissance, c'est-à-dire que le bruit d'entrée est multiplié par le même facteur.

$$\begin{aligned} \text{Bruit d'entrée} &= \sum \text{bruit} \cdot \sum \text{puissance} \\ &= (1+k+k^2+\dots) \cdot \left(1 + \frac{1}{4k} + \frac{1}{16k^2} + \frac{1}{64k^3} + \dots\right) \end{aligned}$$

En posant $m = 2k$, on obtient :

$$\begin{aligned} \text{bruit d'entrée} &= \left(1 + \frac{m}{2} + \frac{m^2}{4} + \dots\right) \cdot \left(1 + \frac{1}{2m} + \frac{1}{4m^2} + \dots\right) \\ &= \left(1 + \frac{1}{2}m + \frac{1}{4}m^2 + \dots\right) \cdot \left(1 + \frac{1}{2}m^{-1} + \frac{1}{4}m^{-2} + \dots\right) \end{aligned}$$

Cette expression présente un minimum lorsque $m = 1$,
5 c'est-à-dire $k = 1/2$.

Il ressort de l'analyse ci-dessus que le
facteur de proportionnalité optimal pour obtenir une
consommation de puissance totale minimale du conver-
tisseur analogique-numérique doit être égal à 2. Ceci
10 procure un niveau de bruit minimal pour une consomma-
tion de puissance donnée, ou un niveau de consommation
de puissance minimal pour un niveau de bruit donné.
Par conséquent, chaque étage doit avoir une taille
pratiquement égale à la moitié de celle de l'étage
15 précédent. Dans ce cas, la puissance consommée totale
est égale au double de la puissance consommée par le
premier étage, et la puissance de bruit totale est
égale au double de la puissance de bruit du premier
étage.

20 La figure 15 montre la variation du courant
et du bruit totaux en fonction du facteur de propor-
tionnalité $1/k$ dans le cas d'un convertisseur analo-
gique-numérique à 16 étages. Comme le montre la figure
15, le bruit minimal pour une puissance consommée
25 donnée et la puissance consommée minimale pour un
niveau de bruit donné sont obtenus lorsque le facteur
de proportionnalité $1/k$ est égal à 2.

Bien que l'analyse qui est présentée ci-
dessus suggère que la réduction proportionnelle des
30 étages de conversion doit être appliquée à tous les
étages du convertisseur analogique-numérique, en

pratique la réduction proportionnelle des étages ne peut pas se poursuivre jusqu'à l'étage final, du fait que pour une série de 16 étages (convertisseur analogique-numérique à 17 bits), ceci signifierait que

5 le dernier étage devrait avoir une taille égale à $1/2^{16} = 1/65536$ fois la taille du premier étage.

A un étage particulier dans la série, lorsque la taille de l'étage est devenue suffisamment faible, on donne la même taille à tous les étages

10 suivants; ceci augmente légèrement le bruit mais signifie qu'une gamme de tailles extrêmement grande n'est pas nécessaire.

Par exemple, si la réduction proportionnelle s'arrête après six étages, la plus petite taille

15 d'étage (qui est utilisée dans le sixième étage et dans tous les étages suivants) est dans le rapport $1/32$ vis-à-vis de la taille du premier étage. Dans ce cas, la puissance totale est :

$$1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{32} + \frac{1}{32} + \dots$$

20 Une fois que l'on a sélectionné une taille d'étage minimale, on peut concevoir un étage de cette taille sous la forme d'un étage "unité" qui peut être développé par mise en parallèle (ou "étiré" dans l'implantation) pour former les étages de plus grande

25 taille. Par exemple, si l'étage unité a une taille dans le rapport $1/32$ vis-à-vis du premier étage, on a:

Premier étage = 32 unités en parallèle

Second étage = 16 unités en parallèle

Troisième étage = 8 unités en parallèle

30 La figure 16 montre une implantation possible sur une puce d'un convertisseur analogique-numérique qui utilise un étage unité ayant une taille dans le rapport $1/32$.

Pour une taille d'étage minimale donnée, le facteur de proportionnalité optimal $1/k$ est toujours très proche de 2, comme il ressort clairement du Tableau 3, qui présente des facteurs de proportionnalité optimaux pour différentes tailles d'étage minimales dans le cas d'un convertisseur analogique-numérique à 15 étages (16 bits).

En comparaison avec le facteur de puissance de bruit optimal de 4,0 lorsque la réduction proportionnelle n'est pas arrêtée, une taille d'étage minimale de $1/32$ donne une augmentation de puissance totale ou une augmentation de bruit d'environ 10%, soit 0,46 dB, tandis qu'une taille d'étage minimale de $1/16$ augmente la puissance ou le bruit d'environ 25%, soit 0,99 dB. Ces deux tailles d'étage minimales apparaissent être de bons compromis.

	Taille d'étage minimale (1er étage = 1)	Bruit global minimal (bruit pour $k=1/2$)	Facteur de proportionnalité optimal ($1/k$)
	Plus petite valeur	4,0 (4,0)	2,0
5	$\frac{1}{256}$	4,03 (4,04)	1,99
	$\frac{1}{128}$	4,08 (4,08)	1,99
	$\frac{1}{64}$	4,19 (4,19)	1,97
	$\frac{1}{32}$	4,44 (4,45)	1,92
	$\frac{1}{16}$	4,97 (5,02)	1,83
10	$\frac{1}{8}$	6,05 (6,23)	1,68

Tableau 3

Selon un autre aspect de l'invention, une réduction proportionnelle du type décrit ci-dessus peut être utilement appliquée à n'importe quelle sorte appropriée de convertisseurs analogique-numérique employant une série d'étages de conversion. Par exemple, il serait possible d'appliquer une réduction proportionnelle aux circuits de conversion de tension qui sont décrits dans le document EP-B-0 214 831, dans un cas dans lequel un ensemble d'étages du type décrit dans ce document sont connectés ensemble sous la forme d'une série.

Le courant qui est consommé par le convertisseur analogique-numérique de la figure 12 est

directement proportionnel à la capacité des condensateurs de mémorisation 2 et inversement proportionnel à la vitesse de conversion. Ceci signifie que pour obtenir une résolution plus élevée et des vitesses de conversion plus élevées, la puissance est évidemment augmentée. Cependant, on estime qu'un convertisseur à 16 bits travaillant à 10^7 échantillons/seconde consommerait moins de 0,5 W. Ceci suggère qu'en réduisant la vitesse de conversion à 10^6 échantillons/seconde, on pourrait réduire la puissance à 50 mW, ou à 5 mW en travaillant à 10^5 échantillons/seconde.

Pour des résolutions inférieures (par exemple 12 bits), la puissance et l'aire occupée diminuent rapidement, du fait que la capacité peut être très inférieure; on estime qu'un convertisseur à 12 bits travaillant à 50×10^6 échantillons/seconde consomme 200 nW, en incluant la consommation de puissance des circuits logiques numériques qui sont nécessaires pour traiter les données numériques fournies par les différents étages de conversion.

Ceci représente un compromis puissance/vitesse considérablement amélioré par rapport à des convertisseurs envisagés précédemment. Une raison importante de ceci consiste en ce que chaque étage dans la série peut avoir une taille et une puissance égales à la moitié de celles de l'étage précédent, ce qui donne une puissance totale pour le convertisseur qui est approximativement égale au double de celle du premier étage. Ceci procure également une réduction importante de la taille de la puce : on estime qu'un convertisseur à 16 bits travaillant à 10×10^6 échantillons/seconde occuperait moins de 10 mm^2 avec un processus approprié.

En plus du circuit doubleur de tension et des moyens comparateurs, le circuit logique numérique

pour un convertisseur analogique-numérique produisant un mot de sortie à N bits comprend $(N-1)^2$ bascules de type D et (N-1) additionneurs complets, recevant tous un signal d'horloge à la cadence de conversion. Pour
5 une résolution de 16 bits, ceci donne un nombre de cellules de base d'environ 2000, et une consommation de puissance à 5 V et 10 MHz d'environ 25% de la consommation de puissance analogique estimée avec une résolution de 16 bits (pour une résolution de 15 bits,
10 la consommation de puissance analogique serait réduite d'un facteur de 4).

Comme indiqué ci-dessus, le gain de chacun des éléments amplificateurs 3 des étages de conversion de tension du convertisseur analogique-numérique doit
15 être exactement égal à l'unité. S'il n'est pas exactement égal à l'unité, en plus de l'apparition d'une erreur de gain dans la fonction de transfert, une erreur de gain supplémentaire se manifeste du fait que les capacités parasites ne seront pas complètement
20 éliminées par une action du type bootstrap. On peut corriger une non-linéarité qui résulte de ces erreurs en ajustant légèrement le long de la série d'étages la tension de référence V_r qui est utilisée par chaque étage; par exemple, pour corriger une erreur de gain
25 de 0,1%, on peut réduire V_r de 0,1% pour chaque étage successif.

Dans une autre configuration, ou en plus, les moyens de traitement de données numériques 80 qui reçoivent les données numériques provenant de chaque étage, peuvent accomplir n'importe quelle correction exigée pour corriger des erreurs de conversion de tension dans le circuit analogique, en ajustant de façon fractionnaire les données numériques des étages successifs.

35 Pour produire un convertisseur analogique-

numérique capable de fonctionner à une vitesse élevée, il est essentiel que le fonctionnement des éléments de commutation et des éléments amplificateurs dans les étages soit suffisamment rapide. On peut concevoir les

5 éléments amplificateurs à gain égal à l'unité, 3, de façon qu'ils soient beaucoup plus rapides que des amplificateurs opérationnels classiques, et des simulations du type SPICE ont indiqué qu'un temps de stabilisation de 50 ns (correspondant à une vitesse de

10 conversion de 10×10^6 échantillons/seconde) convient en pratique pour une précision de 16 bits dans un processus approprié. En utilisant des amplificateurs-séparateurs NMOS fonctionnant en mode de désertion, et en sacrifiant légèrement la résolution, on peut

15 obtenir des temps de stabilisation de 10 ns avec une précision de 12 bits. Ceci suggère que l'on pourrait employer des convertisseurs analogique-numérique basés sur la structure de la figure 12 dans des applications telles que la télévision à haute définition.

20 Le bruit des circuits n'est pas un problème important dans le convertisseur analogique-numérique de la figure 12, du fait que le bruit qui est dû aux éléments amplificateurs est effectivement réduit par le doublement de la tension d'entrée analogique avant

25 qu'elle n'atteigne les éléments amplificateurs. Il est concevable de réaliser les éléments amplificateurs de façon que leur contribution de bruit soit inférieure au bruit en kT/C . Ce bruit en kT/C est dû au bruit thermique qui limite la précision d'un échantillon de

30 tension mémorisé donné dans un circuit à condensateurs commutés, et il empêche d'utiliser de très petits condensateurs. On estime que pour un rapport signal à bruit correspondant à 16 bits, des condensateurs de

35 mémorisation d'au moins 10 pF sont nécessaires dans le premier étage, la capacité de ces condensateurs étant

réduite de moitié à chaque étage successif.

Pour obtenir les performances maximales, il est préférable de produire le convertisseur analogique-numérique de la figure 12 par un processus CMOS à caisson p (substrat n), et il est souhaitable d'utiliser des dispositifs à mode de désertion.

Il est difficile d'obtenir des excursions de tension suffisamment grandes, même avec une seule alimentation à 5 V (de plus faibles excursions de tension signifient que de plus faibles niveaux de bruit sont exigés dans les circuits qui constituent les différents étages), et ce problème devient plus grave avec des tensions d'alimentation encore inférieures, telles que 3,3 V.

Cependant, aucun des dispositifs dans le convertisseur analogique-numérique n'est exposé à la pleine tension d'alimentation, du fait que les dispositifs sont connectés en série; seules les diodes source-drain sont soumises à une tension supérieure, et même cette tension n'est pas aussi élevée que la tension d'alimentation. La tension la plus élevée (5 V) apparaît de part et d'autre de la jonction caisson-substrat. Compte tenu de ceci, il peut être avantageux d'utiliser des alimentations divisées du type ± 3 V (ou $\pm 3,3$ V), avec les circuits numériques (ayant la configuration géométrique minimale) fonctionnant entre 0 V et +3 V, tandis que les circuits analogiques utilisent ± 3 V. Cette configuration à alimentations séparées offre également le grand avantage qui consiste en ce que l'excursion des signaux d'entrée peut s'étendre de chaque côté de 0 V, ce qui permet un couplage en continu. La consommation de puissance numérique est également réduite conformément à la réduction de la tension d'alimentation logique numérique effective, et ceci pourrait conduire

à une réduction notable de la puissance consommée totale.

Des processus utilisant de plus petites configurations géométriques permettent d'augmenter la cadence d'horloge maximale, à condition que celle-ci ne soit pas limitée par la consommation de puissance analogique. Le principal avantage des alimentations séparées consiste donc en une vitesse numérique accrue et une consommation de puissance réduite, permettant d'augmenter la vitesse maximale de fonctionnement du convertisseur analogique-numérique.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Circuit de mémorisation de tension, caractérisé en ce qu'il comprend : un condensateur de mémorisation (2) dont une première armature est
5 connectée à une borne d'entrée (ENTREE) du circuit par l'intermédiaire d'un élément de commutation d'entrée (1) et dont la seconde armature est connectée à une borne commune (COM) du circuit, un signal d'entrée (V_i) à mémoriser étant appliqué entre les bornes
10 d'entrée et commune (ENTREE, COM) lorsque le circuit est en cours d'utilisation; et un élément amplificateur (3), ayant une entrée connectée à la première armature et une sortie connectée à une borne de sortie (SORTIE) du circuit, pour produire un signal de sortie (V_o), entre les bornes de sortie et commune (SORTIE, COM), sous la dépendance de la tension (V_c) qui est mémorisée dans le condensateur de mémorisation (2), cet élément amplificateur comprenant un dispositif d'entrée électronique (33) qui comporte un chemin de
20 courant commandé formé entre des première et seconde électrodes de chemin de courant respectives du dispositif, et qui comporte également une électrode de commande à laquelle un potentiel est appliqué pour commander l'intensité du courant dans le chemin de courant, cette électrode de commande étant connectée à
25 la première armature, et les première et seconde électrodes de chemin de courant étant connectées à des moyens suiveurs de potentiel (32, 34, 35), de façon que le potentiel de la première électrode de chemin de courant et le potentiel de la seconde électrode de chemin de courant suivent tous deux le potentiel de l'électrode de commande, pendant qu'un courant circule dans le chemin de courant commandé, afin que les potentiels respectifs des première et seconde électrodes de chemin de courant soient maintenus pratique-

35

ment fixes par rapport au potentiel de la première armature.

2. Circuit de mémorisation de tension selon la revendication 1, caractérisé en ce que les moyens
5 suiveurs de potentiel (32, 34, 35) comprennent une source de courant (32) connectée à la première électrode de chemin de courant pour faire en sorte que le potentiel de la première électrode de chemin de
10 courant suive le potentiel de l'électrode de commande, et des moyens suiveurs actifs (34, 35) connectés fonctionnellement entre les première et seconde électrodes de chemin de courant, pour faire en sorte que le
15 potentiel de la seconde électrode de chemin de courant suive le potentiel de la première électrode de chemin de courant.

3. Circuit de mémorisation de tension selon la revendication 2, caractérisé en ce que le dispositif d'entrée électronique (33) est un transistor à
20 effet de champ d'entrée, et l'électrode de commande est l'électrode de grille du transistor à effet de champ d'entrée, la première électrode de chemin de courant est l'électrode de source du transistor à effet de champ d'entrée, la seconde électrode de
25 chemin de courant est l'électrode de drain du transistor à effet de champ d'entrée, et le chemin à courant commandé est formé par le canal drain-source du transistor à effet de champ d'entrée.

4. Circuit de mémorisation de tension selon la revendication 3, caractérisé en ce que les moyens
30 suiveurs actifs (34, 35) comprennent un transistor à effet de champ de connexion en cascode (34) connecté avec son canal drain-source en série avec le canal drain-source du transistor à effet de champ d'entrée
35 (33), de façon que le potentiel de l'électrode de source du transistor de connexion en cascode (34)

5
10
15
20
25
30
35

suive le potentiel de l'électrode de grille de ce transistor, et comprennent également un générateur de polarisation (35) qui est connecté fonctionnellement entre l'électrode de source du transistor à effet de champ d'entrée (33) et l'électrode de grille du transistor de connexion en cascode, pour maintenir entre elles une différence de potentiel pratiquement constante.

5. Circuit de mémorisation de tension selon l'une quelconque des revendications 2 à 4, caractérisé en ce que l'élément amplificateur (3) est constitué par des première et seconde parties de circuit pratiquement identiques (31, 32), la première partie (31) comprenant le dispositif d'entrée (33) et les moyens
10
15
20
25
30
35

suiveurs actifs (34, 35), et la seconde partie (32) comprenant la source de courant.

6. Circuit de mémorisation de tension selon l'une quelconque des revendications précédentes, caractérisé en ce que l'élément de commutation d'entrée (1) est un élément de commutation d'entrée électronique, fonctionnant sous la dépendance d'un potentiel sur une électrode de commutation de cet élément, le circuit comprenant en outre des moyens d'attaque de commutation (4, 5) qui sont connectés
10
15
20
25
30
35

pour faire en sorte que le potentiel de l'électrode de commutation suive le potentiel de la borne d'entrée (V_i) lorsque l'élément (1) est à l'état passant, pour maintenir ainsi le potentiel de l'électrode de commutation pratiquement fixe par rapport au potentiel de la borne d'entrée (V_i), et pouvant être actionnés pour changer le potentiel de l'électrode de commutation, par rapport au potentiel de la borne d'entrée, de façon que l'élément soit commuté de son état passant à son état bloqué.

7. Circuit de mémorisation de tension selon

la revendication 6, caractérisé en ce que le potentiel de l'électrode de commutation est obtenu à partir du signal de sortie (V_o).

8. Circuit de mémorisation de tension selon
5 la revendication 7, caractérisé en ce que les moyens d'attaque de commutation (4, 5) sont connectés fonctionnellement à la borne de sortie (SORTIE) et ils sont capables de fonctionner, sous la dépendance d'un signal de commutation (CK) qu'ils reçoivent, de façon
10 à appliquer à l'électrode de commutation soit un potentiel d'état passant, pour maintenir l'élément de commutation d'entrée (1) dans son état passant, soit un potentiel d'état bloqué, pour maintenir l'élément de commutation d'entrée (1) dans son état bloqué, ces
15 potentiels d'état passant et d'état bloqué étant respectivement pratiquement fixes par rapport au potentiel de la borne de sortie, mais différant mutuellement d'une quantité prédéterminée.

9. Circuit de mémorisation de tension selon
20 la revendication 8, caractérisé en ce qu'il comporte des première et seconde lignes de polarisation respectives, connectées fonctionnellement à la borne de sortie, de façon à être à des potentiels qui sont respectivement fixes par rapport au potentiel de la
25 borne de sortie, le potentiel de la seconde ligne de polarisation étant égal à l'un des potentiels d'état passant et d'état bloqué, et la différence de potentiel entre les première et seconde lignes de polarisation étant supérieure ou égale à la quantité prédéterminée, et en ce que les moyens d'attaque de commu-
30 tation comprennent un condensateur connecté en une configuration bootstrap dont une première armature est connectée à l'électrode de commutation pour produire le potentiel de l'électrode de commutation, et ils
35 comprennent également des moyens de connexion qui sont

connectés aux deux armatures du condensateur bootstrap et aux lignes de commutation, et qui peuvent être commutés, lorsque le potentiel de l'électrode de commutation doit être changé de l'un de ses potentiels d'état passant et d'état bloqué, à l'autre de ces potentiels, d'une configuration de charge, qui est utilisée pour connecter la première armature du condensateur bootstrap à la seconde ligne de polarisation, tout en connectant la seconde armature de ce condensateur à la première ligne de polarisation, à une configuration flottante qui est utilisée pour isoler la première armature de la seconde ligne de polarisation, tout en connectant la seconde armature à la seconde ligne de polarisation, pour changer ainsi le potentiel de la première armature en le faisant passer du potentiel de la seconde ligne de polarisation à un potentiel qui diffère de celui-ci de la quantité prédéterminée.

10. Circuit de mémorisation de tension selon la revendication 8, caractérisé en ce qu'il comporte des première, seconde et troisième lignes de polarisation respectives (L_1 , L_2 , L') qui sont connectées fonctionnellement à la borne de sortie (SORTIE), de façon à être à des potentiels (V_1 , V_2 , V_O) qui sont respectivement fixes par rapport au potentiel de la borne de sortie (V_O), le potentiel de la troisième ligne de polarisation (V_O) étant égal à l'un (V_{bas}) des potentiels d'état passant et d'état bloqué, et la différence de potentiel ($V_1 - V_2$) entre les première et seconde lignes de polarisation (L_1 , L_2) étant supérieure ou égale à la quantité prédéterminée, et en ce que les moyens d'attaque de commutation (4, 5) comprennent un condensateur connecté en configuration bootstrap (44) dont une première armature est connectée à l'électrode de commutation pour fournir le

potentiel de l'électrode de commutation, et ils comprennent en outre des moyens de connexion (45) connectés aux deux armatures du condensateur bootstrap (44) et aux lignes de polarisation (L_1 , L_2 , L') et qui
5 peuvent être commutés, lorsque le potentiel de l'électrode de commutation doit être changé du potentiel précité (V_{bas}) parmi ses potentiels d'état passant et d'état bloqué, à l'autre (V_{haut}) de ces potentiels, d'une configuration de charge, qui est utilisée pour
10 connecter la première armature du condensateur bootstrap à la troisième ligne de polarisation (L'), tandis que la seconde armature de ce condensateur est connectée à la première ligne de polarisation (L_1), à une configuration flottante qui est utilisée pour
15 isoler la première armature vis-à-vis de la troisième ligne de polarisation (L'), tout en connectant la seconde armature à la seconde ligne de polarisation (L_2), pour que le potentiel sur la première armature soit ainsi changé en passant du potentiel de la
20 troisième ligne de polarisation (V_O) à un potentiel qui diffère de ce dernier de la quantité prédéterminée.

11. Circuit de mémorisation de tension selon l'une quelconque des revendications 8, 9 ou 10, caractérisé en ce que l'élément de commutation d'entrée
25 électronique (1) est un transistor à effet de champ MOS, et l'un (V_{bas}) des potentiels d'état passant et d'état bloqué est pratiquement identique au potentiel de la borne de sortie (V_O).

30 12. Circuit de mémorisation de tension selon l'une quelconque des revendications précédentes, formé sur un seul substrat (8n), caractérisé en ce que l'élément de commutation d'entrée (1) et le dispositif d'entrée (33) de l'élément amplificateur (3) sont
35 situés dans un ou plusieurs caissons (7p; 7lp, 73p) du

type de conductivité (p) opposé à celui du matériau environnant du substrat (8n), des moyens (9) étant incorporés pour faire en sorte que le potentiel du caisson ou de chaque caisson suive le potentiel (V_C) de la première armature précitée.

13. Circuit de mémorisation de tension selon la revendication 12, caractérisé en ce que le condensateur de mémorisation (2) est également situé à l'intérieur d'un tel caisson (72p).

14. Circuit de mémorisation de tension selon l'une quelconque des revendications 12 ou 13, caractérisé en ce qu'il comprend un ou plusieurs blindages conducteurs (15; 151, 152) s'étendant sur la région du caisson ou de chaque caisson (7p; 71p, 72p, 73p), et en ce qu'il comprend également des moyens (16) pour faire en sorte que le potentiel du blindage ou de chaque blindage suive le potentiel (V_C) de la première armature précitée.

15. Circuit de mémorisation de tension selon l'une quelconque des revendications 12, 13 ou 14, considérées comme étant rattachées à la revendication 5, caractérisé en ce que la première partie (31) de l'élément amplificateur (3) se trouve à l'intérieur d'un ou de plusieurs caissons (7p; 71p), et la seconde partie (32) de l'élément amplificateur (3) est formée à l'intérieur d'un ou de plusieurs caissons supplémentaires, ayant chacun le type de conductivité (p) opposé à celui des régions environnantes du substrat (8n), le potentiel du caisson ou de chaque caisson supplémentaire étant pratiquement fixe par rapport au potentiel d'une ligne d'alimentation (V_{SS}) du circuit.

16. Circuit de mémorisation de tension selon l'une quelconque des revendications 6 à 15, caractérisé en ce qu'il comprend en outre des moyens de maintien de potentiel d'entrée (46, 48, 49), inter-

posés entre la borne d'entrée (I_1) et le côté d'entrée de l'élément de commutation d'entrée (1), pour maintenir le potentiel du côté de l'entrée de l'élément de commutation d'entrée, après que l'élément a été

5 commuté vers l'état bloqué, pratiquement fixe par rapport au potentiel de la première armature du condensateur de mémorisation (2).

17. Circuit de mémorisation de tension selon la revendication 16, caractérisé en ce que les moyens

10 de maintien de potentiel d'entrée (46, 48, 49) comprennent un élément de commutation supplémentaire (46) qui est connecté en série avec l'élément de commutation d'entrée (1), et que l'on peut actionner, après que l'élément de commutation d'entrée (1) a été

15 commuté vers l'état bloqué, pour isoler le côté d'entrée de cet élément vis-à-vis de la borne d'entrée (I_1).

18. Circuit de mémorisation de tension selon la revendication 17, caractérisé en ce que les moyens

20 de maintien de potentiel d'entrée (46, 48, 49) comprennent en outre un condensateur auxiliaire (49) qui est connecté entre le côté d'entrée de l'élément de commutation d'entrée (1) et la seconde armature du condensateur de mémorisation (2).

19. Circuit de mémorisation de tension selon l'une quelconque des revendications 17 ou 18, caractérisé en ce que les moyens de maintien de potentiel d'entrée (46, 48, 49) comprennent en outre un élément

25 de commutation de réaction (48) connecté entre l'élément amplificateur (3) et le côté d'entrée de l'élément de commutation d'entrée (1), et pouvant être actionné, pendant que le côté d'entrée de cet élément (1) est ainsi isolé, de façon à lui appliquer un

30 potentiel (V_O) qui est obtenu à partir du potentiel (V_C) de la première armature du condensateur de

35

mémorisation (2).

20. Circuit de mémorisation de tension selon l'une quelconque des revendications précédentes, caractérisé en ce que l'élément amplificateur (3) a un gain pratiquement égal à l'unité.

21. Circuit de sommation de tension, caractérisé en ce qu'il comprend : des premier, second et troisième noeuds d'entrée (I_1 , I_2 , I_3) auxquels des premier, second et troisième potentiels (V_1 , V_2 , V_3) sont appliqués pendant que le circuit est en cours d'utilisation; un circuit de mémorisation de tension conforme à la revendication 20; un noeud de sortie (SORTIE) connecté à la borne de sortie du circuit de mémorisation de tension; et des moyens de commutation (47) connectés aux noeuds d'entrée et au circuit de mémorisation de tension et pouvant être commutés, après que l'élément de commutation d'entrée (1) du circuit de mémorisation de tension a été commuté vers l'état bloqué, d'une configuration d'entrée vers une configuration de sortie, la configuration d'entrée ayant pour fonction de connecter les premier et second noeuds d'entrée (I_1 , I_2) respectivement aux bornes d'entrée et commune (ENTREE, COM) du circuit de mémorisation de tension, pour permettre ainsi la mémorisation de la différence de potentiel entre les premier et second potentiels (V_1 , V_2) dans le condensateur de mémorisation (2) du circuit de mémorisation de tension, et la configuration de sortie ayant pour fonction de connecter la borne commune (COM) du circuit de mémorisation de tension au troisième noeud d'entrée (I_3), pour produire ainsi sur le noeud de sortie (SORTIE) un potentiel de sortie (V_o) qui est pratiquement égal à la somme du troisième potentiel (V_3) et de la différence mémorisée entre les premier et second potentiels (V_1 , V_2).

22. Circuit de sommation de tension, caractérisé en ce qu'il comprend : des premier, second, troisième, quatrième, cinquième et sixième noeuds d'entrée, une première paire de tensions d'entrée
5 étant appliquée aux premier et second noeuds d'entrée, une seconde paire de tensions d'entrée étant appliquée aux troisième et quatrième noeuds d'entrée, et une troisième paire de tensions d'entrée étant appliquée aux cinquième et sixième noeuds d'entrée, lorsque le
10 circuit est en cours d'utilisation; des premier et second circuits de mémorisation de tension, chacun d'eux étant un circuit de mémorisation de tension conforme à la revendication 20; des premier et second noeuds de sortie connectés aux bornes de sortie
15 respectives des premier et second circuits de mémorisation de tension; et des moyens de commutation connectés aux noeuds d'entrée et aux circuits de mémorisation de tension et pouvant être commutés, après que les éléments de commutation d'entrée respec-
20 tifs des premier et second circuits de mémorisation de tension ont été commutés vers l'état bloqué, d'une configuration d'entrée vers une configuration de sortie, la configuration d'entrée ayant pour fonction de connecter les premier et second noeuds d'entrée
25 respectivement à la borne d'entrée et à la borne commune du circuit de mémorisation de tension, et également de connecter les troisième et quatrième noeuds d'entrée respectivement à la borne d'entrée et à la borne commune du second circuit de mémorisation
30 de tension, pour permettre ainsi de mémoriser, dans le condensateur de mémorisation du premier circuit de mémorisation de tension, une première différence de potentiel entre les deux tensions d'entrée de la première paire, et de mémoriser, dans le condensateur
35 de mémorisation du second circuit de mémorisation de

tension, une seconde différence de potentiel entre les deux tensions d'entrée de la seconde paire, et la configuration de sortie ayant pour fonction de connecter les bornes communes respectives des premier et second circuits de mémorisation de tension respectivement aux cinquième et sixième noeuds d'entrée, pour produire ainsi entre les premier et second noeuds de sortie une paire de tensions de sortie entre lesquelles il existe une différence de potentiel qui est pratiquement égale à la somme de la différence de potentiel entre les deux tensions d'entrée de la troisième paire, et de la différence entre les première et seconde différences de potentiel mémorisées.

23. Circuit doubleur de tension, caractérisé en ce qu'il comprend : des premier et second noeuds d'entrée (I_1 , I_2) entre lesquels une tension d'entrée (V_i) à doubler est appliquée lorsque le circuit est en cours d'utilisation; des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2), chacun d'eux étant un circuit de mémorisation de tension conforme à la revendication 20; des premier et second noeuds de sortie (O_1 , O_2) respectivement connectés aux bornes de sortie (SORTIE) des premier et second circuits de mémorisation de tension; et des moyens de commutation (51, 52, 53, 54) connectés aux noeuds d'entrée (I_1 , I_2) et aux circuits de mémorisation de tension (VSC_1 , VSC_2) et pouvant être commutés, après que les éléments de commutation d'entrée respectifs (1) des premier et second circuits de mémorisation de tension ont été commutés vers l'état bloqué, d'une configuration d'entrée vers une configuration de sortie, la configuration d'entrée ayant pour fonction de connecter le premier noeud d'entrée (I_1) à la fois à la borne d'entrée (ENTREE₁) du premier circuit de

mémorisation de tension (VSC_1) et à la borne commune (COM_1) du second circuit de mémorisation de tension (VSC_2), et également de connecter le second noeud d'entrée (I_2) à la fois à la borne d'entrée ($ENTREE_2$) du second circuit de mémorisation de tension (VSC_2) et à la borne commune (COM_1) du premier circuit de mémorisation de tension (VSC_1), pour faire ainsi en sorte que chacun des condensateurs de mémorisation respectifs (2) des circuits de mémorisation de tension soit chargé à la tension d'entrée (V_i), et la configuration de sortie ayant pour fonction de connecter ensemble les bornes communes respectives (COM_1 , COM_2) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2), de façon que les condensateurs de mémorisation (2) soient connectés mutuellement en série entre les premier et second noeuds de sortie (O_1 , O_2), pour produire ainsi entre ces noeuds de sortie une tension de sortie qui est pratiquement égale au double de la tension d'entrée

24. Etage de conversion de tension, caractérisé en ce qu'il comprend : un circuit doubleur de tension (50') conforme à la revendication 23; des moyens comparateurs (70) connectés de façon à recevoir une tension de travail (V_i) égale à la tension d'entrée ou obtenue à partir de cette dernière, et également connectés de façon à recevoir un potentiel de comparaison ($V_r/4$) et capables d'effectuer une comparaison entre la tension de travail et le potentiel de comparaison, et de produire des données numériques (a) représentatives du résultat de la comparaison; et des moyens de réglage de tension (58) connectés entre les bornes communes respectives (COM_1 , COM_2) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2) et pouvant fonctionner, après que les moyens de commutation (51, 52, 53, 54) ont été

commutés de la configuration d'entrée à la configuration de sortie, de façon à appliquer entre ces bornes (COM_1 , COM_2) une tension de décalage (V_{OS}) ayant une valeur sélectionnée, par les données numériques, parmi un ensemble de valeurs possibles prédéterminées ($-V_r$, 0, $+V_r$), pour produire ainsi entre les noeuds de sortie (O_1 , O_2) une tension de conversion analogique (V_{ci}) qui diffère du double de la tension d'entrée (V_i), d'une quantité égale à la tension de décalage sélectionnée (V_{OS}).

25. Etage de conversion de tension selon la revendication 24, caractérisé en ce que les moyens comparateurs (70) effectuent la comparaison précitée pendant que les moyens de commutation (51, 52, 53, 54) des circuits de mémorisation de tension (VSC_1 , VSC_2) sont dans la configuration d'entrée.

26. Etage de conversion de tension selon l'une quelconque des revendications 24 ou 25, caractérisé en ce que les moyens comparateurs (70) sont connectés aux premier et second noeuds d'entrée (I_1 , I_2), de façon que la tension d'entrée (V_i) soit la tension de travail, et ils fournissent de premières données numériques (-1) si la tension d'entrée est inférieure ou égale à l'opposé du potentiel de comparaison ($V_i \leq -V_r/4$), tandis qu'ils fournissent des secondes données numériques (+1) si le potentiel de comparaison est inférieur ou égal à la tension d'entrée ($V_r/4 \leq V_i$), et ils fournissent des troisièmes données numériques (0) dans tous les autres cas, et en ce que la tension de décalage (V_{OS}) qui est sélectionnée par les secondes données numériques (+1) est $-V_{ref}$, en désignant par $+V_{ref}$ la tension de décalage qui est sélectionnée par les premières données numériques (-1), et la tension de décalage qui est sélectionnée par les troisièmes données numériques (0)

est zéro; le potentiel de comparaison ($V_r/4$) étant pratiquement égal à $V_{ref}/4$.

27. Convertisseur analogique-numérique, caractérisé en ce qu'il comprend : une série de N

5 étages (ST_1, ST_2, \dots, ST_N), chacun d'eux étant un étage de conversion de tension conforme à l'une quelconque des revendications 24 à 26, une tension analogique (V_{i1}) à numériser étant appliquée entre les premier et second noeuds d'entrée (I_1, I_2) du premier

10 étage (ST_1) de la série, et les premier et second noeuds d'entrée (I_1, I_2) de chaque étage successif (ST_2, ST_3, \dots, ST_N) étant connectés respectivement aux premier et second noeuds de sortie (O_1, O_2) de l'étage immédiatement précédent; des moyens de commande (60') capables de commuter successivement les

15 moyens de commutation (51, 52, 53, 54) de chacun des étages (ST_i), pour les faire passer de la configuration d'entrée à la configuration de sortie, cette commutation étant commandée de façon à avoir lieu dans

20 chacun des étages, à l'exception du premier étage, à un instant auquel les moyens de commutation de l'étage immédiatement précédent sont dans la configuration de sortie, de façon qu'avant une telle commutation l'étage qui est commuté reçoive pour sa tension

25 d'entrée (V_i) la tension de conversion analogique (V_{ci}) qui est produite par l'étage immédiatement précédent, et produise ainsi sa tension de conversion analogique sous la dépendance de la tension précitée, après la commutation; et des moyens de traitement de

30 données (80) connectés de façon à recevoir les données numériques (a_1, a_2, \dots, a_N) qui sont fournies par les N étages, et qui élaborent à partir de celles-ci un mot de sortie numérique, comprenant N+1 bits, qui est représentatif de la tension analogique appliquée

35 (V_{i1}).

28. Convertisseur analogique-numérique selon la revendication 27, fonctionnant alternativement dans des première et seconde phases d'horloge (ϕ_1 , ϕ_2), caractérisé en ce que les moyens de commande (60')
5 fonctionnent pendant la première phase d'horloge (ϕ_1) de façon à maintenir dans la configuration d'entrée les moyens de commutation respectifs (51-54) des étages de rang impair de la série, tandis qu'ils maintiennent dans la configuration de sortie les
10 moyens de commutation respectifs (51-54) des étages de rang pair, mais ils fonctionnent pendant la seconde phase d'horloge (ϕ_2) de façon à maintenir dans la configuration d'entrée les moyens de commutation respectifs (51-54) des étages de rang pair, et ils
15 maintiennent dans la configuration de sortie les moyens de commutation respectifs (51-54) des étages de rang impair.

29. Convertisseur analogique-numérique selon l'une quelconque des revendications 27 ou 28, caractérisé en ce que pour au moins une paire d'étages
20 adjacents de la série (par exemple ST_2 , ST_3), les condensateurs de mémorisation respectifs (2) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2) dans le second étage (ST_3) de la paire
25 ont une capacité (C) inférieure à celle des condensateurs de mémorisation comparables (2) dans le premier étage (ST_2) de la paire.

30. Convertisseur analogique-numérique selon la revendication 29, caractérisé en ce que le rapport
30 entre les capacités de mémorisation des deux étages (ST_2 , ST_3) d'une paire ou de chaque paire d'étages est approximativement égal à 2:1.

31. Convertisseur analogique-numérique selon l'une quelconque des revendications 27 ou 30, caractérisé en ce que pour au moins une paire d'étages
35

adjacents de la série (par exemple ST_2 , ST_3), les dispositifs d'entrée d'éléments amplificateurs respectifs (31) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2) dans le second étage (ST_3) de la paire ont une largeur (W) inférieure à celle de dispositifs d'entrée comparables (31) dans le premier étage (ST_2) de la paire.

32. Convertisseur analogique-numérique selon la revendication 31, caractérisé en ce que le rapport de largeur des dispositifs d'entrée des deux étages (ST_2 , ST_3) d'une paire ou de chaque paire d'étages adjacents est approximativement égal à 2:1.

33. Convertisseur analogique selon l'une quelconque des revendications 27 à 32, caractérisé en ce que pour au moins une paire d'étages adjacents de la série (par exemple ST_2 , ST_3), les courants respectifs (I) dans les chemins à courant commandé des dispositifs d'entrée d'éléments amplificateurs (31) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2) dans le second étage (ST_3) de la paire sont inférieurs aux courants comparables dans le premier étage (ST_2) de la paire.

34. Convertisseur analogique-numérique selon la revendication 33, caractérisé en ce que le rapport entre les courants des deux étages (ST_2 , ST_3) d'une paire ou de chaque paire d'étages adjacents est approximativement égal à 2:1.

35. Convertisseur analogique-numérique selon l'une quelconque des revendications 27 ou 28, caractérisé en ce que dans chacun des second à n-ième étages du convertisseur (ST_2 - ST_n), avec $2 \leq n \leq N$, chacun des condensateurs de mémorisation respectifs (2) des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2) de l'étage a une capacité (C) qui est réduite, par rapport à la capacité du condensateur de

mémorisation comparable (2) de l'étage immédiatement précédent, d'un premier facteur de proportionnalité ($1/k$) qui est constant dans l'ensemble de ces second à n-ième étages (ST_2-ST_n)

5 36. Convertisseur analogique-numérique selon la revendication 35, caractérisé en ce que le premier facteur de proportionnalité ($1/k$) est approximativement égal à 2.

10 37. Convertisseur analogique-numérique selon l'une quelconque des revendications 27, 28, 35 ou 36, caractérisé en ce que dans chacun des second à n-ième étages (ST_2-ST_n) du convertisseur, avec $2 \leq n \leq N$, le dispositif d'entrée d'élément amplificateur (33) de
15 chaque circuit de mémorisation de tension (VSC_1, VSC_2) de l'étage a une largeur de canal (W) qui est réduite, par rapport à la largeur de canal du dispositif d'entrée d'élément amplificateur comparable de l'étage immédiatement précédent, d'un second facteur de proportionnalité ($1/k$) qui est constant dans l'ensem-
20 ble de ces second à n-ième étages (ST_2-ST_n).

38. Convertisseur analogique-numérique selon la revendication 37, caractérisé en ce que le second facteur de proportionnalité ($1/k$) est approximativement égal à 2.

25 39. Convertisseur analogique-numérique selon l'une quelconque des revendications 27, 28, 35, 36, 37 ou 38, caractérisé en ce que dans chacun des second à n-ième étages (ST_2-ST_n) du convertisseur, avec $2 \leq n \leq N$, le courant (I) dans chacun des chemins à courant
30 commandé des dispositifs d'entrée d'élément amplificateur (31) de l'étage, est commandé de façon à être réduit, par rapport au courant dans le chemin à courant commandé comparable de l'étage immédiatement précédent, d'un troisième facteur de proportionnalité
35 ($1/k$) qui est constant sur l'ensemble de ces second à

n-ième étages (ST_2 - ST_n).

40. Convertisseur analogique-numérique selon la revendication 39, caractérisé en ce que le troisième facteur de proportionnalité ($1/k$) est approximativement égal à 2.

41. Convertisseur analogique-numérique selon l'une quelconque des revendications 27 à 40, caractérisé en ce que, pour au moins une paire d'étages adjacents (par exemple ST_2 , ST_3) de la série, l'une au moins des valeurs possibles prédéterminées ($-V_{ref}$, 0, $+V_{ref}$) de la tension de décalage (V_{os}) dans le second étage (ST_2) de la paire, est ajustée de manière fractionnaire en comparaison avec la valeur possible prédéterminée correspondante de la tension de décalage du premier étage de la paire.

42. Convertisseur analogique-numérique selon l'une quelconque des revendications 27 à 41, caractérisé en ce que les moyens de traitement de données (80) sont capables d'ajuster de façon fractionnaire les données numériques (a_1 , a_2 , ... a_N) qui sont fournies par les moyens comparateurs respectifs (70) d'étages successifs de la série, de façon à faciliter la correction d'erreurs de conversion de tension dans ces étages successifs.

43. Convertisseur analogique-numérique, caractérisé en ce qu'il comprend : des premier et second étages, chacun d'eux étant un étage de conversion de tension (ST_i) conforme à l'une quelconque des revendications 24 à 26, connectés ensemble de façon que les premier et second noeuds de sortie (O_1 , O_2) du premier étage (ST_1) soient connectés respectivement aux premier et second noeuds d'entrée (I_1 , I_2) du second étage (ST_2), et de façon que les premier et second noeuds de sortie (O_1 , O_2) du second étage soient connectés respectivement aux premier et second

noeuds d'entrée (I_1 , I_2) du premier étage (ST_1), une tension analogique à numériser étant appliquée, au début d'une opération de conversion itérative du convertisseur, entre les premier et second noeuds d'entrée (I_1 , I_2) du premier étage (ST_1); des moyens de commande capables de faire en sorte que les moyens de commutation des premier et second étages soient commutés en alternance, en partant du premier étage, de la configuration d'entrée vers la configuration de sortie, cette commutation étant commandée de façon à avoir lieu dans un étage à un instant auquel les moyens de commutation (51-54) de l'autre étage sont dans la configuration de sortie, de façon qu'avant une telle commutation, l'étage qui est commuté reçoive pour sa tension d'entrée la tension de conversion analogique qui est produite par l'autre étage, et produise ainsi sa tension de conversion analogique sous la dépendance de cette tension appliquée, après une telle commutation; et des moyens de traitement de données connectés de façon à recevoir les données numériques qui sont fournies alternativement par les premier et second étages au cours de l'opération de conversion itérative, et qui élaborent à partir de ces données un mot de sortie numérique représentatif de la tension analogique appliquée.

44. Convertisseur analogique-numérique pouvant fonctionner en alternance dans des première et seconde phases d'horloge (ϕ_1 , ϕ_2), caractérisé en ce qu'il comprend : des premier et second noeuds d'entrée (I_1 , I_2) entre lesquels on peut appliquer une tension d'entrée analogique à numériser, pendant que le convertisseur est en fonctionnement; des premier et second circuits de mémorisation de tension (VSC_1 , VSC_2), comprenant chacun des premier et second condensateurs de mémorisation de tension respectifs

($C_1, C_3; C_2, C_4$) et un élément amplificateur à gain égal à l'unité (3), ayant des bornes d'entrée et de sortie respectives, cet élément comprenant un dispositif d'entrée électronique (33) ayant un chemin à courant commandé qui est formé entre des première et seconde électrodes de chemin de courant respectives du dispositif, et comprenant également une électrode de commande à laquelle un potentiel est appliqué pour commander l'intensité du courant dans ce chemin de courant, l'électrode de commande étant connectée à la borne d'entrée de l'élément amplificateur, et les première et seconde électrodes de chemin de courant étant connectées à des moyens suiveurs de potentiel (32, 34, 35), de façon que le potentiel de la première électrode de chemin de courant et le potentiel de la seconde électrode de chemin de courant suivent le potentiel de l'électrode de commande, pendant qu'un courant circule dans le chemin à courant commandé, de façon que les potentiels respectifs des première et seconde électrodes de chemin de courant soient maintenus pratiquement fixes par rapport au potentiel de la borne d'entrée; des moyens d'échantillonnage d'entrée (1, 46, 48) pouvant fonctionner pendant l'une initiale des phases d'horloge de façon à connecter la borne d'entrée du premier circuit de mémorisation de tension (VSC_1') au premier noeud d'entrée (I_1), et à connecter la borne d'entrée au second circuit de mémorisation de tension (VSC_2') au second noeud d'entrée (I_2); des premier et second noeuds de sortie (O_1, O_2) qui sont connectés respectivement aux bornes de sortie d'élément amplificateur des premier et second circuits de mémorisation de tension; des moyens comparateurs (70) connectés aux premier et second noeuds de sortie (O_1, O_2) et également connectés de façon à recevoir un potentiel de comparaison ($V_r/4$), et pouvant fonctionner

au cours de chaque phase d'horloge de façon à effectuer une comparaison entre la différence de potentiel entre les premier et second noeuds de sortie, et le potentiel de comparaison, et à produire des données numériques (a) représentatives du résultat de la comparaison; des moyens de réglage de tension (58) comportant une paire de bornes de connexion et pouvant fonctionner au cours de chaque phase d'horloge de façon à appliquer entre ces bornes une tension de décalage (V_{os}) ayant une valeur sélectionnée, par les données numériques (a) qui sont fournies par les moyens comparateurs (70) au cours de la phase d'horloge immédiatement précédente, parmi un ensemble de valeurs possibles prédéterminées ($-V_r$, 0, $+V_r$); des moyens de commutation (91-106) pouvant fonctionner au cours de la première phase d'horloge (ϕ_1) de façon à connecter les deux premiers condensateurs de mémorisation (C_1 , C_2) et les bornes de connexion en série entre les bornes d'entrée respectives des éléments amplificateurs (3), tout en connectant les seconds condensateurs de mémorisation de tension (C_3 , C_4) en parallèle l'un par rapport à l'autre, entre les premier et second noeuds de sortie (O_1 , O_2), et pouvant fonctionner pendant la seconde phase d'horloge (ϕ_2) de façon à connecter les deux seconds condensateurs de mémorisation (C_3 , C_4) et les bornes de connexion en série entre les bornes d'entrée respectives des éléments amplificateurs (3), tout en connectant les premiers condensateurs de mémorisation (C_1 , C_2) en parallèle l'un par rapport à l'autre entre les premier et second noeuds de sortie (O_1 , O_2); et des moyens de traitement de données connectés de façon à recevoir les données numériques (a) qui sont fournies par les moyens comparateurs sur un nombre prédéterminé des phases d'horloge, et capables d'élaborer à partir de

ces données un mot de sortie numérique représentatif de la tension d'entrée analogique appliquée.

45. Convertisseur analogique-numérique, caractérisé en ce qu'il comprend un ensemble d'étages de conversion de tension mutuellement similaires (ST_i) connectés en série de façon que l'information de sortie d'un étage constitue une information d'entrée pour l'étage suivant, chaque étage comprenant un condensateur de mémorisation (2) qui peut être connecté sélectivement à l'entrée de l'étage pour mémoriser une tension d'entrée de l'étage, et comprenant également un élément amplificateur (3) qui peut être connecté sélectivement entre le condensateur de mémorisation (2) et la sortie de l'étage, pour fournir une tension de sortie de l'étage qui dépend de la tension d'entrée mémorisée, et en ce que dans au moins un étage de la série, autre que le premier étage, la capacité du condensateur de mémorisation (C) est inférieure à la capacité du condensateur de mémorisation de l'étage immédiatement précédent, et/ou la largeur (W) d'un transistor d'entrée (31) de l'élément amplificateur (3) est inférieure à la largeur du transistor d'entrée de l'élément amplificateur de l'étage immédiatement précédent.

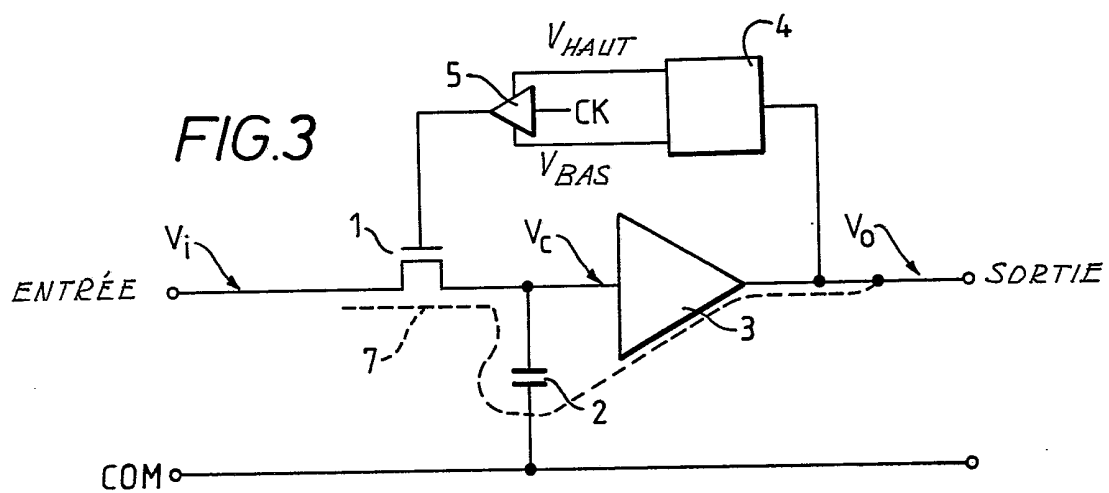
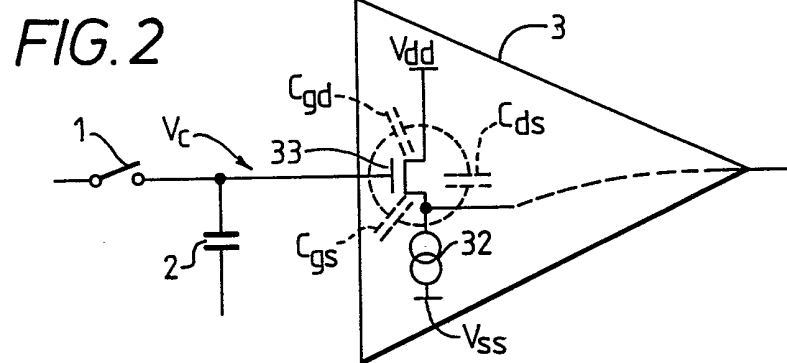
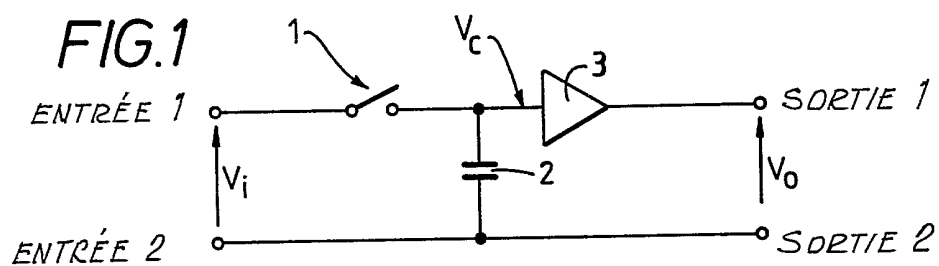


FIG. 4

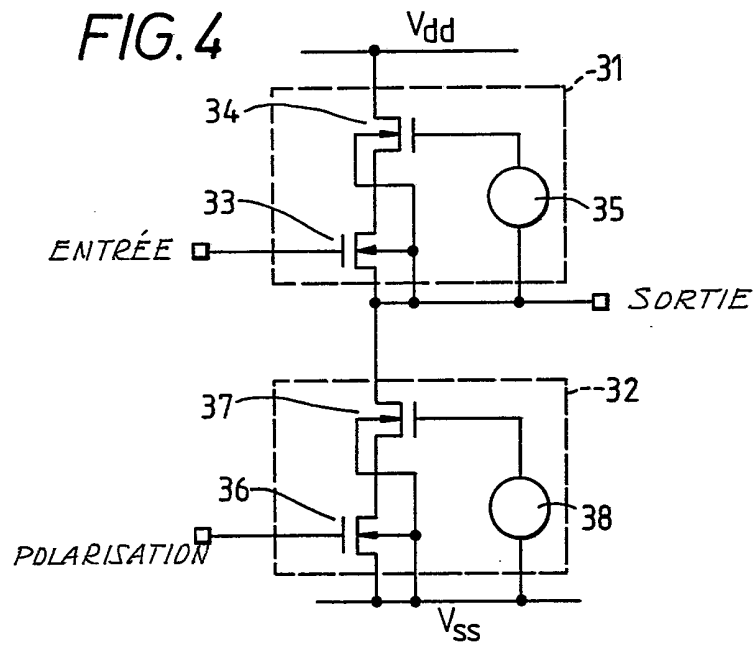


FIG. 5

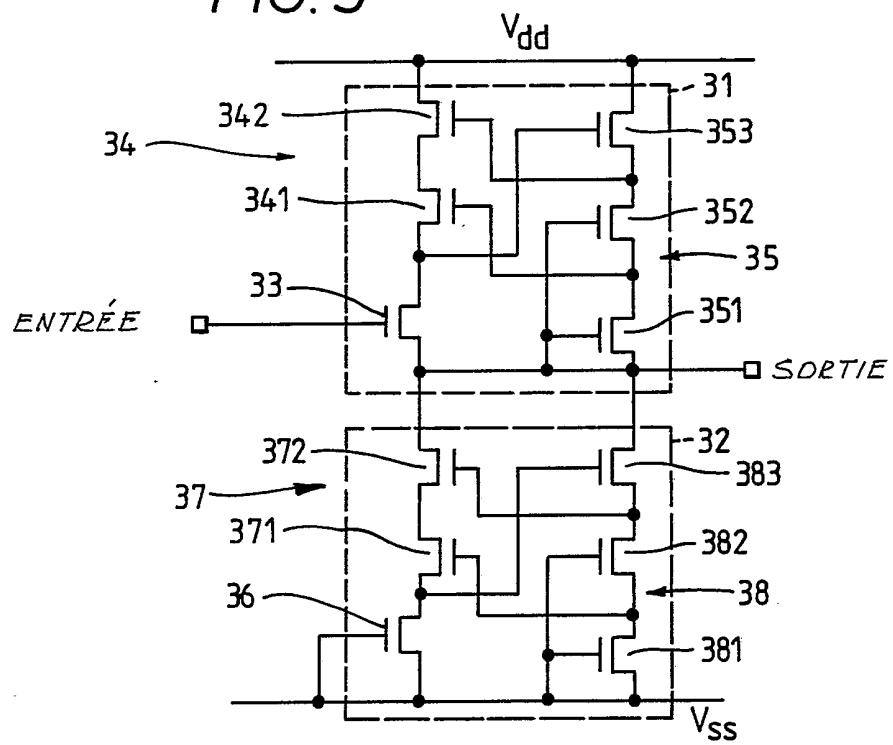


FIG. 6

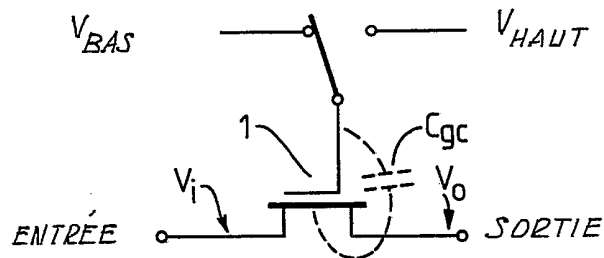
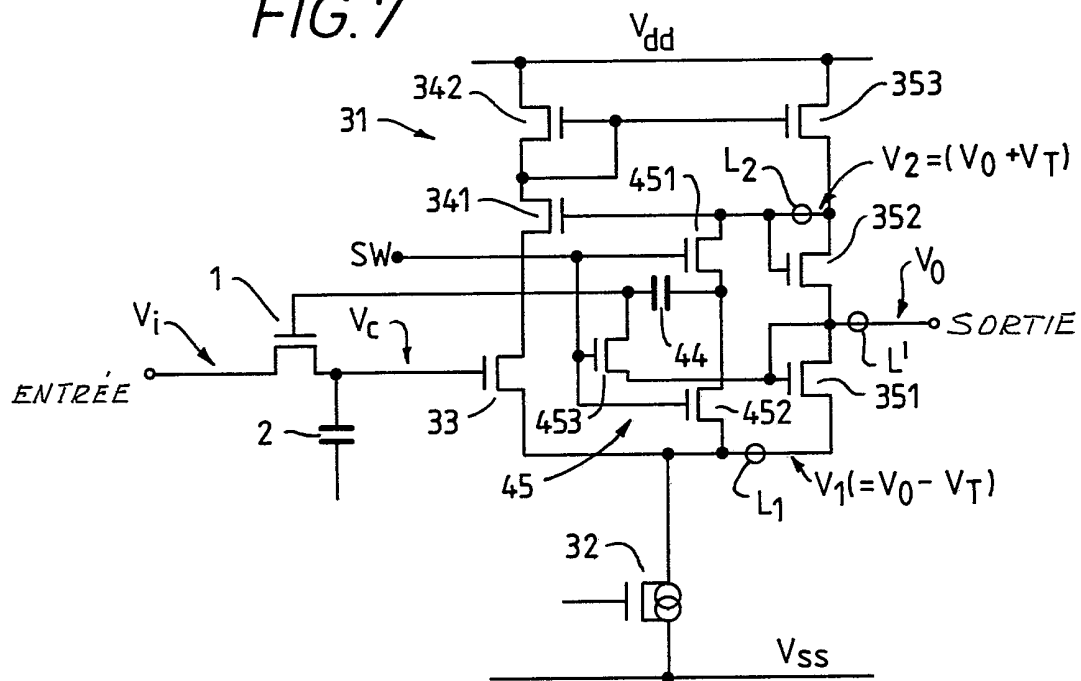


FIG. 7



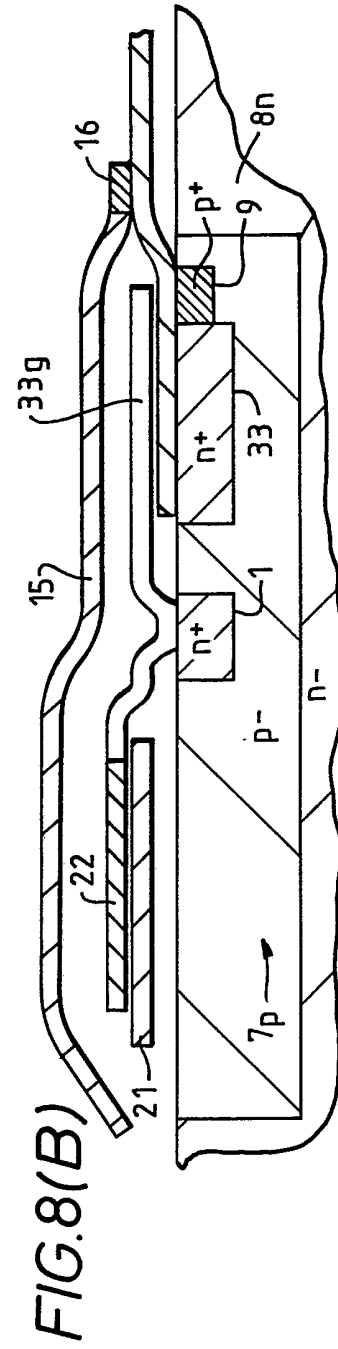
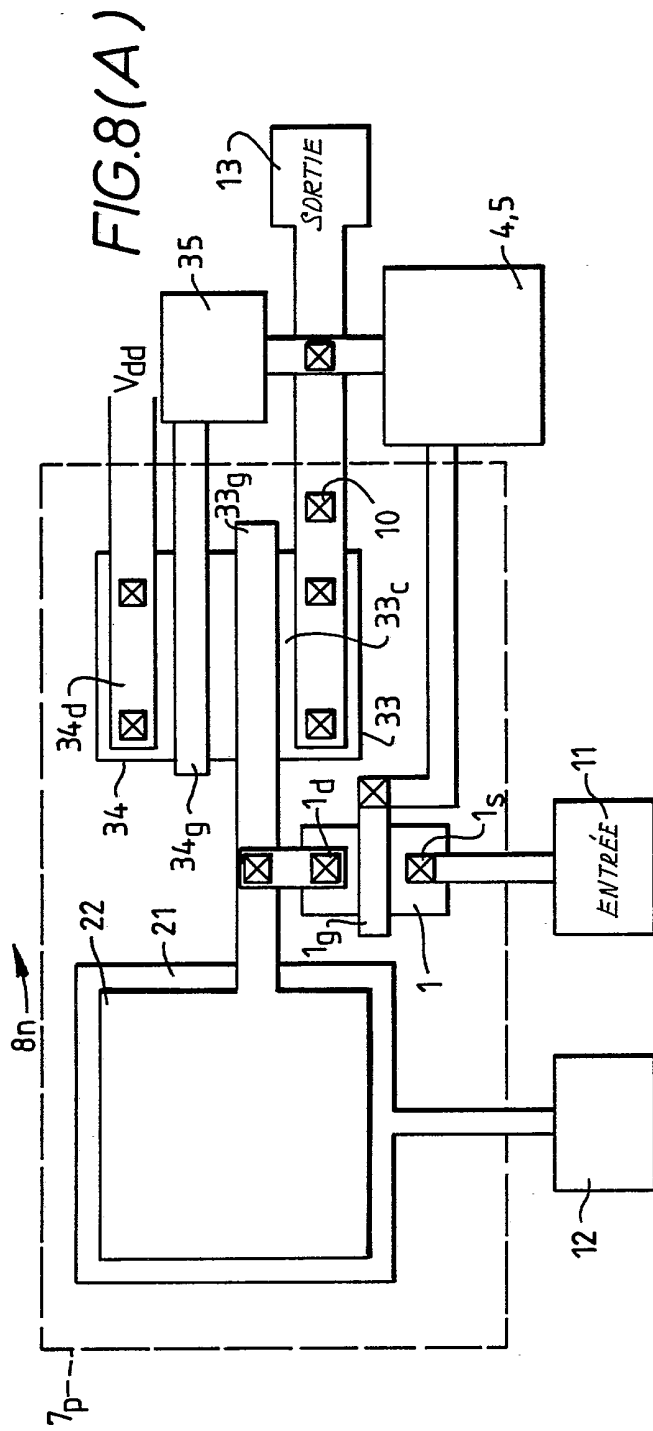


FIG. 9(A)

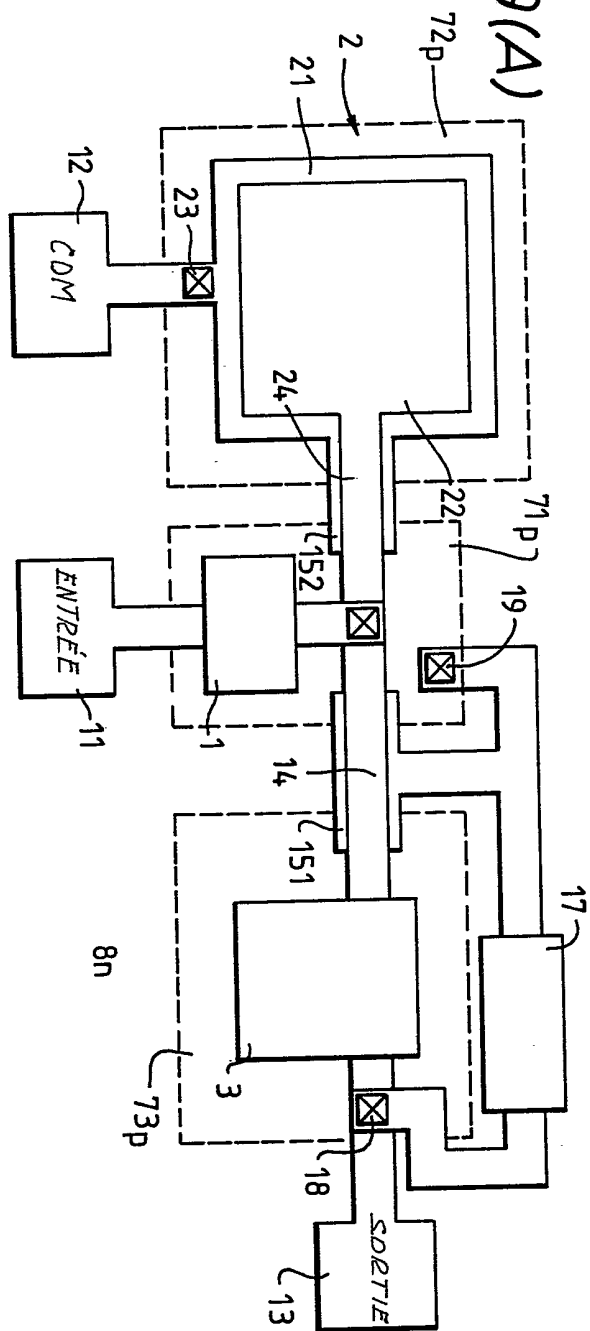
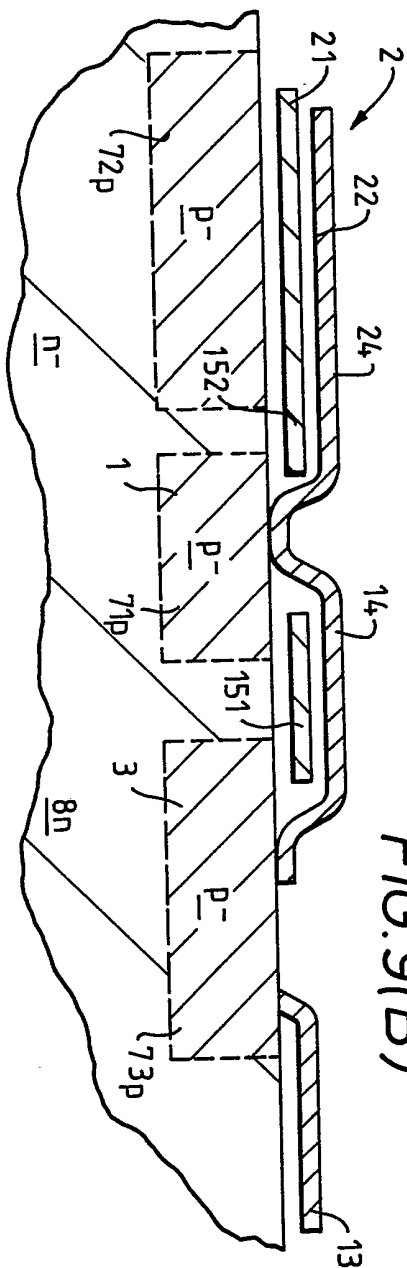
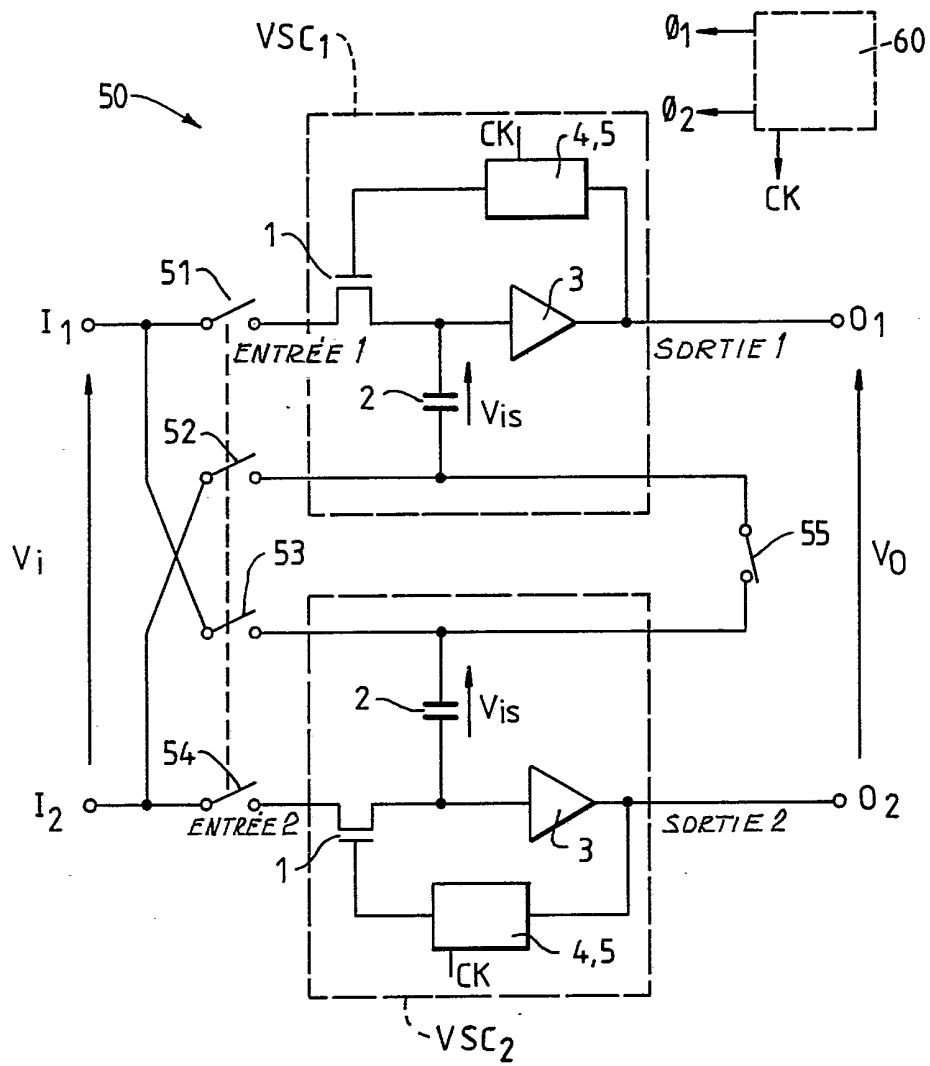


FIG. 9(B)



7/10

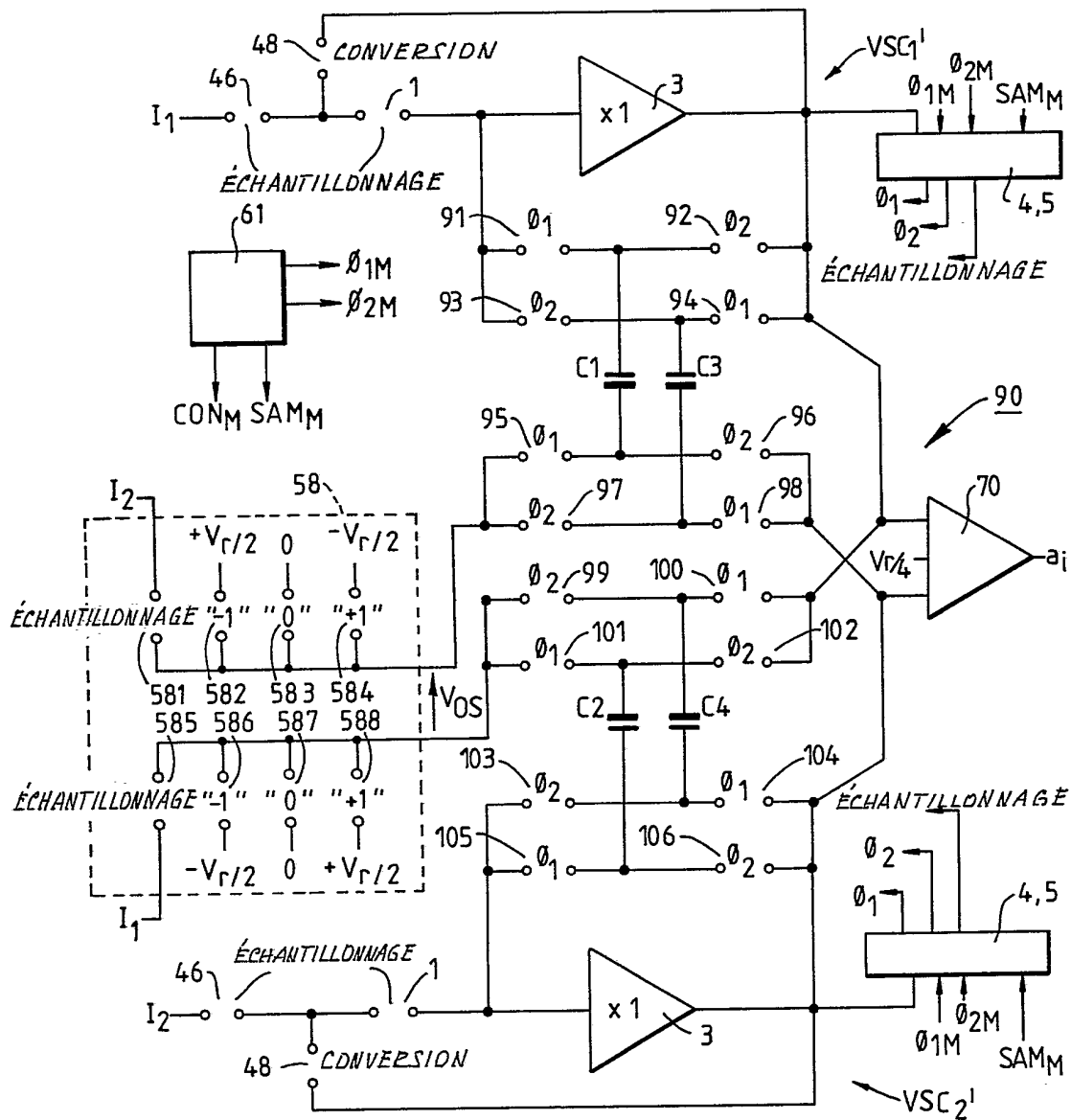
FIG. 11





9/10

FIG. 13



10/10

FIG. 14

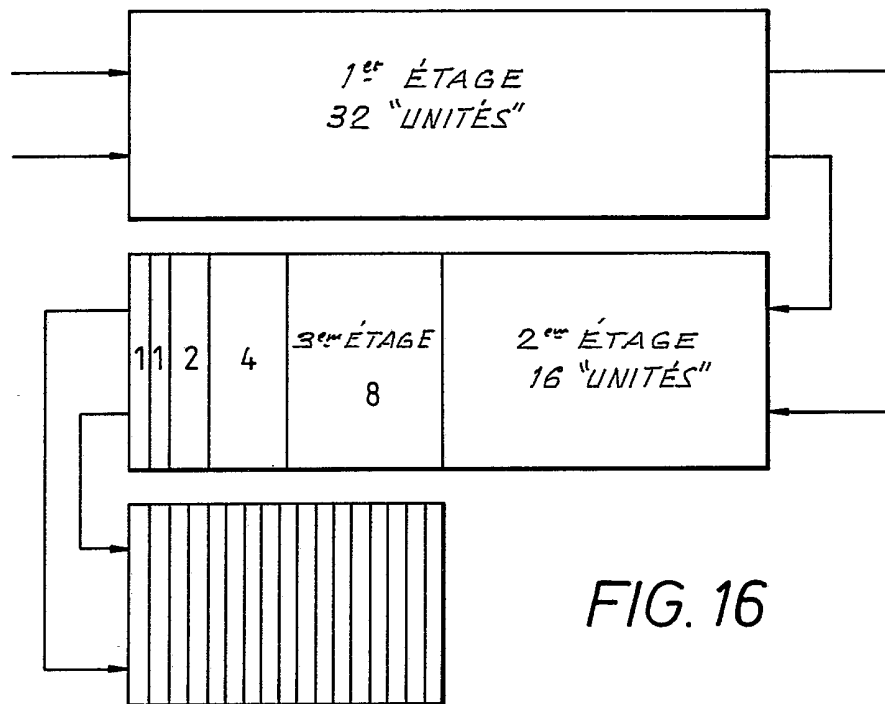
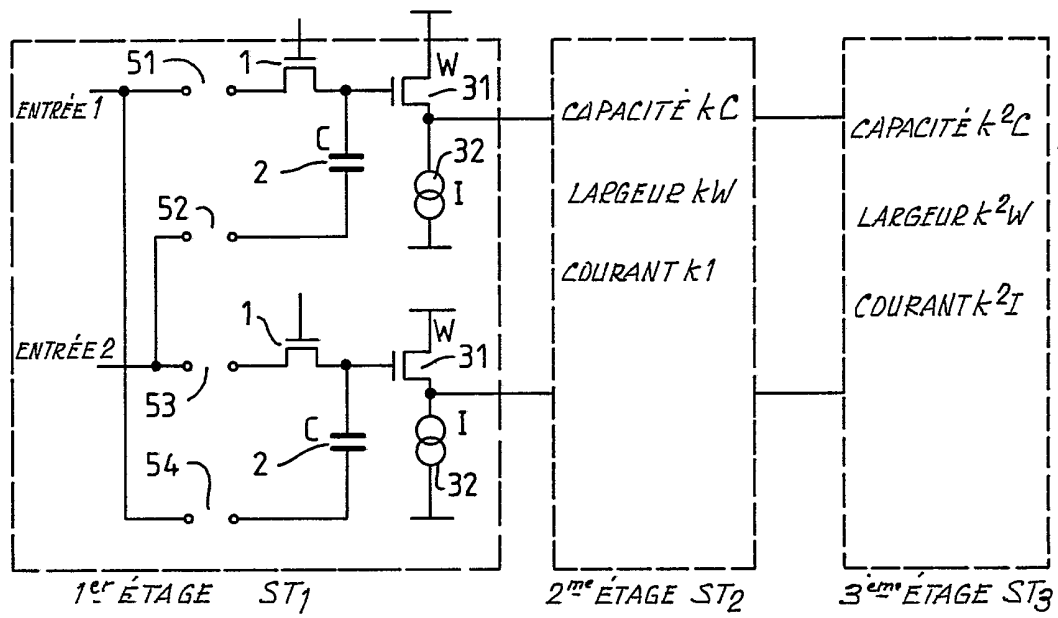


FIG. 16