



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0114038
(43) 공개일자 2011년10월19일

(51) Int. Cl.

H01L 21/8242 (2006.01) H01L 27/108 (2006.01)

(21) 출원번호 10-2010-0033448

(22) 출원일자 2010년04월12일

심사청구일자 2010년04월12일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

김희동

서울특별시 성북구 안암동5가 고려대학교자연계캠퍼스
공학관 436호

안호명

서울특별시 송파구 풍납동 277-5번지 202호

(74) 대리인

특허법인주원

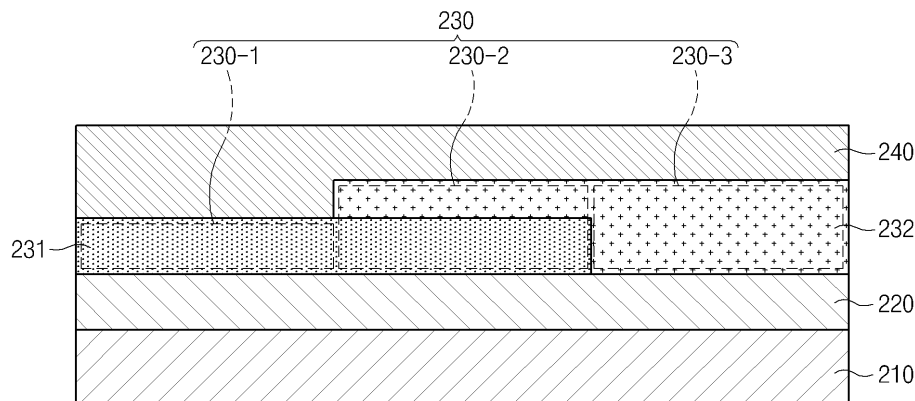
전체 청구항 수 : 총 14 항

(54) 멀티 레벨 ReRAM 메모리 장치 및 그 제조 방법

(57) 요약

본 발명은 ReRAM 메모리 장치 및 그 제조 방법을 공개한다. 본 발명의 ReRAM 메모리 장치는 인가되는 전계에 따라서 저항 상태가 변화되는 저항 변화층에 전기적인 두께가 서로 다른 복수의 영역을 형성함으로써, 각 영역의 저항 상태를 선택적으로 변화시킴으로써, 멀티 레벨을 프로그램할 수 있다. 따라서, 본 발명은 저항 변화층의 각 영역을 구성하는 저항 변화성 물질 종류 및 해당 물질의 물리적 두께를 조절함으로써 간편하게 멀티 레벨 프로그램이 가능한 ReRAM 메모리 장치를 제조할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

반도체 기판;

상기 반도체 기판위에 형성된 하부 전극층;

전기적 두께가 서로 다른 복수의 영역이 병렬로 상기 하부 전극층 위에 형성되고, 인가되는 전계의 세기에 따라서 저항이 변화되어, 흐르는 전류의 양을 제어하는 저항 변화층; 및

상기 저항 변화층 위에 형성된 상부 전극층을 포함하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 2

제 1 항에 있어서, 상기 저항 변화층은

제 1 저항 변화 물질이 형성된 제 1 영역;

상기 제 1 저항 변화 물질과 제 2 저항 변화 물질이 순차적으로 적층되도록 형성된 제 2 영역; 및

상기 제 2 저항 변화 물질이 형성된 제 3 영역을 포함하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제 2 저항 변화 물질의 유전상수는 상기 제 1 저항 변화 물질의 유전상수보다 작은 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 영역의 물리적 두께는 상기 제 2 영역에 형성된 제 1 저항 변화 물질의 물리적 두께와 동일한 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 5

제 3 항에 있어서,

상기 제 3 영역의 물리적 두께는 상기 제 2 영역의 물리적 두께와 동일한 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 6

제 3 항에 있어서,

상기 제 3 영역의 전기적 두께가 가장 두껍고, 상기 제 1 영역의 전기적 두께가 가장 얇은 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 7

제 1 항에 있어서, 상기 저항 변화층은

복수의 영역이 서로 다른 유전 상수를 갖는, 저항 변화 물질들로 형성된 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치.

청구항 8

(a) 반도체 기판위에 하부 전극층을 형성하는 단계;

(b) 전기적 두께가 서로 다른 복수의 영역이 병렬로 상기 하부 전극층 위에 형성되도록, 인가되는 전계에 따라

서 흐르는 전류의 양을 제어하는 저항 변화층을 상기 하부 전극층 위에 형성하는 단계; 및

(c) 상기 저항 변화층 위에 상부 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 9

제 8 항에 있어서, 상기 (b) 단계는

제 1 저항 변화 물질로 제 1 영역을 형성하고,

상기 제 1 저항 변화 물질과 제 2 저항 변화 물질이 순차적으로 적층되도록 제 2 영역을 형성하며,

상기 제 2 저항 변화 물질로 제 3 영역을 형성하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 저항 변화 물질의 유전상수는 상기 제 1 저항 변화 물질의 유전상수보다 작은 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 11

제 10 항에 있어서, 상기 (b) 단계는

상기 제 1 영역의 물리적 두께가 상기 제 2 영역에 형성된 제 1 저항 변화 물질의 물리적 두께와 동일하도록 상기 저항 변화층을 형성하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 12

제 10 항에 있어서, 상기 (b) 단계는

상기 제 3 영역의 물리적 두께가 상기 제 2 영역의 물리적 두께와 동일하도록 상기 저항 변화층을 형성하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 13

제 10 항에 있어서, 상기 (b) 단계는

상기 제 3 영역의 전기적 두께가 가장 두껍고, 상기 제 1 영역의 전기적 두께가 가장 얇도록 상기 저항 변화층을 형성하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

청구항 14

제 10 항에 있어서, 상기 (b) 단계는

(b1) 상기 하부 전극층 위의 상기 제 1 영역 및 상기 제 2 영역에 제 1 저항 변화 물질층을 형성하는 단계;

(b2) 상기 제 1 영역에 대응되는 상기 제 1 저항 변화 물질층의 상부에 포토 레지스트를 형성하고 제 2 저항 변화 물질을 상기 제 1 저항 변화 물질층보다 두껍게 증착하여, 상기 제 2 영역의 상기 제 1 저항 변화 물질층 및 상기 제 3 영역의 상기 하부 전극층 위에 제 2 저항 변화 물질층을 형성하는 단계; 및

(b3) 상기 포토 레지스트가 드러나도록 상기 제 2 저항 변화 물질층의 상부를 제거하여 평탄화하고, 상기 포토 레지스트를 제거하는 단계를 포함하는 것을 특징으로 하는 멀티 레벨 ReRAM 메모리 장치 제조 방법.

명세서

기술분야

본 발명은 비휘발성 메모리 장치에 관한 것으로서, 보다 구체적으로는 저항 변화 메모리 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read Only Memory)으로 나눌 수 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 비휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸하는 소위 휘발성 메모리(volatile memory)이다. RAM에는 Dynamic RAM(DRAM)과 Static RAM(SRAM) 등이 있다.
- [0003] 그 외에 DRAM의 커패시터를 비휘발성을 지닌 물질로 대체한 반도체 메모리 장치가 등장하고 있다. 강유전체 커패시터를 이용한 강유전체 램(ferroelectric RAM; FRAM), 터널알(TMR; tunneling magneto-resistive) 막을 이용한 마그네틱 램(magnetic RAM; MRAM), 그리고 칼코게나이드계 화합물(chalcogenide alloys)을 이용한 상변화 메모리 장치(phase change memory device), 절화막에 전하를 포획하여 프로그램을 수행하는 SONOS 구조의 메모리 장치, 및 저항 변화를 이용한 ReRAM(Resistance Memory) 등이 있다.
- [0004] 이 중, 저항 변화 메모리(resistive random access memory device; 이하 'ReRAM'이라 한다)는 박막에 인가되는 특정 전압에 따라 박막의 저항 상태가 급격히 변화하는 것을 이용하여 비휘발성 메모리로 사용하고자 하는 소자를 말한다.
- [0005] ReRAM 소자는 무한대의 기록 및 재생에 대한 열화가 없고, 고온 동작이 가능하며 비휘발성으로 데이터의 안정성 등 탁월한 이점이 있다. 또한 입력 펄스 인가시 1000배 이상 저항 변화에 10 내지 20 ns 정도로 고속 동작이 가능하다. 그리고 상기 ReRAM 소자의 저항층은 공정상 단일막 구조를 갖기 때문에 고집적화 및 고속화가 가능할 뿐만 아니라 기존의 CMOS 공정과 집적 공정(integration process) 기술이 사용가능함으로 소비 에너지를 최소화할 수 있다.
- [0006] 도 1은 종래 기술에 따른 ReRAM 소자의 단면을 도시한 도면이다. 도 1을 참조하면, ReRAM 소자는 기판(10)상에 순차적으로 형성된 하부 전극(12), 저항층(14) 및 상부 전극(16)을 포함하는 구조를 갖는다. 여기서 하부 전극(12) 및 상부 전극(16)은 일반적인 전도성 물질로, 주로 금속으로 형성된다.
- [0007] ReRAM 소자의 저항층(24)의 재질로는 현재 산화물(oxide)이 많이 사용되고 있으며, 구체적으로 산화물로는 이원 산화물(binary oxides)과 페로브스카이트 산화물이 사용되고 있으며, 최근에는 상기 페로브스카이트 산화물에 금속을 도핑하거나 함유시켜 사용하고 있다.
- [0008] 그러나, 기존의 ReRAM소자는 저항의 크기에 따라서 논리값 '0' 또는 논리값 '1' 중 어느 한 상태를 나타내는 단일 비트(single bit) 구조이다. 따라서 메모리 장치의 크기를 증가시키지 않으면서도 두 가지 이상의 상태를 프로그래밍할 수 있는 정보저장 능력이 증가된 메모리 장치가 요구된다.

발명의 내용

해결하려는 과제

- [0009] 본 발명이 해결하고자 하는 과제는, 하나의 셀내에서 복수의 레벨을 프로그램할 수 있는 멀티 레벨 ReRAM 메모리 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0010] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치는, 반도체 기판; 상기 반도체 기판위에 형성된 하부 전극층; 전기적 두께가 서로 다른 복수의 영역이 병렬로 상기 하부 전극층 위에 형성되고, 인가되는 전계의 세기에 따라서 저항이 변화되어, 흐르는 전류의 양을 제어하는 저항 변화층; 및 상기 저항 변화층 위에 형성된 상기 상부 전극층을 포함한다.
- [0011] 또한, 상기 저항 변화층은, 제 1 저항 변화 물질이 형성된 제 1 영역; 상기 제 1 저항 변화 물질과 제 2 저항 변화 물질이 순차적으로 적층되도록 형성된 제 2 영역; 및 상기 제 2 저항 변화 물질이 형성된 제 3 영역을 포함할 수 있다.

- [0012] 또한, 상기 제 2 저항 변화 물질의 유전상수는 상기 제 1 저항 변화 물질의 유전상수보다 작은 것이 바람직하다.
- [0013] 또한, 상기 제 1 영역의 물리적 두께는 상기 제 2 영역에 형성된 제 1 저항 변화 물질의 물리적 두께와 동일한 것이 바람직하다.
- [0014] 또한, 상기 제 3 영역의 물리적 두께는 상기 제 2 영역의 물리적 두께와 동일한 것이 바람직하다.
- [0015] 또한, 상기 제 3 영역의 전기적 두께가 가장 두껍고, 상기 제 1 영역의 전기적 두께가 가장 얇은 것이 바람직하다.
- [0016] 또한, 상기 저항 변화층은 복수의 영역이 서로 다른 유전 상수를 갖는, 저항 변화 물질들로 형성될 수 있다.
- [0017] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치 제조 방법은, (a) 반도체 기판위에 하부 전극층을 형성하는 단계; (b) 전기적 두께가 서로 다른 복수의 영역이 병렬로 상기 하부 전극층 위에 형성되도록, 인가되는 전계에 따라서 흐르는 전류의 양을 제어하는 저항 변화층을 상기 하부 전극층 위에 형성하는 단계; 및 (c) 상기 저항 변화층 위에 상기 상부 전극층을 형성하는 단계를 포함한다.
- [0018] 또한, 상기 (b) 단계는, 제 1 저항 변화 물질로 제 1 영역을 형성하고, 상기 제 1 저항 변화 물질과 제 2 저항 변화 물질이 순차적으로 적층되도록 제 2 영역을 형성하며, 상기 제 2 저항 변화 물질로 제 3 영역을 형성할 수 있다.
- [0019] 또한, 상기 제 2 저항 변화 물질의 유전상수는 상기 제 1 저항 변화 물질의 유전상수보다 작은 것이 바람직하다.
- [0020] 또한, 상기 (b) 단계는, 상기 제 1 영역의 물리적 두께가 상기 제 2 영역에 형성된 제 1 저항 변화 물질의 물리적 두께와 동일하도록 상기 저항 변화층을 형성하는 것이 바람직하다.
- [0021] 또한, 상기 (b) 단계는, 상기 제 3 영역의 물리적 두께가 상기 제 2 영역의 물리적 두께와 동일하도록 상기 저항 변화층을 형성하는 것이 바람직하다.
- [0022] 또한, 상기 (b) 단계는, 상기 제 3 영역의 전기적 두께가 가장 두껍고, 상기 제 1 영역의 전기적 두께가 가장 얇도록 상기 저항 변화층을 형성하는 것이 바람직하다.
- [0023] 또한, 상기 (b) 단계는, (b1) 상기 하부 전극층 위의 상기 제 1 영역 및 상기 제 2 영역에 제 1 저항 변화 물질층을 형성하는 단계; (b2) 상기 제 1 영역에 대응되는 상기 제 1 저항 변화 물질층의 상부에 포토 레지스트를 형성하고 제 2 저항 변화 물질을 상기 제 1 저항 변화 물질층보다 두껍게 증착하여, 상기 제 2 영역의 상기 제 1 저항 변화 물질층 및 상기 제 3 영역의 상기 하부 전극층 위에 제 2 저항 변화 물질층을 형성하는 단계; 및 (b3) 상기 포토 레지스트가 드러나도록 상기 제 2 저항 변화 물질층의 상부를 제거하여 평탄화하고, 상기 포토 레지스트를 제거하는 단계를 포함할 수 있다.

발명의 효과

- [0024] 본 발명은 인가되는 전계에 따라서 저항 상태가 변화되는 저항 변화층에 전기적인 두께가 서로 다른 복수의 영역을 형성함으로써, 각 영역의 저항 상태를 선택적으로 변화시킴으로써, 멀티 레벨을 프로그램할 수 있다. 따라서, 본 발명은 저항 변화층의 각 영역을 구성하는 저항 변화성 물질 종류 및 해당 물질의 물리적 두께를 조절함으로써 간편하게 멀티 레벨 프로그램이 가능한 ReRAM 메모리 장치를 제조할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 종래 기술에 따른 ReRAM 메모리 장치의 구조를 도시하는 도면이다.
- 도 2는 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치의 구조를 도시하는 도면이다.
- 도 3은 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치의 동작을 설명하는 도면이다.
- 도 4a 내지 도 4f는 본 발명의 바람직한 실시예에 따라서 멀티 레벨 ReRAM 메모리 장치를 제조하는 방법을 설명하는 도면이다.

도 5는 변형 실시예의 일예를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0027] 도 2는 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치의 구조를 도시하는 도면이다. 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치는, 반도체 기판(210) 위에 하부 전극층(220), 저항 변화층(230), 상부 전극층(240)이 순차적으로 형성된 구조를 갖는다.
- [0028] 반도체 기판(210)과 하부 전극층(220)은 상술한 종래의 일반적인 ReRAM 메모리 장치의 제조 방법과 동일한 방식으로 형성된다.
- [0029] 저항 변화층(230)은 인가되는 바이어스 전압의 크기(즉, 인가되는 전계의 크기)에 따라서 내부에 전류가 흐를 수 있는 경로(필라멘트)가 형성되어 전류의 흐름을 조절함으로써, 내부 저항 특성이 변화된다. 특히, 본 발명의 바람직한 실시예에 따른 저항 변화층(230)은 2개의 저항 변화 물질을 이용하여 서로 전기적 두께가 상이한 3개의 영역을 하부 전극층(220) 위에 병렬적으로 형성함으로써, 4가지 레벨(2bit)의 상태를 프로그램할 수 있다.
- [0030] 저항 변화층(230)의 위에는 상부 전극층(240)이 형성되어 있으며, 상부 전극층(240)에 전압을 인가하여 저항 변화층(230)에 전계를 인가할 수 있다.
- [0031] 도 3은 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치의 동작을 설명하는 도면이다.
- [0032] 도 3을 더 참조하여 동작 방식을 설명하면, 일반적인 저항 변화 물질은 실리콘 질화막(Si_3N_4)과 같이, 내부에 디펙트가 존재하여 하부 전극층(220) 및 상부 전극층(240)으로부터 터널링하여 유입된 전하를 포획할 수 있는 물질로 형성된다.
- [0033] 또한, 상부 전극층(240) 및 하부 전극층(220)에 프로그램 전압(바이어스 전압)이 인가되면, 저항 변화층(230) 내부로 전하들이 유입되어 포획되고, 유입된 전하들이 임의로 서로 연결되어 전류가 흐를 수 있는 경로(필라멘트(235))를 형성한다. 이렇게 형성된 경로에 의해 전류가 흐르게 되어 저항 변화층(230)은 저저항 상태로 변화되어 유지된다.
- [0034] 그 후, 프로그램 소거 전압이 인가되면 저항 변화층(230) 내부에 포획된 전하들이 상부 전극층(240) 또는 하부 전극층(220)으로 유출되면서 저저항 상태에서 연결된 필라멘트들이 하나씩 단절되면서 고저항 상태로 변경되어 다음 프로그램 전압이 인가될 때까지 유지된다.
- [0035] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 바람직한 실시예에 따른 저항 변화층(230)은 제 1 저항 변화 물질층(231)만으로 구성된 제 1 영역(230-1), 제 1 저항 변화 물질층(231)과 제 2 저항 변화 물질층(232)이 적층된 제 2 영역(230-2), 및 제 2 저항 변화 물질층(232)만으로 구성된 제 3 영역(230-3)이 하부 전극층(220) 위에서 서로 병렬로 배치되어 구성된다.
- [0036] 이 때, 제 1 영역(230-1)의 제 1 저항 변화 물질층(231)과 제 2 영역(230-2)에 위치한 제 1 저항 변화 물질층(231)은 일체로 동일한 두께로 형성되는 것이 바람직하다. 또한, 제 2 영역(230-2)의 전체 두께는 제 3 영역(230-3)의 전체 두께와 동일한 것이 바람직하다. 따라서, 제 2 영역(230-2)에 배치된 제 2 저항 변화 물질층(232)의 상면은 제 3 영역(230-3)의 제 2 저항 변화 물질층(232)의 상면과 일치되어 평탄화되어 있다.
- [0037] 또한, 제 1 영역(230-1) 내지 제 3 영역(230-3)은 전기적 두께가 서로 상이하도록 형성되어, 각 영역에 대응되는 크기의 전계를 인가함으로써 저항 변화층의 각 영역의 저항 상태를 선택적으로 변화시켜 멀티 레벨 프로그램이 가능하게 된다.
- [0038] 도 2 및 도 3에 도시된 본 발명의 바람직한 실시예에서는, 저항 변화층(230)을 3개 영역으로 나누고, 저항 변화층(230)에 3단계 크기로 전계를 인가하여, 각 단계에 따라서 3개의 영역이 각각 고저항 상태와 저저항 상태간에 스위칭되도록 형성함으로써, 멀티 레벨 프로그램을 구현한다. 전기적 두께가 두꺼우면 두꺼울수록 더 큰 전계가 인가되어야 저항 상태가 변화됨을 의미한다.
- [0039] 도 2 및 도 3에 도시된 예에서는, 제 1 저항 변화 물질의 유전상수가 제 2 저항 변화 물질의 유전 상수보다 더 크도록 물질들을 선택하여, 각 영역의 전기적인 두께가, 제 3 영역(230-3)이 제일 크고, 제 1 영역(230-1)이 제일 작도록 형성하였다.

[0040] 도 3을 참조하여 설명하면, 제 1 저항 변화 물질(A)의 유전 상수가 9이고, 제 2 저항 변화 물질(B)의 유전 상수가 4이며, 제 1 영역(230-1)의 물리적 두께가 10nm, 제 2 영역(230-2)의 물리적인 두께가 20nm, 제 3 영역(230-3)의 물리적인 두께가 20nm라고 가정하면, 제 1 저항 변화 물질을 기준으로 한 제 1 영역(230-1) 내지 제 3 영역(230-3)의 전기적 두께(EOT)는 다음의 수학적 식 1에 따라서 각각 10nm(제 1 영역(230-1)), 32.5nm(제 2 영역(230-2)), 45nm(제 3 영역(230-3))으로 계산된다.

수학적 식 1

[0041]
$$EOT = d \frac{k_A}{k}$$

[0042] 상기 수학적 식 1에서 d 는 물리적인 두께를 나타내고, k_A 는 기준 물질의 유전 상수를 나타내며, 분자의 k 는 상대적으로 측정되는 물질의 유전 상수를 나타낸다.

[0043] 도 3의 하단에는 전기적 두께에 대응하여 저항을 변화시키기 위해서 필요한 전계의 크기를 도식적으로 표시하였다. 도 3에 도시된 바와 같이, 작은 크기의 전계를 인가해도 전기적 두께가 얇은 제 1 영역(230-1)의 저항 상태는 변화시킬 수 있는 반면, 전기적 두께가 두꺼운 제 3 영역(230-3)의 저항 상태를 변경하기 위해서는 큰 전계를 인가해야 한다. 따라서, 전기적 두께를 조절하여 저항 변화에 필요한 전계의 크기를 3단계로 구분함으로써, 멀티 레벨을 프로그램할 수 있다.

[0044] 논리값 [00]인 상태(프로그램되지 않은 상태)를 레벨 0으로 설정하고, 논리값 [01]이 프로그램된 상태를 레벨 1로 설정하며, 논리값 [10]이 프로그램된 상태를 레벨 2로 설정하고, 논리값 [11]이 프로그램된 상태를 레벨 3으로 설정하면, 레벨 0인 상태에서는 제 1 영역(230-1) 내지 제 3 영역(230-3) 모두 고저항 상태로서 전류가 흐르지 않는다.

[0045] 레벨 1을 프로그램하기 위해서, 제 1 영역(230-1)의 저항 상태를 변경시키기에 충분한 제 1 셋전압(V_{set1})을 상부 전극층(240)에 인가하면, 제 1 영역(230-1)의 저항 변화 물질(A)은 고저항 상태에서 저저항 상태로 변화되어 전류가 흐를 수 있게 된다. 그러나, 제 2 영역(230-2) 및 제 3 영역(230-3)은 고저항 상태로 유지되어 전류가 흐르지 않는다.

[0046] 레벨 2를 프로그램하기 위해서, 제 2 영역(230-2)의 저항 상태를 변경시키기에 충분한 제 2 셋전압(V_{set2})($V_{set2} > V_{set1}$)을 상부 전극층(240)에 인가하면, 제 1 영역(230-1) 및 제 2 영역(230-2)에 위치한 저항 변화 물질(A)뿐만 아니라, 제 2 영역(230-2)의 저항 변화 물질(B)도 고저항 상태에서 저저항 상태로 변화되어, 제 1 영역(230-1) 및 제 2 영역(230-2)는 모두 고저항 상태에서 저저항 상태로 변화되고, 제 1 영역(230-1) 및 제 2 영역(230-2)을 통해서 전류가 흐르게 된다. 따라서, 레벨 1보다는 많은 양의 전류가 흐를 수 있게 된다. 그러나, 제 3 영역(230-3)은 고저항 상태로 유지되어 전류가 흐르지 않는다.

[0047] 마지막으로, 레벨 3을 프로그램하기 위해서, 제 3 영역(230-3)의 저항 상태를 변경시키기에 충분한 제 3 셋전압(V_{set3})($V_{set3} > V_{set2} > V_{set1}$)을 상부 전극층(240)에 인가하면, 제 1 영역(230-1) 내지 제 3 영역(230-3)의 모든 저항 변화 물질(A, B)이 고저항 상태에서 저저항 상태로 변화되어, 저항 변화층(230)의 모든 영역을 통해서 전류가 흐르게 된다. 따라서, 레벨 2보다는 많은 양의 전류가 흐를 수 있게 된다.

[0048] 상술한 바와 같이 프로그램된 상태는, 상부 전극층(240)에 읽기 전압을 인가하였을 때, 흐르는 전류의 양을 확인함으로써 식별된다.

[0049] 한편, 프로그램된 상태는 프로그램시 인가된 전압과 반대 극성의 전압을 상부 전극층(240)에 인가하여 소거할 수 있다.

[0050] 상술한 본 발명의 바람직한 실시예에서는, 프로그램 셋전압들 V_{set3} , V_{set2} , 및 V_{set1} 을 각각 3V, 2V, 1V 로 설정하여 500ns 동안의 시간동안 상부 전극층(240)에 인가하였다.

[0051] 지금까지 본 발명의 바람직한 실시예에 따른 멀티 레벨 ReRAM 메모리 장치의 구성에 대해서 설명하였다. 이하에는 도 4a 내지 도 4f를 참조하여 그 제조 방법을 설명한다.

[0052] 도 4a 내지 도 4f는 본 발명의 바람직한 실시예에 따라서 멀티 레벨 ReRAM 메모리 장치를 제조하는 방법을 설명하는 도면이다. 도 4a 내지 도 4f를 참조하여 설명하면, 먼저, 반도체 기판(210)위에 하부 전극층(220)을 증착

하여 형성한다(도 4a 참조).

- [0053] 반도체 기판(210)은 통상의 반도체 메모리 장치의 제작에 이용되는 것이면 어느 것이든 가능하며 본 발명에서 특별히 한정하지는 않는다. 대표적으로 Si 기판, SiO₂ 기판, Si/SiO₂ 다층 기판, 폴리실리콘 기판 등이 이용될 수 있다.
- [0054] 기판상에 형성되는 하부 전극층(220)은 ReRAM 소자에 일반적으로 이용되는 전극과 동일한 재질 및 두께로 형성될 수 있다. 즉, 하부 전극층(220)은 5 내지 500nm 의 두께로 Ag, Pt, Au, Al, Cu, Ti 및 이들의 합금 등을 이용하여 형성될 수 있다.
- [0055] 하부 전극층(220)이 형성되면, 도 4b에 도시된 바와 같이, 하부 전극층(220) 위에 제 1 저항 변화 물질을 증착하여, 5 ~ 500nm 의 두께로 제 1 저항 변화 물질층(231)을 형성한다. 제 1 저항 변화 물질로는 Binary metal oxide계열의 Nb₂O₅, NiO, MgO, TiO₂, ZrO₂, CuO₂, 또는 Cubic perovskite oxides계열의 Nb:SrTiO₃, Cr:SrTiO₃, Cr:SrZrO₃, 또는 Ferromagnetic materials계열의 PrxCa_{1-x}MnO₃ 등이 이용될 수 있다.
- [0056] 그 후, 도 4c 에 도시된 바와 같이, 저항 변화층(230)의 제 1 영역(230-1), 제 2 영역(230-2), 및 제 3 영역(230-3)을 형성할 위치를 설정하고, 제 1 저항 변화 물질층(231) 위의 제 1 영역(230-1) 및 제 2 영역(230-2)에 대응되는 위치에 포토레지스트(410)를 형성하고, 제 3 영역(230-3)에 대응되는 위치에 형성된 제 1 저항 변화 물질층(231)을 식각하여 제거한다.
- [0057] 제 3 영역(230-3)의 저항 변화 물질층이 제거되면, 도 4d에 도시된 바와 같이, 기존의 포토레지스트(410)를 제거하고, 잔존하는 제 1 저항 변화 물질층(231) 위에 제 1 영역(230-1)에 대응되는 위치에 포토레지스트(420)를 다시 형성하고, 그 위에 제 2 저항 변화 물질을 증착하여 제 2 저항 변화 물질층(232)을 형성한다. 이 때, 제 2 저항 변화 물질로는 상술한 저항 변화 물질들 중에서 제 1 저항 변화 물질과 유전 상수가 서로 다른 물질이 이용되고, 바람직하게는, 제 1 저항 변화 물질보다 유전 상수가 작은 물질이 이용된다.
- [0058] 도 4d에 도시된 공정이 수행되면, 저항 변화층(230)의 제 1 영역(230-1)에는 제 1 저항 변화 물질층(231), 포토레지스트(420), 제 2 저항 변화 물질층(232)이 순차적으로 형성되고, 제 2 영역(230-2)에는 제 1 저항 변화 물질층(231) 및 제 2 저항 변화 물질층(232)이 순차적으로 형성되며, 제 3 영역(230-3)에는 하부 전극층(220) 위에 제 2 저항 변화 물질층(232)이 형성된다.
- [0059] 그 후, 도 4e에 도시된 바와 같이, 제 2 저항 변화 물질층(232)의 상부를 제거하고 평탄화한 후, 제 1 영역(230-1)에 형성된 포토레지스트(420)를 제거한다. 그러면, 제 1 영역(230-1)에는 제 1 저항 변화 물질층(231)만이 남고, 제 2 영역(230-2)에는 제 1 영역(230-1)과 동일한 두께의 제 1 저항 변화 물질층(231)과 제 2 저항 변화 물질층(232)이 형성되며, 제 3 영역(230-3)에는 제 2 영역(230-2)과 동일한 두께의 제 2 저항 변화 물질층(232)이 형성되어 있다.
- [0060] 그 후, 도 4f 에 도시된 바와 같이, 제 1 영역(230-1) 내지 제 3 영역(230-3)에 걸쳐서 저항 변화층(230) 위에 하부 전극층(220)과 동일한 재질의 상부 전극층(240)을 형성하여, 멀티 레벨 ReRAM 메모리 장치를 완성한다.
- [0061] 상술한 바와 같이, 본 발명은 제 1 저항 변화 물질 및 제 2 저항 변화 물질을 유전 상수가 서로 다른 물질로 선택하고, 이들 물질층의 물리적 두께를 조절하면, 저항 변화층(230)의 각 영역별로 전기적인 두께를 다르게 설정할 수 있다. 따라서, 저항 상태를 변화시키기 위해서 인가되어야 할 전계의 크기를 복수개로 분리할 수 있고, 이로 인해서 복수 레벨의 프로그램이 가능해 진다.
- [0062] 상술한 본 발명의 바람직한 실시예 이외에도, 저항 변화층(230)의 영역을 복수개로 분리하고, 각 영역의 저항 상태를 변화시키기 위해서 필요한 전계의 크기(즉, 전극에 인가되는 전압의 크기)를 명확하게 분리할 수 있도록 변형된 예라면, 본 발명의 기술적 사상의 범위내에 포함된다.
- [0063] 예컨대, 도 5에 도시된 바와 같이, 반도체 기판(510) 위에 하부 전극층(520), 저항 변화층(530), 및 상부 전극층(540)이 순차적으로 형성되고, 저항 변화층(530)은 서로 동일한 물리적 두께를 갖으며, 서로 다른 유전 상수를 갖는 3개의 저항 변화물질층(530-1, 530-2, 530-3)을 서로 병렬로 형성하는 것도 가능하다.
- [0064] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고

려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

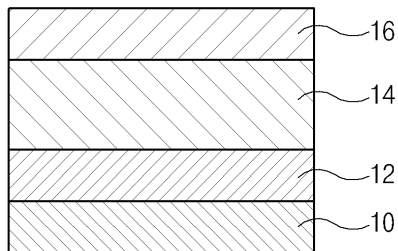
부호의 설명

[0065]

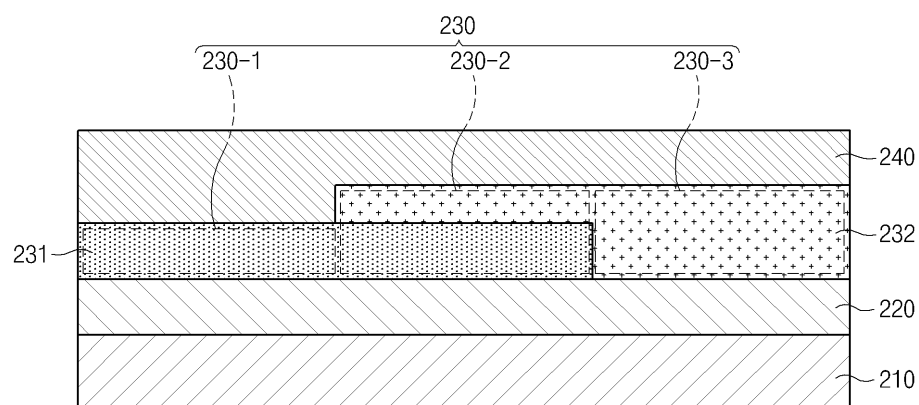
210	반도체 기판
220	하부 전극층
230	저항 변화층
230-1	제 1 영역
230-2	제 2 영역
230-3	제 3 영역
231	제 1 저항 변화 물질층
232	제 2 저항 변화 물질층
240	상부 전극층

도면

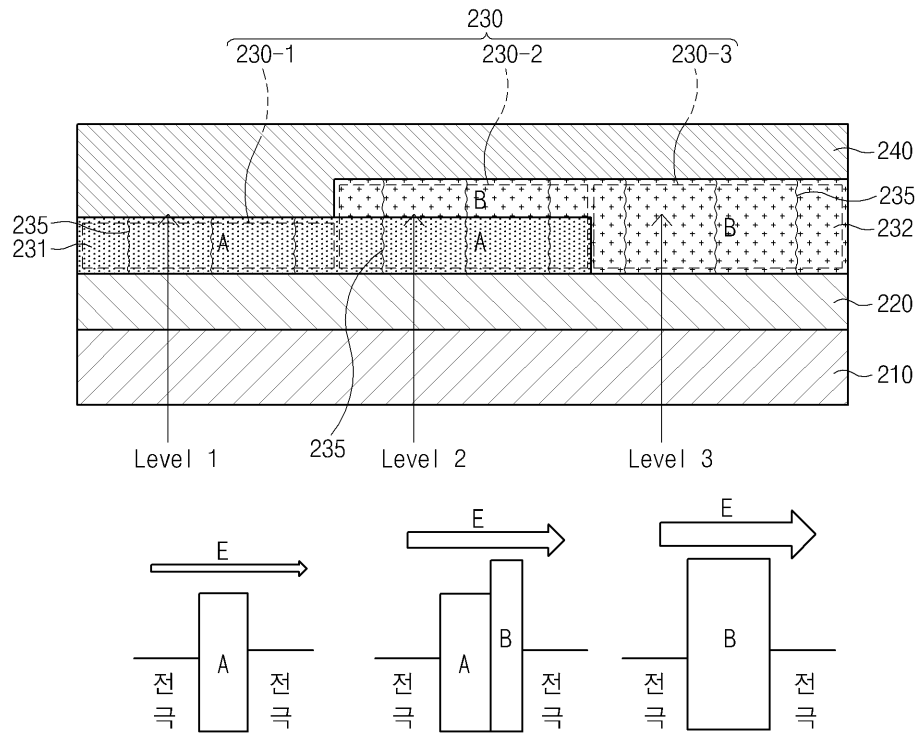
도면1



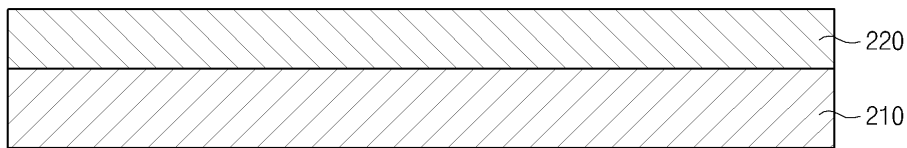
도면2



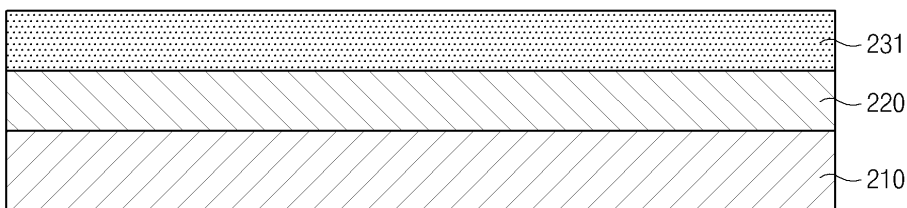
도면3



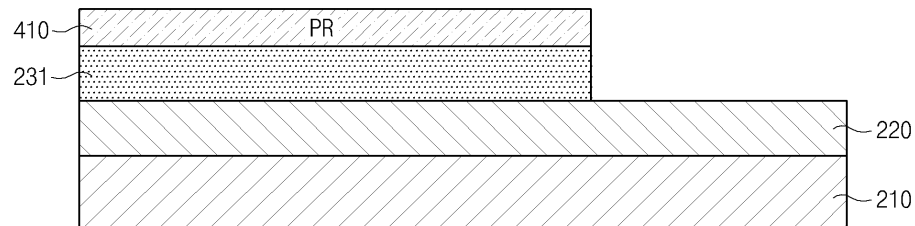
도면4a



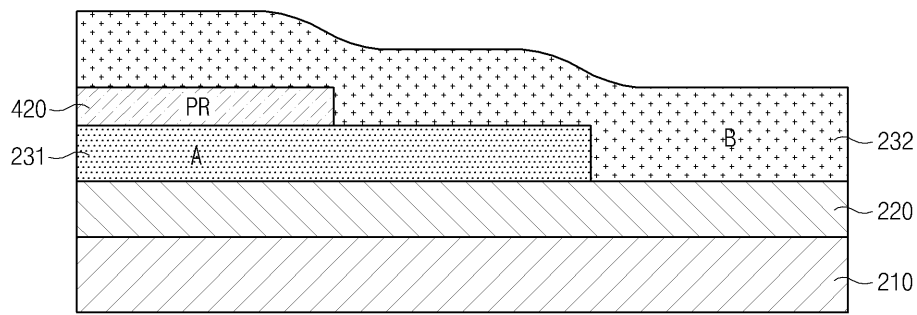
도면4b



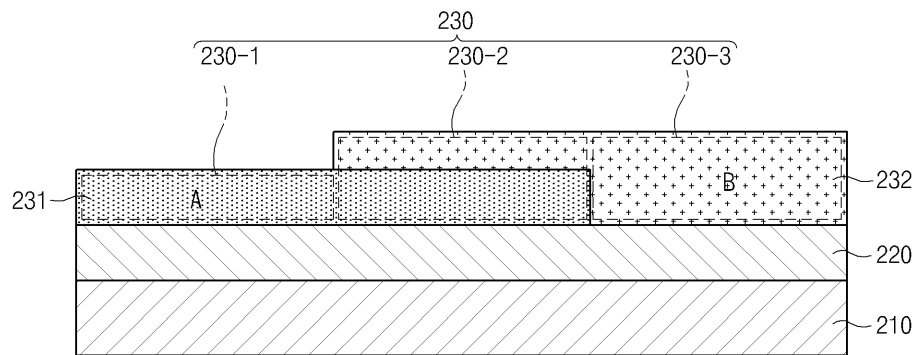
도면4c



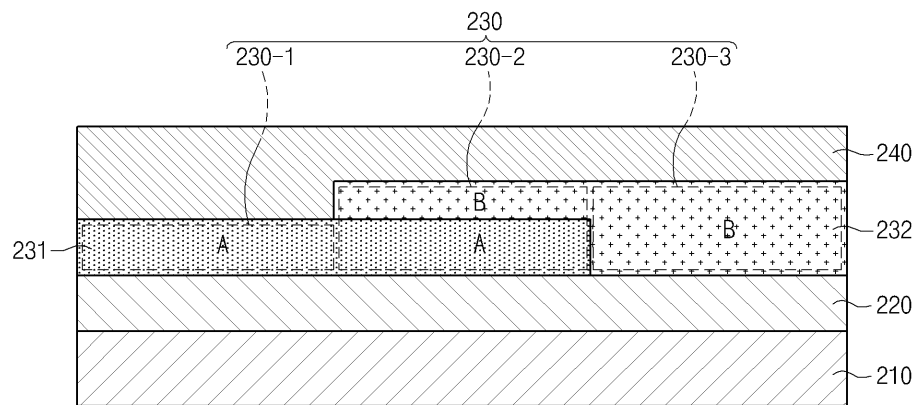
도면4d



도면4e



도면4f



도면5

