

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/786 (2006.01)

H01L 27/12 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510115959.0

[43] 公开日 2006年8月16日

[11] 公开号 CN 1819271A

[22] 申请日 2005.11.11

[21] 申请号 200510115959.0

[30] 优先权

[32] 2005. 2. 8 [33] US [31] 11/053,461

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区新竹市力行
六路八号

[72] 发明人 黄绍璋

[74] 专利代理机构 北京林达刘知识产权代理事务所

代理人 刘新宇 严文典

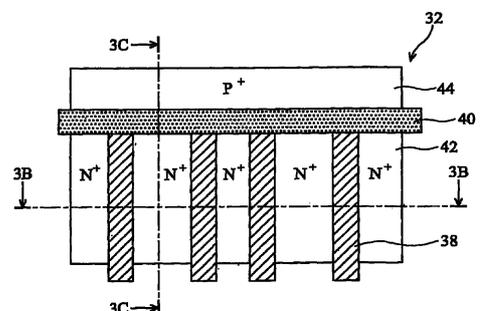
权利要求书 5 页 说明书 14 页 附图 22 页

[54] 发明名称

硅覆盖绝缘层装置、晶片及其形成方法

[57] 摘要

本发明提供一种硅覆盖绝缘层装置、晶片及其形成方法。具体涉及一种在主动区域上装载简化多晶硅的硅覆盖绝缘层装置，此种装置至少有一介电层抵抗硅化作用，从源极及漏极区分离出至少一个主体接触区，因此可以降低栅极电容以及增加装置效能。本发明所述硅覆盖绝缘层装置、晶片及其形成方法，降低栅极电容及改善装置效能，且可在全消耗型晶体管或部分消耗型晶体管中使用。



1. 一种硅覆盖绝缘层装置，其特征在于，所述硅覆盖绝缘层装置包含：

一硅覆盖绝缘层基底，具有一主动区域，其中该硅覆盖绝缘层基底是包含一半导体层形成于一绝缘层上；

至少一栅极电极层形成于该主动区域的该半导体层上；

一源极区及一漏极区，位于该主动区域的该半导体层内，以及被该栅极电极层所分开；

一防止硅化作用的介电层，形成于该主动区域的该半导体层上；以及

一主体接触区，位于该主动区域的该半导体层内，其中该防止硅化作用的介电层可使该主体接触区自该源极区及该漏极区分开。

2. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该栅极电极层是一条纹形状层，以及该防止硅化作用的介电层是一条纹形状层且跨越该栅极电极层的一端。

3. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该防止硅化作用的介电层是一封闭回路，围绕该栅极电极层、该源极区及该漏极区。

4. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该主体接触区是一封闭回路，被该防止硅化作用的介电层自该源极区及该漏极区分开。

5. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该防止硅化作用的该介电层是一U形回路，围绕该栅极电极层、该源极区及该漏极区。

6. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该主体接触区是一U形回路，被该防止硅化作用的介电层，自该源极区及该漏极区分开。

7. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，该防止硅化作用的介电层是一电阻保护氧化层。

8. 根据权利要求1所述的硅覆盖绝缘层装置，其特征在于，更包含一硅化物区，位于该栅极电极层、该源极区、该漏极区及该主体接触区上方。

9. 一种硅覆盖绝缘层晶片，其特征在于，所述硅覆盖绝缘层晶片包含：

一硅覆盖绝缘层基底，具有一主动区域，其中该硅覆盖绝缘层基底是包含一半导体层形成于一绝缘层上；

至少二防止硅化作用的介电层，形成于该主动区域的该半导体层上；

至少一晶体管，位于该二防止硅化作用的介电层之间，其中该晶体管是包含一栅极电极层形成于该半导体层上、一源极区及一漏极区形成于该半导体层内；以及

至少二主体接触区，位于该主动区域的该半导体层内，其中该防止硅化作用的介电层可使该主体接触区自该源极区及该漏极区分开。

10. 根据权利要求9所述的硅覆盖绝缘层晶片，其特征在于，该至少二防止硅化作用的介电层，包含：

一第一防止硅化作用的介电层，跨越该栅极电极层的一端；以及

一第二防止硅化作用的介电层，跨越该栅极电极层的另外一端；

其中该栅极电极层、该源极区及该漏极区，是位于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层之间。

11. 根据权利要求10所述的硅覆盖绝缘层晶片，其特征在于，该至少二主体接触区，包含：

一第一主体接触区，其中该第一防止硅化作用的介电层可使该第一主体接触区自该源极区及该漏极区分开；以及

一第二主体接触区，其中该第二防止硅化作用的介电层可使该第二主体接触区自该源极区及该漏极区分开；

其中该第一主体接触区是与该第二主体接触区分隔。

12. 根据权利要求10所述的硅覆盖绝缘层晶片，其特征在于，更包含：

一第三防止硅化作用的介电层，横向邻接于该栅极电极层的一侧壁，及连接于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层；以及

一第四防止硅化作用的介电层，横向邻接于该栅极电极层的另一侧壁，及连接于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层；

其中，该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第三防止硅化作用的介电层、该第四防止硅化作用的介电层，被排成一形式以包围该栅极电极层，该源极区及该漏极区。

13. 根据权利要求12所述的硅覆盖绝缘层晶片，其特征在于，该至少二主体接触区，包含：

一第三主体接触区，其中该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第三防止硅化作用的介电层可使该第三主体接触区自该源极区及该漏极区分开；以及

一第四主体接触区，其中该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第四防止硅化作用的介电层可使该第四主体接触区自该源极区及该漏极区分开。

14. 根据权利要求9所述的硅覆盖绝缘层晶片，其特征在于，防止硅化作用的该至少二介电层，包含：

一第一防止硅化作用的介电层，跨越该栅极电极层的一端；
以及

一第三防止硅化作用的介电层，横向邻接于该栅极电极层的一侧壁，及连接该第一防止硅化作用的介电层；以及

一第四防止硅化作用的介电层，横向邻接于该栅极电极层的另一侧壁，及连接于该第一防止硅化作用的介电层；

其中该第一防止硅化作用的介电层、该第三防止硅化作用的介电层及该第四防止硅化作用的介电层，被排成一形式以包围该栅极电极层、该源极区及该漏极区。

15. 根据权利要求14所述的硅覆盖绝缘层晶片，其特征在于，该至少二主体接触区，包含：

一第一主体接触区，其中该第一防止硅化作用的介电层可使该第一主体区自该源极区及该漏极区分开；

一第三主体接触区，其中该第一防止硅化作用的介电层与该第三防止硅化作用的介电层可使该第三主体区自该源极区及该漏极区分开；以及

一第四主体接触区，其中该第一防止硅化作用的介电层与该第四防止硅化作用的介电层可使该第四主体区自该源极区及该漏极区分开。

16. 一种形成硅覆盖绝缘层装置的方法，其特征在于，所述形成硅覆盖绝缘层装置的方法包含：

提供一硅覆盖绝缘层基底，具有一主动区域，其中该硅覆盖绝缘层基底是包含一半导体层形成于一绝缘层上；

形成至少一栅极电极层于该主动区域的该半导体层上；

形成至少一防止硅化作用的介电层于该主动区域的该半导体层上；

形成一源极区及一漏极区，位于该主动区域的该半导体层内，

其中该栅极电极层分开该源极区及该漏极区；以及

形成至少一主体接触区于该主动区域的该半导体层内，其中该防止硅化作用的介电层将该主体接触区自该源极区及该漏极区分开。

硅覆盖绝缘层装置、晶片及其形成方法

技术领域

本发明有关于一种半导体装置及制造方法，特别有关于一种硅覆盖绝缘层（SOI）装置及其制造方法。

背景技术

在半导体装置的制造及生产中，硅覆盖绝缘层（SOI）技术的使用更行重要。硅覆盖绝缘层（SOI）技术处理较薄的单晶半导体层中晶体管的形成方式，此单晶半导体层覆盖在绝缘层上。换句话说，主动装置形成于绝缘层上的薄半导体层中，而不是在装置的大块半导体里。硅覆盖绝缘层（SOI）技术能增加装置效能，例如能减少大块半导体内集成电路中存在的寄生元件，对于高效能及高密度的集成电路相当有用。硅覆盖绝缘层（SOI）技术更符合标准先进技术，而不需进行设计上的大幅修改；并且因为隔离氧化层，对于高速，低功率消耗及较好的避免辐射有更佳效益。

在标准硅覆盖绝缘层（SOI）晶体管中，其主体与硅基底隔离而浮在上面，会产生电流感应线路应用上严重的问题。在晶体管使用过后，其主体仍具有电荷及一些电性，会干扰装置的使用功能。与硅覆盖绝缘层（SOI）半导体装置相关的问题，有许多解决的方法；例如，利用一个主体接触到硅覆盖绝缘层（SOI）装置以解决这项问题，以及改变临界电压以减少低功率应用时的备用功率。传统上硅覆盖绝缘层（SOI）装置内的主体接触，在主动区域上使用T形或H形多晶硅结构，因此会产生三个不同的区，作为源极区、漏极区和主体接触区。

图1A为具有一个主体接触区的传统T形多晶硅结构图，图1B为图1A中沿1B-1B线所截出的剖面示意图，图1C为图1A中沿

1C-1C线所截出的剖面示意图。一个硅覆盖绝缘层(SOI)基底10包括硅基层、埋入氧化硅层、及一半导体硅层(例如P型半导体层),由形成于半导体硅层中的浅沟槽绝缘层14所定义出的主动区域12所提供,该浅沟槽绝缘层14覆盖埋入式氧化硅层。T形多晶硅层16在主动区域12上形成,在半导体硅层内建立三个不同区,包括源极区17、漏极区18、及主体接触区20。以N型金属氧化物半导体晶体管(NMOS)为例,源极区17及漏极区18为N⁺型区,主体接触区为P⁺型区。图2A为具有多个主体接触区的传统H形多晶硅结构图,图2B为图2A中沿2B-2B线所截出的剖面示意图,图2C为图2A中沿2C-2C线所截出的剖面示意图。如同图1A至图1C中,类似部位的说明在此简略。比较起来,T形多晶硅层16由H形多晶硅层16”所取代,因此建立四个不同区。传统上利用增加P⁺/P⁻/N⁺连接区域的方式,处理增加的寄生二极管半导体,因此可改善主体接触区里的电流内含电容。然而T形或H形多晶硅,包含多晶硅栅极部分及多晶硅虚置部分,所产生的高栅极电容会降低装置效能。

因此,需要一种硅覆盖绝缘层(SOI)金属氧化物半导体晶体管(MOSFET)装置能够减少主动区域上的多晶硅,以解决高栅极电容的问题。

发明内容

在本发明的实施例中,提供一种硅覆盖绝缘层(SOI)装置,减少主动区域上的多晶硅,至少有一介电层防止硅化作用,自源极及漏极区分离出至少一个主体接触区,以降低栅极电容及改善装置效能。此种硅覆盖绝缘层(SOI)装置能使用在全消耗型晶体管或部分消耗型晶体管中使用。

在一目的中,本发明提供一种硅覆盖绝缘层(SOI)装置,在

硅覆盖绝缘层(SOI)基底上具有一半导体层覆盖一绝缘层;至少有一栅极电极层覆盖主动区域的半导体层;源极及漏极区位于主动区域的半导体层,由栅极电极层所分开;用以防止硅化作用的介电层覆盖主动区域的半导体层;主体接触区位于主动区域的半导体层内,由用于防止硅化作用的介电层与源极及漏极区分离。

本发明所述的硅覆盖绝缘层装置,该栅极电极层是一条纹形状层,以及该防止硅化作用的介电层是一条纹形状层且跨越该栅极电极层的一端。

本发明所述的硅覆盖绝缘层装置,该防止硅化作用的介电层是一封闭回路,围绕该栅极电极层、该源极区及该漏极区。

本发明所述的硅覆盖绝缘层装置,该主体接触区是一封闭回路,被该防止硅化作用的介电层自该源极区及该漏极区分开。

本发明所述的硅覆盖绝缘层装置,该防止硅化作用的该介电层是一U形回路,围绕该栅极电极层、该源极区及该漏极区。

本发明所述的硅覆盖绝缘层装置,该主体接触区是一U形回路,被该防止硅化作用的介电层,自该源极区及该漏极区分开。

本发明所述的硅覆盖绝缘层装置,该防止硅化作用的介电层是一电阻保护氧化层。

本发明所述的硅覆盖绝缘层装置,更包含一硅化物区,位于该栅极电极层、该源极区、该漏极区及该主体接触区上方。

在另一目的中,本发明提供一种硅覆盖绝缘层(SOI)晶片;硅覆盖绝缘层(SOI)基底具有半导体层覆盖绝缘层;至少二个用于防止硅化作用的介电层覆盖主动区域的半导体层;至少一个晶体管位于两个防止硅化作用的介电层,包含覆盖半导体层的栅极电极层,及半导体层内的源极及漏极区;至少二个主体接触区在主动区域的半导体层内,以及由用于防止硅化作用的介电层与源极及漏极区分离。

本发明所述的硅覆盖绝缘层晶片，该至少二防止硅化作用的介电层，包含：一第一防止硅化作用的介电层，跨越该栅极电极层的一端；以及一第二防止硅化作用的介电层，跨越该栅极电极层的另外一端；其中该栅极电极层、该源极区及该漏极区，是位于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层之间。

本发明所述的硅覆盖绝缘层晶片，该至少二主体接触区，包含：一第一主体接触区，其中该第一防止硅化作用的介电层可使该第一主体接触区自该源极区及该漏极区分开；以及一第二主体接触区，其中该第二防止硅化作用的介电层可使该第二主体接触区自该源极区及该漏极区分开；其中该第一主体接触区是与该第二主体接触区分隔。

本发明所述的硅覆盖绝缘层晶片，更包含：一第三防止硅化作用的介电层，横向邻接于该栅极电极层的一侧壁，及连接于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层；以及一第四防止硅化作用的介电层，横向邻接于该栅极电极层的另一侧壁，及连接于该第一防止硅化作用的介电层及该第二防止硅化作用的介电层；其中，该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第三防止硅化作用的介电层、该第四防止硅化作用的介电层，被排成一形式以包围该栅极电极层，该源极区及该漏极区。

本发明所述的硅覆盖绝缘层晶片，该至少二主体接触区，包含：一第三主体接触区，其中该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第三防止硅化作用的介电层可使该第三主体接触区自该源极区及该漏极区分开；以及一第四主体接触区，其中该第一防止硅化作用的介电层、该第二防止硅化作用的介电层、该第四防止硅化作用的介电层可使该第四主体接触

区自该源极区及该漏极区分开。

本发明所述的硅覆盖绝缘层晶片，防止硅化作用的该至少二介电层，包含：一第一防止硅化作用的介电层，跨越该栅极电极层的一端；以及一第三防止硅化作用的介电层，横向邻接于该栅极电极层的一侧壁，及连接该第一防止硅化作用的介电层；以及一第四防止硅化作用的介电层，横向邻接于该栅极电极层的另一侧壁，及连接于该第一防止硅化作用的介电层；其中该第一防止硅化作用的介电层、该第三防止硅化作用的介电层及该第四防止硅化作用的介电层，被排成一形式以包围该栅极电极层、该源极区及该漏极区。

本发明所述的硅覆盖绝缘层晶片，该至少二主体接触区，包含：一第一主体接触区，其中该第一防止硅化作用的介电层可使该第一主体区自该源极区及该漏极区分开；一第三主体接触区，其中该第一防止硅化作用的介电层与该第三防止硅化作用的介电层可使该第三主体区自该源极区及该漏极区分开；以及一第四主体接触区，其中该第一防止硅化作用的介电层与该第四防止硅化作用的介电层可使该第四主体区自该源极区及该漏极区分开。

在另一目的中，本发明提供一种形成硅覆盖绝缘层（SOI）装置的方法；形成至少一个栅极电极层及至少一个用于防止硅化作用的介电层覆盖主动区域的半导体层；在主动区域的半导体层内形成源极及漏极区，以及栅极电极层将源极区及漏极区分离；在主动区域的半导体层内形成至少一个主体接触区，用于防止硅化作用的介电层将主体接触区与源极区及漏极区分离。

本发明所述硅覆盖绝缘层装置、晶片及其形成方法，在主动区域上装载简化多晶硅的硅覆盖绝缘层（SOI），具有一称为电阻保护氧化（RPO）层的介电层用以防止硅化作用，取代了传统T形或H形多晶硅结构的多晶硅虚置部分，可以降低栅极电容以及增

加装置效能。此种硅覆盖绝缘层 (SOI) 装置的制造方法比传统主体接触制程更易实行, 而且不需要产生额外电路设计区域。

附图说明

图1A是绘出一传统T形多晶硅结构具有一个主体接触区的俯视图;

图1B为图1A中沿线1B-1B的剖面示意图;

图1C为图1A中沿线1C-1C的剖面示意图;

图2A是绘出一传统H形多晶硅结构具有多个主体接触区的俯视图;

图2B为图2A中沿线2B-2B的剖面示意图;

图2C为图2A中沿线2C-2C的剖面示意图;

图3A是绘出用以分离一主体接触区与源极/漏极区的电阻保护氧化 (RPO) 层的俯视图;

图3B为图3A中沿线3B-3B的剖面示意图;

图3C为图3A中沿线3C-3C的剖面示意图;

图4A是绘出图3A中金属硅化形成于完成后结构上的俯视图;

图4B为图4A中沿线4B-4B的剖面示意图;

图4C为图4A中沿线4C-4C的剖面示意图;

图5A是绘出图3A中介电质间隔层及金属硅化形成于完成后结构上的俯视图;

图5B为图5A中沿线5B-5B的剖面示意图;

图5C为图5A中沿线5C-5C的剖面示意图;

图6A是绘出主动区域上一对电阻保护氧化 (RPO) 层的俯视图;

图6B为图6A中沿线6B-6B的剖面示意图;

图6C为图6A中沿线6C-6C的剖面示意图;

图7A是绘出主动区域上四个电阻保护氧化（RPO）层的俯视图；

图7B为图7A中沿线7B-7B的剖面示意图；

图7C为图7A中沿线7C-7C的剖面示意图；

图8A是绘出四个电阻保护氧化（RPO）层的变型以形成环状主体接触区的俯视图；

图8B为图8A中沿线8B-8B的剖面示意图；

图8C为图8A中沿线8C-8C的剖面示意图；

图9A是绘出主动区域上三个电阻保护氧化（RPO）层的俯视图；

图9B为图9A中沿线9B-9B的剖面示意图；

图9C为图9A中沿线9C-9C的剖面示意图；

图10A是绘出三个电阻保护氧化（RPO）层的变型以形成反U形主体接触区的俯视图；

图10B为图10A中沿线10B-10B的剖面示意图；

图10C为图10A中沿线10C-10C的剖面示意图；

图11A是绘出一部分消耗型硅覆盖绝缘层（SOI）装置的俯视图；

图11B为图11A中沿线11B-11B的剖面示意图；

图11C为图11A中沿线11C-11C的剖面示意图。

具体实施方式

本发明实施例提供一种在主动区域上装载简化多晶硅的硅覆盖绝缘层（SOI）装置，具有一个电层用以防止硅化作用，称为电阻保护氧化（RPO）层；以取代传统T形或H形多晶硅结构的多晶硅虚置部分，可以降低栅极电容以及增加装置效能。此种硅覆盖绝缘层（SOI）装置的制造方法比传统主体接触制程更易实行，而

且不需要产生额外电路设计区域。本发明实施例中提供几种电阻保护氧化（RPO）层的变型，可用于全消耗型晶体管或部分消耗型晶体管。

透过本发明的揭露，“用于防止硅化作用的介电层”有关于使用一个保护层，而不需进行自行对准金属硅化制程（Self-Aligned Silicidation, Salicide）；可能在晶圆另一部分防止硅化作用时，需使用到自行对准金属硅化制程（Self-Aligned Silicidation or Salicide）；除了氧化硅（例如电阻保护氧化（RPO）层）之外，任何其他保护半导体装置防止硅化作用的材料，可能使用介电层以防止硅化作用，例如含氮介电层材料、氮化硅、氮氧化硅等。

本发明实施例将参考图示作详述说明，图中所使用的参考数字对应于相关部分作一阐述，对于实施例在图中所画的图形形状及厚度等将用放大的方式较清楚的呈现，本发明实施方式文中内容将直接阐明图中对应到的各部分，显而易见，以现有技术可进行的不同型式的变化并不特别指明，再者，当某一层对应于另外一层或在基底上时，意指为直接在另外一层上或基底上，或者可能有中间插入层。

图3A依据本发明实施例，硅覆盖绝缘层（SOI）金属氧化物半导体晶体管（MOSFET）装置具有一主体接触区。图3A是绘出用以分离一主体接触区与源极/漏极区的电阻保护氧化（RPO）层的俯视图；图3B为图3A中沿线3B-3B的剖面示意图；图3C为图3A中沿线3C-3C的剖面示意图。硅覆盖绝缘层（SOI）基底30由一个隔离结构定义出主动区域32；硅覆盖绝缘层（SOI）基底30包含基底31，埋入绝缘层33及半导体层34；基底31包含硅、砷化镓、氮化镓、应变硅、硅锗、碳化硅、碳、钻石、外延层等；埋入绝缘层33包含氧化硅、氮化硅、氮氧化硅等介电质材料。埋入绝缘层33及半导体层34可用不同的硅覆盖绝缘层（SOI）技术形成，

例如，埋入绝缘层33可用注入氧原子（SIMOX）的分离制程来形成在基底上；SIMOX技术是在硅晶圆以离子注入高剂量氧离子，其聚集的峰值在硅表面下方；晶圆注入后，进行高温退火制程，以形成化学剂量上连续的氧化硅次表面层；因此形成介电层33埋入氧化硅（buried oxide, BOX），在电性上分离半导体层34及基底31。在硅覆盖绝缘层（SOI）之后，绝缘结构，例如浅沟槽绝缘层（STI）结构，形成于半导体层34中，以定义元件与元件之间的主动区域32。

然后利用沉积、微影、光罩技术及干蚀刻制程，在主动区域32上形成至少一个栅极结构，栅极结构包括栅极介电层36及栅极电极层38；主动区域32包含一个或多个栅极结构，依照预先设计法则使栅极结构彼此间分开一定距离。在一实施例中，栅极介电层36为氧化硅层，厚度的选择须对应到硅覆盖绝缘层（SOI）金属氧化物半导体晶体管（MOSFET）装置技术所需尺寸大小，例如热氧化制程或化学气相沉积法（CVD）制程；已知栅极介电层材料包含氧化硅、氮化硅、及其组合物。在一实施例中，栅极电极层38为多晶硅层，其栅极长度的选择，须对应到硅覆盖绝缘层（SOI）金属氧化物半导体晶体管（MOSFET）装置技术所需尺寸大小，例如低压化学气相沉积法（LPCVD）、化学气相沉积法（CVD）、物理气相沉积法（PVD）、及溅镀方法等。在特定型态多晶硅层离子注入特定导电型态。已知栅极材料包含金属、金属合金、单晶硅、或任何其他组合物。须注意每一栅极电极层38为条纹形状多晶硅图形，相较于传统T形或H形多晶硅图形，并不增加额外多晶硅部分做端点至端点间连接；因此主动区域32上的多晶硅所占有的面积明显减少，以达到降低栅极电容及改善装置效能。

栅极结构形成之后，利用任何已知制程形成电阻保护氧化

(RPO)层40、源极/漏极区42及主体接触区44。在一实施例中，在主动区域32上形成的电阻保护氧化(RPO)层40为条纹形状介电层，分别跨越栅极电极层38的各个末端，因此电阻保护氧化(RPO)层40及栅极电极层38的组合，能建立三个分离区，包含在半导体层34内形成的源极区42、漏极区42及主体接触区44。电阻保护氧化(RPO)层40可用已知的化学气相沉积法(CVD)、微影技术图形化、光罩及蚀刻制程来形成。在一实施例中，电阻保护氧化(RPO)层40包含TEOS氧化层或氧化硅层(SiO_x)；在一实施例中，电阻保护氧化(RPO)层40可用含氮介电层材料取代，例如氮化硅、氮氧化硅等；或者，电阻保护氧化(RPO)层40也可使用任何其他适合的材料作为防止硅化作用的介电层。源极/漏极区42及主体接触区44可利用离子注入制程，在半导体层34内注入不同的掺杂物质来形成。一般而言，主体接触区44的掺杂物具有和主体相同的电极性(例如在栅极电极层38及电阻保护氧化(RPO)层40下的半导体层34的区域35)，以及其掺杂密集度大于其主体。主体接触区44掺杂的电极性和源极/漏极区42不同。在一实施例中，图3A至图3C绘出N沟道金属氧化物半导体晶体管(MOSFET)装置，源极/漏极区42为 N^+ 区，主体接触区44为 P^+ 区，区域35为 P^- 区。若装置为P沟道金属氧化物半导体晶体管(MOSFET)装置，源极/漏极区为 P^+ 区，主体接触区为 N^+ 区，主体区为 N^- 区。

图4A是绘出图3A中金属硅化形成于完成后结构上的俯视图；图4B为图4A中沿线4B-4B的剖面示意图；图4C为图4A中沿线4C-4C的剖面示意图。首先，金属层为耐火金属层，包含钴、钨、钛、镍等；通过RF溅镀、化学气相沉积法(CVD)、物理气相沉积法(PVD)或其他沉积技术，沉积覆盖整个表面。然后进行退火制程，如快速热退火(RTA)方法，使沉积的金属层和其所接

触到的硅结合转化成金属硅化物。使用选择性蚀刻剂，例如过氧化氢以移除所有未反应的金属，亦即所有金属较易与氧结合；得到栅极电极层38、源极/漏极区42及主体接触区44上的金属硅化物区46。

图5A在一实施例中，于源极/漏极区42形成前，在栅极结构侧壁形成介电质间隔层。图5A是绘出图3A中介电质间隔层及金属硅化形成于完成后结构上的俯视图；图5B为图5A中沿线5B-5B的剖面示意图；图5C为图5A中沿线5C-5C的剖面示意图；其说明类似于图3A至图3C及图4A至图4C，而在此省略。栅极结构形成后，沿栅极结构侧壁分别形成介电质间隔层48；可在半导体层34内进行轻掺杂离子注入制程注入不同的掺杂物，形成轻掺杂漏极区(LDD)，轻掺杂漏极区(LDD)的边缘实质上对准栅极结构侧壁；通过沉积、微影、光罩技术及干蚀刻制程，沿栅极结构侧壁形成介电质间隔层48；介电质间隔层48包含氮化硅层、氧化硅层、氮氧化硅层，及其多层组合物。光罩覆盖介电质间隔层48及栅极结构，进行重掺杂离子注入制程，在半导体层34内注入不同的掺杂物，形成源极/漏极区42。因此在接下来的自行对准金属硅化制程(Self-Aligned Silicidation, Salicide)，在栅极电极层38、源极/漏极区42及主体接触区44的表面上，选择性形成金属硅化物层46，以降低电阻值；而不在电阻保护氧化(RPO)层及介电质间隔层48的表面上形成。

本发明实施例提供电阻保护氧化(RPO)层图形许多的变型。在一实施例中，图6A、图6B、图6C绘出主动区域32上一对电阻保护氧化(RPO)层40a及40b；第一电阻保护氧化(RPO)层40a为条纹形状层，跨越每一栅极电极层38的第一末端，以区分源极/漏极区42及第一主体接触区44a；同样的，第二电阻保护氧化(RPO)层40b为条纹形状层，跨越每一栅极电极层38的第二末端，

以区分源极/漏极区42及第一主体接触区44b；也就是栅极电极层38夹在两平行电阻保护氧化（RPO）层40a及40b间，因此建立四个不同区域，包含一源极区、一漏极区及两个主体接触区。

在一实施例中，参考图7A、图7B、图7C，在两平行电阻保护氧化（RPO）层40a及40b间，更提供另一对电阻保护氧化（RPO）层40c及40d。第三电阻保护氧化（RPO）层40c为条纹形状层，侧面邻接于最左边的栅极电极层38，连接到两平行电阻保护氧化（RPO）层40a及40b；同样的，第四电阻保护氧化（RPO）层40d为条纹形状层，侧面邻接于最右边的栅极电极层38，连接到两平行电阻保护氧化（RPO）层40a及40b。四个电阻保护氧化（RPO）层40a、40b、40c及40d的安排，形成一封闭回圈，源极/漏极区42在此封闭回圈内和栅极电极层38分开，以及四个主体接触区44在封闭回圈外分开建立。

在一实施例中，参考图8A、图8B、图8C，四个电阻保护氧化（RPO）层40a、40b、40c及40d的安排修改成将四个主体接触区成为一个连续区（例如一环状主体接触区）。第一电阻保护氧化（RPO）层40a的两端实质上分别对准第三电阻保护氧化（RPO）层40c及第四电阻保护氧化（RPO）层40d的外侧侧壁；同样的，第二电阻保护氧化（RPO）层40b的两端实质上分别对准第三电阻保护氧化（RPO）层40c及第四电阻保护氧化（RPO）层40d的外侧侧壁。因此，长方形回圈电阻保护氧化（RPO）层可定义为环状主体接触区44。

在一实施例中，参考图9A、图9B、图9C，第二电阻保护氧化（RPO）层40b从主动区域32上移除，因此三个电阻保护氧化（RPO）层40a、40c及40d建立三个分离的主体接触区44。

在一实施例中，参考图10A、图10B、图10C，三个电阻保护氧化（RPO）层40a、40c及40d的安排，更可以修改，改变三个

分离的主体接触区44成为一连续区。第一电阻保护氧化(RPO)层40a的两端实质上分别对准第三电阻保护氧化(RPO)层40c及第四电阻保护氧化(RPO)层40d的外侧侧壁。因此,此反U形电阻保护氧化(RPO)层可定义出一反U形主体接触区44(譬如一个门状线路)。

当晶体的最大消耗层宽度大于沟道区半导体层的厚度时,称为全消耗型硅覆盖绝缘层(SOI)晶体管;当晶体的最大消耗层宽度小于沟道区半导体层的厚度时,称为部分消耗型硅覆盖绝缘层(SOI)晶体管。在上述的实施例中,使用全消耗型硅覆盖绝缘层(SOI)装置,其沟道部分完全消耗;但如果能抑制阈值电压的消散,本发明所有实施例中也可使用部分消耗型硅覆盖绝缘层(SOI)装置。图11A是绘出部分消耗型硅覆盖绝缘层(SOI)装置的俯视图;图11B为图11A中沿线11B-11B的剖面示意图;图11C为图11A中沿线11C-11C的剖面示意图。对于全消耗型硅覆盖绝缘层(SOI)晶体管,半导体层的厚度可以较薄,相等或小于约50nm,因此可以减少短沟道效应。比较起来,部分消耗型硅覆盖绝缘层(SOI)晶体管可能需要大于50nm的较厚半导体层,并且需要一个主体接触。

虽然本发明已通过较佳实施例说明如上,但该较佳实施例并非用以限定本发明。本领域的技术人员,在不脱离本发明的精神和范围内,应有能力对该较佳实施例做出各种更改和补充,因此本发明的保护范围以权利要求书的范围为准。

附图中符号的简单说明如下:

基底: 10、31

主动区域: 12、32

浅沟槽绝缘层: 14

T形多晶硅层: 16

| | |
|----------------|----|
| 源极区： | 17 |
| 漏极区： | 18 |
| 主体接触区： | 20 |
| 硅覆盖绝缘层（SOI）基底： | 30 |
| 埋入绝缘层： | 33 |
| 半导体层： | 34 |
| 栅极介电层： | 36 |
| 栅极电极层： | 38 |
| 电阻保护氧化（RPO）层： | 40 |
| 源极及漏极区： | 42 |
| 主体接触区： | 44 |
| 金属硅化物区： | 46 |
| 介电质间隔层： | 48 |

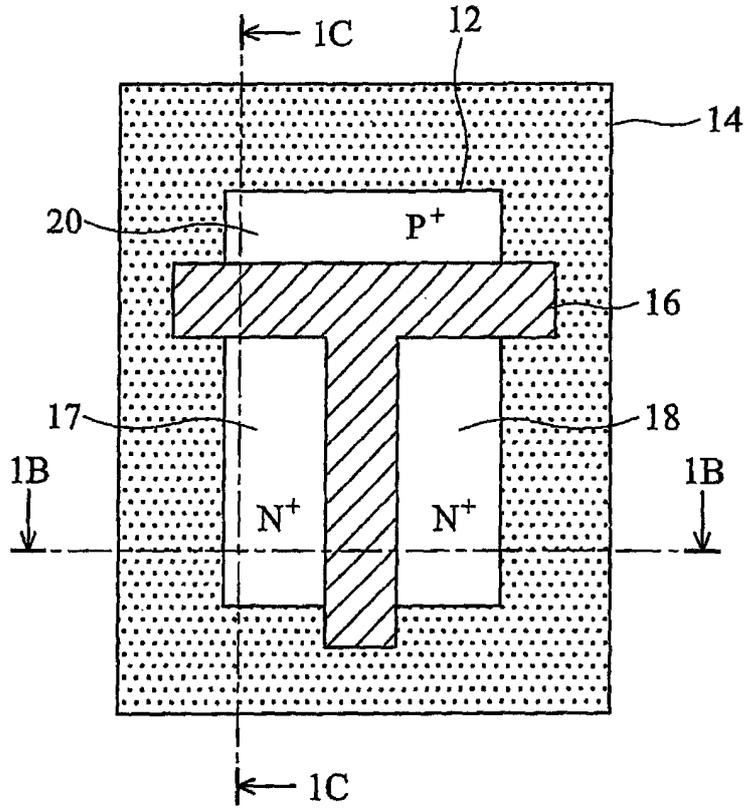


图 1A

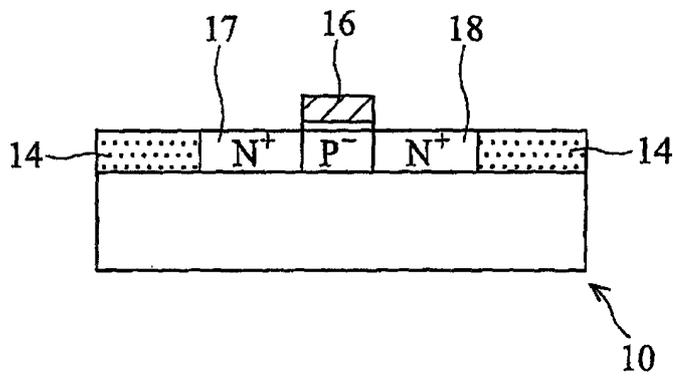


图 1B

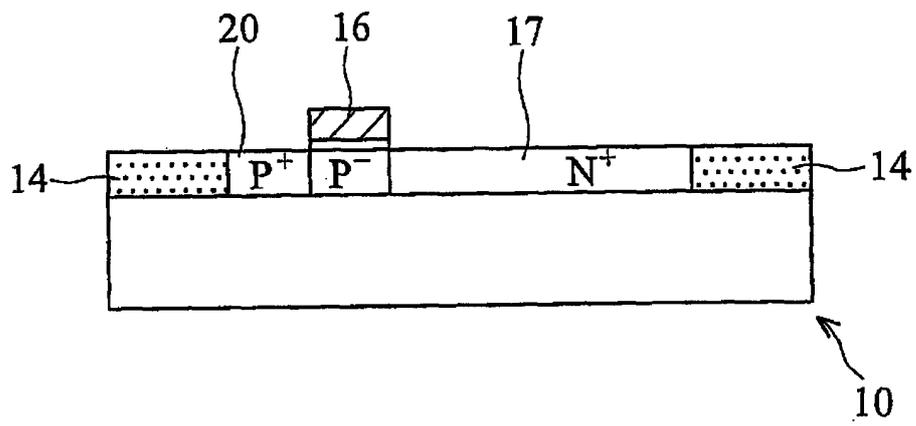


图 1C

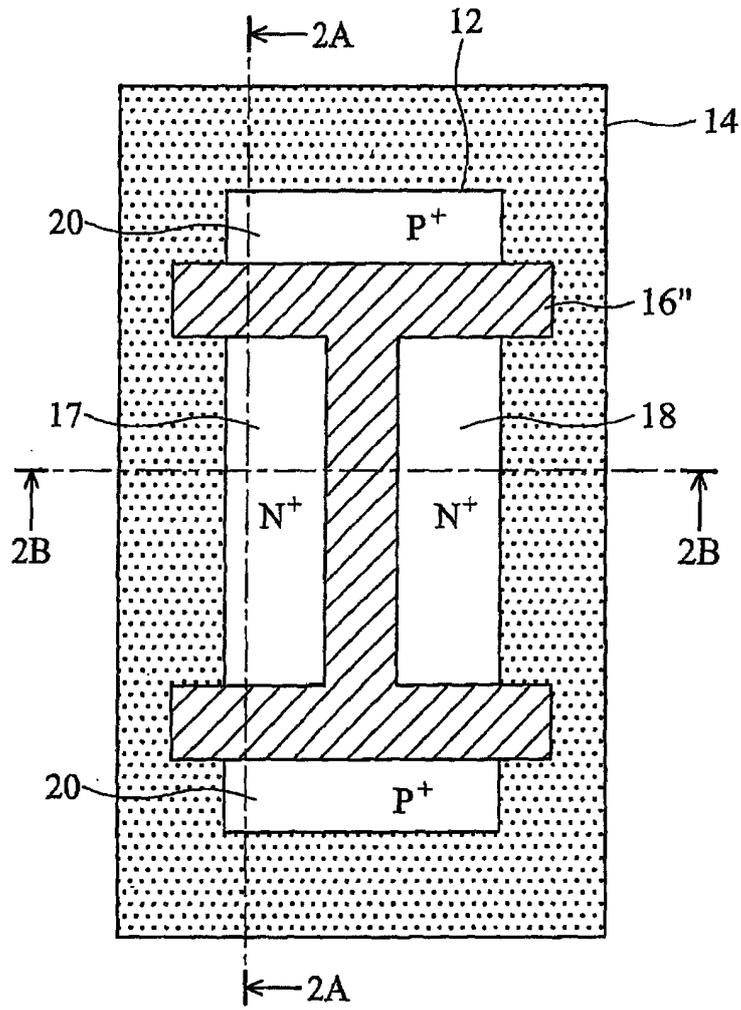


图 2A

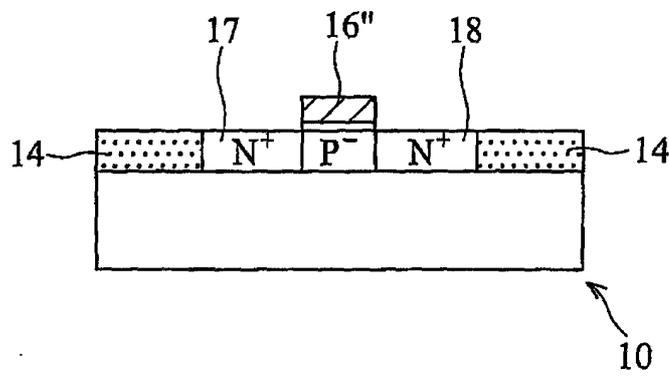


图 2B

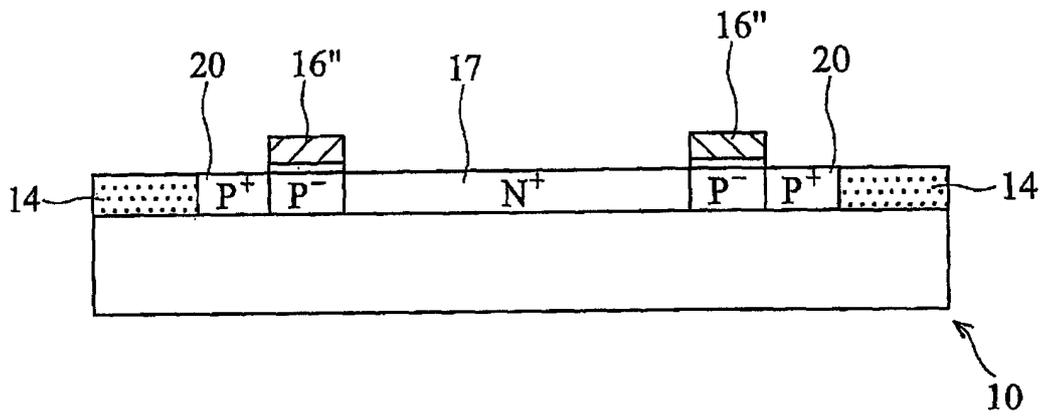


图 2C

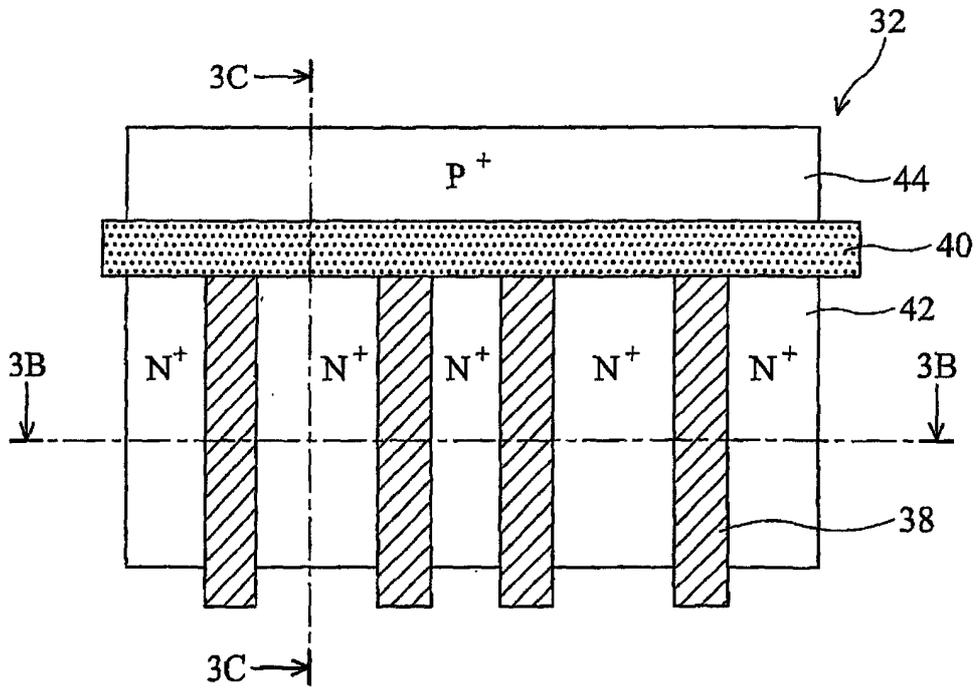


图 3A

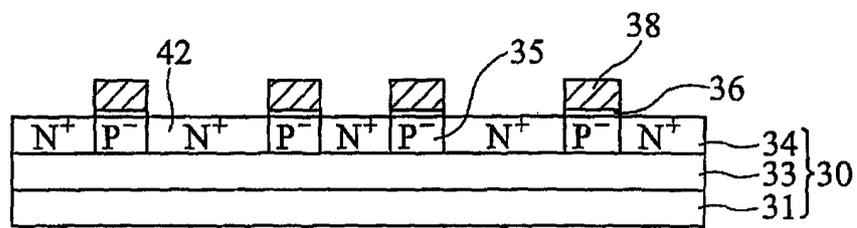


图 3B

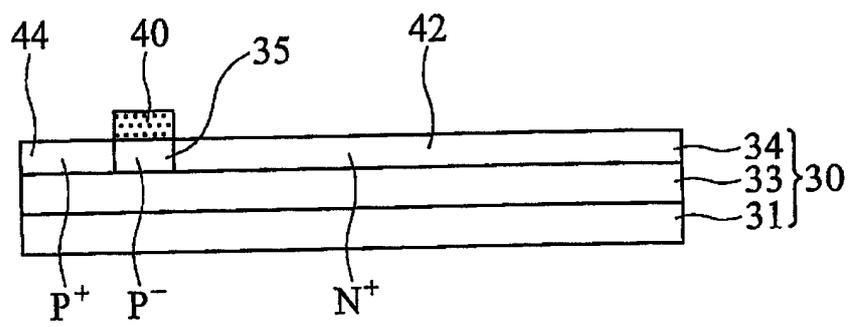


图 3C

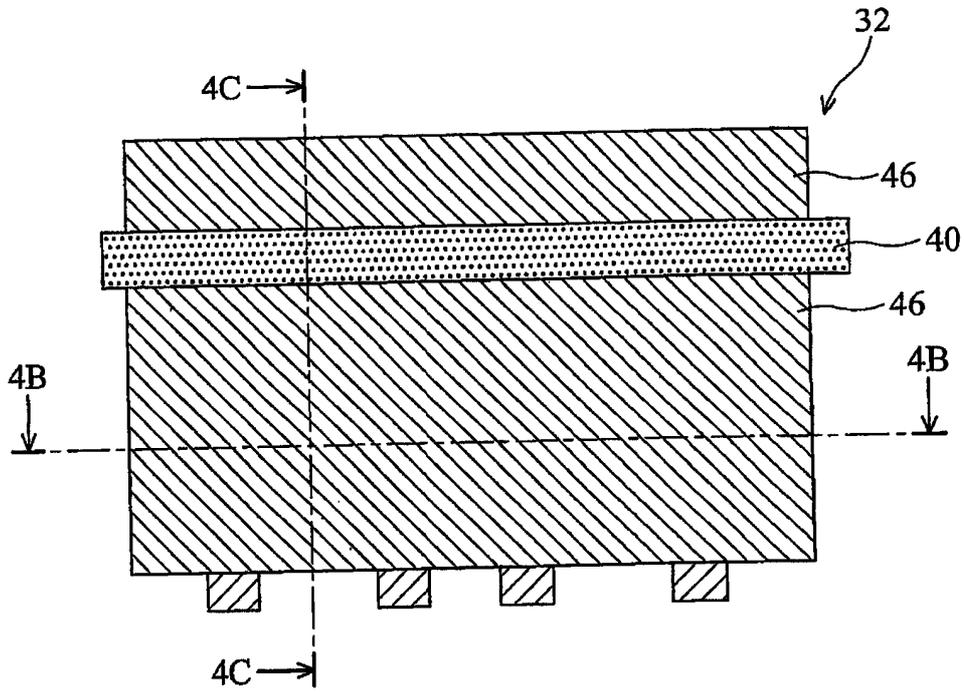


图 4A

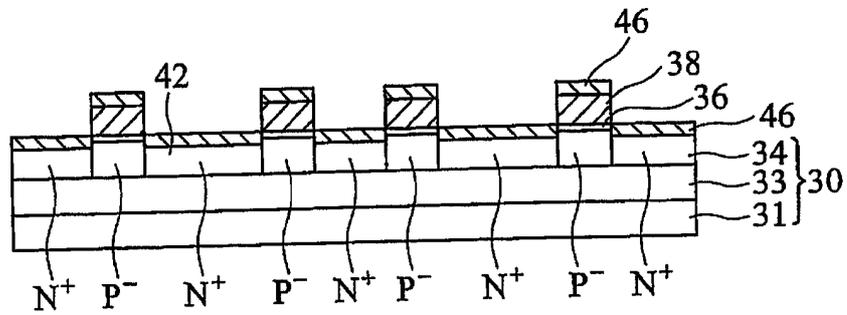


图 4B

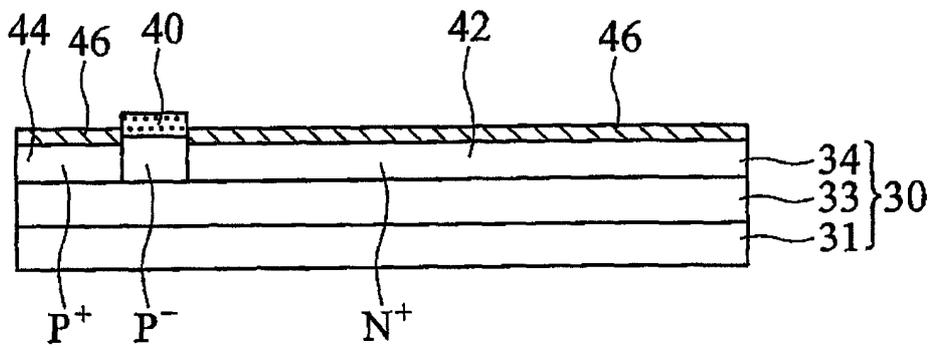


图 4C

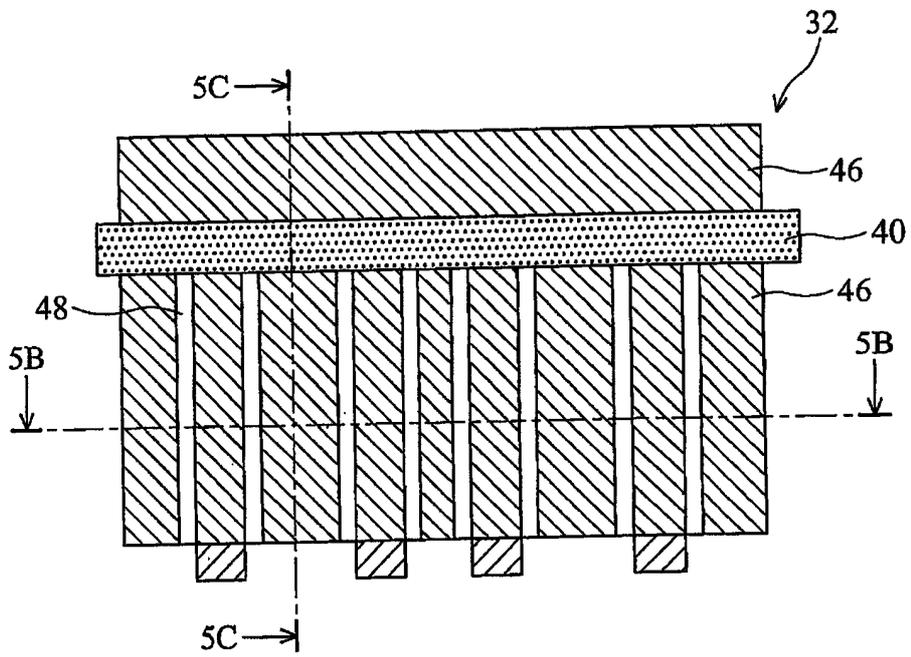


图 5A

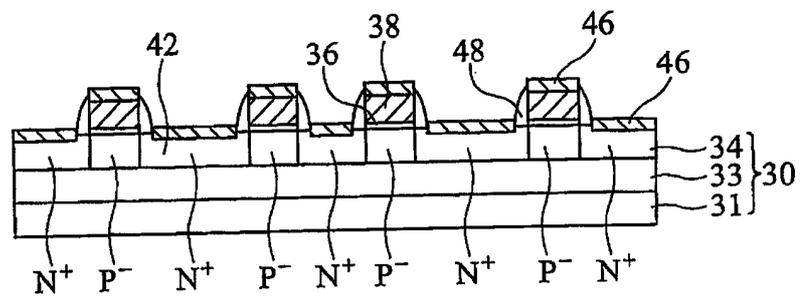


图 5B

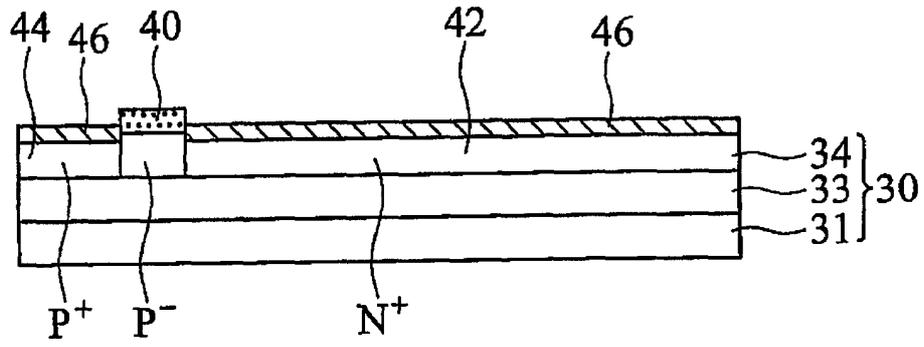


图 5C

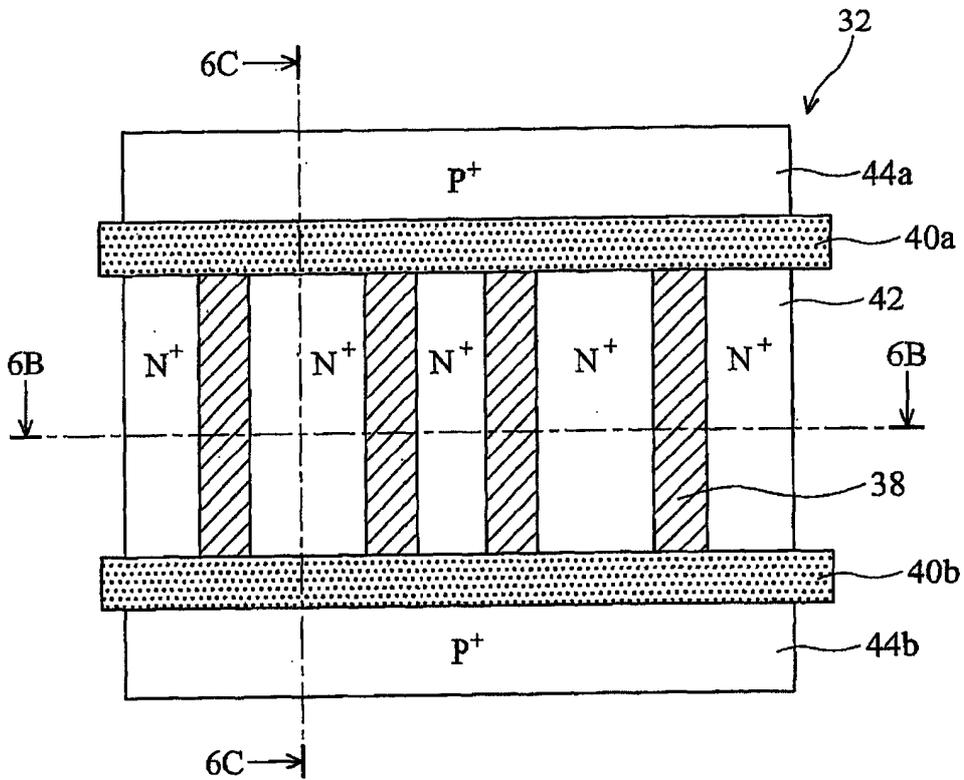


图 6A

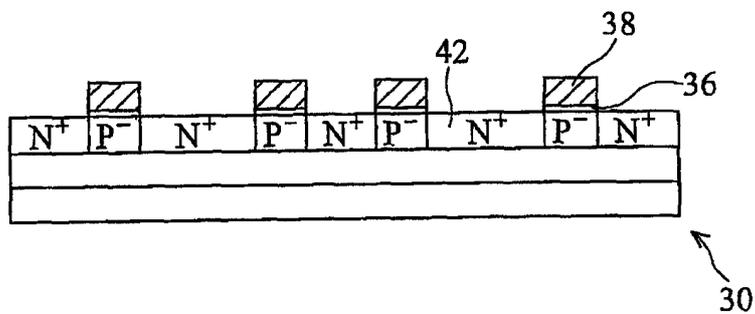


图 6B

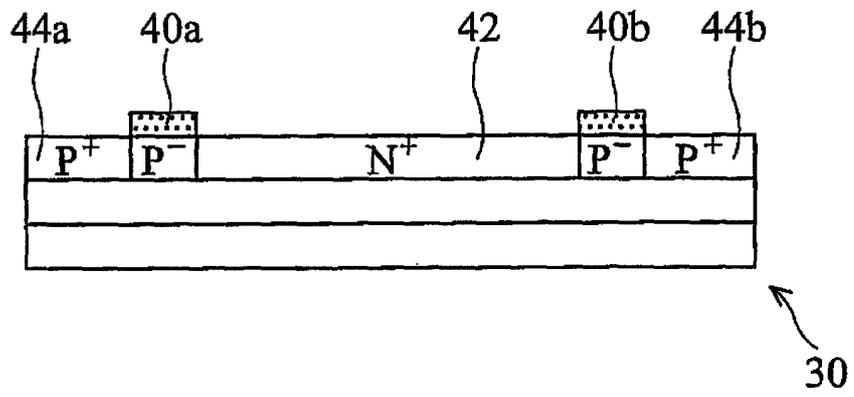


图 6C

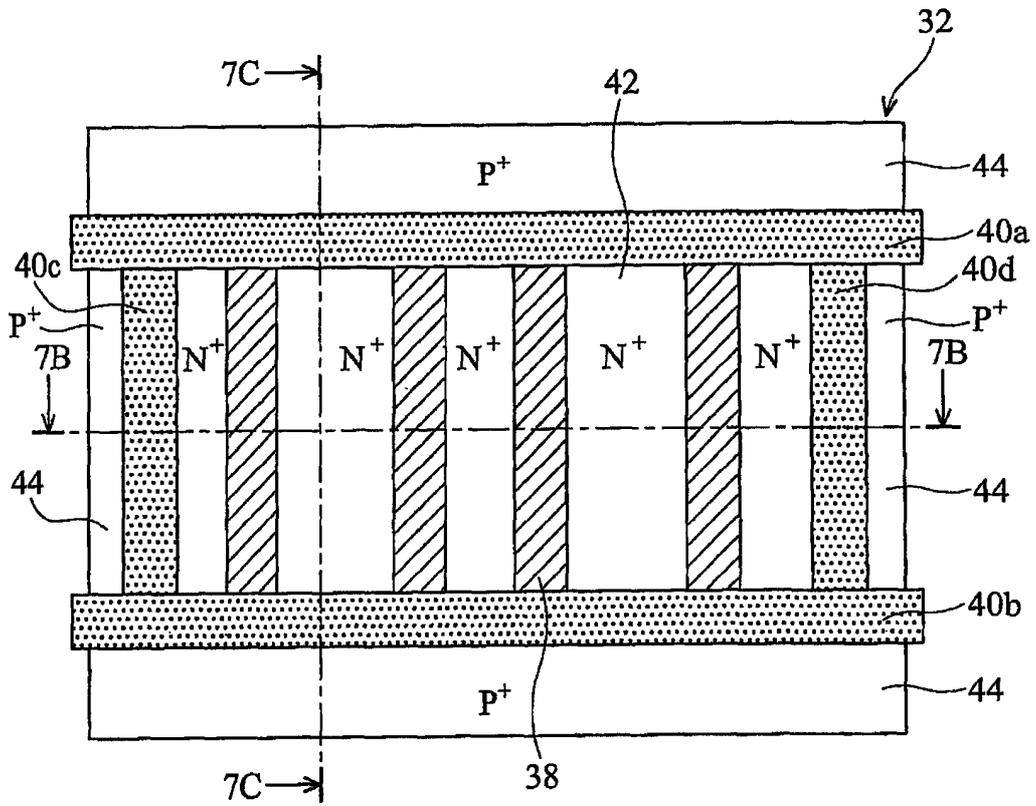


图 7A

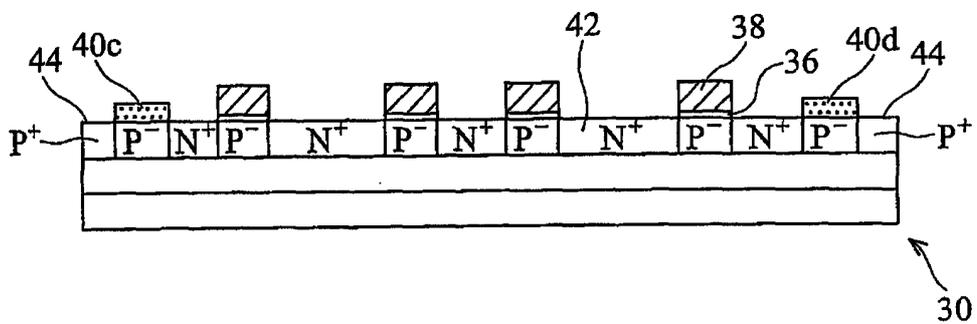


图 7B

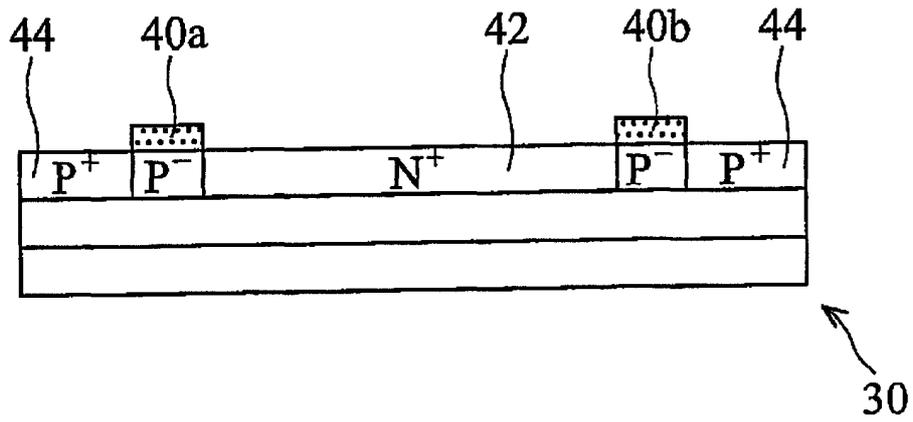


图 7C

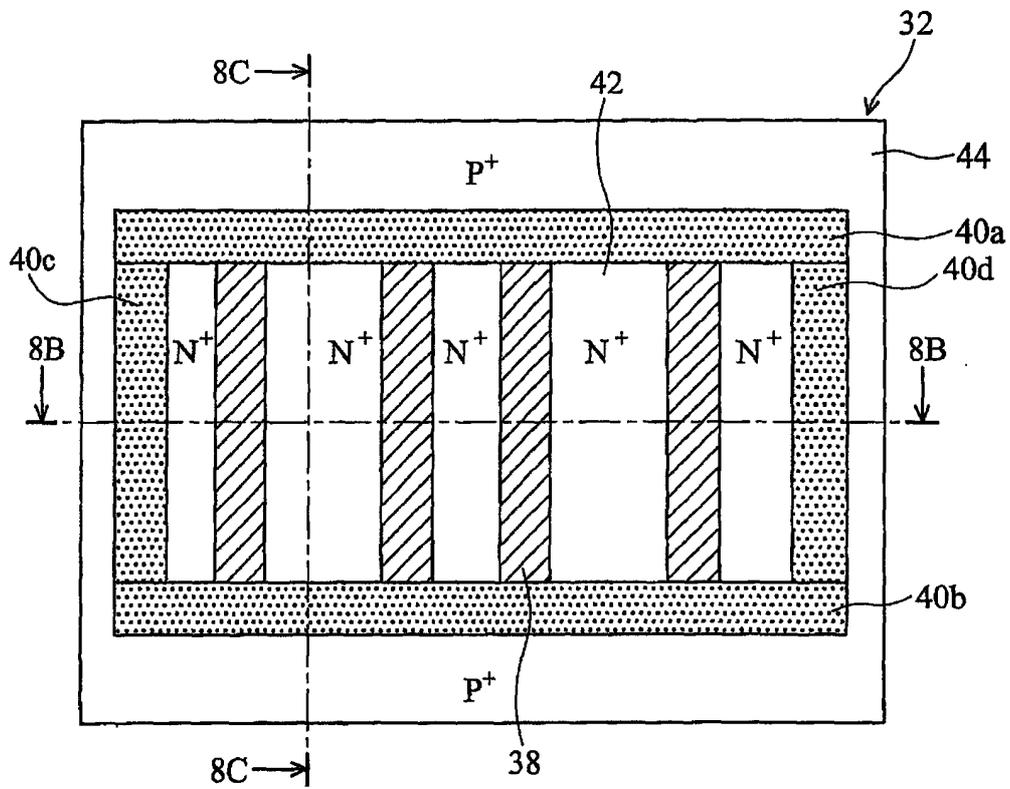


图 8A

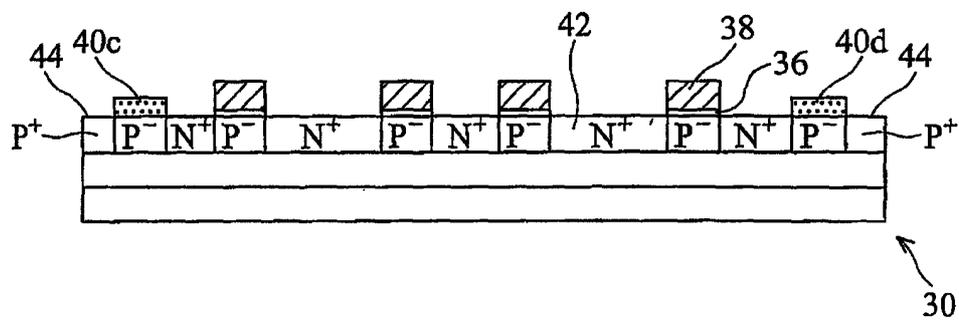


图 8B

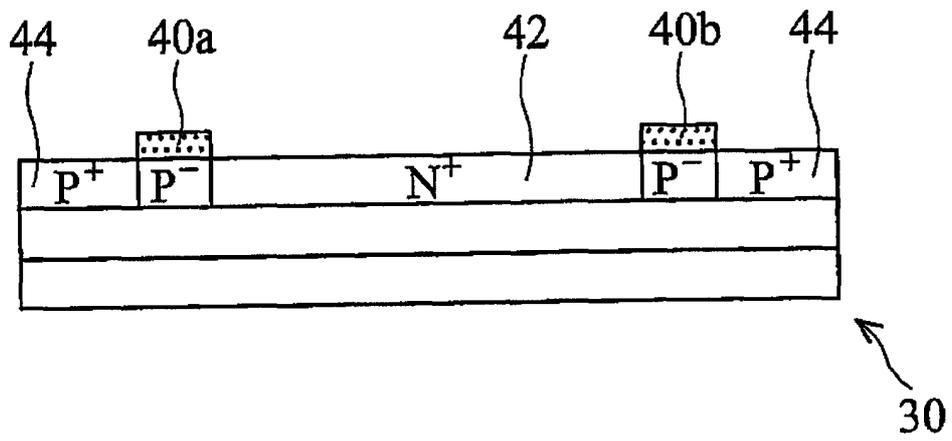


图 8C

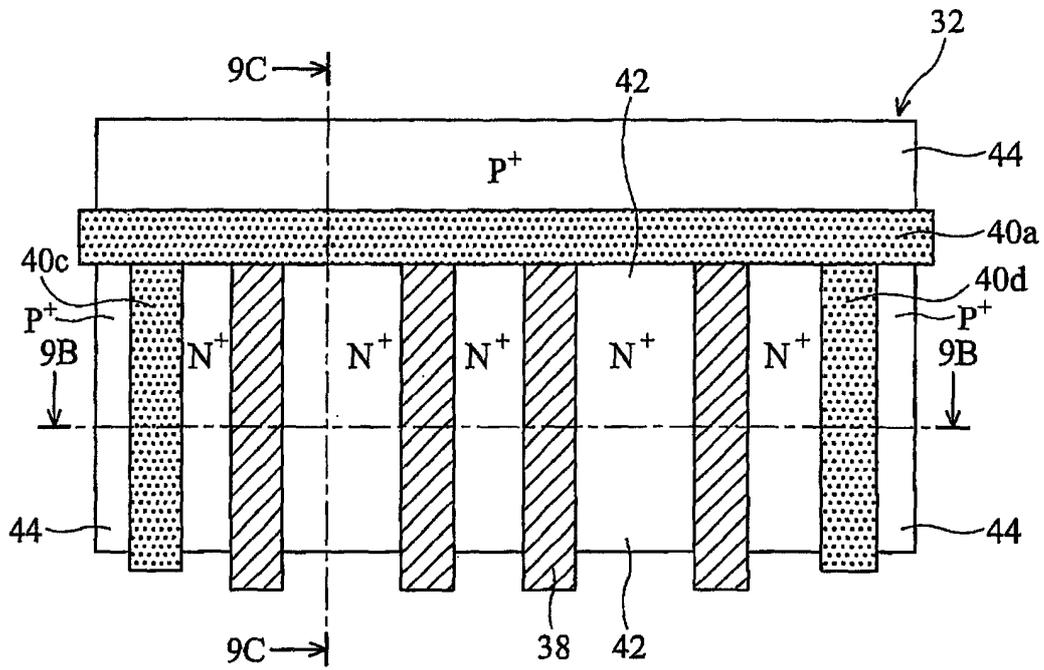


图 9A

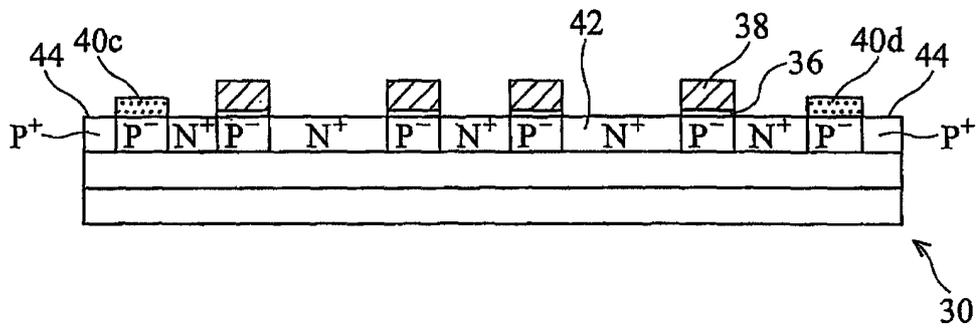


图 9B

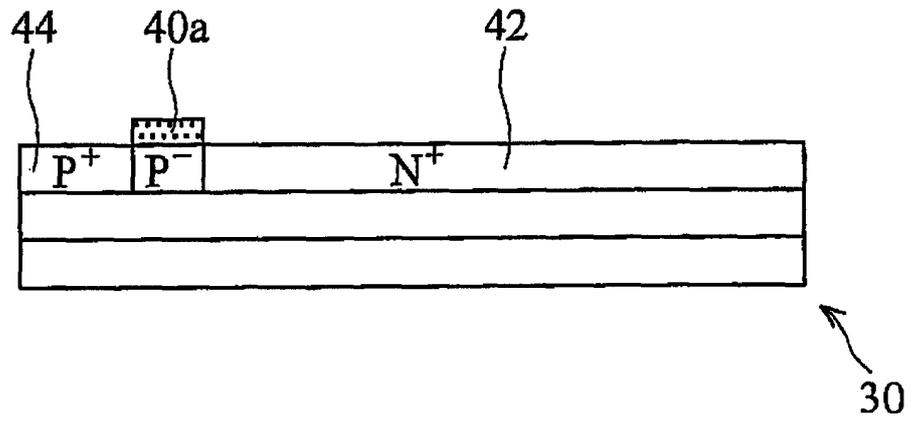


图 9C

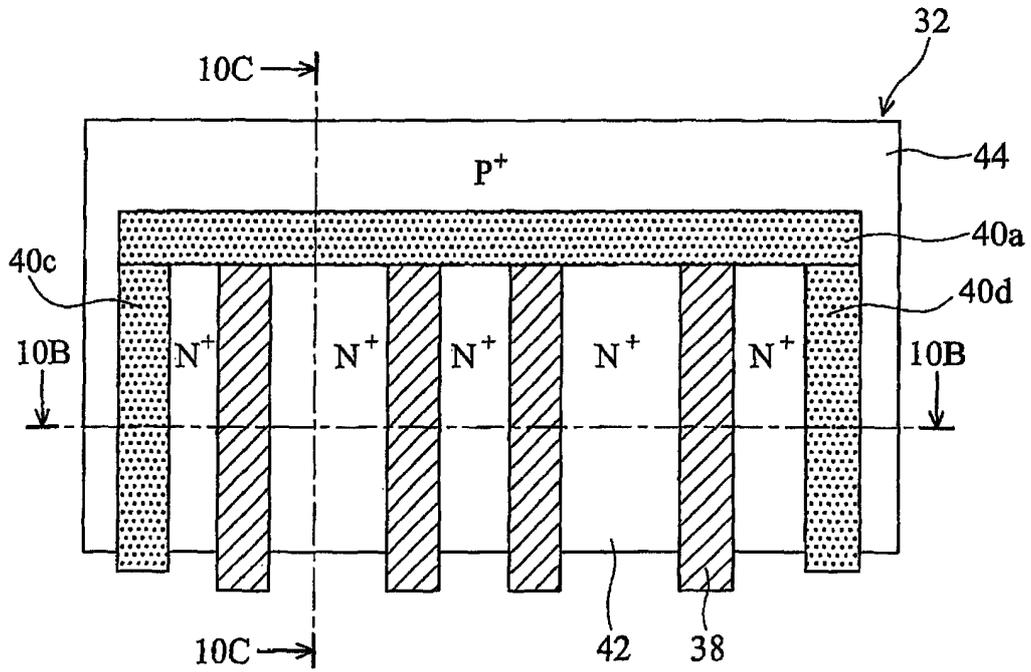


图 10A

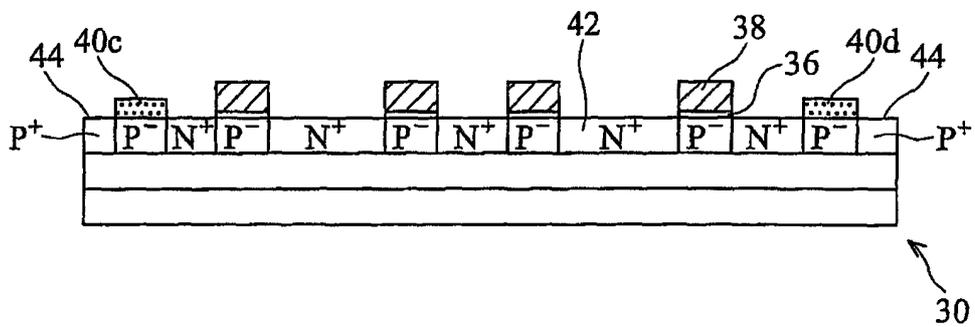


图 10B

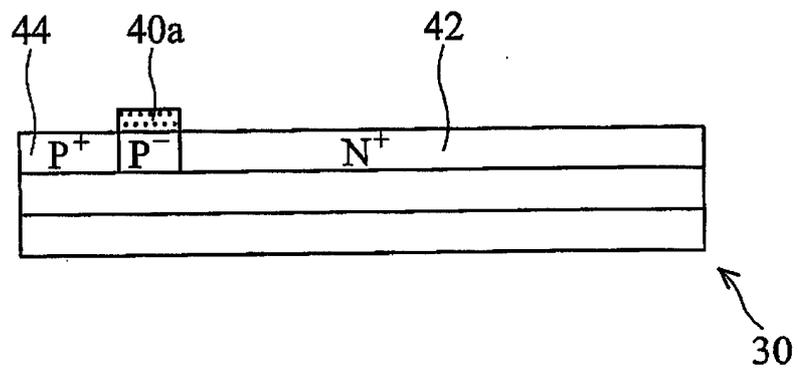


图 10C

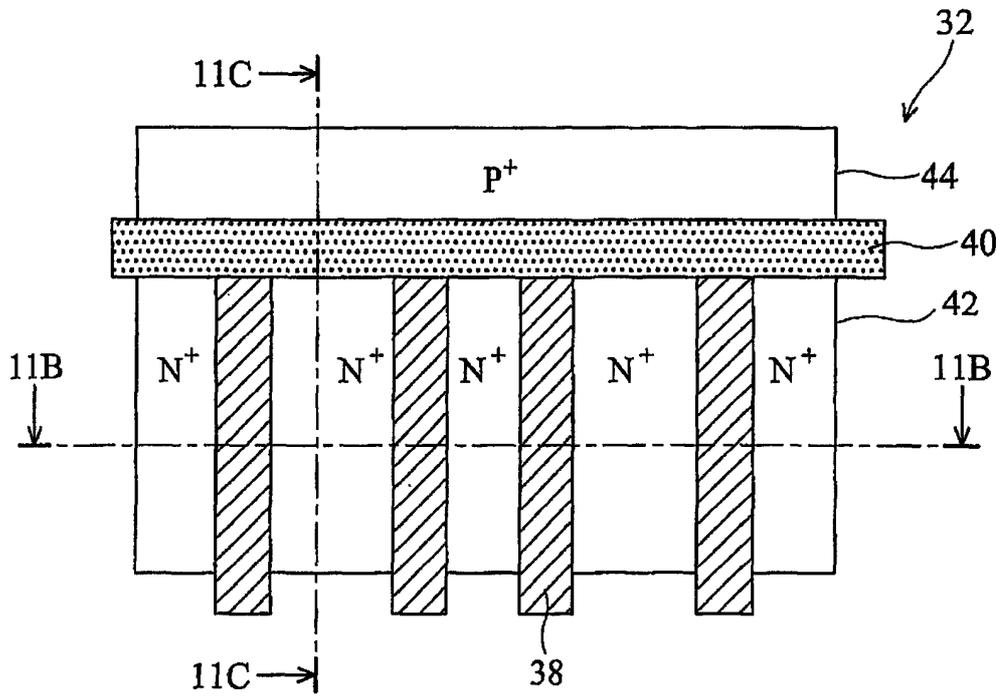


图 11A

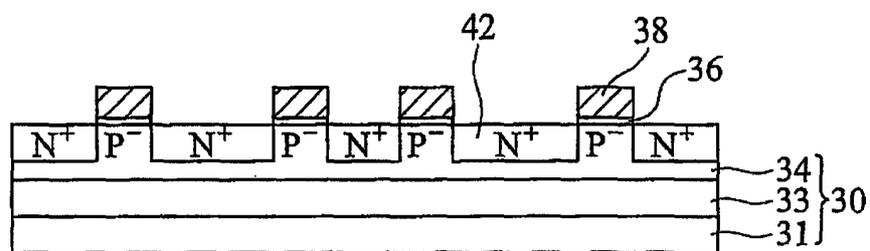


图 11B

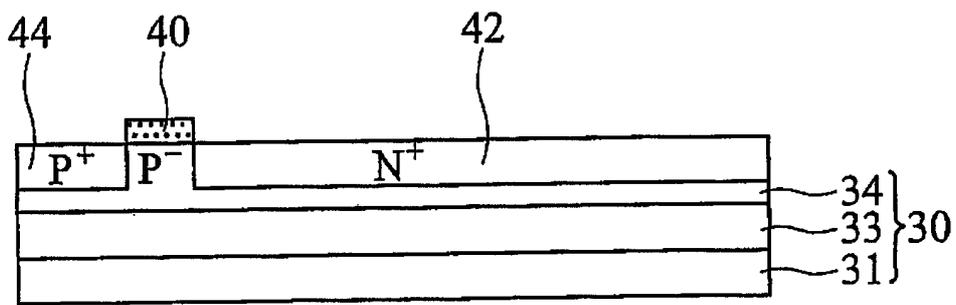


图 11C