

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 5월 19일 (19.05.2022) WIPO | PCT



(10) 국제공개번호
WO 2022/102868 A1

- (51) 국제특허분류:
H01L 21/3065 (2006.01) H01L 21/308 (2006.01)
G01N 27/414 (2006.01) H01L 21/02 (2006.01)
- (21) 국제출원번호: PCT/KR2020/019490
- (22) 국제출원일: 2020년 12월 31일 (31.12.2020)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2020-0152959 2020년 11월 16일 (16.11.2020) KR
- (71) 출원인: 경희대학교산학협력단 (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY) [KR/KR]; 17104 경기도 용인시 기흥구 덕영대로 1732, Gyeonggi-do (KR). 재단법인 한국마이크로의료로봇연구원 (KOREA INSTITUTE OF MEDICAL MICROROBOTICS) [KR/KR]; 61011 광주광역시 북구 첨단과기로208번길 43-26, 305호, Gwangju (KR).
- (72) 발명자: 이상민 (LEE, Sang Min); 06278 서울시 강남구 선릉로 222, 108동 2002호, Seoul (KR). 김자영 (KIM, Ja Young); 34957 대전시 중구 계백로 1686번길 51, 2동 201호, Daejeon (KR). 김강일 (KIM, Kang Il); 17104 경기도 용인시 기흥구 서그네로15번길 36, 402호, Gyeonggi-do

(KR). 한승주 (HAN, Seng Ju); 16705 경기도 수원시 영통구 반달로35번길 30, 802호, Gyeonggi-do (KR). 이재근 (LEE, Jae Keun); 16931 경기도 용인시 기흥구 이현로29번길 72-5, 105동 901호, Gyeonggi-do (KR).

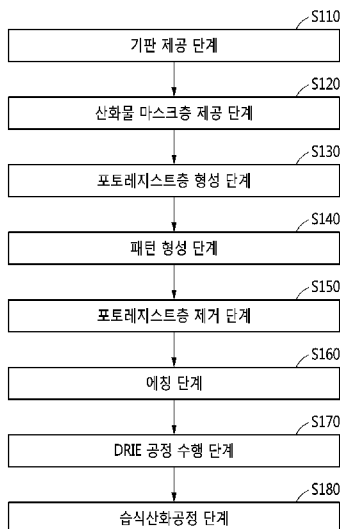
(74) 대리인: 김연권 (KIM, Youn Gwon); 05836 서울시 송파구 법원로 127 문정대명벨리온 15층 1501호 및 1502호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) Title: TOP-DOWN MANUFACTURING METHOD FOR HORIZONTALLY STRUCTURED SILICON-NANOWIRE ARRAYS HAVING VERTICAL ARRANGEMENT

(54) 발명의 명칭: 수직 배열을 갖는 수평구조 실리콘 나노와이어 어레이의 하향식 제조방법



S110 ... Substrate providing step
S120 ... Oxide mask layer providing step
S130 ... Photoresist layer formation step
S140 ... Pattern formation step
S150 ... Photoresist layer removal step
S160 ... Etching step
S170 ... DRIE process step
S180 ... Wet oxidation process steps

(57) Abstract: The present invention relates to a top-down manufacturing method for nanowires using monocrystalline silicon and, more particularly, to a manufacturing method in which horizontally arranged single-layered silicon-nanowire arrays are stacked vertically. The present invention enables the widths and thicknesses of silicon nanowires to be adjustable and the plurality of nanowires to be vertically arranged, thereby improving dynamic range, resolution, and sensitivity when the nanowires are used as a sensor (light, chemical, physical, etc.).

(57) 요약서: 본 발명은 단결정 실리콘을 이용한 하향식(top-down) 방식의 나노와이어 제조방법에 관한 것으로, 구체적으로는 수평으로 배열된 단층의 실리콘 나노와이어 어레이를 수직적으로 적층하는 제조방법에 관한 것이다. 본 발명은 실리콘 나노와이어의 폭과 두께를 각각 조절이 가능하며, 수직적의 다수의 나노와이어를 배치가능하게 함으로써 센서(광, 화학, 물리 등)로 활용하는 경우, 동적 범위(dynamic range), 해상도(resolution) 및 감도(sensitivity)를 향상시킬 수 있다.



FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

규칙 4.17에 의한 선언서:

- 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예
외에 관한 선언 (규칙 4.17(v))

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 수직 배열을 갖는 수평구조 실리콘 나노와이어 어레이의 하향식 제조방법

기술분야

- [1] 본 발명은 단결정 실리콘을 이용한 하향식(top-down) 방식의 나노와이어 제조방법에 관한 것으로, 구체적으로는 수평으로 배열된 단층의 실리콘 나노와이어 어레이를 수직적으로 적층하는 제조방법에 관한 것이다. 본 발명은 실리콘 나노와이어의 폭과 두께를 각각 조절이 가능하며, 수직적의 다수의 나노와이어를 배치가능하게 함으로써 센서(광, 화학, 물리 등)로 활용하는 경우, 동적 범위(dynamic range), 해상도(resolution) 및 감도(sensitivity)를 향상시킬 수 있다.

배경기술

- [2] 실리콘 나노와이어(silicon nanowire)는 뛰어난 기계적, 전기적 및 광학적 특징으로 인하여 센싱 어플리케이션(sensing applications)에 있어서 널리 사용된다. 이에 따라, 현재 실리콘 나노와이어의 물리적 특성뿐만 아니라 제조 방법 및 적용에 대한 연구가 진행되고 있다. 실제로 실리콘 나노와이어를 센싱 소자로 활용하는 기술이 개발되고 있으며, 상보성금속산화막반도체(complementary metal-oxide-semiconductor(CMOS)) 회로와의 통합 가능성에 대한 추가 연구가 진행되고 있다.
- [3] 실리콘 나노와이어의 경우 물리적, 화학적 성질은 표면 대 부피의 비율(surface-to-volume ratio)과 양자 크기 효과(quantum-size effect)에 크게 좌우되며, 이는 기존의 매크로스케일(macroscale) 소재와 비교하였을 때 이례적인 것이다. 표면 대 부피 비율은 나노스케일 차원(nanoscale dimension)에서 거대하기 때문에, 나노 구조로 구성된 센싱 장치는 표면 변화에 초민감성(ultrasensitive) 특성을 보인다. 이러한 가능성 때문에 나노와이어 기반의 바이오센싱 플랫폼(platform)을 제작하는 방법이 생겨났으며, 이러한 모든 방법은 라벨이 존재하지 않으며, 실시간으로 높은 감지 기능을 제공한다. 따라서, 고 민감성의 실리콘 와이어를 구비한 센서 플랫폼이 실행 가능한 대안이다. 더욱이, 실리콘 나노와이어 빌딩 블록(building block)의 동일한 구조를 사용하여 단일 센서 내에서 다중 기능의 결합을 촉진할 수 있다.
- [4] 실리콘 나노와이어의 센서 적용에 대한 주요 과제는 실리콘 나노와이어 어레이(silicon-nanowire arrays)를 재현 가능하고 제어 가능한 치수(dimensions)로 특정 배치 위치에 도입하는 것이다. 그러나, 금속촉매 성장법(metallic-catalyst growth method)을 이용한 실리콘 나노와이어의 상향식(bottom-up) 제작 방식은 나노와이어의 정확한 위치 파악에 어려움이 있다. 또한 무작위적인 성장 방향과 요구되는 차원의 일관성 없는 분포로 인해 구조적 매개변수(structural

paprmeters)의 제어도 해결해야 할 문제이다. 또한 많은 연구자들이 금속 보조 화학 식각 공정(metal-assisted chemical etching processes)을 이용한 나노 구조 제작을 보고하였다. 이는 금속을 기판에 패터닝하여 수직으로 정렬된(vertically-aligned) 구조의 나노구조체를 제작하는 방식이다. 이는 패터닝된 금속들에 따라 잘 정렬된 수직의 나노구조를 제작할 수 있으나, 횡방향으로 정렬된(laterally-aligned) 실리콘-나노와이어 어레이의 제작의 경우 기판의 이송 중에 정렬된 구조가 변형되거나 기판에서 나노구조체를 분리하는 것이 어려울 수 있다. 나노와이어를 제작하는 Si/SiGe 에피택시법(epitaxy method)도 보고되었다. 에피택셜법(epitaxial method)은 필름 두께를 매우 미세하게 제어할 수 있지만, 적층된 에피택셜층(epitaxial layers)은 재현가능한 전기적 특성을 얻기 위해 필름 응력을 세심하게 제어할 필요가 있다. 대체가능한 제작 방식 중 가장 유망한 기법은 SOI(silicon-on-insulator) 기판에 실리콘 나노와이어의 하향식(top-down) 제작에 기반을 두고 있다.

- [5] 실리콘 나노와이어를 센싱 구조물로서 사용하는 센서의 경우, 센서 특성은 나노와이어의 치수에 따라 결정되며, 이는 전자기기의 튜너블(tunable) 범위 내에서 제어할 수 있어야 한다. 이전의 연구에서는 얇은 상부층을 가진 SOI 웨이퍼에 패턴 폭(patter width)을 EBL(e-beam lithography)로 결정하여 실리콘 나노와이어를 제작하는 방법이 보고되었다. 또는, 실리콘 나노와이어는 기존의 자외선(UV) 리소그래피를 이용해 미세스케일(microscale) 패턴을 형성한 뒤 습식 산화 공정(wet oxidation precesses)을 통해 패턴 폭을 좁혀 제작할 수 있다. 이전 연구의 결과, 도 1과 같이 (100)-단결정 실리콘 및 (111)-단결정 실리콘을 사용한 실리콘 나노와이어의 제작에 대해 보고되었으며, 하향식(top-down) 방식으로 조작된 실리콘 나노와이어를 이용해 접합이 없는 FET와 광검출기를 제작했다. 앞서 보고된 논문 결과는 실리콘 나노와이어의 수가 개별 나노와이어의 형태론보다는 센서 특성에 영향을 미친다는 것을 확인시켜 주며, 여기에서 개발된 제작 방법은 UV 리소그래피, 실리콘 건식 에칭, 이등방성 습식 에칭, 열 산화와 같은 여러 가지 공정에 기초한다. UV 리소그래피는 E-빔 리소그래피보다 비용과 웨이퍼 수준 공정에서 유리하다. 또한, 이 공정은 이전 연구결과에서 보듯이 유연한 전자기기 제조를 위한 기판 이송 프로세스 측면에서 이점이 있다. 실리콘 나노와이어의 폭은 정밀하게 제어되는 습식산화 시간에 따라 결정된다. 도 1은 단일한 층에서의 횡방향으로 정렬된 실리콘-나노와이어 배열의 제작을 보여준다. 그러나 실리콘 나노와이어 구조를 사용하는 센서의 경우 감도와 동적 범위는 모두 실리콘 나노와이어의 수와 치수에 따라 달라진다. 실제로 앞서 언급한 방법에 따르면 전반적인 성능을 향상시키기 위해 실리콘 나노와이어의 수를 증가하면 해당 기기의 크기가 증가가 불가피하게 된다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명은 수직으로 쌓은 실리콘-나노와이어 배열을 제작하는 신규한 하향식(top-down) 방법을 제공하는 것이다.
- [7] 본 발명은 수직 방향으로의 횡방향 실리콘-나노와이어 어레이의 제작을 가능하게 하여, 제한된 치수(dimension)에서의 실리콘 나노와이어의 수를 증가시킬 수 있게 되어, 결과적으로 감도(sensitivity)와 동적 범위(dynamic range)가 증가하게 된다.
- [8] 본 발명의 제조방법은 단일한 UV 리소그래피(UV lithography) 공정, 다중 깊은 반응성 이온 식각(deep reactive-ion etching; DRIE) 공정 및 습식 산화(wet-oxidation) 공정을 이용하는 것이다.
- [9] 본 발명은 실리콘 나노와이어의 수와 치수는 DRIE 공정 조건과 습식 산화 공정 시간에 따라 결정되며, 더욱이 UV 리소그래피법에 의해 한 위치에서 여러 개의 실리콘 나노와이어를 제작할 수 있는 것이다.

과제 해결 수단

- [10] 해결하고자 하는 과제의 달성을 위하여, 본 발명의 실리콘 나노와이어 제조 방법은 수평 배열의 실리콘 나노와이어 어레이를 수직적으로 다층으로 구성하는 단계를 포함한다.
- [11] 또한, 본 발명의 실리콘 나노와이어 제조 방법은 균일한 크기의 실리콘 나노와이어 어레이를 제조하기 위하여 건식 식각 및 습식 산화 공정을 포함한다.
- [12] 또한, 본 발명의 실리콘 나노와이어 제조 방법은 실리콘 나노와이어의 두께는 지지부(support) 부분의 두께를 완전히 산화시킬 수 있을 정도로 진행하며, 건식 식각 시 돌출부의 너비와 지지부의 너비의 차이에 따라 정확한 폭의 실리콘 나노와이어가 제작되는 단계를 포함한다.

발명의 효과

- [13] 본 발명의 일 형태에 따르면, 실리콘 나노와이어의 형성과정에서 마이크로 스케일 실리콘 구조물도 함께 형성할 수 있으며, 에피택시 공정으로 구조물을 별도로 성장시키거나 기판 접합을 통해 구조물을 별도로 구현하는 방식에 비해 마이크로 스케일 실리콘 구조물과 실리콘 나노와이어의 통합하는데 용이한 효과가 있다.
- [14] 또한, 습식 식각 과정을 거치지 않고 건식 식각 공정만을 통해 실리콘 나노와이어가 제작됨으로써, CMOS 호환가능(compatible)한 특성을 가지고 있는 것이며, 이는 실리콘 나노와이어 소자와 CMOS 집적회로의 모놀리식 집적화(monolithic integration)에 적합하다고 할 수 있다.

도면의 간단한 설명

- [15] 도 1은 종래의 (100)-단결정 실리콘을 이용하여 제조된 실리콘 나노와이어 어레이(도 1의 (a))와 종래의 (110)-단결정 실리콘을 이용하여 제조된 실리콘 나노와이어 어레이(도 1의 (b))의 현미경 이미지를 도시한 것이다.
- [16] 도 2a는 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어

- 어레이의 하향식(top-down) 제조방법의 순서도를 도시한 것이다.
- [17] 도 2b는 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어 어레이의 하향식(top-down) 제조방법의 공정도를 도시한 것이다.
- [18] 도 3은 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어의 단면의 현미경 이미지를 도시한 것이다.
- [19] 도 4는 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어 어레이의 하향식(top-down) 제조방법에서 등방성 실리콘의 다양한 에칭 시간에 따른 DRIE 공정 결과를 현미경 이미지로서 도시한 것이다.
- [20] 도 5는 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어 어레이의 습식 산화 공정 시간에 따른 나노와이어 어레이의 단면을 도시한 것이며, 도 5의 (a)는 정확한 시간 동안 습식 산화 공정을 진행한 것이며, 도 5의 (b)는 과도한 시간 동안 습식 산화 공정을 진행한 것이다.
- [21] 도 6은 본 발명의 일 실시예에 따른 수직으로 적층된 실리콘 나노와이어 어레이의 하향식(top-down) 제조방법에서 습식 산화 공정 완료 후에 실리콘 나노와이어 구조를 도시한 것이다(도 6의 (a): 실리콘 나노와이어 배열 이미지, 도 6의 (b): 상부면(top-view)(압도: 단면) 이미지).

발명의 실시를 위한 형태

- [22] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [23] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [24] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.
- [25] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [26] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친

내용을 토대로 이해되어야 한다.

- [27] 한편, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [28] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우 뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [29] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [30] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [31] 도 2a는 본 발명의 일 형태에 따른 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법의 순서도를 도시한 것이다.
- [32] 도 2a를 참조하면, 본 발명의 일 형태에 따른 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법은 실리콘(Si) 기판을 제공하는 단계(S110); 상기 기판 상에 산화물 마스크층(oxide mask layer)을 형성시키는 단계(S120); 상기 산화물 마스크층 상에 포토레지스트 층을 형성하는 단계(S130); 상기 포토레지스트층에 패턴을 형성하는 단계(S140); 상기 산화물 마스크층을 에칭하는 단계(S150); 상기 포토레지스트층을 제거하는 단계(S160); 상기 기판에 대하여 깊은 반응성 이온 식각(deep reactive-ion etching; DRIE) 공정을 수행하는 단계(S170); 및 상기 DRIE 공정 이후 습식 산화공정을 수행하는 단계(S180)를 포함한다.
- [33] 상기 실리콘 기판은 p-type(111) 배열된 단결정 실리콘 웨이퍼 일 수 있다.
- [34] 상기 산화물 마스크층은 실리콘 산화물(SiO_2)일 수 있으며, TEOS(tetraethyl-orthosilicate)를 상기 실리콘 기판에 증착시킴으로써 형성되는 것일 수 있다.
- [35] 상기 산화물 마스크층을 에칭하는 단계는 유도결합 플라즈마(inductive-coupled plasma; ICP)에 의하여 수행되는 것일 수 있다.
- [36] 상기 기판에 대하여 깊은 반응성 이온 식각(deep reactive-ion etching; DRIE) 공정을 수행하는 단계는 상기 실리콘 기판 상에 수직 방향으로 돌출부와

- 지지부를 형성함으로써 수직으로 적층되는 실리콘 나노와이어 어레이를 제공한다.
- [37] 상기 습식 산화공정을 수행하는 단계는 실리콘 나노와이어 어레이 상의 수직층을 절연층으로 분리하는 것이다.
- [38] 수직으로 적층된 실리콘 나노와이어 어레이의 하향식(top-down) 제조방법
- [39] 수직으로 적층되는 실리콘 나노와이어 어레이(silicon-nanowire array)의 획일적인 제작에서 주된 어려움은 횡방향으로 정렬된(laterally-aligned) 실리콘 나노와이어의 층들 사이에서의 격리(isolation)이다. 이를 해결하기 위해 본 발명의 제조방법은 Bosch 공정을 기반으로 하며, 이는 높은 종횡비(aspect ratios)를 가지는 이방성(anisotropic) 구조물을 제작하는 데 사용된다. Bosch 공정에서는 등방성-실리콘 식각 단계(isotropic-silicon etching step)의 식각 시간을 제어함으로써 격리층(isolation layer)이 가공되는 영역뿐만 아니라 실리콘 나노와이어의 제작 영역을 결정할 수 있다. 이산화규소(SiO₂)를 생산하기 위해 실리콘을 소모하고 절연층(insulation layer)을 형성하는 습식 산화 공정을 이용하면 상층과 하층 사이의 수직 분리가 가능하다.
- [40] 이를 바탕으로, 본 발명의 수직으로 적층된 실리콘 나노와이어 어레이의 하향식(top-down) 제조방법은 도 2에 도시하였다. 하향식 제조방법은 상술한 바와 같이, 포토리스그래피(photolithography), DRIE(deep reactive-ion etching), 습식 산화(wet-oxidation) 공정을 복합적으로 이용한다. 또한, 직경 100 μm, 두께 525 μm, 저항 1~10 Ωcm의 p-type(111)-배향된 단결정 실리콘 웨이퍼가 사용된다. 일반적으로 사용되는 (100)-실리콘 대신 (111)-실리콘을 사용하는 것은 전류가 벌크 실리콘 부분(bulk silicon part)이 아닌 실리콘 나노와이어를 통해 흐르도록 하기 위함이다. (100)-실리콘은 횡방향으로 정렬된 실리콘-나노와이어 어레이를 제작하는 데도 사용될 수 있다. 그러나 (100)-실리콘의 경우, {111}면의 방향과 실리콘의 습식 에칭 특성 때문에 단층만 제조할 수 있다. 본 발명에서는 실리콘 나노와이어의 다층 적층된 배열을 구현하며 실리콘 벌크(silicon bulk)로부터 분리시킬 필요가 있다. (111)-실리콘은 습식 에칭 시 실리콘이 옆으로 빠르게 식각되기 때문에 나노와이어를 기판에서 분리하는 데 적합하다. 이는 다층 나노와이어 배열 구조를 실리콘 벌크로부터 분리하는 것을 용이하게 한다.
- [41] 우선은, 도 2b의 (a)와 같이 산화-마스킹층(oxide-mask layer)(3000 Å thick)은 플라즈마 강화 화학 기상 증착(plasma-enhanced chemical vapor deposition; PECVD) 공정에 의해 증착되며, PECVD 공정에 의한 증착 조건은 무선 주파수(RF) 출력 350W, O₂ 유량 150 sccm, TEOS(tetraethyl-orthosilicate) 유량 150 sccm이다. TEOS 층은 벌크 실리콘 식각용 패시베이션 하드 마스크(passivation hard mask)로 사용된다. GRX-601(AZ Electronic Materials, Luxembourg) 포토레지스트(PR) 필름은 TEOS 층에서 4000rpm의 회전 속도로 스핀코팅 되며, 3.1초(s) 동안 365nm의 파장을 가진 UV 광원에 노출된다. 노광(exposure) 후 포토레지스트는 도 2b의 (b)와 같이 18초 동안 AZ 300 MIF 현상액(developer)에서

현상된 후 탈이온 수(DI water)로 세정한다. 포토리소그래피 단계는 패턴 폭(width)과 길이(length)와 같은 실리콘-나노와이어 어레이의 평면 내 치수(in-plane dimension)를 결정한다.

- [42] PR 패터닝 후 TEOS 하드 마스크 레이어는 도 2b의 (c)와 같이 CHF_3 유량 25 sccm, CF_4 유량 5 sccm, RF 출력 600W의 130 mTorr의 유도결합 플라즈마(inductive-coupled plasma; ICP) 등에 의해 식각된다. TEOS 층의 목표 에칭 두께는 증착 두께의 약 110%로 계산되어 실리콘 표면의 노출시킨다. 도 2b의 (d)와 같이, PR 스트립(strip) 단계 후 피라냐 용액(piranha solution; 황산(sulfuric acid)과 과산화수소(hydrogen peroxide)의 혼합물) 세척 프로세스와 O_2 플라즈마 애싱 공정(ashing process)을 수행하여 잔류물(residuals)을 제거한다. 도 2b의 (e)에서 벌크 실리콘은 단일 증착 단계와 2개의 식각 단계로 구성된 주기적 DRIE 프로세스(cyclic DRIE process)를 사용하여 에칭된다. 기존 보쉬 공정(Bosch process)에서는 고분자 증착(Polymer deposition), 고분자 에칭(Polymer etch), 등방성 실리콘 에칭(isotropic-silicon etching)이 각각 5초, 3초, 5초 동안 진행되어 높은 종횡비(aspect-ratio) 구조를 구성한다. 상기 고분자는 Octafluorocyclobutane(C_4F_8) gas를 소스(source)로 하여 제조되는 고분자 일 수 있으며, 상기 등방성 실리콘 에칭은 SF_6 를 기반으로 하는 실리콘(single crystalline 또는 polysilicon 포함) isotropic etch일 수 있다. 그러나 본 발명에서의 공정은 실리콘 나노와이어가 형성된 위치에 있는 돌출(protrusion) 구조를 가공하기 위한 최종 실리콘 에칭 시간을 제어한다. 자세한 DRIE 프로세스는 하기 표 1에 요약되어 있다. 등방성-실리콘 식각 단계의 지속시간을 조정하여 적절한 스칼럽 크기(scallop size)를 최적화하기 위해 여러 실험을 수행하였다.

- [43] [표 1]

[44]

	Coil	Platen	Pressure	Gas Flow(sccm)			Time(s)
	Power(w)	Power(W)	(mTorr)	C ₄ F ₈	SF ₆	Ar	
Polymer deposition	825	1	22	100	0.5	30	5
Polymer etch	825	13	23	0.5	50	30	3
Silicon etch (isotropic-silicon etching)	825	13	23	0.5	100	30	5, 7, 10, 15, 18

[45]

도 2b의 (f)와 같이, 실리콘 나노와이어의 폭과 두께를 결정하기 위한 열 습식산화 공정(thermal wet-oxidation process)이 수행되며, 폭과 두께 모두 습식 산화 시간에 따라 정밀하게 제어될 수 있다. 이는 1000 °C의 온도, 7000 sccm의 H₂ 유량, 6500 sccm의 O₂ 유량 조건하에서 수행된다. 본질적으로, 습식 산화공정은 열적 산화물을 제조하기 위하여 실리콘을 소비하며, 이를 통하여 실리콘 나노와이어는 돌출된 구조물(protrusion structure)로 제작되며 수직층(vertical layers)은 절연층(insulation layer)에 의하여 분리된다. 본 발명에서, Bosch 5/3/15 공정이 DRIE에 적용되었으며, 대략적으로 300 nm의 폭(width)을 가지는 나노와이어를 제작하기 위한 것이다. 이 과정에서 사용되는 용해로의 습식 산화율(wet oxidation rate)은 약 50 Å/min로 나노구조체를 형성하며, 약 70분(min)간 산화 과정을 수행하여 지지 구조물을 완전히 산화시켜 각 층을 분리한다. 산화 속도가 표면보다 느리기 때문에 추가 산화는 지지 구조물의 폭보다 20~25% 더 크다.

[46]

불화수소산(hydrofluoric(HF)-acid) 담지(dipping)에 의해 TEOS와 열산화물 층을 제거한 후 수직으로 적층된 실리콘-나노와이어 어레이가 형성된다. 수직 층의 수는 추가적인 마스크킹 또는 포토리스토티그래피 공정 없이 DRIE 공정 주기의 수로 조절할 수 있다.

[47]

제작결과

[48]

수직으로 적층된 실리콘 나노와이어 제작(fabrication)에서, 도 3에서와 같은 돌출부(protrusion)와 지지부(support)를 가지는 구조를 형성할 수 있다. 돌출부의 폭(width)과 지지부의 폭(width)의 차이는 습식 산화 공정 시간에 의하여

결정되는 것이며, 이는 결과적으로 돌출부에 제작되는 실리콘 나노와이어의 치수를 결정한다. 또한, 지지부의 폭이 너무 좁거나 또는 지지부가 형성되지 않는 경우, 열 산화물층(thermal oxide layer)은 습식 산화 공정 동안 균일하게 성장할 수 없다. 따라서 본 발명의 제조(제작)방법의 가장 중요한 단계는 DRIE 공정, 특히 스칼럽(scallop) 크기를 결정하는 등방성 실리콘 식각 단계다. 최적의 공정 조건을 찾기 위해 실리콘 에칭 단계의 지속시간을 5, 7, 10, 15, 18초의 5가지 조건으로 구분한다. DRIE 공정 후 단면 SEM 이미지촬영을 수행하여 돌출부 폭(protrusion width)(W_p), 돌출부 사이의 수직 차이(vertical gap between protrusions)(H_p), 지지부 폭(support width)(W_s)을 측정하여 등방성 실리콘 에칭 결과를 얻는다. 그 결과 W_p , H_p , W_s 의 식각비(etch rates)는 각각 0.04, 0.12, 0.07 $\mu\text{m/s}$ 로 측정된다. 5가지 공정 조건 중 돌출부와 지지부 사이의 폭에 적합한 조건을 실험을 통해 결정한다. 실제로 실리콘 에칭 시간이 15초로 수직으로 적층된 실리콘 나노와이어의 제작에 적합한 스칼럽(scallop) 크기를 형성한다.

[49] 등방성-실리콘 식각 시간의 조정에 따른 DRIE 공정의 실험 결과는 도 4(b): 에칭 시간 5초, (c): 에칭 시간 7초, (d): 에칭 시간 10초, (e): 에칭 시간 15초, (f): 에칭 시간 18초와 표 2에 요약되어 있다. 실리콘 에칭 지속시간을 조절해 스칼럽(scallop)의 크기와 깊이를 조절할 수 있다. 깊고 넓은 스칼럽(scallop) 크기는 긴 실리콘 에칭 시간으로 얻을 수 있다.(도 4의 (a)는 치수 파라미터를 표시한 것임)

[50] [표 2]

[51]

Etching Time (s)	5	7	10	15	18
Protrusion width(W_p) (μm)	1.74	1.59	1.50	1.37	1.19
Vertical gap between protrusions (H_p) (μm)	0.75	1.02	1.33	1.75	2.46
Support width (W_s) (μm)	1.19	0.95	0.72	0.43	-

[52] 도 5에서는 수직으로 적층된 실리콘 나노와이어 배열의 제작 결과를 도시하였다. 산화물의 두께가 낮은 산화물의 경우, 산화물의 성장 속도는 Deal-Grove model에서 예측한 것보다 훨씬 빠르다. 그러나 특정 두께의 산화의 경우 거의 선형적(linear)인 특성을 가진 영역이 존재한다. 본 발명에서, 대략 300 nm의 폭(width)을 가지는 실리콘 나노와이어의 제작에서 500 nm의 산화물로 성장시킬 수 있는 조건은 공정 시간이 60 내지 90 분 사이의 공정 시간에 수행되는 것이다. 산화 두께(oxidation thickness)가 얇아지는 경우, 산화 공정은 오랜 시간이 소요되며, 소모되는 실리콘이 감소함에 따라 비선형(non-linear)적인 특성이 나타난다. 따라서, 가능하면 초기 UV 리소그래피 공정 동안 패턴의 폭은

감소되어야 하고, 원하는 두께의 실리콘 나노와이어를 형성할 수 있도록 적절한 스칼롭(scallop) 크기를 제작해야 한다. 본 발명의 공정에서, UV 리소그래피와 PR 필름은 마스크의 선폭(line width)보다 더 좁은 패턴 폭(pattern width)을 형성한다. 또한, 반복적인 실험으로 그 재현성을 확보하였다. 도 5의 (a), (b)에서 최적의 습식 산화(도 5의 (a)) 및 과도한 습식 산화(도 5의 (b)) 후의 제작 결과를 각각 도시하였다. 도 5의 (a), (b)를 참조하면, 돌출부와 지지부 사이의 적절한 폭의 차이는 균일한 치수의 실리콘 나노와이어를 형성하는 측면과 관련하여 필연적이다. 또한 습식 산화 공정 시간은 층간 분리(layer-to-layer isolation)에 필요한 최소 시간 동안 진행되어야 한다. 과도한 습식 산화의 경우 좁은 실리콘 나노와이어가 형성될 수 있지만 그에 따라 치수의 편차(deviations)가 증가한다.

[53] 도 6은 습식 산화 공정 완료 후에 실리콘 나노와이어 구조를 도시한 것이다. 도 6의 (a)를 참조하면, 습식 산화 후 지지부는 불화수소산 담지에 의하여 완전히 산화되고 제거되며, 이는 각 실리콘 나노와이어로 형성됨을 의미한다. 도 6의 (b)는 길이가 약 20 μm 인 실리콘 나노와이어의 배열이 형성되어 있으며, 단면 SEM 이미지에서 3개의 수직으로 적층된 층으로 구성된 실리콘 나노와이어 배열을 볼 수 있다. 그러나 실리콘 나노와이어 제작 후에는 단면 폭(cross-sectional width)의 균일성을 검증하기 어렵고 단면 폭은 습식 산화 후 SEM 이미지촬영을 통해서만 확인할 수 있다.

[54] 논의 및 결론

[55] 본 발명에서는 수직으로 적층된 실리콘 나노와이어 배열을 제조하는 신규한 하향식(top-down) 방법이 개시되었다. 이 방법은 수직 방향으로 실리콘-나노와이어 배열을 제작할 수 있을 뿐만 아니라, 유한한 치수(dimesion)에서 실리콘 나노와이어의 수가 증가하여 감도가 증가하고 동적인 범위가 된다. 본 발명에서는 치수(dimesion)이 다른 나노와이어를 제조할 때 각 공정에서 고려해야 할 사항도 다루었다. 본 발명에서의 실리콘 나노와이어 배열의 제조 공정은 단일 UV 리소그래피, DRIE 및 습식 산화 공정을 사용했다. 우선, 실리콘-나노와이어 배열의 패턴은 포토리스트그래피에 의해 결정된다. 그러나 UV 리소그래피는 해상도가 제한적이어서 단위 면적당 제작이 가능한 실리콘 나노와이어의 수는 제한적이다. 본 발명에서의 실리콘 나노와이어 배열은 웨이퍼 레벨에서 제작되어 다른 전자 기기와의 통합을 목적으로 하나의 빌딩 블록(building block)으로 사용된다. 따라서 본 발명에서는 감지 특성을 개선하기 위해 수직으로 적층하여 단위 면적당 실리콘 나노와이어의 수를 늘리는 공정 방식을 다루었다. 이후 실리콘 나노와이어가 형성되는 구조는 DRIE에 의해 결정되는데, 여기서 수직으로 적층된 실리콘 나노와이어 배열의 수는 건식 에칭(dry-etching) 반복 횟수로 조정할 수 있다. 마지막으로 실리콘 나노와이어는 습식 산화 공정을 통해 형성되었으며, 여기서 실리콘 나노와이어 치수는 습식 산화 공정 시간에 의해 정밀하게 제어될 수 있다. 각 층에 형성된 실리콘 나노와이어의 균일성은 결과적으로, DRIE 공정의 깊이와 함께

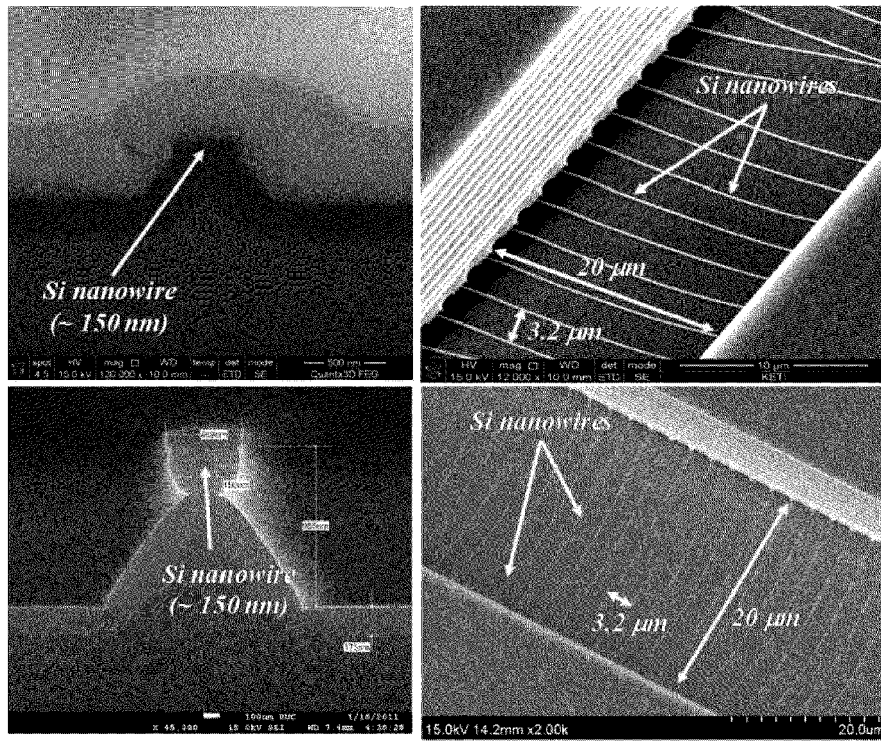
스칼롭(scallop)의 균일성에 가장 큰 영향을 받는다. 본 발명에서 다양한 실험을 통해 깊이에 따라 스칼롭(scallop)을 가장 균일하게 생산할 수 있는 공정조건을 도출하였으며, 이 조건에 따라 수행했을 때 발생하는 돌출부 및 지지부의 크기를 측정하고 평가하였다. 산화 공정 시간에 따라 실리콘 나노와이어의 치수도 영향을 받는다. 이를 위해 돌출부 폭(width)과 지지부의 폭(width)을 측정해 층 분리를 위한 최적의 시간 동안만 산화 과정을 진행했다. 도 4는 산화 과정이 최적의 시간과 과도한 시간 동안 수행될 때 발생할 수 있는 불균형을 설명한다.

- [56] 제안된 방법을 사용하여 세 개의 수직 층으로 구성된 수직으로 적층 실리콘 나노와이어 배열의 제작 결과를 보여준다. 이를 이용해 화학적 또는 광학적 센서를 구현하면 센서의 전류 출력량을 늘릴 수 있다. 각 레이어에는 가로 300 nm, 세로 20 μm 의 단일 나노와이어 치수를 가진 잘 정렬된 다이아몬드 모양의 실리콘 나노와이어 20개가 장착되어 있다. 실제로, 이는 매우 민감하고, 재현 가능하며, 여러 가지 용도로 사용할 수 있는 저렴한 실리콘 나노와이어 센서로 연결되어야 한다. 본 발명에서는 3단 실리콘 나노와이어 어레이를 제작하였으나, 본 발명에서의 공정을 이용하면 3단 이상 생산이 가능하다. 최신 DRIE 장비는 최대 수십 μm 균일한 크기의 스칼롭(scallops) 축척으로 깊은 실리콘 에칭이 가능하며, 본 발명에서 제작한 3층 실리콘-나노와이어 어레이의 깊이는 약 5 μm 이다. 따라서 제안된 방법은 실리콘-나노와이어 배열을 보다 수직으로 적층한 구조로 가공할 것으로 예상된다. 또한 제안된 방법은 실리콘 나노와이어 기반 센서와 CMOS 회로를 결합할 때 공정 복잡성을 줄이고 일원적 통합을 촉진할 수 있다.
- [57] 한편, 본 명세서와 도면에 개시된 본 발명의 실시 예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

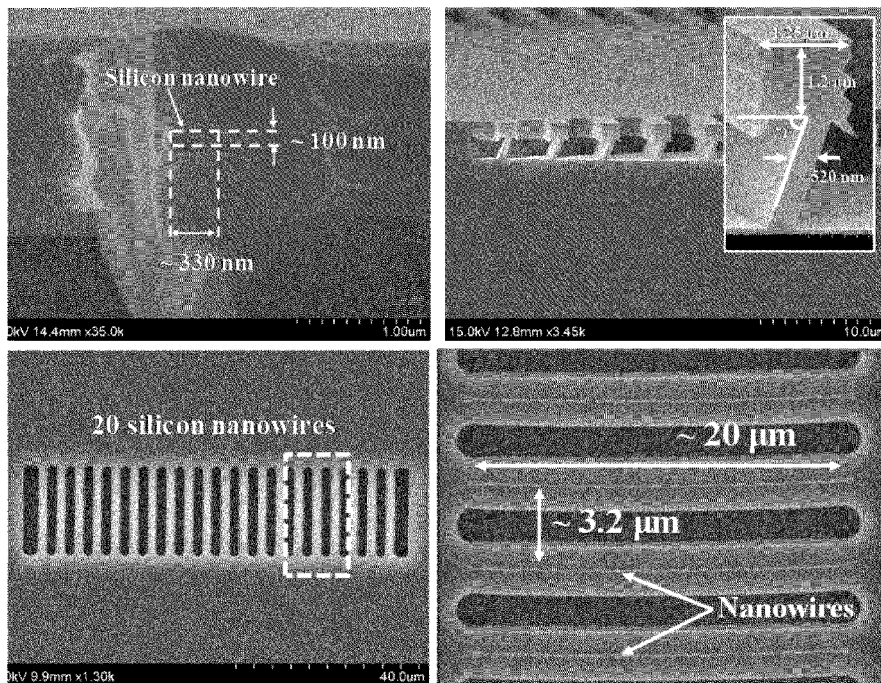
청구범위

- [청구항 1] 실리콘(Si) 기판을 제공하는 단계;
 상기 기판 상에 산화물 마스크층(Oxide mask layer)을 형성시키는 단계;
 상기 산화물 마스크층 상에 포토레지스트 층을 형성하는 단계;
 상기 포토레지스트층에 패턴을 형성하는 단계;
 상기 산화물 마스크층을 에칭하는 단계;
 상기 포토레지스트층을 제거하는 단계;
 상기 기판에 대하여 깊은 반응성 이온 식각(deep reactive-ion etching; DRIE) 공정을 수행하는 단계; 및
 상기 DRIE 공정 이후 습식 산화공정을 수행하는 단계를 포함하는 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법.
- [청구항 2] 제 1 항에 있어서,
 상기 실리콘 기판은 p-type(111) 배열된 단결정 실리콘 웨이퍼인 것을 특징으로 하는 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법.
- [청구항 3] 제 1 항에 있어서,
 상기 산화물 마스크층은 실리콘 산화물(SiO_2)인 것을 특징으로 하는 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법.
- [청구항 4] 제 1 항에 있어서,
 상기 산화물 마스크층을 에칭하는 단계는 유도결합 플라즈마(inductive-coupled plasma; ICP)에 의하여 수행되는 것을 특징으로 하는 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법.
- [청구항 5] 제 1 항에 있어서,
 상기 기판에 대하여 깊은 반응성 이온 식각(deep reactive-ion etching; DRIE) 공정을 수행하는 단계는 상기 실리콘 기판 상에 수직 방향으로 돌출부와 지지부를 형성하는 것을 특징으로 하는 수직으로 적층된 실리콘 나노와이어 레이어의 제조방법.

[도1]

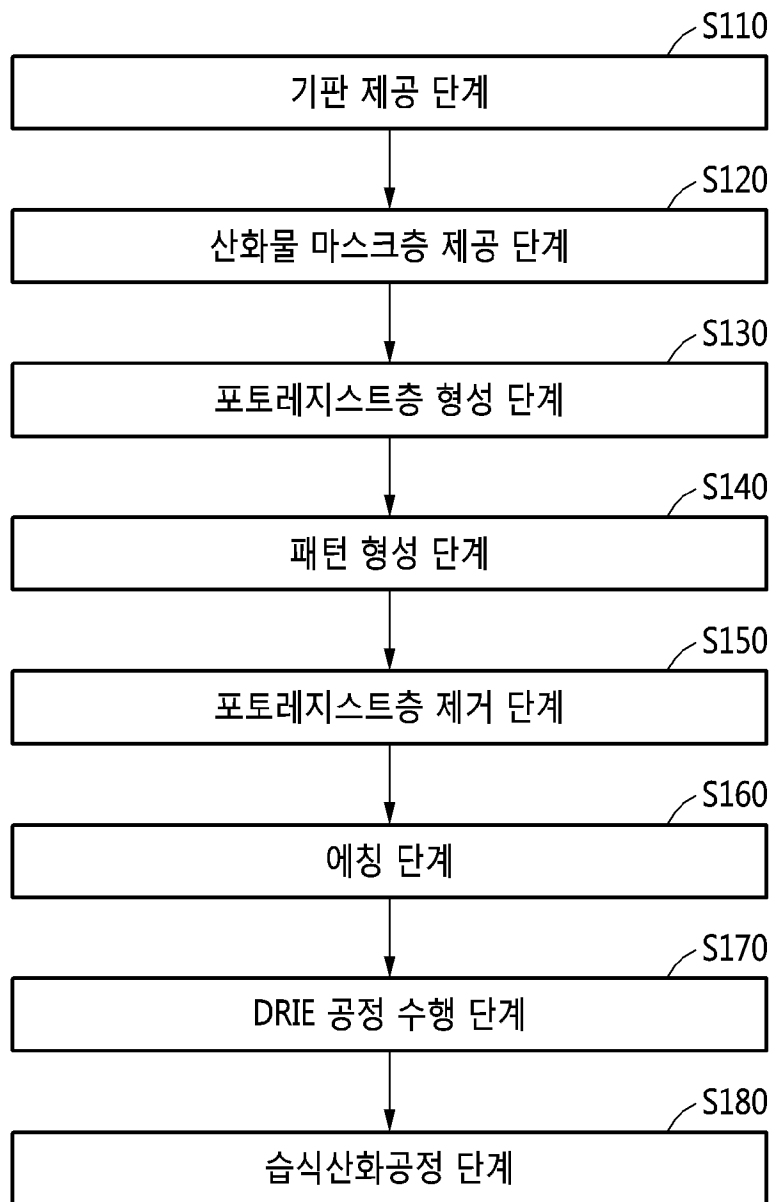


(a)

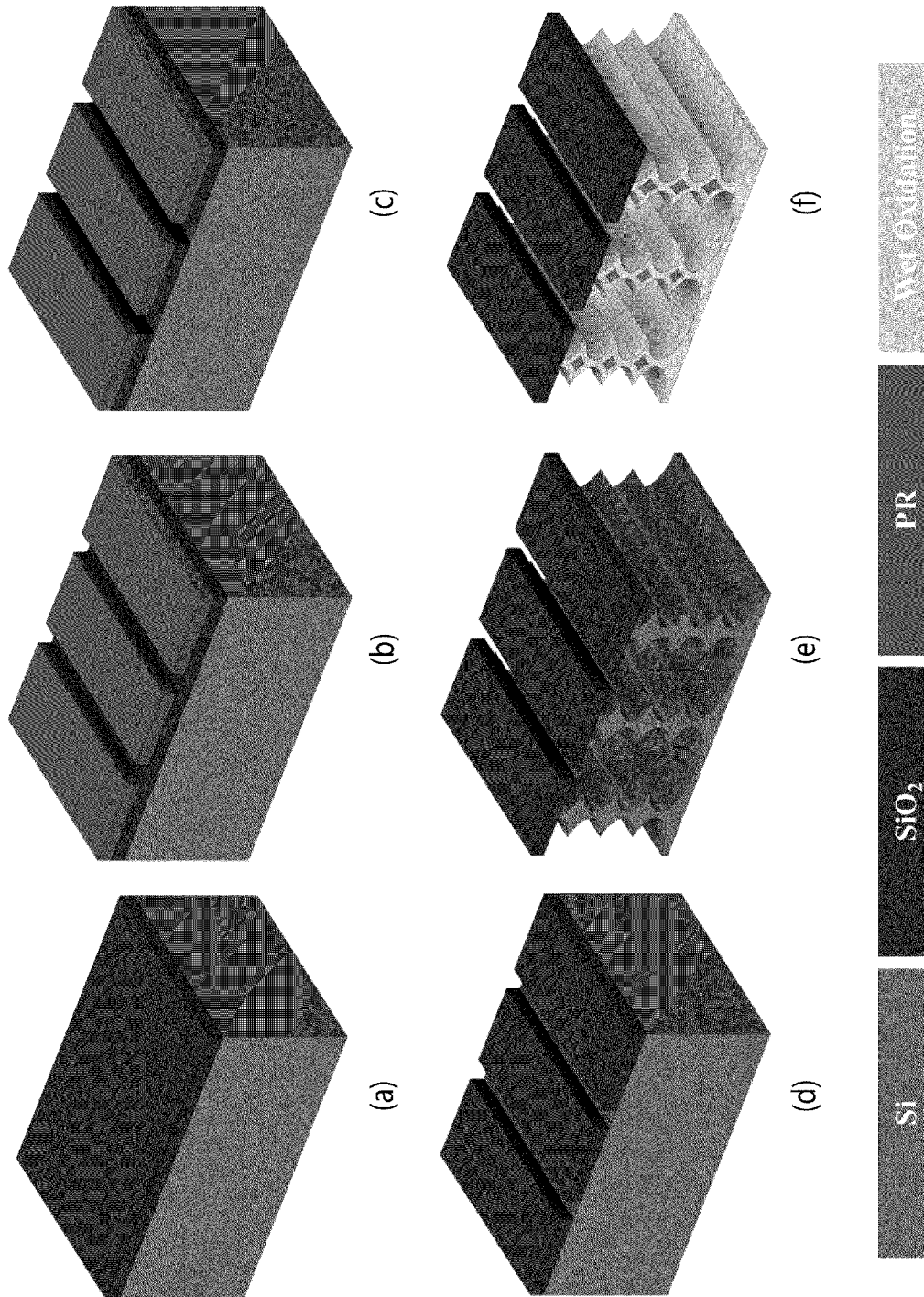


(b)

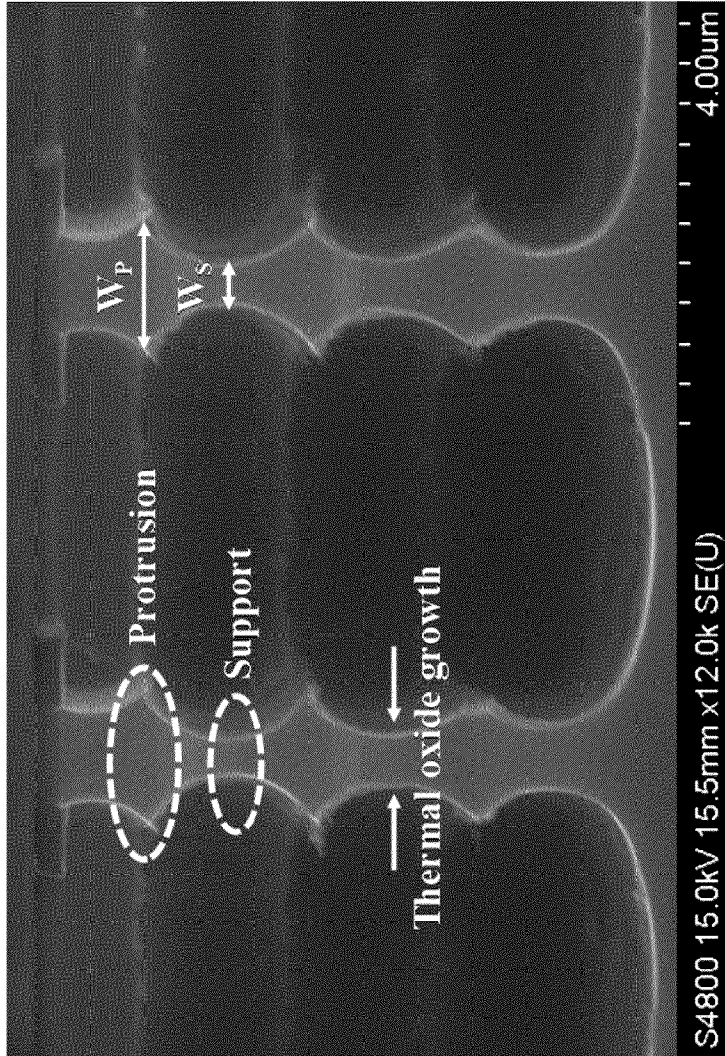
[도2a]



[도2b]



[도3]



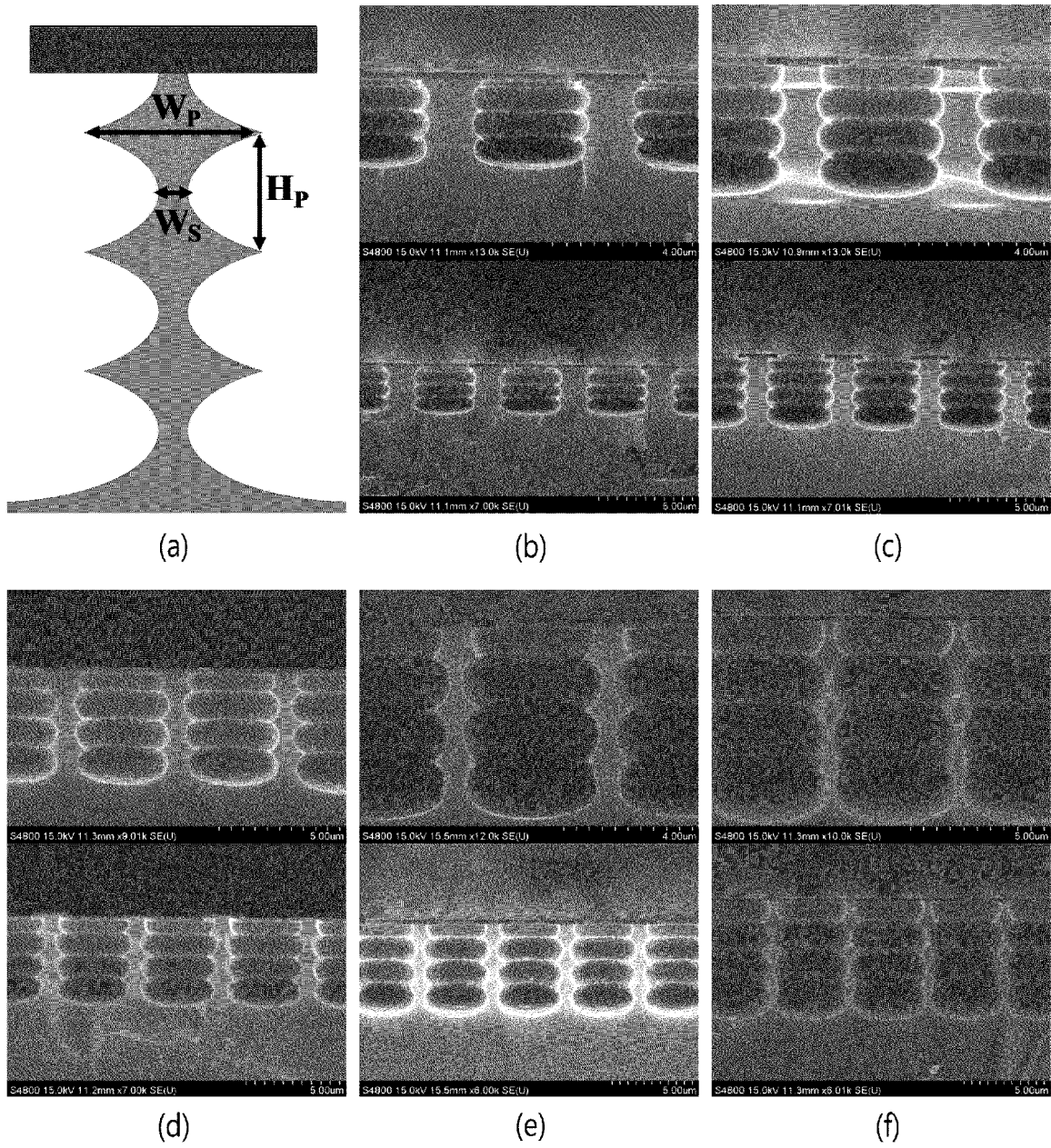
$$\text{minimum thermal oxide growth} = \frac{W_s}{2}$$

$$\text{fabricated nanowire width} = W_p - W_s$$

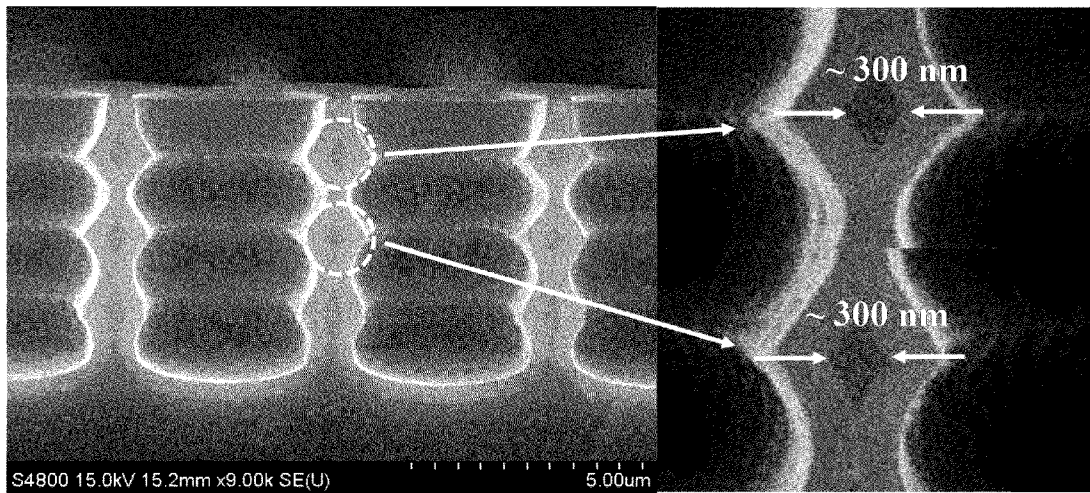
W_p : width of protrusion

W_s : width of support

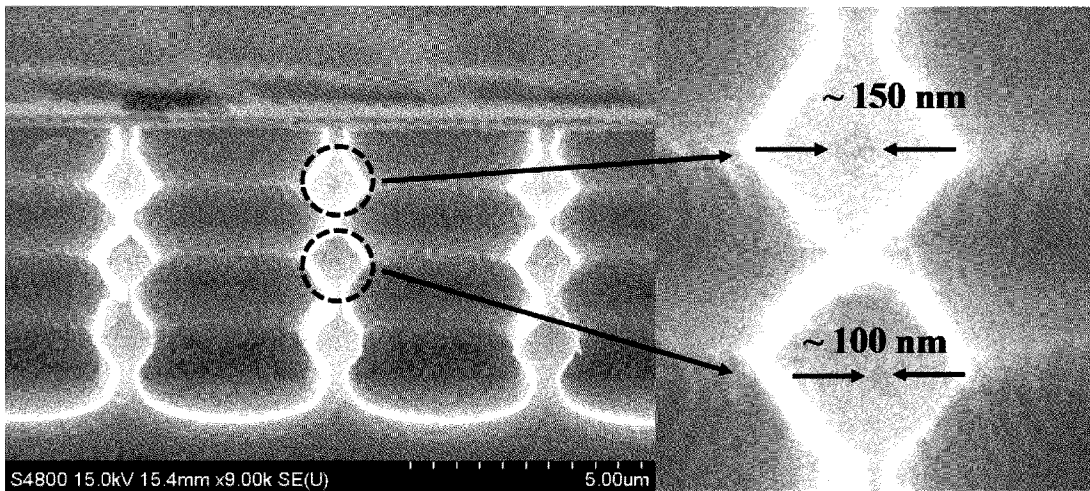
[도4]



[도5]

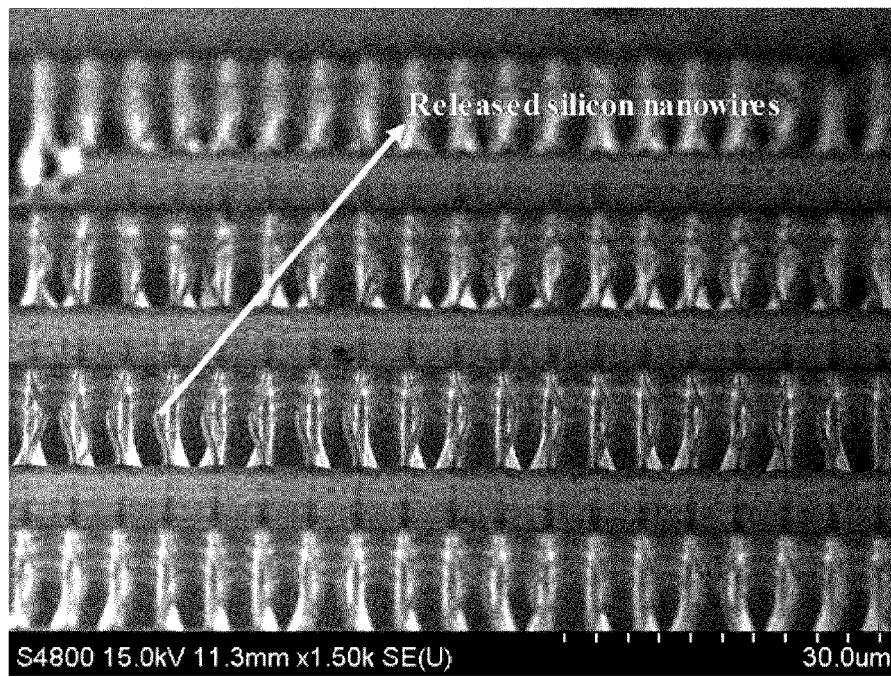


(a)

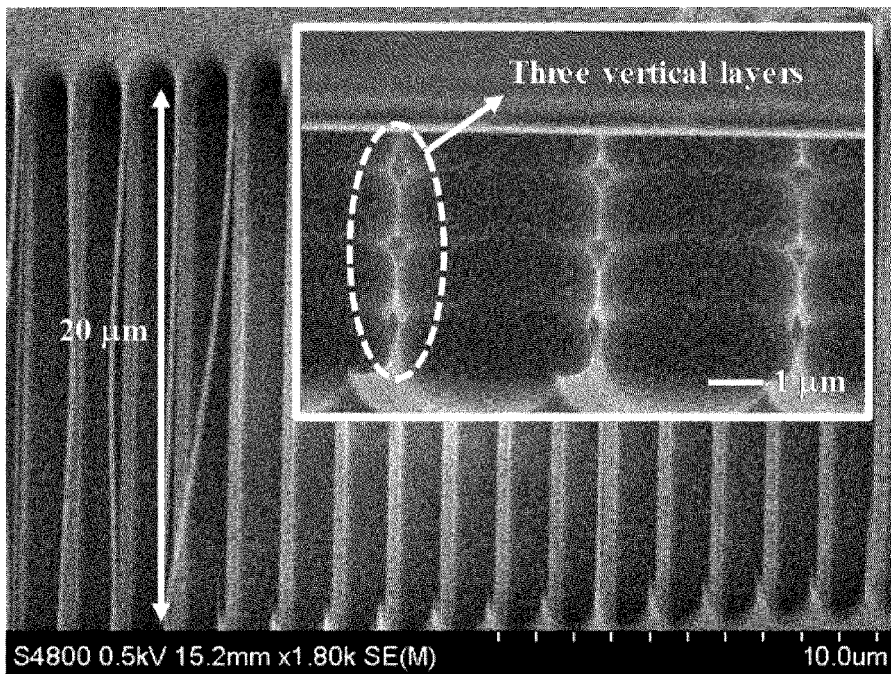


(b)

[도6]



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/019490

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/3065(2006.01)i; G01N 27/414(2006.01)i; H01L 21/308(2006.01)i; H01L 21/02(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 21/3065(2006.01); H01L 21/324(2006.01); H01L 21/336(2006.01); H01L 29/06(2006.01); H01L 29/51(2006.01); H01L 29/78(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 실리콘(silicon), 나노와이어(nano-wire), 식각(etching), 산화(oxidation)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2017-0079188 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 10 July 2017 (2017-07-10) See paragraphs [0023]-[0028] and figures 2a-2e.	1-5
Y	CN 107871666 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 03 April 2018 (2018-04-03) See paragraphs [0010]-[0048] and figure 7.	1-5
A	KIM, Kangil et al. A Novel Top-Down Fabrication Process for Vertically-Aligned Silicon Nanowire Array . In: International Multi-Conference on Engineering and Technology Innovation 2019. 16 November 2019. [Retrieved on 26 July 2021]. Retrieved from <IMETI, https://imeti.org/IMETI2019/download/Poster%20presentation.pdf >.	1-5
A	CN 109904236 A (SHANGHAI XINWEI TECHNOLOGY RESEARCH CENTER CO., LTD.) 18 June 2019 (2019-06-18) See entire document.	1-5
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 August 2021		Date of mailing of the international search report 13 August 2021
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/019490

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2018-0131889 A (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 11 December 2018 (2018-12-11) See entire document.	1-5
X	KIM, Kangil et al. A Novel Top-Down Fabrication Process for Vertically-Stacked Silicon-Nanowire Array . Applied sciences. vol. 10, no. 3, 08 February 2020. [Retrieved on 26 July 2021]. Retrieved from <MDPI, https://www.mdpi.com/2076-3417/10/3/1146 >, <doi.org/10.3390/app10031146>. See entire document. * This document is a known document declaring exceptions to lack of novelty by the applicant.	1-5

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2020/019490

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2017-0079188	A	10 July 2017	US	2017-0194428	A1	06 July 2017
				US	9997596	B2	12 June 2018
CN	107871666	A	03 April 2018	CN	107871666	B	21 August 2020
CN	109904236	A	18 June 2019	None			
KR	10-2018-0131889	A	11 December 2018	None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 21/3065(2006.01)i; G01N 27/414(2006.01)i; H01L 21/308(2006.01)i; H01L 21/02(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 21/3065(2006.01); H01L 21/324(2006.01); H01L 21/336(2006.01); H01L 29/06(2006.01); H01L 29/51(2006.01); H01L 29/78(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 실리콘(silicon), 나노와이어(nano-wire), 식각(etching), 산화(oxidation)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2017-0079188 A (한국과학기술원) 2017.07.10 단락 [0023]-[0028] 및 도면 2a-2e	1-5
Y	CN 107871666 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 2018.04.03 단락 [0010]-[0048] 및 도면 7	1-5
A	Kangil Kim 등, A Novel Top-Down Fabrication Process for Vertically-Aligned Silicon Nanowire Array, In: International Multi-Conference on Engineering and Technology Innovation 2019, 2019.11.16, [검색일: 2021.07.26], 출처 <IMETI, https://imeti.org/IMETI2019/download/Poster%20presentation.pdf > 전체 문헌	1-5
A	CN 109904236 A (SHANGHAI XINWEI TECHNOLOGY RESEARCH CENTER CO., LTD.) 2019.06.18 전체 문헌	1-5
A	KR 10-2018-0131889 A (서울대학교교산학협력단) 2018.12.11 전체 문헌	1-5
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년08월13일(13.08.2021)		국제조사보고서 발송일 2021년08월13일(13.08.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	Kangil Kim 등, A Novel Top-Down Fabrication Process for Vertically-Stacked Silicon-Nanowire Array, Applied sciences, 10권, 3호, 2020.02.08, [검색일: 2021.07.26], 출처 <MDPI, https://www.mdpi.com/2076-3417/10/3/1146>, <doi.org/10.3390/app10031146> 전체 문헌 * 위 문헌은 출원인이 신규성 상실의 예외로서 선언한 공지문헌임.	1-5

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호

PCT/KR2020/019490

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2017-0079188 A	2017/07/10	US 2017-0194428 A1	2017/07/06
		US 9997596 B2	2018/06/12
CN 107871666 A	2018/04/03	CN 107871666 B	2020/08/21
CN 109904236 A	2019/06/18	없음	
KR 10-2018-0131889 A	2018/12/11	없음	