

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月25日(25.07.2024)



(10) 国際公開番号

WO 2024/154565 A1

(51) 国際特許分類:
H04N 25/70 (2023.01) H04N 25/772 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/046885

(22) 国際出願日: 2023年12月27日(27.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-006360 2023年1月19日(19.01.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 東 陽介(HIGASHI Yosuke); 〒2430014
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 森 悟朗(MORI Goro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

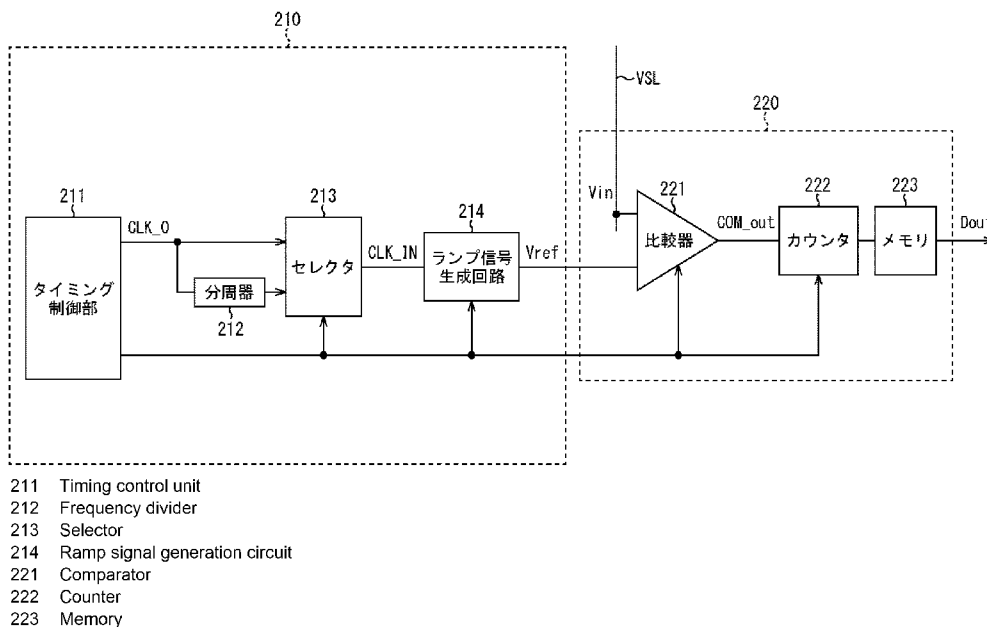
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 光検出装置および電子機器

FIG. 3



211 Timing control unit
212 Frequency divider
213 Selector
214 Ramp signal generation circuit
221 Comparator
222 Counter
223 Memory

(57) Abstract: The present disclosure relates to an optical detection device and an electronic instrument in which an increase in circuit area and power consumption is suppressed. The optical detection device comprises: a pixel array unit having a plurality of pixels that each output a pixel signal corresponding to an amount of input light; a reference signal generation unit that generates a reference signal; and a comparator that is provided in a pixel row to compare the pixel signal with the reference signal. The reference signal generation unit includes: a clock signal generation unit that generates

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a clock signal; a frequency divider that divides the clock signal; a selector that switches and outputs clock signals with different frequencies; and a reference signal generation circuit that generates a reference signal with a different slope in accordance with the frequency of the clock signal. The technology of the present disclosure is applicable to, for example, a CMOS image sensor.

(57) 要約: 本開示は、回路面積と消費電力の増大を抑えることができるようにする光検出装置および電子機器に関する。光検出装置は、入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、参照信号を生成する参照信号生成部と、画素列に設けられた、画素信号と参照信号とを比較する比較器とを備える。参照信号生成部は、クロック信号を生成するクロック信号生成部と、クロック信号を分周する分周器と、異なる周波数のクロック信号を切り替えて出力するセレクタと、クロック信号の周波数に応じて、異なる傾きの参照信号を生成する参照信号生成回路とを有する。本開示に係る技術は、例えば、CMOSイメージセンサに適用することができる。

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関し、特に、回路面積と消費電力の増大を抑えることができるようにする光検出装置および電子機器に関する。

背景技術

[0002] 被写体に高照度領域と低照度領域が混在している場合、低照度領域におけるS/Nを確保しつつ、ダイナミックレンジを拡大するためには、それぞれの領域に適したアナログゲインで読み出しを行う必要があった。

[0003] これに対して、特許文献1には、サンプリングされた画素信号に対して、高いアナログゲインと低いアナログゲインで2回のAD変換を行い、2つのAD変換結果を出力することで、適切なアナログゲインの信号を選択できるようにした固体撮像装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2022-67250号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1の固体撮像装置においては、異なるアナログゲイン（傾き）のランプ信号を生成するために2つのランプ信号生成回路を設ける必要があった。また、異なるアナログゲインのランプ信号が入力される比較器においては、入力容量、差動増幅トランジスタ、AZ（Auto Zero）スイッチを含む差動対を2組備える必要があった。そのため、回路面積と消費電力の増大が課題となっていた。

[0006] 本開示は、このような状況に鑑みてなされたものであり、回路面積と消費電力の増大を抑えることができるようにするものである。

課題を解決するための手段

[0007] 本開示の光検出装置は、入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、参照信号を生成する参照信号生成部と、画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器とを備え、前記参照信号生成部は、クロック信号を生成するクロック信号生成部と、前記クロック信号を分周する分周器と、異なる周波数の前記クロック信号を切り替えて出力するセレクタと、前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路とを有する光検出装置である。

[0008] 本開示の電子機器は、入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、参照信号を生成する参照信号生成部と、画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器とを備え、前記参照信号生成部は、クロック信号を生成するクロック信号生成部と、前記クロック信号を分周する分周器と、異なる周波数の前記クロック信号を切り替えて出力するセレクタと、前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路とを有する光検出装置を備える電子機器である。

[0009] 本開示においては、光検出装置に、入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、参照信号を生成する参照信号生成部と、画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器とが備えられ、前記参照信号生成部には、クロック信号を生成するクロック信号生成部と、前記クロック信号を分周する分周器と、異なる周波数の前記クロック信号を切り替えて出力するセレクタと、前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路とが設けられる。

図面の簡単な説明

[0010] [図1]本開示に係る技術を適用した固体撮像装置の概略構成例を示す図である。

[図2]画素の回路構成例を示す図である。

[図3]参照信号生成部とA D Cの構成例を示す図である。

[図4]分周器とセレクトの詳細な構成例を示す図である。

[図5]比較器の回路構成例を示す図である。

[図6]従来のA D Cの構成例を示す図である。

[図7]参照信号生成部とA D Cの動作例を示すタイミングチャートである。

[図8]アナログゲインの変更について説明する図である。

[図9]ランプ信号生成回路の回路構成例の概略を示す図である。

[図10]参照信号生成部とA D Cの他の動作例を示すタイミングチャートである。

[図11]帯域制限容量とカットオフ周波数の関係を示す図である。

[図12]帯域制限容量によるリニアリティの改善について説明する図である。

[図13]比較器の他の回路構成例を示す図である。

[図14]参照信号生成部とA D Cの他の動作例を示すタイミングチャートである。

[図15]参照信号生成部とA D Cの他の動作例を示すタイミングチャートである。

[図16]本開示に係る技術を適用した電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0011] 以下、本開示を実施するための形態（以下、実施の形態とする）について説明する。なお、説明は以下の順序で行う。

- [0012]
1. 固体撮像装置の概要
 2. 参照信号生成部とA D Cの構成例
 3. 固体撮像装置の動作
 4. 終端抵抗と出力電流の調整
 5. 帯域制限容量によるリニアリティの改善
 6. 変形例

7. 電子機器の構成例

[0013] <1. 固体撮像装置の概要>

図1は、本開示に係る技術を適用した固体撮像装置の概略構成例を示す図である。

[0014] 図1に示される固体撮像装置1は、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサと、CMOSイメージセンサから得られた信号を処理する信号処理回路とを備えたカメラモジュールである。固体撮像装置1は、複数の画素11が設けられた画素アレイ部10を備えている。画素アレイ部10において、複数の画素11は、2次元（行列状に）配置されている。

[0015] 画素アレイ部10は、入射光量に応じた画素信号を出力する複数の画素11、複数の駆動配線、および複数のデータ出力線VSLを有している。駆動配線は、画素11に蓄積された電荷の出力を制御する制御信号が印加される配線であり、例えば、行方向に延在している。複数の駆動配線は、例えば、後述する垂直駆動回路21の出力端に接続されている。データ出力線VSLは、各画素11から出力された画素信号を、後述する周辺回路20に出力する配線であり、例えば、列方向に延在している。データ出力線VSLは、後述する読み出し回路13の出力端に接続されている。

[0016] 画素11は、例えば図2に示されるように、フォトダイオードPDを含む画素回路12と、画素回路12から画素信号を読み出す読み出し回路13とを含んで構成されている。フォトダイオードPDは、光電変換を行って入射光量（受光量）に応じた電荷を発生する素子である。画素回路12は、さらに、転送トランジスタTRGを有しており、転送トランジスタTRGをオンすることにより、フォトダイオードPDに蓄えられた電荷を読み出し回路13（フローティングディフュージョンFD）に転送する。

[0017] 読み出し回路13は、例えば、フローティングディフュージョンFD、リセットトランジスタRST、増幅トランジスタAMP、および選択トランジスタSELとを有している。

- [0018] フローティングディフュージョンFDは、転送トランジスタTRGを介してフォトダイオードPDから出力された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョンFDには、例えば、リセットトランジスタRSTが接続されるとともに、増幅トランジスタAMPと選択トランジスタSELを介してデータ出力線VSLが接続されている。
- [0019] リセットトランジスタRSTでは、ドレインが電源線VDDに接続され、ソースがフローティングディフュージョンFDに接続されている。リセットトランジスタRSTは、ゲート電極に印加される制御信号に応じて、フローティングディフュージョンFDを初期化（リセット）する。例えば、リセットトランジスタRSTがオンされると、フローティングディフュージョンFDの電位が電源線VDDの電位レベルにリセットされる。すなわち、フローティングディフュージョンFDの初期化が行われる。
- [0020] 増幅トランジスタAMPは、ゲート電極がフローティングディフュージョンFDに接続され、ドレインが電源線VDDに接続されており、フォトダイオードPDでの光電変換によって得られる電荷を読み出すソースフォロワ回路の入力部となる。すなわち、増幅トランジスタAMPは、ソースが選択トランジスタSELを介してデータ出力線VSLに接続されることにより、データ出力線VSLの一端に接続される定電流源とソースフォロワ回路を構成する。
- [0021] 選択トランジスタSELは、増幅トランジスタAMPのソースとデータ出力線VSLの間に接続されており、選択トランジスタSELのゲート電極には、選択信号として制御信号が供給される。選択トランジスタSELは、制御信号がオンすると導通状態となり、導通状態となった選択トランジスタSELを含む画素11が選択状態となる。画素11が選択状態になると、増幅トランジスタAMPから出力される画素信号がデータ出力線VSLを介してAD（Analog to Digital）変換回路22に読み出される。
- [0022] 固体撮像装置1は、さらに、画素信号を処理する周辺回路20を備えている。周辺回路20は、画素アレイ部10から入力された画素信号に基づいて

画像信号を生成し、外部に出力する。周辺回路 20 は、例えば、垂直駆動回路 21、AD変換回路 22、水平駆動回路 23、システム制御回路 24、および出力回路 25 を有している。

[0023] 垂直駆動回路 21 は、例えば、複数の画素 11 を所定の単位画素行毎に順に選択する。「所定の単位画素行」とは、同一アドレスで選択可能な画素行を指している。AD変換回路 22 は、例えば、垂直駆動回路 21 によって選択された画素行の各画素 11 から出力される画素信号に対して、相関二重サンプリング (Correlated Double Sampling: CDS) 処理を施す。AD変換回路 22 は、例えば、CDS 処理を施すことにより、画素信号の信号レベルを抽出し、各画素 11 の受光量に応じた画素信号を保持する。AD変換回路 22 は、例えば、データ出力線 VSL 毎に、後述する ADC を有している。ADC は、画素アレイ部 10 から列毎に出力されるアナログ信号 (画素信号) をデジタル信号に変換して出力する。ADC の内部構成については後述するものとする。

[0024] 水平駆動回路 23 は、例えば、シフトレジスタなどによって構成され、AD変換回路 22 における複数の ADC の列アドレスや列走査の制御を行う。水平駆動回路 23 による制御の下、複数の ADC の各々で AD変換された N ビットのデジタル信号が順に出力回路 25 に読み出され、出力回路 25 を経由して画像信号 (画像データ) として出力される。システム制御回路 24 は、例えば、周辺回路 20 内の各ブロック (垂直駆動回路 21、AD変換回路 22、および水平駆動回路 23) の駆動を制御する。

[0025] <2. 参照信号生成部と ADC の構成例>

次に、図 3 を参照して、参照信号生成部と ADC の構成例について説明する。

[0026] 図 3 に示される参照信号生成部 210 は、例えば、上述したシステム制御回路 24 に含まれる。参照信号生成部 210 は、例えば、タイミング制御部 211、分周器 212、セクタ 213、およびランプ信号生成回路 (参照信号生成回路) 214 を含んで構成される。

[0027] 図3に示されるADC220は、上述したAD変換回路22に含まれ、データ出力線VSL毎に設けられる。ADC220は、例えば、シングルスロープA/D変換器を含んでいる。シングルスロープA/D変換器は、例えば、比較器221、カウンタ222、およびメモリ223を含んで構成される。

[0028] タイミング制御部211は、クロック信号を生成するクロック信号生成部として機能し、生成したクロック信号CLK__0を分周器212とセレクト213に供給する。また、タイミング制御部211は、クロック信号CLK__0に同期したタイミング信号を生成し、セレクト213とランプ信号生成回路214、さらに、比較器221とカウンタ222に供給する。

[0029] 分周器212は、タイミング制御部211からのクロック信号CLK__0を分周する。クロック信号CLK__0が分周された分周クロック信号は、セレクト213に供給される。

[0030] セレクト213は、異なる周波数のクロック信号を切り替えて出力する。具体的には、セレクト213は、タイミング制御部211からのタイミング信号に応じて、クロック信号CLK__0と、分周器212からの分周クロック信号のいずれかを選択し、クロック信号CLK__INとして、ランプ信号生成回路214に入力する。

[0031] 図4は、分周器212とセレクト213の詳細な構成例を示す図である。

[0032] 図4に示される分周器212は、それぞれD型フリップフロップなどの論理回路からなる、4つの分周回路から構成される。図4の例では、クロック信号CLK__0を2分周、4分周、8分周、16分周した4種類の周波数の分周クロック信号が生成され、セレクト213に供給される。

[0033] 図4に示されるセレクト213は、論理回路からなるマルチプレクサとして構成される。図4の例では、クロック信号CLK__0、または、分周器212からの4種類の周波数の分周クロック信号のいずれかが選択され、クロック信号CLK__INとして、ランプ信号生成回路214に入力される。

[0034] 図3に戻り、ランプ信号生成回路214は、データ出力線VSL毎の画素

信号と比較するための参照信号（ランプ信号） V_{ref} を生成する。ランプ信号 V_{ref} は、クロック信号 CLK_IN の周波数に応じた傾き（スロープ）のランプ波形を有する。したがって、ランプ信号生成回路214は、セクタ213から入力される異なる周波数のクロック信号に応じて、異なる傾きのランプ信号 V_{ref} を生成する。例えば、ランプ信号生成回路214は、クロック信号 CLK_IN の周波数に応じて、2種類の傾きを有するランプ信号を生成する。

[0035] 具体的には、クロック信号 CLK_IN として、セクタ213から第1の周波数のクロック信号が入力された場合、ランプ信号生成回路214は、第1の周波数のクロック信号に基づいて、第1のランプ信号を生成する。クロック信号 CLK_IN として、セクタ213から第1の周波数とは異なる第2の周波数のクロック信号が入力された場合、ランプ信号生成回路214は、第2の周波数のクロック信号に基づいて、第1のランプ信号とは異なる傾きの第2のランプ信号を生成する。

[0036] ランプ信号 V_{ref} は、比較器221におけるランプ信号 V_{ref} の入力端子に入力される。

[0037] 比較器221は、ランプ信号生成回路214から供給されるランプ波形のランプ信号 V_{ref} と、行毎に画素11からデータ出力線 VSL を介して得られる画素信号 V_{in} とを比較する。

[0038] カウンタ222は、比較器221の比較時間をカウントする。

[0039] メモリ223は、カウンタ222のカウント値を保持する。各ADC220におけるメモリ223の出力は、図示せぬ水平転送線に接続される。

[0040] 各ADC220において、列毎に配置された比較器221は、データ出力線 VSL に読み出された画素信号 V_{in} とランプ信号 V_{ref} とを比較する。

[0041] このとき、比較器221と同様に列毎に配置されたカウンタ222が動作し、ランプ信号 V_{ref} とカウント値が一对一の対応を取りながら変化することで、画素信号 V_{in} がデジタル信号に変換される。

- [0042] そして、画素信号 V_{in} とランプ信号 V_{ref} が交わったとき、比較器 221 の出力が反転するとともに、カウンタ 222 の入力クロックが停止し、または、入力が停止していたクロックがカウンタ 222 に入力され、AD 変換が完了する。
- [0043] AD 変換期間終了後、メモリ 223 に保持されたデータが、図示せぬ水平転送線に転送される。転送されたデータは、出力回路 25 に入力され、所定の信号処理により 2 次元画像が生成される。
- [0044] 以上のような構成により、サンプリングされた画素信号に対して、高いアナログゲインと低いアナログゲインで 2 回の AD 変換を行い、2 つの AD 変換結果を出力することで、適切なアナログゲインの信号を選択することが可能となる。
- [0045] 図 5 は、比較器 221 の回路構成例を示す図である。
- [0046] 比較器 221 は、入力容量、差動増幅トランジスタ、および AZ スイッチを、比較器 221 に入力されるランプ信号の数だけ設けたパイプライン構成を採る。比較器 221 は、例えば、図 5 に示されるように、差動増幅回路（差動対）231（ランプ側回路 231a と画素側回路 231b）を有している。差動増幅回路（差動対）231（ランプ側回路 231a と画素側回路 231b）は、画素信号 V_{in} と、ランプ信号生成回路 214 のランプ信号 V_{ref} との差分を増幅する増幅回路である。
- [0047] ランプ側回路 231a は、例えば、入力容量 C1、差動増幅トランジスタ、および AZ スイッチを含んで構成される。画素側回路 231b は、例えば、入力容量 C2、差動増幅トランジスタ、および AZ スイッチを含んで構成される。
- [0048] さらに、比較器 221 は、図 5 に示されるように、出力負荷回路 232 を有している。出力負荷回路 232 は、差動増幅回路（差動対）231（ランプ側回路 231a と画素側回路 231b）の出力負荷となる回路である。
- [0049] なお、比較器 221 において、電源線 VDD と出力端子（COM__Out）との間には、LPF（Low Pass Filter）としての帯域制限容量 C3 が設け

られる。

[0050] ここで、図6を参照して、サンプリングされた画素信号に対して、高いアナログゲインと低いアナログゲインで2回のAD変換を行うようにした、従来のADCの構成例について説明する。例えば、特許文献1の固体撮像装置は、図6に示されるようなADC320を備える。

[0051] 特許文献1の固体撮像装置は、2つのランプ信号生成回路（ランプ信号生成回路310Hとランプ信号生成回路310L）を有している。

[0052] ランプ信号生成回路310Hは、図示せぬクロック信号生成部から与えられるクロック信号に基づいて、ランプ信号生成回路310Lと比べて相対的に低スロープのランプ信号VrefHを生成する。ランプ信号生成回路310Lは、図示せぬクロック信号生成部から与えられるクロック信号に基づいて、ランプ信号生成回路310Hと比べて相対的に高スロープのランプ信号VrefLを生成する。

[0053] ADC320は、比較器321、カウンタ322、およびメモリ323を含んで構成される。比較器321、カウンタ322、およびメモリ323は、それぞれ、図3を参照して説明した比較器221、カウンタ222、およびメモリ223と同様の構成を有する。

[0054] 但し、比較器321は、2つのランプ信号生成回路310H、310Lから供給されるランプ波形のランプ信号VrefH、VrefLと、行毎に画素11からデータ出力線VSLを介して得られる画素信号Vinとを比較する。

[0055] このように、特許文献1の固体撮像装置においては、異なるアナログゲイン（傾き）のランプ信号を生成するために2つのランプ信号生成回路310H、310Lを設ける必要があった。また、異なるアナログゲインのランプ信号VrefH、VrefLが入力される比較器321においては、入力容量、差動増幅トランジスタ、AZスイッチを含む差動対を、比較器321に入力されるランプ信号の数、すなわち2組備える必要があった。そのため、回路面積と消費電力の増大が課題となっていた。

[0056] 一方で、本開示に係る技術を適用した固体撮像装置 1 においては、1つのランプ信号生成回路 214 に入力されるクロック信号 CLK__IN の周波数を切り替えることによって、異なるアナログゲイン（傾き）のランプ信号を生成することができる。また、比較器 221 においては、入力容量、差動増幅トランジスタ、AZ スイッチを含む差動対が、比較器 221 に入力されるランプ信号の数、すなわち 1 組だけ設けられればよい。

[0057] すなわち、本開示に係る技術を適用した固体撮像装置 1 においては、特許文献 1 の固体撮像装置と比較して、回路面積と消費電力の増大を抑えることが可能となる。

[0058] < 3. 固体撮像装置の動作 >

本開示に係る技術を適用した固体撮像装置 1 の動作について説明する。

[0059] 図 7 は、参照信号生成部 210 と ADC 220 の動作例を示すタイミングチャートである。

[0060] 図 7 には、1 水平期間（AD 変換期間）における、データ出力線 VSL（画素信号 Vin）、ランプ信号 Vref の波形、比較器 221（差動増幅回路 231）の AZ スイッチ、セクタ 213、およびクロック信号 CLK__IN の波形（動作タイミング）が示されている。

[0061] まず、固体撮像装置 1 は、ADC 220 のオートゼロ（AZ）を実行する。具体的には、ADC 220 は、タイミング制御部 211 による制御に基づいて、比較器 221 の 2 つの入力端子（Vin, Vref）を同電圧とする AZ 動作を行う。ADC 220 は、例えば、タイミング制御部 211 による制御に基づいて、AZ スイッチにオン電圧を印加し、比較器 221 の 2 つの入力端子に与えられる電圧が互いに等しくなるように、入力容量 C1, C2 をチャージする。なお、AZ 動作は、後述する開始電圧にて実行される。

[0062] AZ 動作の後、セクタ 213 から高周波数のクロック信号 CLK__IN が出力される。ここでは、例えば、高波数のクロック信号 CLK__IN は、タイミング制御部 211 からのクロック信号 CLK__0 と等しい。

[0063] なお、本開示に係る技術を適用した固体撮像装置 1 においては、高周波数

のクロック信号CLK__INがランプ信号生成回路214に入力された場合、低いアナログゲイン（大きい傾き）のランプ信号が生成され、低周波数のクロック信号CLK__INがランプ信号生成回路214に入力された場合、高いアナログゲイン（小さい傾き）のランプ信号が生成される。

[0064] そこで、以下においては、高周波数のクロック信号CLK__INが出力される期間を、LG（Low Gain）期間といい、低周波数のクロック信号CLK__INが出力される期間を、HG（High Gain）期間という。

[0065] 次に、固体撮像装置1は、LG期間でのリセット動作時（P相（LG））の画素信号VinのAD変換値（P__low）を取得する。

[0066] 具体的には、ADC220は、リセット動作時（リセット期間）において、タイミング制御部211による制御に基づいて、AZスイッチにオフ電圧を印加する。続いて、ランプ信号生成回路214は、P相のランプ信号Vrefを比較器221に入力する。このとき、データ出力線VSLには、リセット動作時に画素11から出力されたP相の画素信号Vinが与えられている。これにより、比較器221は、P相のランプ信号Vrefを取得するとともに、P相の画素信号Vinを取得する。比較器221は、P相の画素信号VinがP相のランプ信号Vrefよりも小さい場合に、H（High）の比較結果信号COM__Outを出力し、P相の画素信号VinがP相のランプ信号Vrefよりも大きい場合に、L（Low）の比較結果信号COM__Outを出力する。比較器221は、比較結果信号COM__Outをカウンタ222に出力する。カウンタ222は、タイミング制御部211から供給されるタイミング信号に基づいて、Hの比較結果信号COM__Outが供給されている間だけ、カウントアップする。カウント結果が、P相（LG）のAD変換値P__lowとなり、メモリ223に格納される。このようにして、ADC220は、P相（LG）のAD変換値P__lowを取得する。

[0067] その後、時刻t1において、セクタ213が切り替わることで、セクタ213から低周波数のクロック信号CLK__INが出力された状態、すなわち、HG期間となる。ここでは、例えば、低周波数のクロック信号CLK

__I Nは、タイミング制御部211からのクロック信号CLK__Oが分周された分周クロック信号とされる。

[0068] 次に、固体撮像装置1は、HG期間でのリセット動作時（P相（HG））の画素信号V_{i n}のAD変換値（P__h i g h）を取得する。

[0069] 具体的には、ADC220は、リセット動作時（リセット期間）において、タイミング制御部211による制御に基づいて、AZスイッチにオフ電圧を印加する。続いて、ランプ信号生成回路214は、P相のランプ信号V_{r e f}を比較器221に入力する。このとき、データ出力線V_{S L}には、リセット動作時に画素11から出力されたP相の画素信号V_{i n}が与えられている。これにより、比較器221は、P相のランプ信号V_{r e f}を取得するとともに、P相の画素信号V_{i n}を取得する。比較器221は、P相の画素信号V_{i n}がP相のランプ信号V_{r e f}よりも小さい場合に、Hの比較結果信号COM__O u tを出力し、P相の画素信号V_{i n}がP相のランプ信号V_{r e f}よりも大きい場合に、Lの比較結果信号COM__O u tを出力する。比較器221は、比較結果信号COM__O u tをカウンタ222に出力する。カウンタ222は、タイミング制御部211から供給されるタイミング信号に基づいて、Hの比較結果信号COM__O u tが供給されている間だけ、カウントアップする。カウント結果が、P相（HG）のAD変換値P__h i g hとなり、メモリ223に格納される。このようにして、ADC220は、P相（HG）のAD変換値P__h i g hを取得する。

[0070] 続いて、固体撮像装置1は、HG期間での信号出力時（D相（HG））の画素信号V_{i n}のAD変換値（D__h i g h）を取得する。

[0071] 具体的には、ADC220は、信号出力時（信号出力期間）において、タイミング制御部211による制御に基づいて、AZスイッチにオフ電圧を印加する。続いて、ランプ信号生成回路214は、D相のランプ信号V_{r e f}を比較器221に入力する。このとき、データ出力線V_{S L}には、信号出力時に画素11から出力されたD相の画素信号V_{i n}が与えられている。これにより、比較器221は、D相のランプ信号V_{r e f}を取得するとともに、

D相の画素信号 V_{in} を取得する。比較器221は、D相の画素信号 V_{in} がD相のランプ信号 V_{ref} よりも小さい場合に、Hの比較結果信号 COM_Out を出力し、D相の画素信号 V_{in} がD相のランプ信号 V_{ref} よりも大きい場合に、Lの比較結果信号 COM_Out を出力する。比較器221は、比較結果信号 COM_Out をカウンタ222に出力する。カウンタ222は、タイミング制御部211から供給されるタイミング信号に基づいて、Hの比較結果信号 COM_Out が供給されている間だけ、カウントアップする。カウント結果が、D相のAD変換値 D_high となり、メモリ223に格納される。このようにして、ADC220は、D相のAD変換値 D_high を取得する。

[0072] その後、時刻 t_2 において、セクタ213が切り替わることで、再び、セクタ213から高周波数のクロック信号 CLK_IN が出力された状態、すなわち、LG期間となる。

[0073] 固体撮像装置1は、LG期間での信号出力時（D相（LG））の画素信号 V_{in} のAD変換値（ D_low ）を取得する。

[0074] 具体的には、ADC220は、信号出力時（信号出力期間）において、タイミング制御部211による制御に基づいて、AZスイッチにオフ電圧を印加する。続いて、ランプ信号生成回路214は、D相のランプ信号 V_{ref} を比較器221に入力する。このとき、データ出力線 V_{SL} には、信号出力時に画素11から出力されたD相の画素信号 V_{in} が与えられている。これにより、比較器221は、D相のランプ信号 V_{ref} を取得するとともに、D相の画素信号 V_{in} を取得する。比較器221は、D相の画素信号 V_{in} がD相のランプ信号 V_{ref} よりも小さい場合に、Hの比較結果信号 COM_Out を出力し、D相の画素信号 V_{in} がD相のランプ信号 V_{ref} よりも大きい場合に、Lの比較結果信号 COM_Out を出力する。比較器221は、比較結果信号 COM_Out をカウンタ222に出力する。カウンタ222は、タイミング制御部211から供給されるタイミング信号に基づいて、Hの比較結果信号 COM_Out が供給されている間だけ、カウントア

アップする。カウント結果が、D相のAD変換値D__lowとなり、メモリ223に格納される。このようにして、ADC220は、D相のAD変換値D__lowを取得する。

[0075] そして、ADC220は、D相のAD変換値D__highとP相のAD変換値P__highとの差分を取得し、取得した差分を階調信号Dout__highとしてメモリ223に格納する。さらに、ADC220は、D相のAD変換値D__lowとP相のAD変換値P__lowとの差分を取得し、取得した差分を階調信号Dout__lowとしてメモリ223に格納する。このようにして、ADC220は、階調信号Dout__high, Dout__lowを取得する。AD変換回路22は、階調信号Dout__high, Dout__lowを、水平駆動回路23の制御の下、各ADC220のメモリ223から読み出し、水平転送線を介して出力回路25に出力する。

[0076] 出力回路25は、階調信号Dout__highが、所定の閾値Dthよりも大きいかなんかを判定する。階調信号Dout__highが閾値Dthよりも大きい場合、出力回路25は、閾値Dthよりも大きい階調信号Dout__highに対応する画素列の階調信号Dout__lowを選択し、出力する。一方、階調信号Dout__highが閾値Dth以下の場合、出力回路25は、閾値Dth以下の階調信号Dout__highを選択し、出力する。このようにして、固体撮像装置1におけるAD変換が行われる。

[0077] 以上のようにして、ランプ信号Vrefを用いて生成された階調信号Dout__highと所定の閾値Dthとの大小関係に基づいて、階調信号Dout__highと階調信号Dout__lowのいずれを画像信号の生成に使用するかを決定することができる。

[0078] したがって、被写体に高照度領域と低照度領域が混在している場合において、低照度領域におけるS/Nを確保しつつ、ダイナミックレンジを拡大する際、比較器221の後段の処理で、適切なアナログゲインの信号を選択することが可能となる。結果として、被写体ぶれなどなく、ダイナミックレンジを拡大することが可能となる。

- [0079] なお、出力回路25は、ADC220（AD変換回路22）から出力された、異なるアナログゲインのデジタル信号のいずれかを選択して、画像データとして出力する以外にも、異なるアナログゲインのデジタル信号を合成して、画像データとして出力してもいい。すなわち、出力回路25は、各画素列の階調信号Dout__highと階調信号Dout__lowとをブレンドしたデジタル信号を、画像信号として出力することもできる。
- [0080] また、本開示に係る技術を適用した固体撮像装置1においては、LG期間とHG期間とで、GNDなどの基準電位VSSを基準としたランプ信号Vrefの開始電圧が同一レベルとされる。
- [0081] 従来の固体撮像装置、例えば、特許文献1の固体撮像装置においては、異なるアナログゲインのランプ信号VrefH、VrefLが独立して比較器に入力されるため、比較器において、LG期間とHG期間とで、ランプ信号VrefH、VrefLそれぞれの開始電圧を保持するための入力容量が2組必要であった。
- [0082] 一方で、本開示に係る技術を適用した固体撮像装置1においては、LG期間とHG期間とで、ランプ信号Vrefの開始電圧が同一レベルであるので、異なるアナログゲインであっても、比較器221の動作点は変わらず、AZ動作は1回でよい。すなわち、ランプ信号Vrefの開始電圧を保持するための入力容量は1組でよい。
- [0083] ここで、図8を参照して、アナログゲインの変更について説明する。
- [0084] 図8のA図は、従来の技術を用いて、LG期間とHG期間とでアナログゲイン（ランプ信号の傾き）を変更する例を示している。同A図においては、デフォルトのクロック信号CLK__0に従って生成される、低いアナログゲイン（大きい傾き）のランプ信号（LGランプ信号）と、高いアナログゲイン（小さい傾き）のランプ信号（HGランプ信号）が示されている。
- [0085] 従来の技術においては、A図に示されるように、同一のクロック信号に基づいて、LG期間とHG期間とでアナログゲイン（ランプ信号の傾き）を変更するために、ランプ信号の開始電圧（LGランプ信号開始電圧とHGラン

プ信号開始電圧)を異なるレベルに設定する必要があった。すなわち、L G期間とH G期間とで、ランプ信号の開始電圧の電圧軸方向を変化させることで、アナログゲインを変更していた。

[0086] 図8のBは、本開示に係る技術を用いて、L G期間とH G期間とでアナログゲイン(ランプ信号の傾き)を変更する例を示している。同B図においては、デフォルトのクロック信号CLK__0に従って生成される低いアナログゲイン(大きい傾き)のランプ信号(L Gランプ信号)と、クロック信号CLK__0を4分周したクロック信号CLK__1Nに従って生成される高いアナログゲイン(小さい傾き)のランプ信号(H Gランプ信号)が示されている。

[0087] 本開示に係る技術においては、B図に示されるように、異なる分周比(周波数)のクロック信号に基づいて、L G期間とH G期間とでアナログゲイン(ランプ信号の傾き)を変更することができる。具体的には、クロック信号を分周することで1クロックの時間が延びた分、ランプ信号の傾きが緩やかになり、結果として、(B図の例では4倍(+12dB)に)アナログゲインが変更される。すなわち、本開示に係る技術においては、L G期間とH G期間とで、クロック信号の時間軸方向を変化させることで、アナログゲインを変更することができる。これにより、L G期間とH G期間とで、ランプ信号の開始電圧を同一レベルとすることができる。

[0088] なお、固体撮像装置1においては、異なる分周比(周波数)のクロック信号を出力する構成として、分周器212とセクタ213が新たに設けられるようにした。分周器212とセクタ213はいずれも論理回路からなるため、分周器212とセクタ213が新たに設けたとしても、その回路面積を小さく抑えることができる。したがって、回路面積の増大を抑えつつ、アナログゲインを変更する構成を実現することができる。

[0089] 以上の動作によれば、固体撮像装置1において、ランプ信号生成回路や比較器の回路面積と消費電力の増大を抑えつつ、サンプリングされた画素信号に対して、異なるアナログゲインでAD変換を行うことが可能となった。結

果として、被写体に高照度領域と低照度領域が混在している場合においても、適切なアナログゲインの信号を選択することで、ダイナミックレンジを拡大することが可能となる。

[0090] <4. 終端抵抗と出力電流の調整>

図9は、ランプ信号生成回路214の回路構成例の概略を示す図である。

[0091] 詳細な説明については省略するが、図9に示されるランプ信号生成回路214は、基準電流側の電流源となるトランジスタと、出力電流側の電流源となるトランジスタから形成されるカレントミラー回路CMRを含むように構成される。

[0092] 基準電流側のトランジスタ数を n 、出力電流側のトランジスタ数を m 、基準電流を I_{ref} とすると、出力電流は、電流ミラー比 m/n を用いて、 $m/n \times I_{ref}$ で表される。また、出力端子に接続される終端抵抗を R とすると、出力電圧となるランプ信号 V_{ref} は、 $V_{ref} = R \times (m/n \times I_{ref})$ で表される。

[0093] ここで、図9に示されるランプ信号生成回路214においては、終端抵抗 R や電流ミラー比 m/n を調整することで、ノイズの大きさや消費電力の大きさを調整することができる。具体的には、終端抵抗 R を小さくすればノイズを小さくすることができ、電流ミラー比 m/n を小さくできれば消費電力を小さくすることができる。

[0094] しかしながら、上述したように、LG期間とHG期間とで、ランプ信号 V_{ref} の開始電圧は同一レベルである必要がある。

[0095] そこで、本開示に係る技術を適用した固体撮像装置1においては、ランプ信号生成回路214が、LG期間とHG期間とで、ランプ信号 V_{ref} の開始電圧が一定となるよう、ランプ信号 V_{ref} を決定している終端抵抗 R と、電流ミラー比 m/n （終端抵抗 R に流れる出力電流 $m/n \times I_{ref}$ ）を調整する。

[0096] このとき、ノイズの大きさと消費電力の大きさはトレードオフの関係となる。すなわち、終端抵抗 R を小さくした場合、ノイズを小さくできるもの

の、電流ミラー比 m/n を大きくする必要があるため、消費電力は大きくなる。また、電流ミラー比 m/n を小さくした場合、消費電力を小さくできるものの、終端抵抗 R を大きくする必要があるため、ノイズは大きくなる。

[0097] このようにして、要求に応じて、終端抵抗 R と電流ミラー比 m/n を調整することで、ノイズの低減や消費電力の抑制が可能となる。

[0098] また、終端抵抗 R と電流ミラー比 m/n は、タイミング制御部211による制御に基づいて、LG期間とHG期間の切り替えのタイミングに合わせて調整されてもよい。

[0099] 具体的には、図10のタイミングチャートに示されるように、ランプ信号生成回路214が、セクタ213の動作に連動して、すなわち、クロック信号の周波数の切り替えに応じて、終端抵抗 R と電流ミラー比 m/n （出力電流）の比率を一定としたままで、終端抵抗 R と電流ミラー比 m/n を調整してもよい。

[0100] 図10の例では、高照度領域に適したアナログゲインが設定されるLG期間では、電流ミラー比 m/n を小さくしつつ、終端抵抗 R を大きくすることで、終端抵抗 R と電流ミラー比 m/n の比率を一定としている。この場合、ノイズは大きくなるものの、消費電力を小さくすることができる。

[0101] また、低照度領域に適したアナログゲインが設定されるHG期間では、終端抵抗 R を小さくしつつ、電流ミラー比 m/n を大きくすることで、終端抵抗 R と電流ミラー比 m/n の比率を一定としている。この場合、消費電力は大きくなるものの、ノイズを小さくすることができる。

[0102] <5. 帯域制限容量によるリニアリティの改善>

上述したように、比較器221において、電源線 VDD と出力端子（ COM_Out ）との間には、LPFとしての帯域制限容量が設けられる。

[0103] 図11は、帯域制限容量とカットオフ周波数の関係を示す図である。

[0104] 図11に示されるように、帯域制限容量が小さい場合、LPFにおけるカットオフ周波数は高くなり、帯域制限容量が大きい場合、LPFにおけるカットオフ周波数は低くなる。

[0105] 一方で、ランプ信号生成回路 2 1 4 に入力されるクロック信号の分周比が大きくなるにつれ（周波数が低くなるにつれ）、比較器 2 2 1 に入力されるランプ信号のリニアリティは悪化する。この場合、比較器 2 2 1 においては、帯域制限容量を大きく（カットオフ周波数を低く）することで、ランプ信号のリニアリティを改善することができる。

[0106] 図 1 2 に示されるように、クロック信号 CLK__0 を 4 分周したクロック信号 CLK__1 N に従って生成される H G ランプ信号が比較器 2 2 1 に入力された場合、帯域制限容量が小さい（カットオフ周波数が高い）と、H G ランプ信号のリニアリティの改善の度合いは小さい。一方、帯域制限容量が大きく（カットオフ周波数を低く）することで、H G ランプ信号のリニアリティの改善を図ることができる。

[0107] また、図 1 3 に示されるように、比較器 2 2 1 に設けられる帯域制限容量を、容量値を変更可能な帯域制限容量 CV（可変容量）としてもよい。この場合、帯域制限容量 CV の容量値は、タイミング制御部 2 1 1 による制御に基づいて、L G 期間と H G 期間の切り替えのタイミングに合わせて調整されてもよい。

[0108] 具体的には、図 1 4 のタイミングチャートに示されるように、比較器 2 2 1 が、セクタ 2 1 3 の動作に連動して、すなわち、クロック信号の周波数の切り替えに応じて、帯域制限容量 CV の容量値を変更してもよい。

[0109] 図 1 4 の例では、ランプ信号のリニアリティに問題のない L G 期間では、帯域制限容量 CV の容量値を小さくする一方、ランプ信号のリニアリティが悪化する H G 期間では、帯域制限容量 CV の容量値を大きくする。これにより、H G 期間におけるランプ信号のリニアリティの改善を図ることができる。

[0110] < 6. 変形例 >

例えば、ランプ信号生成回路 2 1 4 は、クロック信号 CLK__1 N の周波数に応じて、3 種類の傾きを有するランプ信号を生成してもよい。

[0111] 具体的には、クロック信号 CLK__1 N として、セクタ 2 1 3 から第 1

の周波数のクロック信号が入力された場合、ランプ信号生成回路 2 1 4 は、第 1 の周波数のクロック信号に基づいて、第 1 のランプ信号を生成する。クロック信号 CLK__IN として、セクタ 2 1 3 から第 1 の周波数とは異なる第 2 の周波数のクロック信号が入力された場合、ランプ信号生成回路 2 1 4 は、第 2 の周波数のクロック信号に基づいて、第 1 のランプ信号とは異なる傾きの第 2 のランプ信号を生成する。さらに、クロック信号 CLK__IN として、セクタ 2 1 3 から第 1 の周波数および第 2 の周波数とは異なる第 3 の周波数のクロック信号が入力された場合、ランプ信号生成回路 2 1 4 は、第 3 の周波数のクロック信号に基づいて、第 1 のランプ信号および第 2 のランプ信号とは異なる傾きの第 3 のランプ信号を生成する。

[0112] この場合、参照信号生成部 2 1 0 と ADC 2 2 0 の動作においては、図 1 5 に示されるように、高周波数のクロック信号 CLK__IN が出力される LG 期間と、低周波数のクロック信号 CLK__IN が出力される HG 期間に加え、中域の周波数のクロック信号 CLK__IN が出力される MG (Middle Gain) 期間を設けるようにする。

[0113] 具体的には、固体撮像装置 1 は、A Z 動作を実行後、高周波数のクロック信号 CLK__IN が出力される LG 期間でのリセット動作 (P 相 (LG)) を行う。

[0114] 時刻 t_{11} において、セクタ 2 1 3 が切り替わり、中域の周波数のクロック信号 CLK__IN が出力される MG 期間に遷移する。ここでは、固体撮像装置 1 は、MG 期間でのリセット動作 (P 相 (MG)) を行う。

[0115] 時刻 t_{12} において、セクタ 2 1 3 が切り替わり、低周波数のクロック信号 CLK__IN が出力される HG 期間に遷移する。ここでは、固体撮像装置 1 は、HG 期間でのリセット動作 (P 相 (HG)) と信号出力 (D 相 (HG)) を行う。

[0116] 時刻 t_{13} において、セクタ 2 1 3 が切り替わり、再び、中域の周波数のクロック信号 CLK__IN が出力される MG 期間に遷移する。ここでは、固体撮像装置 1 は、MG 期間での信号出力 (D 相 (MG)) を行う。

[0117] そして、時刻 t_{14} において、セクタ 213 が切り替わり、再び、高周波数のクロック信号 CLK_{IN} が出力される LG 期間に遷移する。ここでは、固体撮像装置 1 は、 LG 期間での信号出力（ D 相（ LG ））を行う。

[0118] 以上のような動作によれば、被写体に高照度領域、中照度領域、低照度領域が混在している場合において、適切なアナログゲインの信号を選択することを、ランプ信号生成回路や比較器の回路面積と消費電力の増大を抑えた構成で実現することが可能となる。

[0119] なお、上述した例に限らず、ランプ信号生成回路 214 は、クロック信号 CLK_{IN} の周波数に応じて、複数種類の傾きを有するランプ信号を生成することが可能である。

[0120] < 7. 電子機器の構成例 >

本開示に係る技術は、固体撮像装置への適用に限られるものではない。すなわち、本開示に係る技術は、デジタルスチルカメラやビデオカメラなどの撮像装置や、撮像機能を有する携帯端末装置、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0121] 図 16 は、本開示に係る技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0122] 図 16 の撮像装置 500 は、レンズ群などからなる光学部 501、図 1 の固体撮像装置 1 の構成が採用される固体撮像装置（撮像デバイス）502、および、カメラ信号処理回路である DSP（Digital Signal Processor）回路 503 を備える。また、撮像装置 500 は、フレームメモリ 504、表示部 505、記録部 506、操作部 507、および電源部 508 も備える。DSP 回路 503、フレームメモリ 504、表示部 505、記録部 506、操作部 507、および電源部 508 は、バスライン 509 を介して相互に接続

されている。

[0123] 光学部501は、被写体からの入射光（像光）を取り込んで固体撮像装置502の撮像面上に結像する。固体撮像装置502は、光学部501によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置502として、図1の固体撮像装置1、すなわち、異なる分周比（周波数）のクロック信号に基づいて、アナログゲイン（ランプ信号の傾き）を変更する固体撮像装置などを用いることができる。

[0124] 表示部505は、例えば、LCD（Liquid Crystal Display）や有機EL（Electro Luminescence）ディスプレイなどの薄型ディスプレイで構成され、固体撮像装置502で撮像された動画または静止画を表示する。記録部506は、固体撮像装置502で撮像された動画または静止画を、ハードディスクや半導体メモリなどの記録媒体に記録する。

[0125] 操作部507は、ユーザによる操作の下、撮像装置500が持つ様々な機能について操作指令を発する。電源部508は、DSP回路503、フレームメモリ504、表示部505、記録部506、および操作部507の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0126] 上述したように、固体撮像装置502として、上述した実施の形態を適用した固体撮像装置1を用いることで、固体撮像装置502において、ランプ信号生成回路や比較器の回路面積と消費電力の増大を抑えることができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機などのモバイル機器向けカメラモジュールなどの撮像装置500においても、装置の小型化や消費電力の低減を図ることができる。

[0127] 本開示に係る技術は、上述したイメージセンサとしての固体撮像装置の他、ToF（Time of Flight）センサともよばれる距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射され返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間

に基づいて物体までの距離を算出するセンサである。

[0128] 本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0129] さらに、本開示に係る技術は以下のような構成をとることができる。

(1)

入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、
、
参照信号を生成する参照信号生成部と、
画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器と
と
を備え、
前記参照信号生成部は、
クロック信号を生成するクロック信号生成部と、
前記クロック信号を分周する分周器と、
異なる周波数の前記クロック信号を切り替えて出力するセレクトと、
前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路と
を有する
光検出装置。

(2)

前記参照信号生成回路は、
第1の周波数の前記クロック信号に基づいて、第1の参照信号を生成し
、
第2の周波数の前記クロック信号に基づいて、前記第1の参照信号とは異なる傾きの第2の参照信号を生成する

(1)に記載の光検出装置。

(3)

前記参照信号生成回路は、

第3の周波数の前記クロック信号に基づいて、前記第1の参照信号および前記第2の参照信号とは異なる傾きの第3の参照信号をさらに生成する

(2)に記載の光検出装置。

(4)

前記セレクトは、1水平期間内で前記クロック信号の周波数を切り替えて出力する

(1)乃至(3)のいずれかに記載の光検出装置。

(5)

前記参照信号生成回路は、前記参照信号の開始電圧が一定となるよう、前記参照信号を出力する出力端子に接続された終端抵抗と、前記終端抵抗に流れる出力電流を調整する

(1)乃至(4)のいずれかに記載の光検出装置。

(6)

前記参照信号生成回路は、前記クロック信号の周波数の切り替えに応じて、前記終端抵抗と前記出力電流の比率を一定としたままで、前記終端抵抗と前記出力電流を調整する

(5)に記載の光検出装置。

(7)

前記比較器は、電源線と、比較結果を出力する出力端子との間に、帯域制限容量を有する

(1)乃至(6)のいずれかに記載の光検出装置。

(8)

前記比較器は、前記クロック信号の周波数の切り替えに応じて、前記帯域制限容量の容量値を変更する

(7)に記載の光検出装置。

(9)

前記比較器を有し、異なる傾きの前記参照信号と前記画素信号との比較結果に基づいて、前記画素信号のA/D (Analog to Digital) 変換を行うことで

、異なるデジタル信号を出力するA D変換回路と、

前記デジタル信号のいずれかを選択して、画像データとして出力する出力回路と

をさらに備える

(1)乃至(8)のいずれかに記載の光検出装置。

(10)

前記出力回路は、所定の閾値に基づいて、前記デジタル信号のいずれかを選択する

(9)に記載の光検出装置。

(11)

前記比較器を有し、異なる傾きの前記参照信号と前記画素信号との比較結果に基づいて、前記画素信号のA D (Analog to Digital) 変換を行うことで、異なるデジタル信号を出力するA D変換回路と、

異なる前記デジタル信号を合成して、画像データとして出力する出力回路と

をさらに備える

(1)乃至(8)のいずれかに記載の光検出装置。

(12)

入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、

参照信号を生成する参照信号生成部と、

画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器と

を備え、

前記参照信号生成部は、

クロック信号を生成するクロック信号生成部と、

前記クロック信号を分周する分周器と、

異なる周波数の前記クロック信号を切り替えて出力するセレクトと、

前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路と

を有する

光検出装置

を備える電子機器。

符号の説明

[0130] 1 固体撮像装置, 10 画素アレイ部, 11 画素, 20 周辺回路, 21 垂直駆動回路, 22 AD変換回路, 23 水平駆動回路, 24 システム制御回路, 25 出力回路, 210 参照信号生成部, 211 タイミング制御部, 212 分周器, 213 セレクタ, 214 ランプ信号生成回路, 220 ADC, 221 比較器, 222 カウンタ, 223 メモリ, C1, C2 入力容量, C3 帯域制限容量, CMR カレントミラー回路, CV 帯域制限容量

請求の範囲

- [請求項1] 入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、
参照信号を生成する参照信号生成部と、
画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器と
を備え、
前記参照信号生成部は、
クロック信号を生成するクロック信号生成部と、
前記クロック信号を分周する分周器と、
異なる周波数の前記クロック信号を切り替えて出力するセレクタと、
前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路と
を有する
光検出装置。
- [請求項2] 前記参照信号生成回路は、
第1の周波数の前記クロック信号に基づいて、第1の参照信号を生成し、
第2の周波数の前記クロック信号に基づいて、前記第1の参照信号とは異なる傾きの第2の参照信号を生成する
請求項1に記載の光検出装置。
- [請求項3] 前記参照信号生成回路は、
第3の周波数の前記クロック信号に基づいて、前記第1の参照信号および前記第2の参照信号とは異なる傾きの第3の参照信号をさらに生成する
請求項2に記載の光検出装置。
- [請求項4] 前記セレクタは、1水平期間内で前記クロック信号の周波数を切り

替えて出力する

請求項 1 に記載の光検出装置。

[請求項5] 前記参照信号生成回路は、前記参照信号の開始電圧が一定となるよう、前記参照信号を出力する出力端子に接続された終端抵抗と、前記終端抵抗に流れる出力電流を調整する

請求項 1 に記載の光検出装置。

[請求項6] 前記参照信号生成回路は、前記クロック信号の周波数の切り替えに応じて、前記終端抵抗と前記出力電流の比率を一定としたままで、前記終端抵抗と前記出力電流を調整する

請求項 5 に記載の光検出装置。

[請求項7] 前記比較器は、電源線と、比較結果を出力する出力端子との間に、帯域制限容量を有する

請求項 1 に記載の光検出装置。

[請求項8] 前記比較器は、前記クロック信号の周波数の切り替えに応じて、前記帯域制限容量の容量値を変更する

請求項 7 に記載の光検出装置。

[請求項9] 前記比較器を有し、異なる傾きの前記参照信号と前記画素信号との比較結果に基づいて、前記画素信号の A D (Analog to Digital) 変換を行うことで、異なるデジタル信号を出力する A D 変換回路と、

前記デジタル信号のいずれかを選択して、画像データとして出力する出力回路と

をさらに備える

請求項 1 に記載の光検出装置。

[請求項10] 前記出力回路は、所定の閾値に基づいて、前記デジタル信号のいずれかを選択する

請求項 9 に記載の光検出装置。

[請求項11] 前記比較器を有し、異なる傾きの前記参照信号と前記画素信号との比較結果に基づいて、前記画素信号の A D (Analog to Digital) 変

換を行うことで、異なるデジタル信号を出力するA/D変換回路と、
異なる前記デジタル信号を合成して、画像データとして出力する出力回路と

をさらに備える

請求項1に記載の光検出装置。

[請求項12] 入射光量に応じた画素信号を出力する複数の画素を有する画素アレイ部と、

参照信号を生成する参照信号生成部と、

画素列毎に設けられた、前記画素信号と前記参照信号とを比較する比較器と

を備え、

前記参照信号生成部は、

クロック信号を生成するクロック信号生成部と、

前記クロック信号を分周する分周器と、

異なる周波数の前記クロック信号を切り替えて出力するセレクトと、

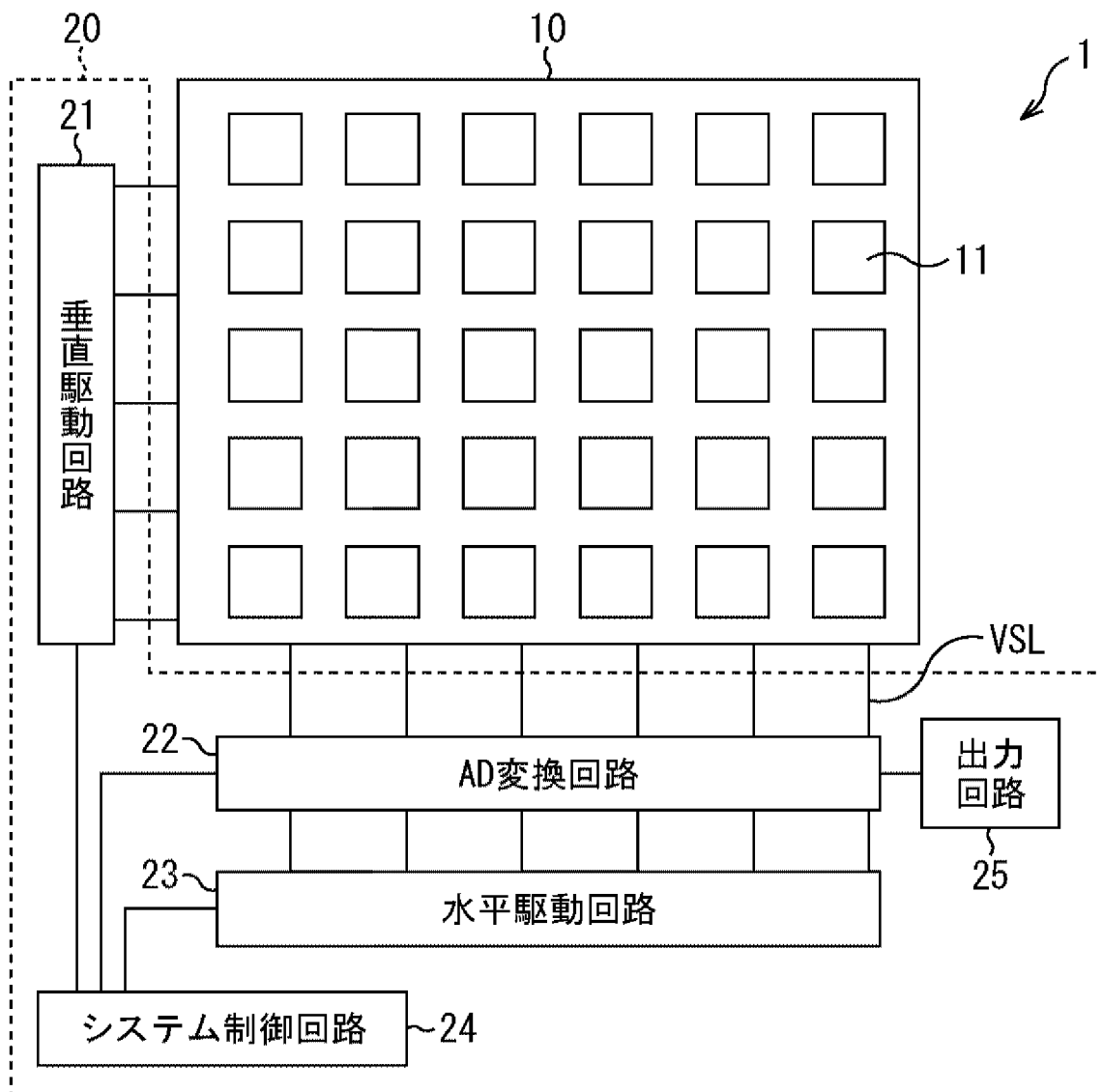
前記クロック信号の周波数に応じて、異なる傾きの前記参照信号を生成する参照信号生成回路と

を有する

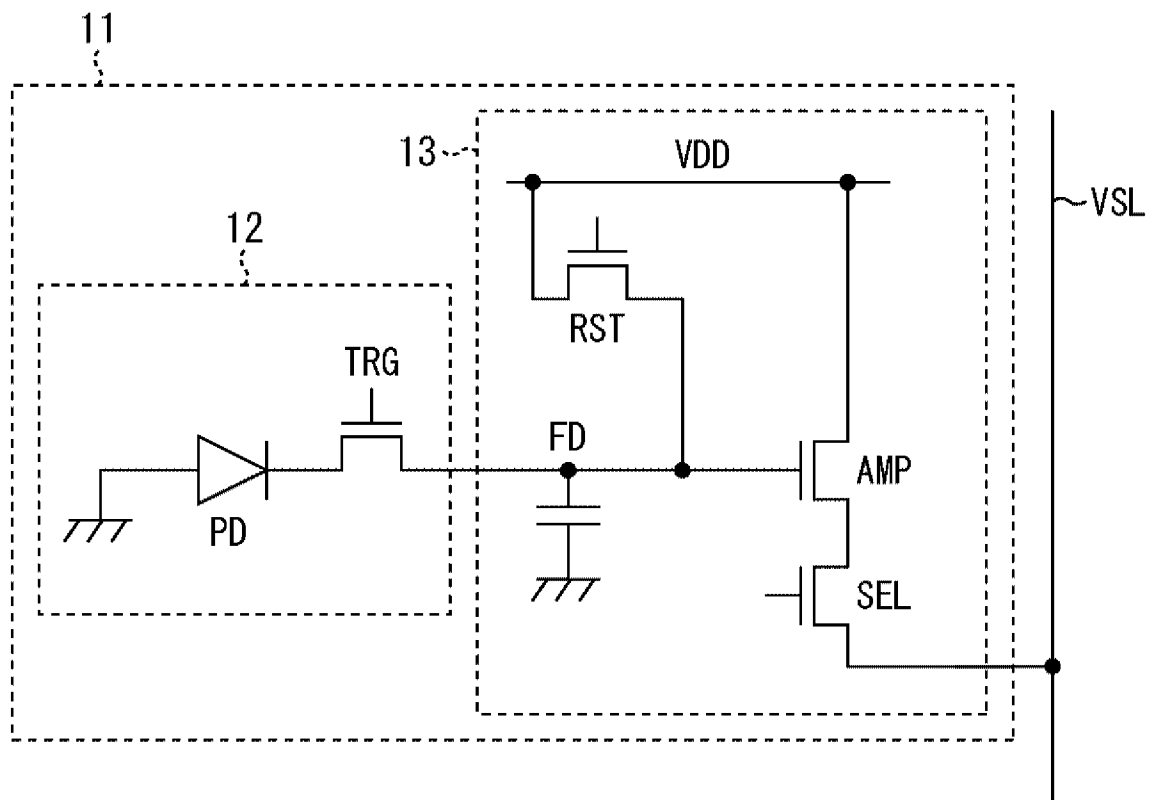
光検出装置

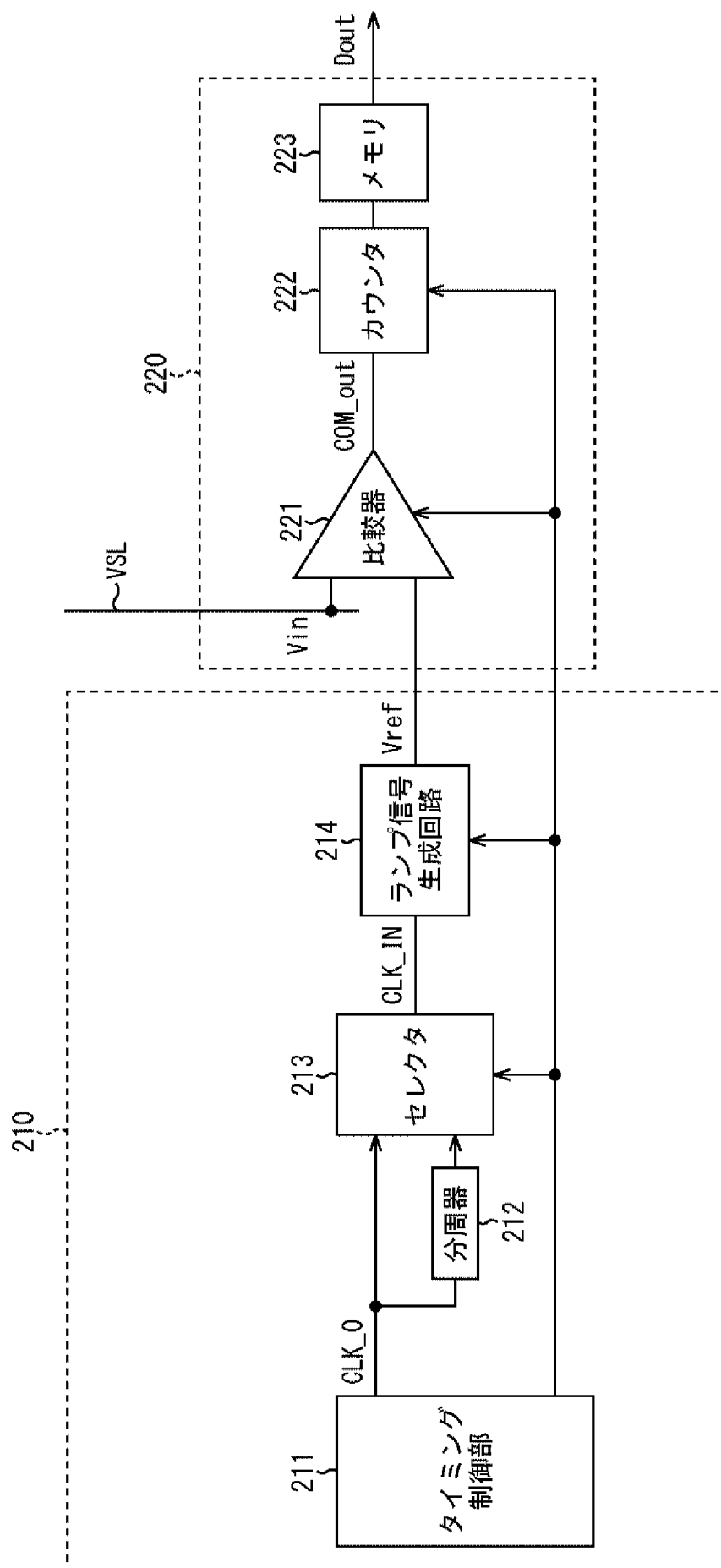
を備える電子機器。

[図1]
FIG. 1



[図2]
FIG. 2



[図3]
FIG. 3

[図4]
FIG. 4

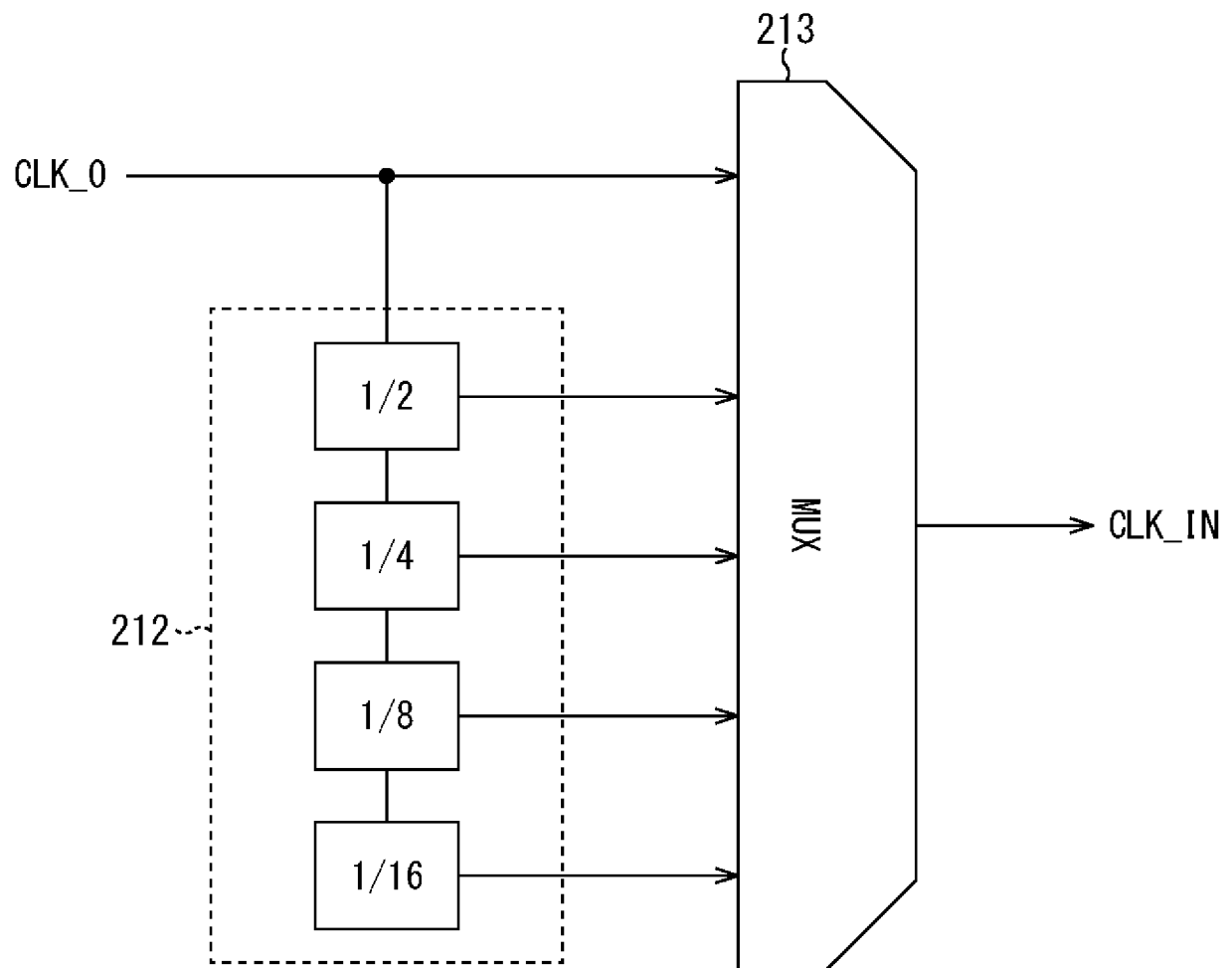
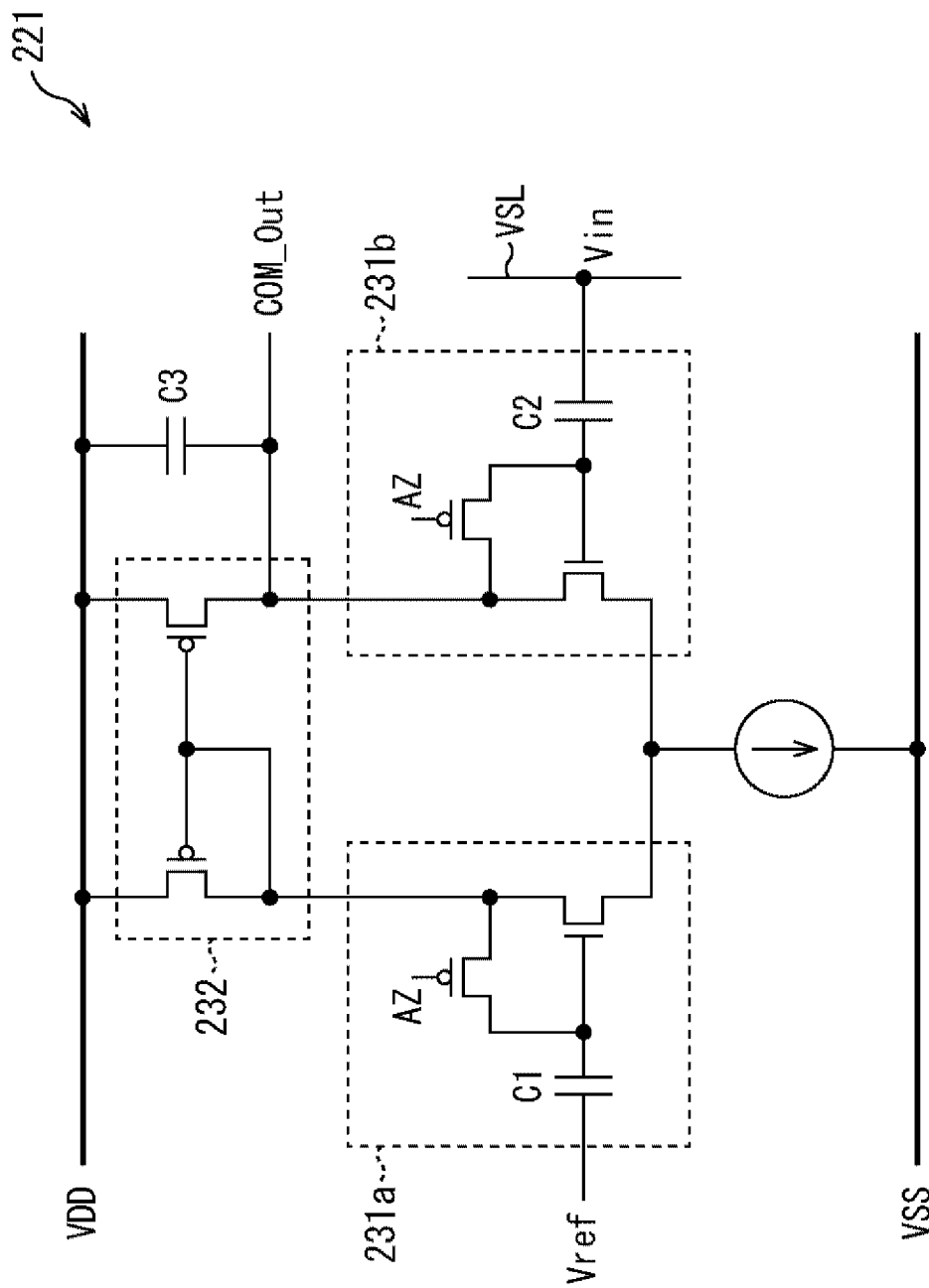
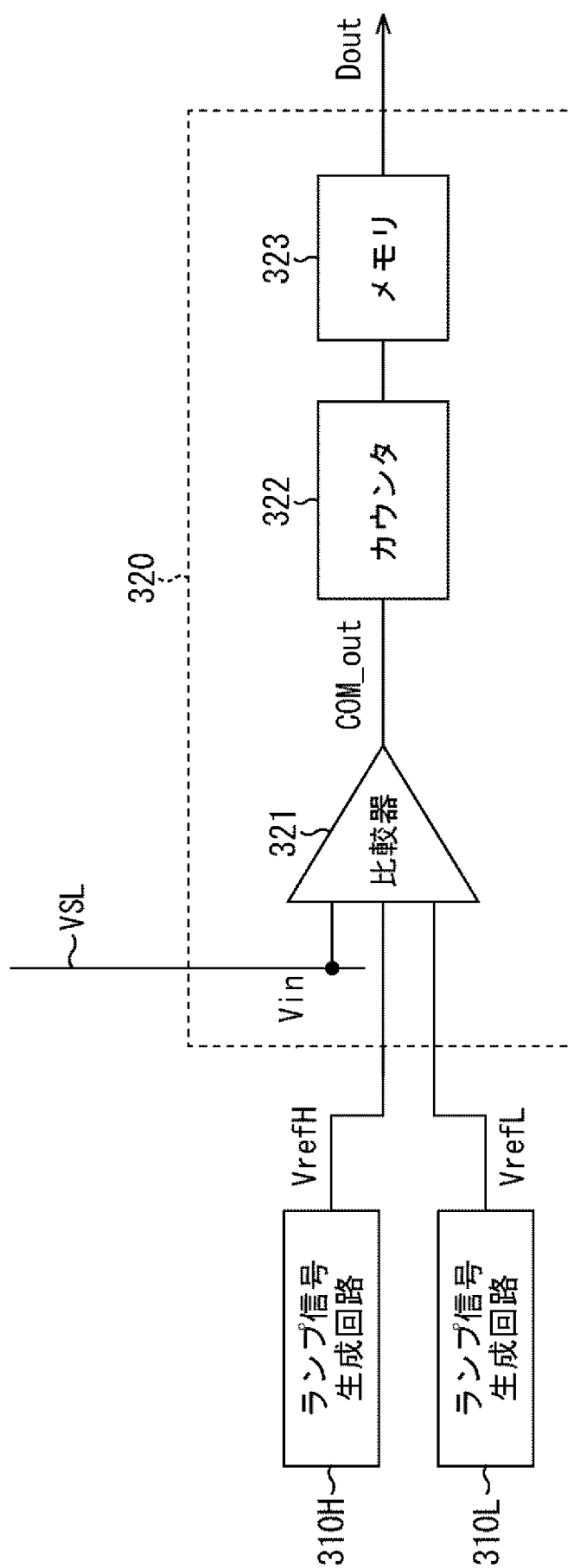
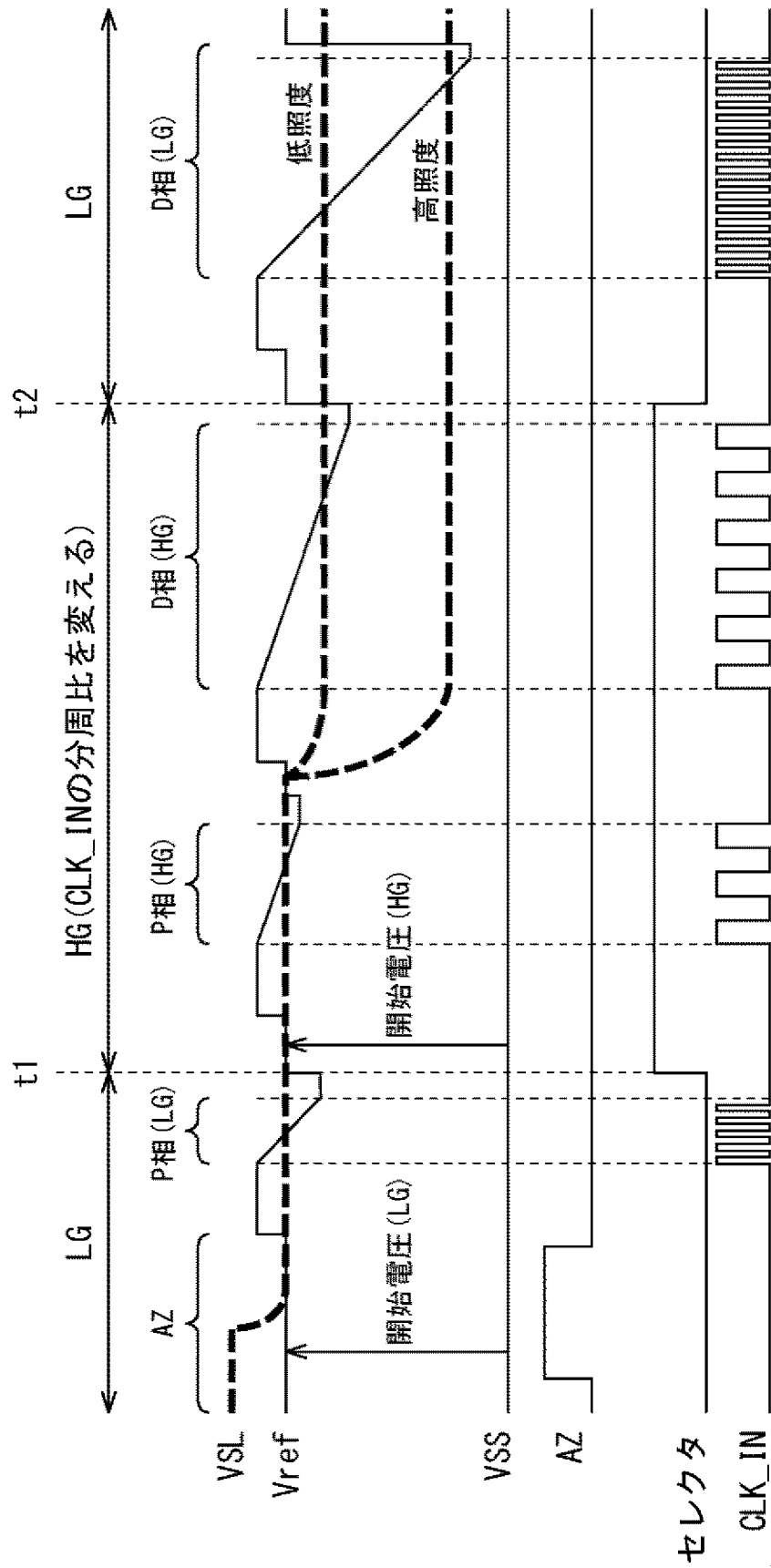


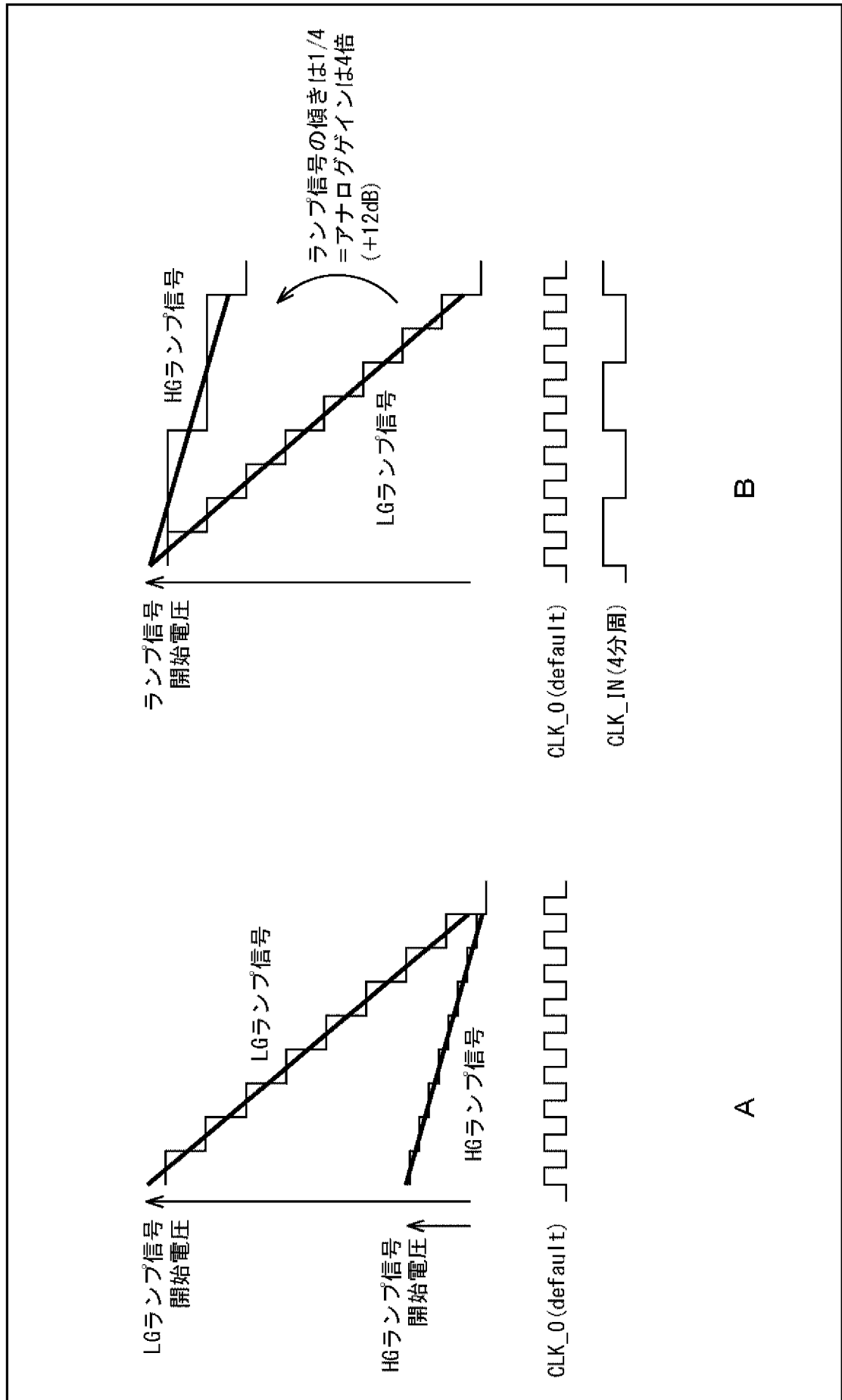
FIG. 5



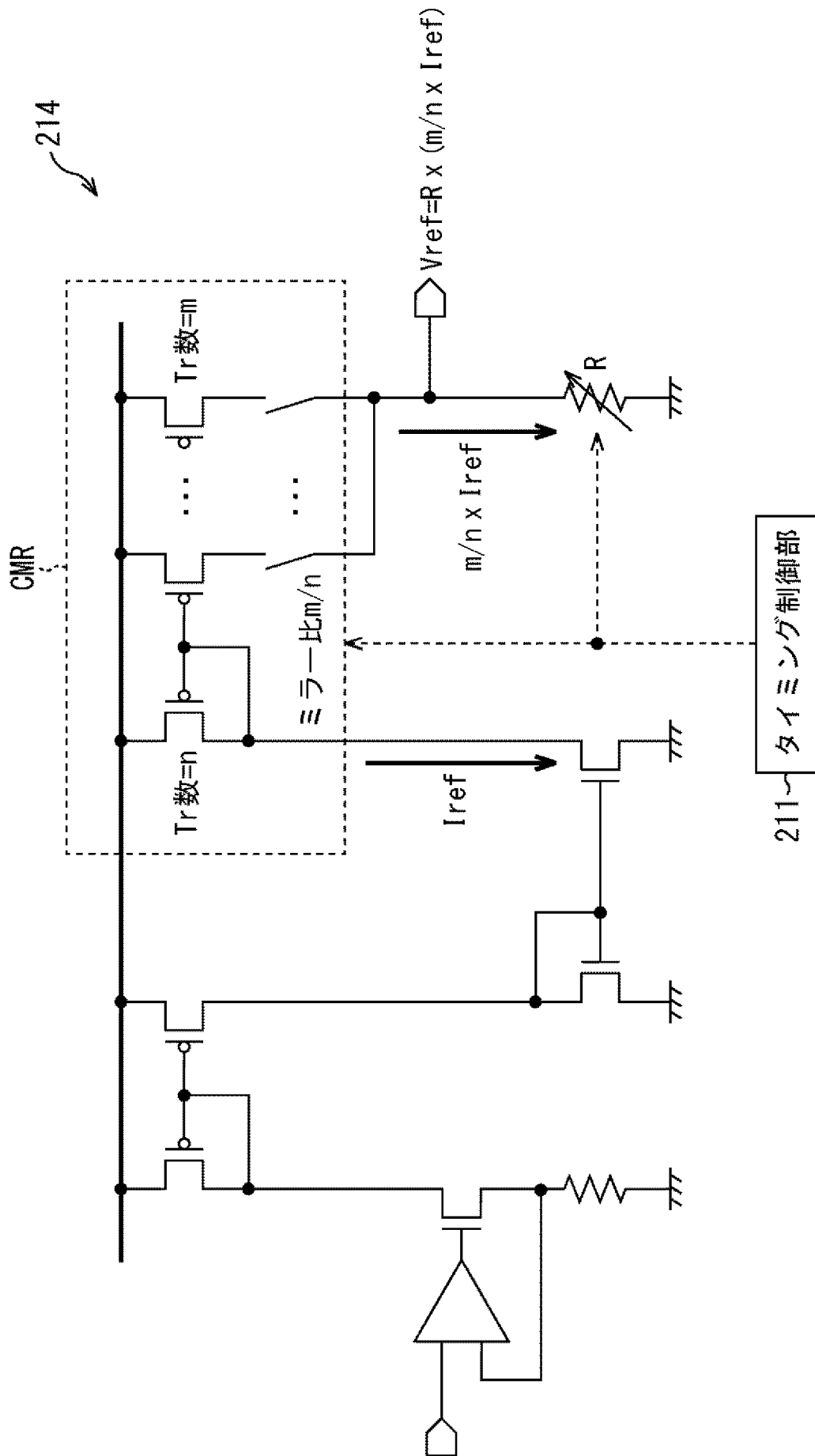
[図6]
FIG. 6



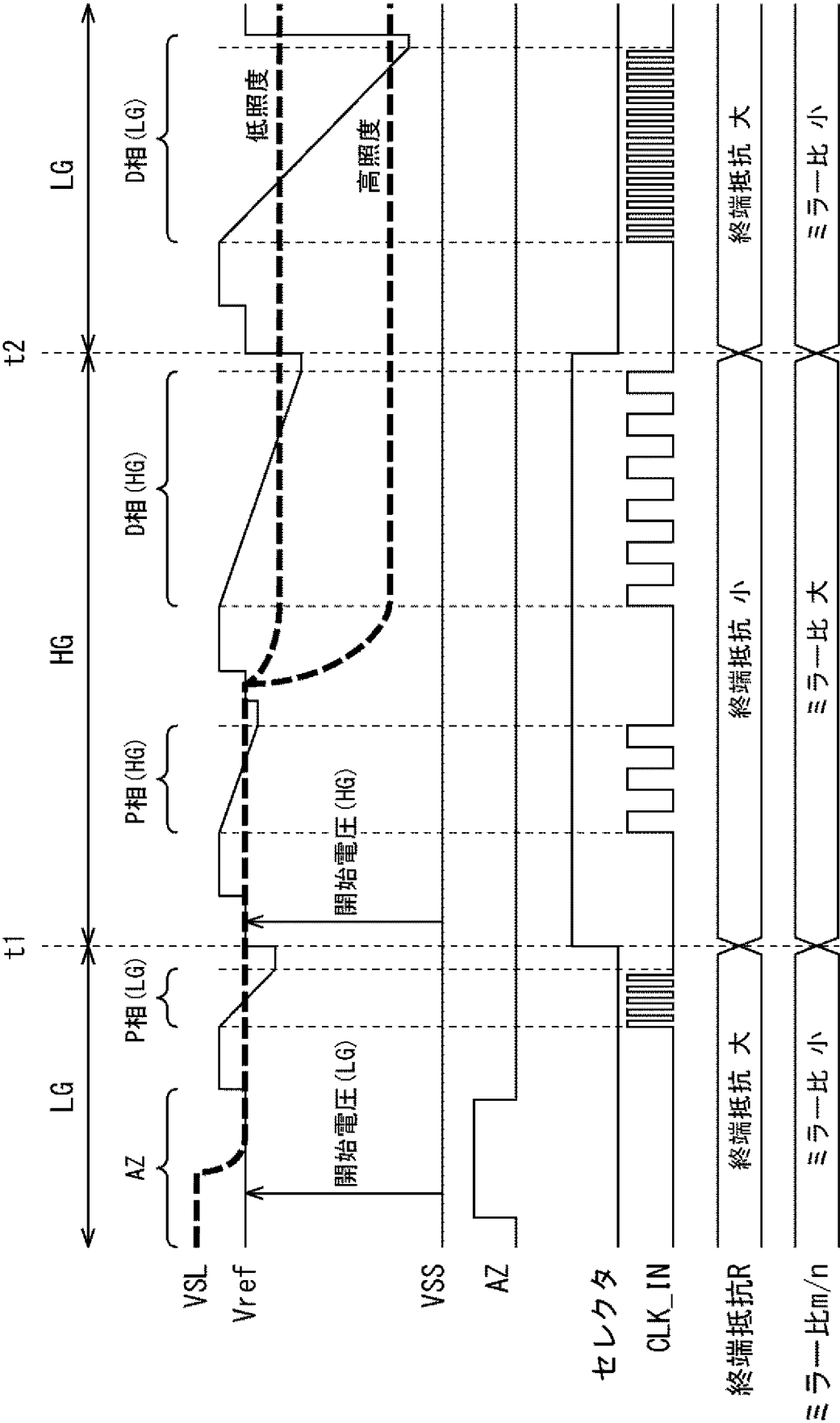
[図7]
FIG. 7

[図8]
FIG. 8

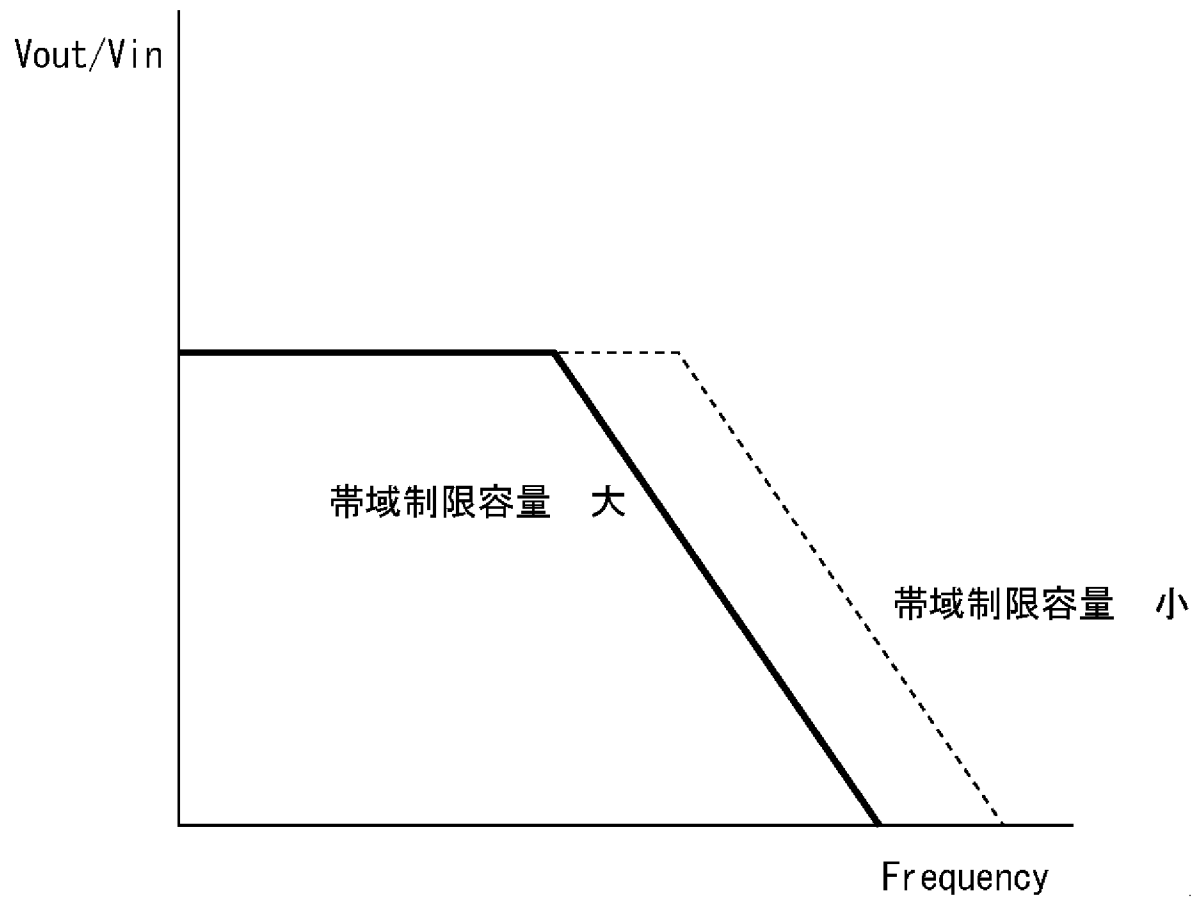
[図9]
FIG. 9



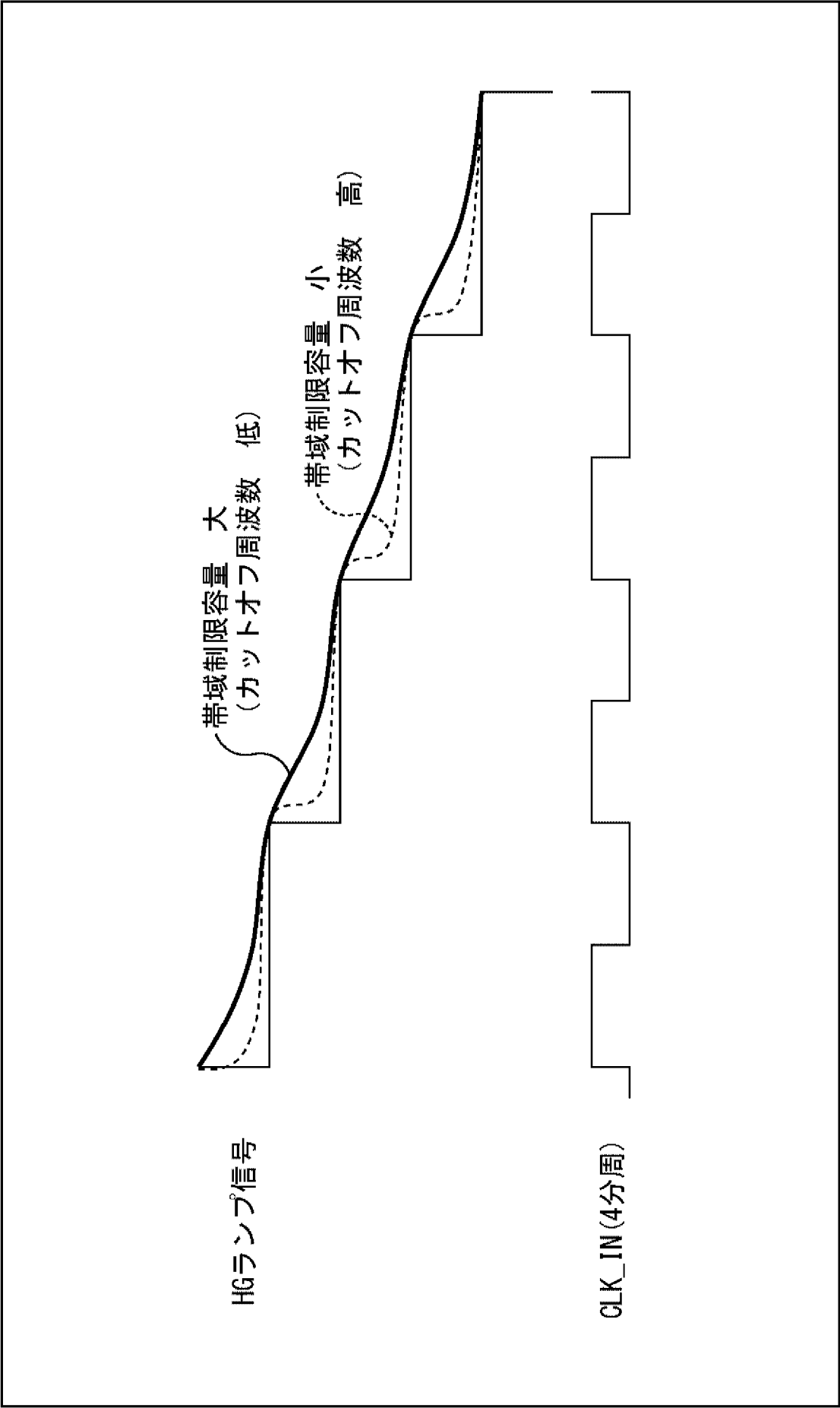
[図10]
FIG. 10



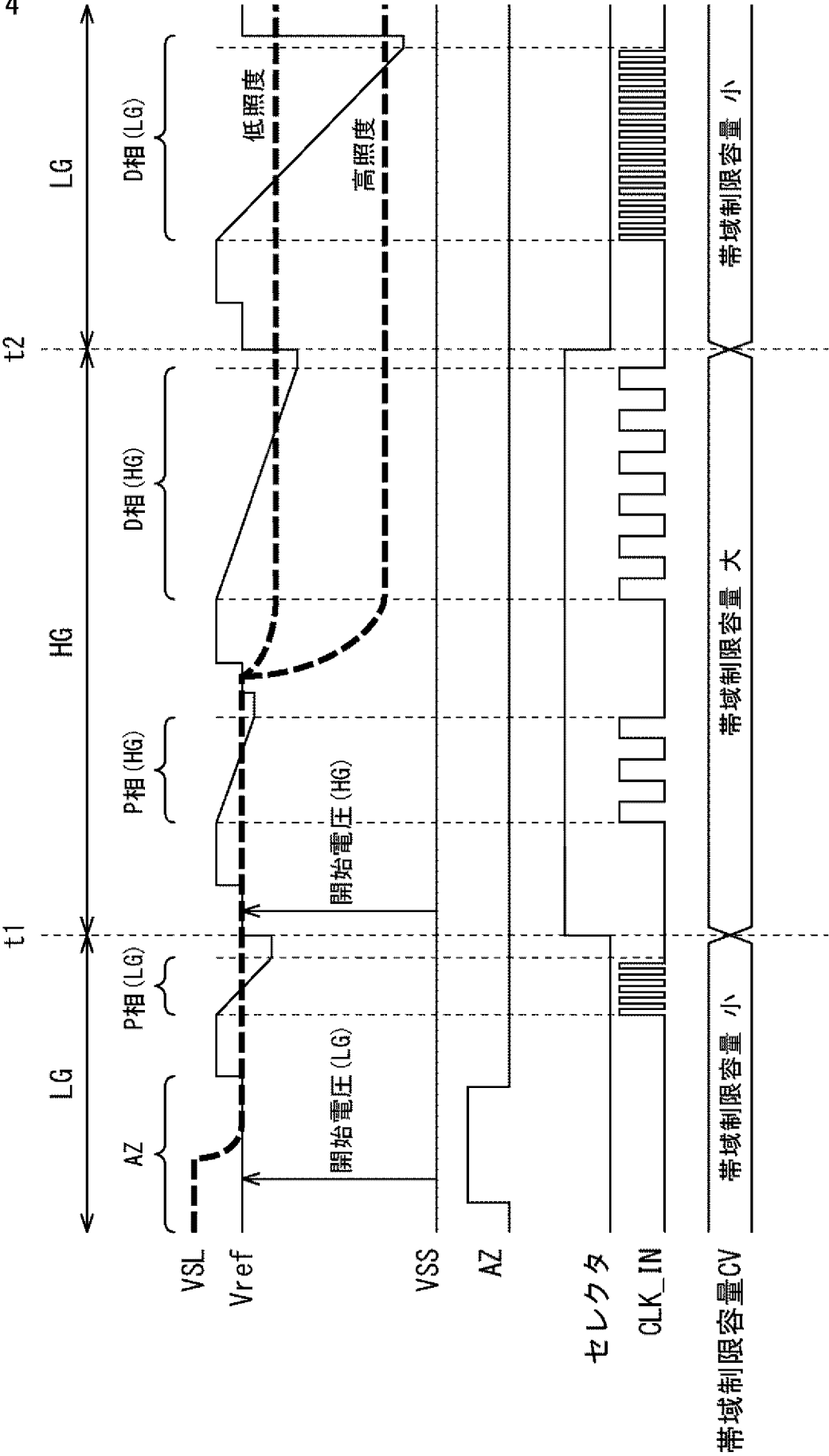
[図11]
FIG. 11



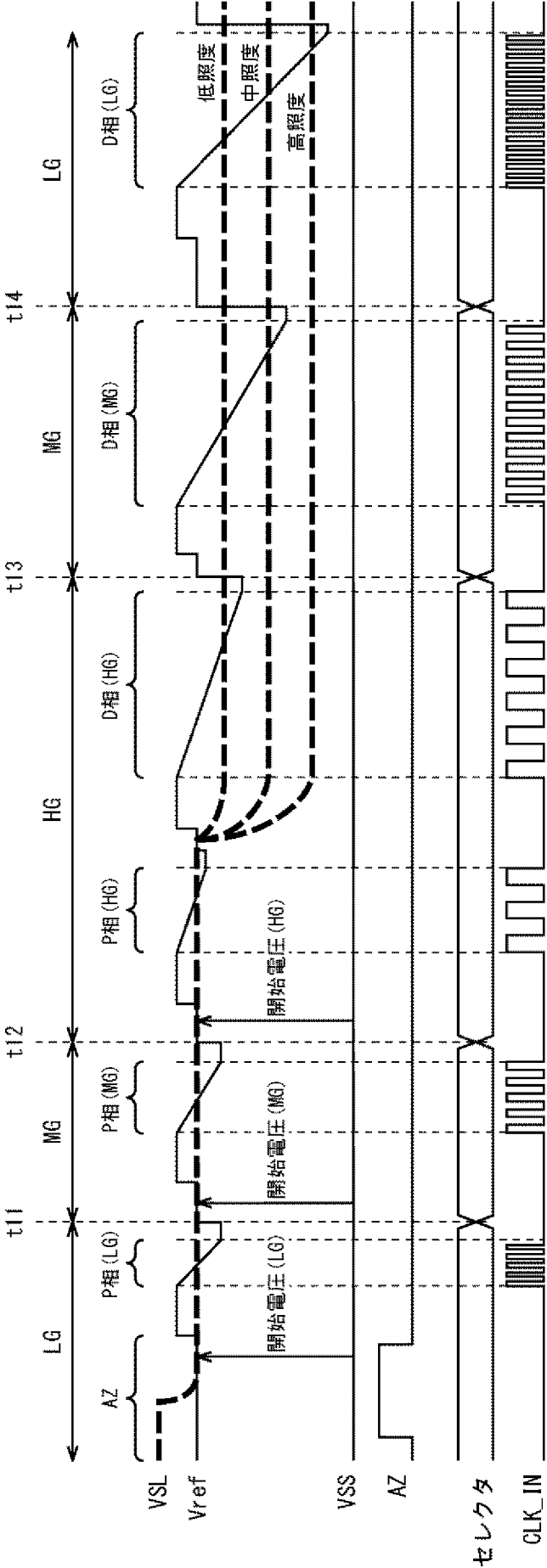
[図12]
FIG. 12



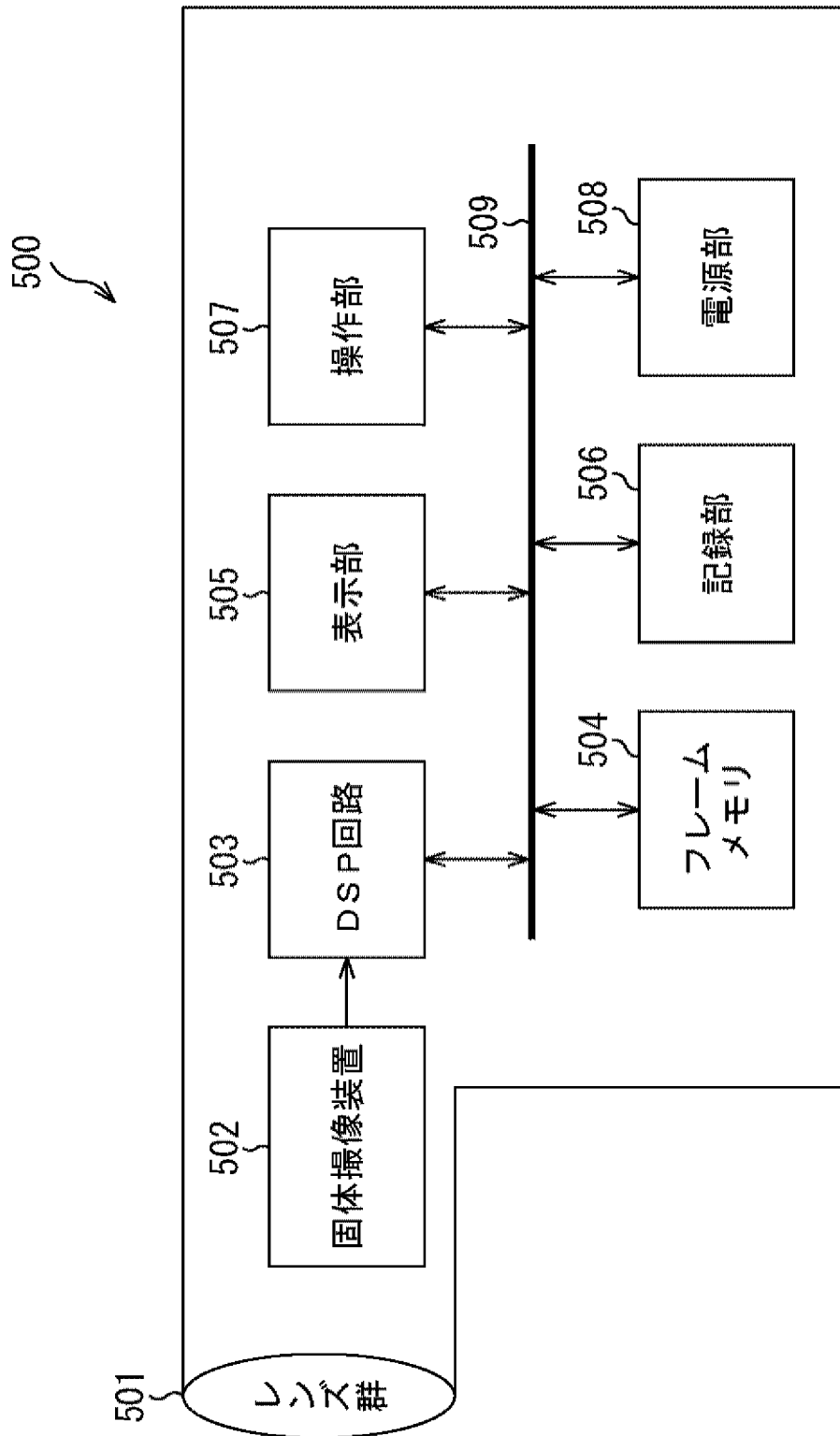
[図14]
FIG. 14



[図15]
FIG. 15



[図16]
FIG. 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/046885

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/70**(2023.01)i; **H04N 25/772**(2023.01)i

FI: H04N25/70; H04N25/772

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/70; H04N25/772

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2024
 Registered utility model specifications of Japan 1996-2024
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-67250 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 06 May 2022 (2022-05-06) paragraphs [0018]-[0024], [0031]-[0040], [0082], fig. 1-4, 6-7, 35	1-4, 7, 9-12
A		5-6, 8
Y	JP 2007-88971 A (SONY CORPORATION) 05 April 2007 (2007-04-05) paragraphs [0103], [0107]-[0108], fig. 2	1-4, 7, 9-12
Y	JP 2010-93641 A (SONY CORPORATION) 22 April 2010 (2010-04-22) paragraph [0059], fig. 10	7

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 March 2024

Date of mailing of the international search report

26 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/046885

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-67250	A	06 May 2022	WO 2022/085476 A1 paragraphs [0018]-[0024], [0031]-[0040], [0082], fig. 1-4, 6-7, 35	
JP	2007-88971	A	05 April 2007	US 2007/0080838 A1 paragraphs [0119], [0123]- [0124], fig. 2 US 2008/0042048 A1 US 2009/0201187 A1 US 2011/0205097 A1 US 2013/0106636 A1	
JP	2010-93641	A	22 April 2010	US 2010/0091167 A1 paragraph [0091], fig. 10 KR 10-2010-0040251 A CN 101719994 A TW 201018223 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/70(2023.01)i; H04N 25/772(2023.01)i

FI: H04N25/70; H04N25/772

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/70; H04N25/772

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-67250 A（ソニーセミコンダクタソリューションズ株式会社）06.05.2022 (2022 - 05 - 06) 段落[0018]-[0024], [0031]-[0040], [0082], 図1-4, 6-7, 35	1-4, 7, 9-12
A		5-6, 8
Y	JP 2007-88971 A（ソニー株式会社）05.04.2007（2007 - 04 - 05） 段落[0103], [0107]-[0108], 図2	1-4, 7, 9-12
Y	JP 2010-93641 A（ソニー株式会社）22.04.2010（2010 - 04 - 22） 段落[0059], 図10	7

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

12. 03. 2024

国際調査報告の発送日

26. 03. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

花田 尚樹 5V 5889

電話番号 03-3581-1101 内線 3571

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/046885

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-67250	A	06.05.2022	WO 2022/085476 A1 段落[0018]-[0024], [0031]-[0040], [0082], 図 1-4, 6-7, 35	
JP	2007-88971	A	05.04.2007	US 2007/0080838 A1 段落[0119], [0123]-[0124], 図2 US 2008/0042048 A1 US 2009/0201187 A1 US 2011/0205097 A1 US 2013/0106636 A1	
JP	2010-93641	A	22.04.2010	US 2010/0091167 A1 段落[0091], 図10 KR 10-2010-0040251 A CN 101719994 A TW 201018223 A	