

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247252

(P2013-247252A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 C	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 2 F	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 5 A	
	H O 1 L 29/78 6 5 5 G	
審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2012-120263 (P2012-120263)	(71) 出願人	301021533
(22) 出願日	平成24年5月25日 (2012. 5. 25)		独立行政法人産業技術総合研究所
			東京都千代田区霞が関 1-3-1
		(71) 出願人	000005234
			富士電機株式会社
			神奈川県川崎市川崎区田辺新田 1 番 1 号
		(74) 代理人	100104190
			弁理士 酒井 昭徳
		(72) 発明者	田中 敦之
			茨城県つくば市東 1-1-1 独立行政法
			人産業技術総合研究所つくばセンター内
		(72) 発明者	岩室 憲幸
			茨城県つくば市東 1-1-1 独立行政法
			人産業技術総合研究所つくばセンター内
最終頁に続く			

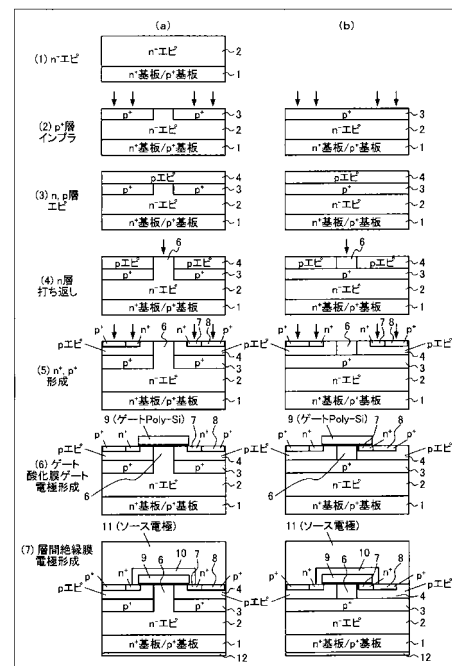
(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【要約】

【課題】高電圧印加時においても、ゲート酸化膜が破壊されることがなく信頼性を有し、低オン抵抗化できること。

【解決手段】炭化珪素半導体装置は、第 1 導電型の半導体基板 1 と、半導体基板 1 上に形成された低不純物濃度の第 1 導電型の半導体層 2 と、第 1 導電型の半導体層 2 に選択的に形成された高不純物濃度の第 2 導電型の半導体層 3 と、第 2 導電型の半導体層 3 の表面に形成された低不純物濃度の第 2 導電型のベース層 4 と、ベース層 4 の表面層に選択的に形成された第 1 導電型のソース領域 7 と、表面からベース層 4 を貫通して第 1 導電型の半導体層 2 に達するように形成された第 1 導電型のウェル領域 6 と、ソース領域 7 とウェル領域 6 とに挟まれたベース層 4 の表面にゲート絶縁膜を介して形成されたゲート電極 9 とを有する。そして、異なるセルのそれぞれの第 2 導電型の半導体層 3 の一部同士を、ウェル領域 6 の下の領域で互いに結合部 3 a により結合させる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

半導体基板内部に半導体装置構造が作り込まれ、前記半導体装置構造に電氣的接触をとるための電極と、外部から前記電極と電氣的接触をとるための電極パッドとを備え、前記電極パッドの下部の前記半導体基板にも前記半導体装置構造が作成された炭化珪素半導体装置であって、

前記半導体装置構造は、

第 1 導電型の半導体基板と、前記半導体基板上に形成された低不純物濃度の第 1 導電型の半導体層と、前記第 1 導電型の半導体層に選択的に形成された高不純物濃度の第 2 導電型の半導体層と、前記第 2 導電型の半導体層の表面に形成された低不純物濃度の第 2 導電型のベース層と、前記ベース層の表面層に選択的に形成された第 1 導電型のソース領域と、表面から前記ベース層を貫通して前記第 1 導電型の半導体層に達するように形成された第 1 導電型のウェル領域と、前記ソース領域と前記ウェル領域とに挟まれた前記ベース層の表面にゲート絶縁膜を介して形成された制御電極とを具備し、

異なるセルのそれぞれの前記第 2 導電型の半導体層の一部同士が、前記ウェル領域の下の領域で互いに結合されていることを特徴とする炭化珪素半導体装置。

【請求項 2】

前記電極パッドがゲートパッドであることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記第 1 導電型の半導体基板の結晶学的面指数は (0 0 0 - 1) 面に対して平行な面もしくは 1 0 度以内に傾いた面であることを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記第 1 導電型の半導体基板の結晶学的面指数は (0 0 0 1) 面に対して平行な面もしくは 1 0 度以内に傾いた面であることを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 5】

前記ゲートパッド部分の前記ソース領域が前記ウェル領域によって、前記ゲートパッドの部分以外の前記半導体装置構造のソース領域と電氣的に結合されていることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の炭化珪素半導体装置。

【請求項 6】

前記ソース領域が第 2 導電型領域に挟まれてなることを特徴とする請求項 5 に記載の炭化珪素半導体装置。

【請求項 7】

前記ゲートパッド部分の前記ソース領域が直線状に形成されたことを特徴とする請求項 5 に記載の炭化珪素半導体装置。

【請求項 8】

前記ゲートパッド部分の前記ソース領域が多角形の網の目状に形成されたことを特徴とする請求項 5 に記載の炭化珪素半導体装置。

【請求項 9】

第 1 導電型の半導体基板と、前記半導体基板上に形成された低不純物濃度の第 1 導電型の半導体層と、前記第 1 導電型の半導体層に選択的に形成された高不純物濃度の第 2 導電型の半導体層と、前記第 2 導電型の半導体層の表面に形成された低不純物濃度の第 2 導電型のベース層と、前記ベース層の表面層に選択的に形成された第 1 導電型のソース領域と、表面から前記ベース層を貫通して前記第 1 導電型の半導体層に達するように形成された第 1 導電型のウェル領域と、前記ソース領域と前記ウェル領域とに挟まれた前記ベース層の表面にゲート絶縁膜を介して形成された制御電極と、を具備し、異なるセルのそれぞれの前記第 2 導電型の半導体層の一部同士が、前記ウェル領域の下の領域で互いに結合された炭化珪素半導体装置であって、

10

20

30

40

50

前記半導体基板上に前記第 1 導電型の半導体層をエピタキシャル成長により形成し、
前記第 1 導電型の半導体層の表面に前記第 2 導電型の半導体層をイオン注入法により選択的に形成し、

前記第 1 導電型の半導体層と前記第 2 導電型の半導体層の上に、前記ベース層をエピタキシャル成長法により形成し、

前記ベース層の表面層に前記ソース領域と、表面から前記ベース層を貫通して前記第 1 導電型の半導体層に達する前記ウェル領域とをイオン注入法により選択的に形成した

ことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、ワイドバンドギャップ材料のひとつである炭化珪素を半導体として用い高耐圧大電流を制御する炭化珪素半導体装置およびその製造方法に関する。

【背景技術】

【0002】

高耐圧、大電流を制御するパワー半導体素子の材料として、従来はシリコン (Si) 単結晶が用いられていた。パワー半導体素子はいくつかの種類があり、用途に合わせてそれらが使い分けられている。例えば、バイポーラトランジスタや IGBT (絶縁ゲート型バイポーラトランジスタ) は、電流密度は多く取れるものの高速でのスイッチングができず、バイポーラトランジスタでは、数 kHz、IGBT では 20 kHz 程度の周波数がある使用限界である。一方、パワー MOSFET は、大電流は取れないものの、数 MHz と高速に使用できる。しかしながら、市場では大電流と高速性を兼ね備えたパワーデバイスへの要求が強く、IGBT やパワー MOSFET の改良に力が注がれてきており、現在では、ほぼ材料限界に近いところまで開発が進んできた。

20

【0003】

図 12 は、一般的な MOSFET の断面図である。n⁺基板 101 上に n⁻ドリフト層 102 を積層形成し、この n⁻ドリフト層 102 上に、p ベース層 103 を形成し、この p ベース層 103 の表面層に選択的に n⁺ソース層 104 を形成している。そして、n⁻ドリフト層 102 と、p ベース層 103、ならびに n⁺ソース層 104 の上に、ゲート絶縁膜 106 を介してゲート電極 107 が形成されている。

30

【0004】

さらに、近年では超接合型 MOSFET が注目を浴びている。図 13 ~ 15 に代表的な素子の断面構造を示す。超接合型 MOSFET は、例えば下記非特許文献 1 が開示され、Cool MOSFET として下記非特許文献 2 が開示されている。これらの技術では、n⁻ドリフト層に縦方向に p 層 110 を柱状構造に形成することで、ソース・ドレイン間の耐圧特性を劣化させることなく、オン抵抗を格段に向上できる。

【0005】

また、パワー半導体素子の観点からの材料検討も行われ、下記非特許文献 3 に開示されているように、炭化珪素 (SiC) が次世代のパワー半導体素子として、低オン電圧、高速・高温特性に優れた素子として最近注目を集めている。この SiC は、化学的に非常に安定な材料であり、バンドギャップが 3 eV と広く、高温でも半導体として極めて安定的に使用できる。また、最大電界強度もシリコンより 1 桁以上大きい。SiC は、シリコンにおける材料限界を超える可能性が大きいことから、パワー半導体用途、例えば、MOSFET の今後の伸長が大きく期待される。そして、そのオン抵抗が小さいことにより、高耐圧特性を維持したまま、より一層の低オン抵抗を有する縦型 SiC - MOSFET が期待されている。

40

【0006】

一般的な SiC - MOSFET の断面構造についても、シリコンと同様 (図 12) に示すものである。n⁻ドリフト層 102 の上に積層された p ベース層 103 の表面層に、選択的に n⁺ソース層 104 を形成し、n⁻ドリフト層 102 と p ベース層 103、ならびに

50

n^+ ソース層 104 の上に、ゲート絶縁膜 106 を介してゲート電極 107 が形成されて、基板 101 の裏面にドレイン電極 108 が形成される。

【0007】

このように形成された SiC-MOSFET は、スイッチングデバイスとして、低オン抵抗で高速スイッチングが可能な素子である。例えば、モータコントロール用インバータや無停電電源装置 (UPS) などの電力変換装置に活用されることが期待されている。SiC は、ワイドバンドギャップ半導体材料であるために、上述したように、破壊電界強度がシリコンの約 10 倍と高く、オン抵抗が十分小さくなることが期待される。

【0008】

また、さらなる低オン抵抗化についての施策について、有効素子面積を広げる上でゲートパッド下の領域にも素子構造を作り込む方法が開示されている (例えば、下記特許文献 1 ~ 5 参照。)。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2010 - 177454 号公報

【特許文献 2】特開 2010 - 87126 号公報

【特許文献 3】特開 2009 - 105177 号公報

【特許文献 4】特開平 8 - 102495 号公報

【特許文献 5】特開平 4 - 239137 号公報

【非特許文献】

【0010】

【非特許文献 1】Fuji-hira et al, JJAP vol. 36 part 1 no. 10, pp. 6254, 1997

【非特許文献 2】Deboy et al, IEEE IEDM 1998, pp. 683

【非特許文献 3】IEEE Transaction on Electron Devices Vol. 36, p. 1811, 1989

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、SiC は、半導体の破壊電界強度がシリコン素子に比べて 10 倍高くなることから、特に、高電圧印加時の酸化膜への電界の負荷もシリコン素子に比べて大きくなる。このため、シリコンパワーデバイスでは酸化膜に大きな電界が加わる前にシリコンの破壊電界強度に達するために問題にならなかったことが SiC では新たに生じる。すなわち、SiC では大きな電界が加わるにより、酸化膜が破壊されることが問題となる。図 12 に示す SiC-MOSFET のゲート酸化膜 106 に大きな電界強度が印加されることとなり、ゲート酸化膜 106 が破壊されると信頼性に大きな問題が生じる。これは、SiC-MOSFET だけでなく、SiC-IGBT でも同様である。

【0012】

また、上述したゲートパッド下の素子は、ゲートパッドと素子外部を接続する際に損傷を受けやすいことから、低オン抵抗化のための構造は具体化されていない。

【0013】

本発明は、上記課題に鑑み、高電圧印加時においても、ゲート酸化膜が破壊されることがなく信頼性を有し、低オン抵抗を有する炭化珪素半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するため、本発明にかかる炭化珪素半導体装置は、半導体基板内部に半導体装置構造が作り込まれ、前記半導体装置構造に電氣的接触をとるための電極と、外部

10

20

30

40

50

から前記電極と電氣的接触をとるための電極パッドとを備え、前記電極パッドの下部の前記半導体基板にも前記半導体装置構造が作成された炭化珪素半導体装置であって、前記半導体装置構造は、第1導電型の半導体基板と、前記半導体基板上に形成された低不純物濃度の第1導電型の半導体層と、前記第1導電型の半導体層に選択的に形成された高不純物濃度の第2導電型の半導体層と、前記第2導電型の半導体層の表面に形成された低不純物濃度の第2導電型のベース層と、前記ベース層の表面層に選択的に形成された第1導電型のソース領域と、表面から前記ベース層を貫通して前記第1導電型の半導体層に達するように形成された第1導電型のウェル領域と、前記ソース領域と前記ウェル領域とに挟まれた前記ベース層の表面にゲート絶縁膜を介して形成された制御電極とを具備し、異なるセルのそれぞれの前記第2導電型の半導体層の一部同士が、前記ウェル領域の下領域で互いに結合されていることを特徴とする。

10

【0015】

また、前記電極パッドがゲートパッドであることを特徴とする。

【0016】

また、前記第1導電型の半導体基板の結晶学的面指数は(000-1)面に対して平行な面もしくは10度以内に傾いた面であることを特徴とする。

【0017】

また、前記第1導電型の半導体基板の結晶学的面指数は(0001)面に対して平行な面もしくは10度以内に傾いた面であることを特徴とする。

【0018】

また、前記ゲートパッド部分の前記ソース領域が前記ウェル領域によって、前記ゲートパッドの部分以外の前記半導体装置構造のソース領域と電氣的に結合されていることを特徴とする。

20

【0019】

また、前記ソース領域が第2導電型領域に挟まれてなることを特徴とする。

【0020】

また、前記ゲートパッド部分の前記ソース領域が直線状に形成されたことを特徴とする。

【0021】

また、前記ゲートパッド部分の前記ソース領域が多角形の網の目状に形成されたことを特徴とする。

30

【0022】

また、本発明にかかる炭化珪素半導体装置の製造方法は、第1導電型の半導体基板と、前記半導体基板上に形成された低不純物濃度の第1導電型の半導体層と、前記第1導電型の半導体層に選択的に形成された高不純物濃度の第2導電型の半導体層と、前記第2導電型の半導体層の表面に形成された低不純物濃度の第2導電型のベース層と、前記ベース層の表面層に選択的に形成された第1導電型のソース領域と、表面から前記ベース層を貫通して前記第1導電型の半導体層に達するように形成された第1導電型のウェル領域と、前記ソース領域と前記ウェル領域とに挟まれた前記ベース層の表面にゲート絶縁膜を介して形成された制御電極と、を具備し、異なるセルのそれぞれの前記第2導電型の半導体層の一部同士が、前記ウェル領域の下領域で互いに結合された炭化珪素半導体装置であって、前記半導体基板上に前記第1導電型の半導体層をエピタキシャル成長により形成し、前記第1導電型の半導体層の表面に前記第2導電型の半導体層をイオン注入法により選択的に形成し、前記第1導電型の半導体層と前記第2導電型の半導体層の上に、前記ベース層をエピタキシャル成長法により形成し、前記ベース層の表面層に前記ソース領域と、表面から前記ベース層を貫通して前記第1導電型の半導体層に達する前記ウェル領域とをイオン注入法により選択的に形成したことを特徴とする。

40

【0023】

上記構成によれば、ソース・ドレイン間に高電圧を印加しても、n型半導体ウェル領域の上のゲート酸化膜に大きな電界がかからず十分な素子耐圧を保持することができる。同

50

様に、 n 型半導体層ならびに n 型半導体ウェル領域の不純物濃度を大きく上げて、オン抵抗を十分下げた場合でも十分な素子耐圧を保持することができる。

【発明の効果】

【0024】

本発明によれば、高電圧印加時においても、ゲート酸化膜が破壊されることがなく信頼性を有し、低オン抵抗化できるという効果を奏する。

【図面の簡単な説明】

【0025】

【図1】本発明の第1実施例のSiC-MOSFETの製造工程を示す断面図である。

【図2】本発明の第1実施例のSiC-MOSFETの p^+ 層とセルの配置を表す平面図である。

【図3】本発明の各実施例により作成したSiC-MOSFETの電気特性の測定結果を示す図表である。

【図4】実施例1と比較例の素子耐圧および n 打ち返し層の幅を変えた時の素子耐圧の実測結果を示す図表である。

【図5】実施例1のSiC-MOSFETの負荷短絡耐量の測定結果を示す図表である。

【図6】実施例1のSiC-MOSFETのターンオフ破壊耐量の評価結果を示す図表である。

【図7】実施例1のSiC-MOSFETのゲートパッド下の装置構造を示す図である。

【図8】実施例1のSiC-MOSFETのゲートパッド下の他の装置構造を示す図である。

【図9】本発明の実施例3のSiC-MOSFETの p^+ 層とセルの配置を表す図である。

【図10】各実施例のSiC-MOSFETのターンオフスイッチング波形を示す図表である。

【図11】各実施例のSiC-MOSFETのターンオンスイッチング波形を示す図表である。

【図12】一般的なMOSFETの断面図である。

【図13】従来のシリコン超接合MOSFET断面構造を示す図である。

【図14】従来のシリコン超接合MOSFET断面構造を示す図である。（マルチエピ法）

【図15】従来のシリコン超接合MOSFET断面構造を示す図である。（トレンチ埋め込み法）

【発明を実施するための形態】

【0026】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置およびその製造方法の好適な実施例を詳細に説明する。

【0027】

（実施例1）

図1は、本発明の第1実施例のSiC-MOSFETの製造工程を示す断面図である。図1の（a）は p^+ 層が結合していない部分の断面図、（b）は、 p^+ 層が結合している部分の断面図である。

【0028】

本実施例では、縦型プレーナゲートMOSFETとして、半導体材料として炭化珪素（SiC）を用い、素子耐圧1200VのMOSFETを示している。はじめに、（1）に示すように、 n^+ （第1導電型）のSiC半導体基板1を用意する。IGBTの場合には、 p^+ の半導体基板1を用いる。ここでは、不純物として窒素を $2 \times 10^{19} \text{ cm}^{-3}$ 程度含む低抵抗のSiC半導体基板1とした。この n^+ 型半導体基板1の結晶学的面指数が（000-1）面に対して、4度傾いた面の上に、窒素を $1.8 \times 10^{16} \text{ cm}^{-3}$ 程度含む n^- 型（第1導電型）のSiC層2を10 μm 程度エピタキシャル成長により積層する。

【0029】

次に、(2)に示すように、SiC層2の上に幅 $13\mu\text{m}$ で深さ $0.5\mu\text{m}$ の第2導電型の p^+ 層3をイオン注入法により形成する。その際のイオンは、例えばアルミニウムを用いる。また、不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ となるようにドーズ量を設定した。その際、後述する第1導電型の n 打ち返し層6の下で p^+ 層3の一部を他のセル20との間で互いに結合するようにする(図1(b)の(4)参照、および平面図は図2参照)。また、 p^+ 層3間において結合していない箇所の距離は $2\mu\text{m}$ とした。

【0030】

その後、(3)に示すように、第2導電型の p ベース層4をエピタキシャル成長法により $0.5\mu\text{m}$ 厚で前記 p^+ 層3ならびに n^- 型のSiC層2上に形成する。その際の不純物は、アルミニウムとし、不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ となるようにした。

10

【0031】

その後、(4)に示すように、 n 打ち返し層6として、窒素イオンが $5.0 \times 10^{16} \text{ cm}^{-3}$ 、深さ $1.5\mu\text{m}$ 、幅 $2.0\mu\text{m}$ になるように選択的に注入する。そして、(5)に示すように、 p ベース層4内に第1導電型の n^+ ソース層7と、第2導電型の p^+ コンタクト層8を選択的に形成する。

【0032】

その後、活性化アニールを実施する。熱処理温度・時間は $1620 \cdot 2$ 分である。これにより、(6)に示すように、ゲート酸化膜を 100nm の厚さで熱酸化により形成し、水素雰囲気中にて 1000 付近でアニールする。そして、リングがドーブされた多結晶シリコン層をゲート酸化膜上にゲート電極9として形成し、パターニングする。

20

【0033】

この後、(7)に示すように、層間絶縁膜10としてリンガラスを $1.0\mu\text{m}$ 厚で成膜後、パターニングしてから熱処理する。また、 1% シリコンを含んだアルミニウムを表面にスパッタ法にて厚さ $5\mu\text{m}$ で成膜し、表面電極(ソース電極)11を形成する。素子裏面にはニッケルを成膜し 970 で熱処理後、チタン、ニッケル、金からなる裏面電極12を成膜した。この後、保護膜を表面に付加して素子は完成する。

【0034】

図2は、本発明の第1実施例のSiC-MOSFETの p^+ 層とセルの配置を表す平面図である。図2の例では、 n 打ち返し層6の下で p^+ 層3の各角部から他のセル20の角部に向けて互いに結合部3aにより結合している。図2の例では、各セル20を六角形セルパターンにて作成した。これに限らず、各セル20を4角形セルとしてもよい。

30

【0035】

図3は、本発明の各実施例により作成したSiC-MOSFETの電気特性の測定結果を示す図表である。本発明の実施例のチップサイズは 3mm 角であり、活性面積は 5.27mm^2 であり、定格電流は 25A である。オン抵抗(R_{onA})は $2.8\text{m}\Omega\text{cm}^2$ と十分低い値を示し、初期の素子耐圧も 1450V となり、 1200V 素子として十分良好な特性を示している。

【0036】

また、比較例(従来技術)として、 p^+ 層3同士をまったく結合させないようにして作成したSiC-MOSFETを測定した。この比較例の場合、オン抵抗は、同等の $2.8\text{m}\Omega\text{cm}^2$ と十分低い値を示したが、ソース・ドレイン間に 880V を印加したところで、ゲート酸化膜が破壊した。このことから、本発明は十分な素子耐圧を維持しながら、極めて小さいオン抵抗を示していることが分かる。

40

【0037】

図4は、実施例1と比較例の素子耐圧および n 打ち返し層の幅を変えた時の素子耐圧の実測結果を示す図表である。比較例は、上述したように、 p^+ 層3をセル間で全く結合させないSiC-MOSFETである。素子の各層の濃度厚さは上述のとおりである。その結果、本発明の実施例1の方が、 1200V デバイスとして十分な耐圧特性である 1400V 以上の高耐圧特性を実現していることが分かる。なお、オン抵抗は実施例1および比

50

較例共に同一であり、実施例 1 のようにゲートパッド下にセルを作り込むことは、オン抵抗低減に効果があることが分かった。

【0038】

比較例の SiC-MOSFET で本実施例 1 と同等の 1400V 以上の高耐压特性を満足させるには、 p^+ 層 3 の間の距離を $1.0\mu\text{m}$ 以下にし、かつ n 打ち返し層 6 の打ち返し濃度を 5 分の 1 まで低減させなくてはならないことが分かった。また、この条件の比較例におけるオン抵抗は $10.8\text{m}\Omega\text{cm}^2$ と極めて高い値を示した。これにより、本発明は、比較例に比してオン抵抗が小さく、同時に素子耐压特性を高めることができる。

【0039】

図 5 は、実施例 1 の SiC-MOSFET の負荷短絡耐量の測定結果を示す図表である。負荷短絡耐量試験では、電源電圧を直接ソース・ドレイン間に印加し、その状態でゲート電極に $V_g = 20\text{V}$ の電圧を印加し、何 μsec の期間、ゲート酸化膜の破壊が生じないかを評価する。測定時の条件は、電源電圧 $V_{cc} = 800\text{V}$ とし、また測定温度 (T_j) は 175°C とした。図 5 の測定波形に示すように、最大電流が素子定格の 5 倍である 125A を導通させても破壊せず、さらに $15\mu\text{sec}$ でも破壊しないという十分な特性を示した。

10

【0040】

図 6 は、実施例 1 の SiC-MOSFET のターンオフ破壊耐量の評価結果を示す図表である。ターンオフ耐量を評価したところ、ソース・ドレイン間電圧は 1630V にクランプされ (図 6 中の V_{ds_clamp})、破壊することなく 100A (定格電流の 4 倍) を $150\mu\text{s}$ にてオフできることを確認した。このことから、実施例 1 では低オン抵抗を実現し、かつ負荷短絡耐量、ターンオフ耐量が極めて大きい素子であるということがわかる。比較例の SiC-MOSFET の耐量を評価したところ、素子耐压が十分でないために負荷短絡耐量、ターンオフ耐量とも本実施例 1 の素子に大きく劣る結果となった (図 3 参照)。

20

【0041】

なお、前記 n 型半導体基板 1 の結晶学的面指数は $(000-1)$ 面に対し、SiC 層 2 を 0° 、 2° 、 8° 、 10° 傾いた面上にそれぞれ同様に成膜し、作成した素子であっても特性の変化はほとんどなく良好であった。

【0042】

図 7 は、実施例 1 の SiC-MOSFET のゲートパッド下の装置構造を示す図である。図 7 の (a) は平面図、(b) は (a) の A-A 線断面図、(c) は (a) の C-C 線断面図であり、ゲート電極及び酸化膜は省略してある。実施例 1 の構成において、さらに、オン抵抗を低抵抗化するには、図 7 に示すように、ゲートパッド下に、ソースパッド下のソース領域 71 から n 型半導体を用いて電氣的に接続されたソース領域 70 を形成する。この n 型半導体のソース領域 70 は p 型半導体領域 72 によってウェルとなる n 型半導体領域 73 から分離されていなければならない。図 7 では、ゲートパッド下のソース領域 70 が一直線状になっており、ゲート酸化膜保護のための p 層 (第 2 導電型領域) 74 をこのソース領域 70 に直交して設けている。

30

【0043】

図 8 は、実施例 1 の SiC-MOSFET のゲートパッド下の他の装置構造を示す図である。図 8 の (a) は平面図、(b) は (a) の C-C 線断面図であり、ゲート電極及び酸化膜は省略してある。ゲートパッド下のソース領域 71 を六角形の網の目状に形成している。そして、ゲート酸化膜保護のための p 層 74 が六角形のソース領域 70 の中心に浮遊しているものである。ソース領域 71 の形状は六角形に限らず多角形にできる。

40

【0044】

これら図 7、図 8 のように、ゲートパッド下にも素子を作製することにより、同一装置の面積内での素子利用面積を増やすことができ、オン抵抗を低減できるようになる。

【0045】

(実施例 2)

50

本発明の実施例 2 では、実施例 1 と同様の製造工程にて 1200 V 、 25 A の SiC-MOSFET を作成した。この実施例 2 では n 型半導体基板 1 の結晶学的面指数は (0001) 面に対して 4 度傾いた面の上に、窒素を $1.8 \times 10^{16}\text{ cm}^{-3}$ 程度含む n 型 SiC 層 2 を $10\text{ }\mu\text{m}$ 程度エピタキシャル成長させている。その他の工程、およびセル構造は全く同一である。実施例 2 の素子の電気特性評価結果は、上記図 3 に示されており、オン抵抗は、実施例 1 に対し、 55% ほど増加するが、通常の SiC-MOSFET に対しては十分低いオン抵抗特性を示していることがわかる。なお、 n 型半導体基板 1 の結晶学的面指数は (0001) 面に対して 0 度、 2 度、 8 度、 10 度傾いた面上に、 n 型 SiC 層 2 を同様に成膜し、作成した素子についても素子評価を行ったところ、特性の変化はほとんどなく良好であった。

10

【0046】

(実施例 3)

本発明の実施例 3 では、実施例 1 と同様の製造工程にて 1200 V 、 25 A の SiC-MOSFET を作製した。 n 型半導体基板 1 の結晶学的面指数は $(000-1)$ 面に対して 4 度傾いた面の上に窒素を $1.8 \times 10^{16}\text{ cm}^{-3}$ 程度含む n 型 SiC 層 2 を $10\text{ }\mu\text{m}$ 程度エピタキシャル成長させている。

【0047】

図 9 は、本発明の実施例 3 の SiC-MOSFET の p^+ 層とセルの配置を表す図である。図 9 に示すように、セルはストライプパターンで形成している。そのため、 p^+ 層 3 の配置は、セル 20、20 間の p^+ 層 3 を結合部 3a により結合させている。その他の工程は実施例 1 と同一である。作成した素子の電気特性評価結果は、上記図 3 に示されており、オン抵抗は実施例 1 に対し、 10% ほど増加するものの、通常の SiC-MOSFET に対しては十分低いオン抵抗特性と高耐圧特性を示していることがわかる。

20

【0048】

(実施例 4)

本発明の実施例 4 の製造方法について説明する。まず、 n 型の SiC 半導体基板 1 を用意する。不純物として窒素を $2 \times 10^{19}\text{ cm}^{-3}$ 程度含む低抵抗の SiC 半導体基板 1 を用いた。次に、 n 型半導体基板 1 の結晶学的面指数は $(000-1)$ 面に対して 4 度傾いた面の上に窒素を $1.8 \times 10^{16}\text{ cm}^{-3}$ 程度含む n 型 SiC 層 2 を $10\text{ }\mu\text{m}$ 程度エピタキシャル成長させる。つぎに、 n 型 SiC 層 2 の上に幅 $13\text{ }\mu\text{m}$ 、厚さ $0.5\text{ }\mu\text{m}$ の p^+ 層 3 をエピタキシャル法で形成する。その際の不純物イオンにアルミニウムを用いた。また、不純物濃度は、 $1.0 \times 10^{18}\text{ cm}^{-3}$ となるようにドーズ量を設定した。その際、実施例 1 と同様、 n 打ち返し層 6 の下で p^+ 層 3 の一部を互いに結合するようにする (図 2 参照)。実施例 4 では、六角形セルパターンにて作成したが、四角形セルなどでも問題ない。また、 p^+ 層 3 間において結合していない箇所の p^+ 層 3 間の距離は $2\text{ }\mu\text{m}$ とした。

30

【0049】

その後、 p ベース層 4 をエピタキシャル成長法により $0.5\text{ }\mu\text{m}$ 厚で p^+ 層 3 ならびに n 型 SiC 層 2 上に形成する。その際の不純物はアルミニウムとし、不純物濃度は $2.0 \times 10^{16}\text{ cm}^{-3}$ となるようにした。その後、 n 打ち返し層 6 として窒素イオンを選択的に注入し、 n^+ ソース層 7、 p^+ コンタクト層 8 を p ベース層 4 内に選択的に形成する。 n 打ち返し層 6 の濃度、厚さ、幅は実施例 1 と同じである。

40

【0050】

その後活性化アニールを実施する。活性化アニール時の熱処理温度と時間は、それぞれ 1620 、 2 分である。その後、ゲート酸化膜 100 nm の厚さを熱酸化で形成し、水素雰囲気中にて 1000 付近でアニールする。リングがドーブされた多結晶シリコン層をゲート電極として形成、パターンニング後、層間絶縁膜 10 としてリングガラスを $1.0\text{ }\mu\text{m}$ 厚で成膜およびパターンニングして熱処理し、 1% シリコンを含んだアルミニウムを表面にスパッタ法にて厚さ $5\text{ }\mu\text{m}$ で成膜した。素子裏面にはニッケルを成膜し 970 で熱処理後、チタン、ニッケル、金からなる裏面電極 12 を成膜した。そして保護膜を表面に付加して素子は完成する。

50

【0051】

このようにして作成した実施例4のSiC-MOSFETの電気特性の測定結果を図3に示す。チップサイズは3mm角であり、活性面積は 5.27mm^2 であり、定格電流は25Aである。オン抵抗(R_{onA})は $2.85\text{m}\Omega\text{cm}^2$ と十分低い値を示し、初期の素子耐圧も1455Vと、1200V素子として十分良好な特性を示している。なお、n型半導体基板1の結晶学的面指数は(000-1)面に対して0度、2度、8度、10度傾いた面上同様に成膜し、作成した素子についても素子評価を行ったところ、特性の変化はほとんどなく良好であった。

【0052】

(実施例5)

10

実施例5では、実施例4と同様の製造工程にて1200V、25AのSiC-MOSFETを作製した。ただし、実施例5では、n型半導体基板1の結晶学的面指数は(0001)面に対して4度傾いた面の上に窒素を $1.8 \times 10^{16}\text{cm}^{-3}$ 程度含むn型SiC層2を10 μm 程度エピタキシャル成長させた。その他の工程は全く同一である。作製した素子の電気特性評価結果を図4に示す。オン抵抗は、実施例4に対し、50%ほど増加するものの、通常のSiC-MOSFETに対しては十分低いオン抵抗特性を示していることがわかる。なお、n型半導体基板1の結晶学的面指数は(0001)面に対して0度、2度、8度、10度傾いた面上同様に成膜し、作成した素子についても素子評価を行ったところ、特性の変化はほとんどなく良好であった。

【0053】

20

図10は、各実施例のSiC-MOSFETのターンオフスイッチング波形を示す図表、図11は、各実施例のSiC-MOSFETのターンオンスイッチング波形を示す図表である。実施例1~4により作成したSiC-MOSFETのスイッチング損失評価を示している。それぞれ(a)は室温(RT)、(b)は温度200度の測定結果である。ターンオン損失およびターンオフ損失を低減でき、ターンオンおよびターンオフのスイッチングともに良好な波形が得られた。本発明のSiC-MOSFETによれば、図3に示すように、ターンオン、ターンオフ損失とも、同一定格のSi-IGBT(1200V、25A)に対し、60%以上もの低減を図ることができる。

【0054】

30

上記構成によれば、n型半導体層ならびにn型半導体ウェル領域の不純物濃度を大きく上げて、オン抵抗を十分下げた場合、またはp型半導体層の間、およびベース層の間の距離を広げてオン抵抗を十分下げた場合、またはソース・ドレイン間に高電圧を印加した場合(ソースが0V、ドレインに+電圧を印加)、のいずれにおいても、n型半導体ウェル領域の上のゲート酸化膜に大きな電界がかからず十分な素子耐圧を保持することができる。これは空乏層がp⁺コンタクト層に沿って横方向に広がりやすくなるためである。その結果、n型半導体層ならびにn型半導体ウェル領域の不純物濃度を従来のSi-MOSFETよりも高く設定しても空乏層が広がりやすい設計であるため、p型のコンタクト層の間、ならびにp型のベース層の間の距離を広げて素子耐圧を十分保ちつつオン抵抗を小さくできる。

【0055】

40

また、p型のベース層をエピタキシャル成長法によって形成した場合、表面荒れがほとんどない程度に平坦にできるため、表面のMOSFET部分の移動度が極めて大きくなり、その結果、オン抵抗をさらに小さくすることができる。

【0056】

さらに、半導体材料に炭化珪素も用いる場合、n型半導体基板の結晶学的面指数は、(000-1)面に対して平行な面もしくは10度以内、またはn型半導体基板の結晶学的面指数は(0001)面に対して平行な面もしくは10度以内に設定することにより、ゲート酸化膜と半導体界面の界面準位密度を低減でき、MOSFET部分の移動度をさらに向上させることができる。その結果、オン抵抗を極めて小さくすることができる。

【0057】

50

そして、ゲートパッド下にもソース領域を形成し、素子構造を作り込む構造とすることによって、複雑な階層状の電極構造を必要とせずとも有効素子面積を増大し、オン抵抗を小さくすることができるようになる。

【0058】

上記の実施例では、本発明の炭化珪素半導体装置として、MOSFETを例に説明したが、これに限るものではない。例えば、IGBTにも同様に適用でき、高電圧印加時においても、ゲート酸化膜が破壊されることがなく信頼性を有し、低オン抵抗を有することができる。

【0059】

そして、本発明によれば、基板の結晶面方位によらず十分な素子耐压特性を保持したまま、低オン抵抗で破壊耐量が大きく、さらに高速スイッチング特性が可能なMOSFETならびにIGBT等のパワーデバイスを提供することが可能になる。

10

【産業上の利用可能性】

【0060】

以上のように、本発明は、SiC基板を用いたパワーデバイス全般に適用することができ、MOSFETやIGBTの製造に有用である。

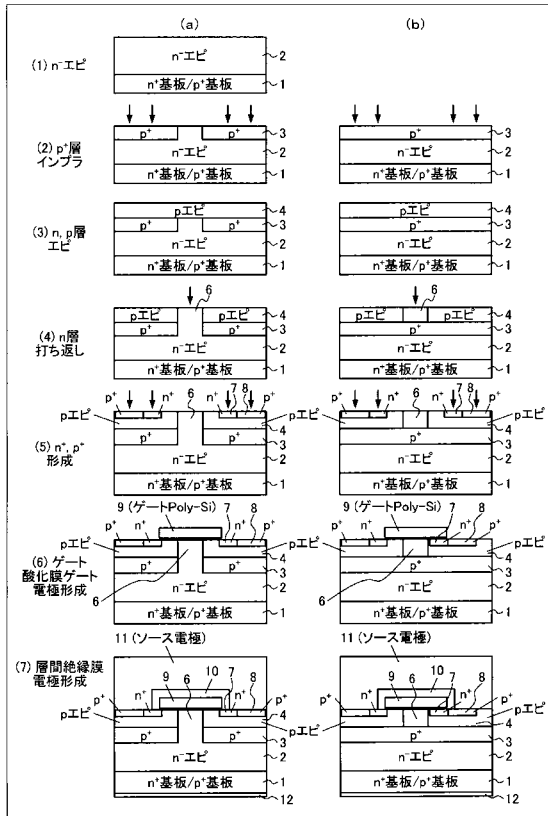
【符号の説明】

【0061】

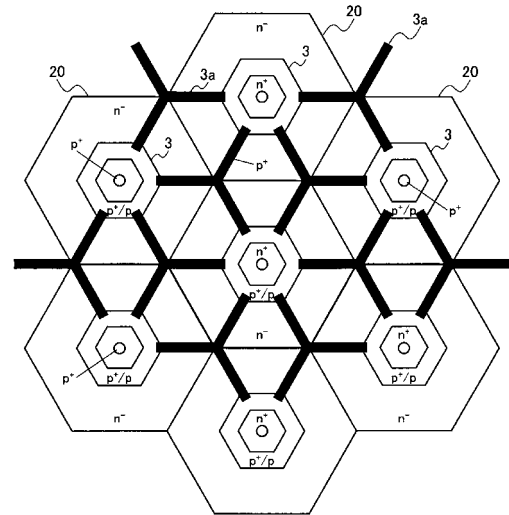
- 1 SiC半導体基板
- 2 SiC層
- 3 p⁺層
- 4 ベース層
- 6 n打ち返し層
- 7 ソース層
- 8 コンタクト層
- 11 ソース電極
- 12 裏面電極
- 20 セル

20

【図 1】



【図 2】

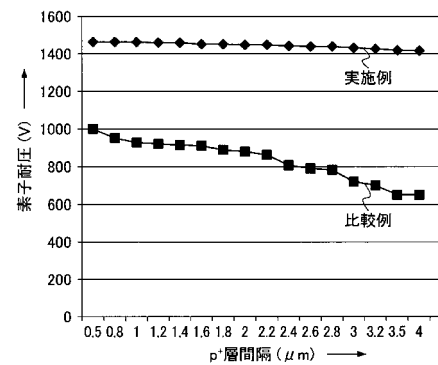


【図 3】

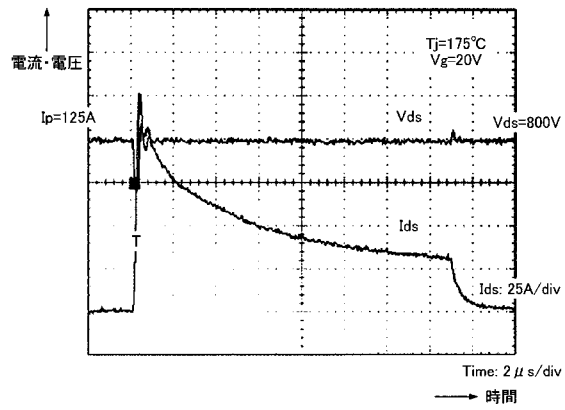
	従来技術	
	従来	Si-IGBT
素子耐圧 (RT)	880V	1448V
オン抵抗 (RT)	2.80mΩ/cm ²	11.2mΩ/cm ²
ターンオン損失 (150°C)	0.89mJ	2.10mJ
ターンオフ損失 (150°C)	0.98mJ	3.10mJ
ゲートしきい値 (175°C)	3.2V	3.9V
ターンオン耐量 (175°C)	>100A	>100A
負荷短絡耐量 (175°C)	>15μs	4.8μs

	本発明				
	実施例1	実施例2	実施例3	実施例4	実施例5
素子耐圧 (RT)	1450V	1452V	1453V	1455V	1455V
オン抵抗 (RT)	2.80mΩ/cm ²	4.21mΩ/cm ²	2.99mΩ/cm ²	2.85mΩ/cm ²	4.33mΩ/cm ²
ターンオン損失 (150°C)	0.85mJ	0.86mJ	0.85mJ	0.89mJ	0.90mJ
ターンオフ損失 (150°C)	0.90mJ	0.98mJ	0.92mJ	0.90mJ	0.92mJ
ゲートしきい値 (175°C)	3.2V	3.2V	3.3V	3.2V	3.3V
ターンオン耐量 (175°C)	>100A	>100A	>100A	>100A	>100A
負荷短絡耐量 (175°C)	>15μs	>15μs	>15μs	>15μs	>15μs

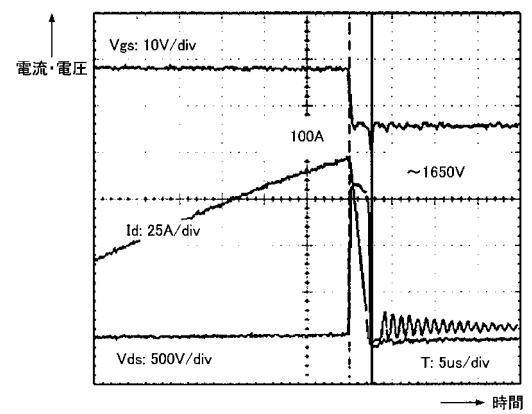
【図 4】



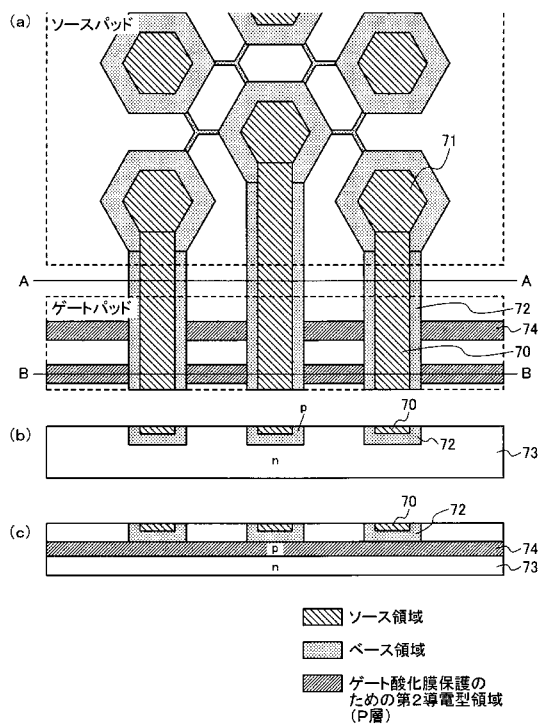
【図 5】



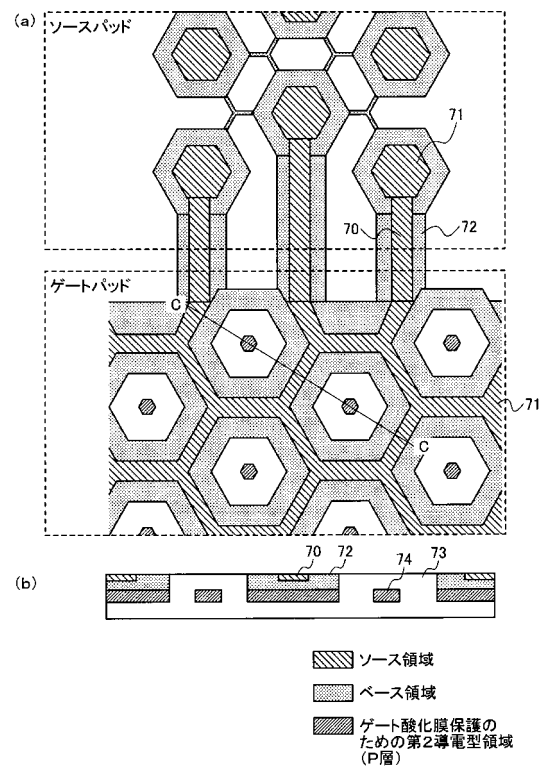
【図 6】



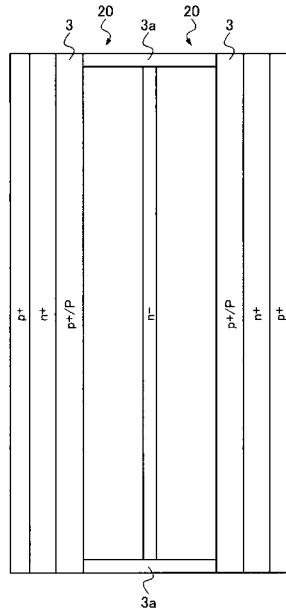
【図 7】



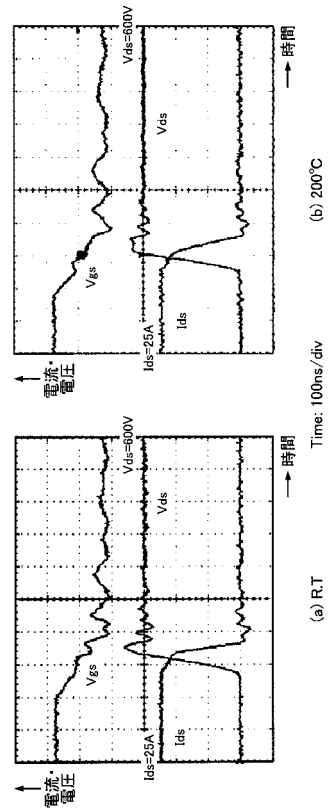
【図 8】



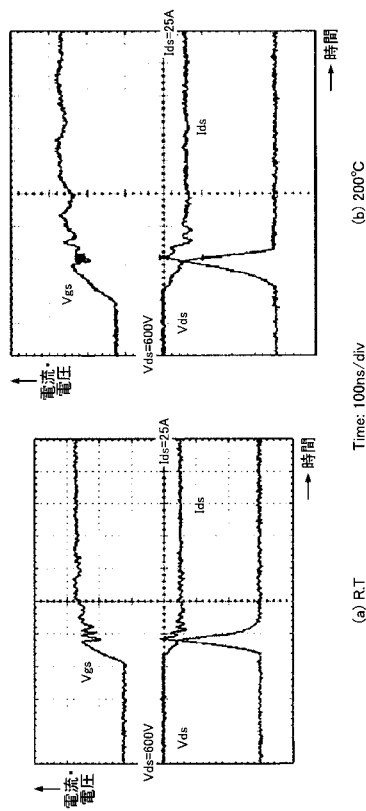
【図 9】



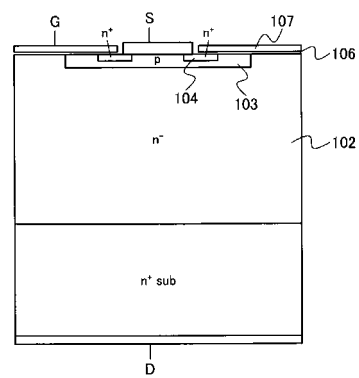
【図 10】



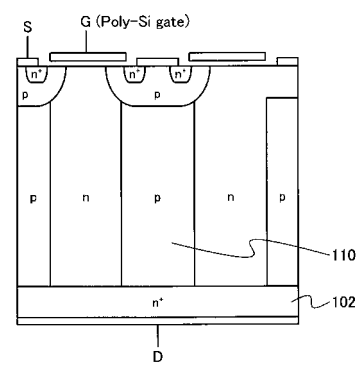
【図 11】



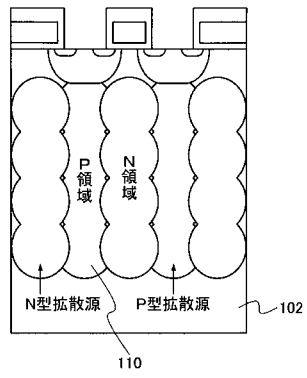
【図 12】



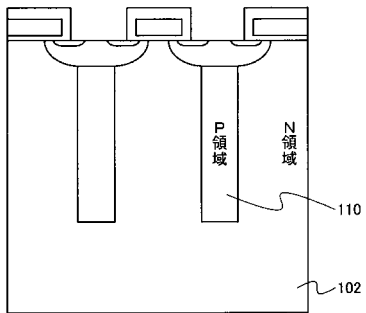
【図 13】



【図 1 4】



【図 1 5】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 5 8 E
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 2 Q
	H 0 1 L 29/78	6 5 2 S

(72)発明者 原田 信介
茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内