

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-10607
(P2017-10607A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/40 A	5 B 0 1 5
G 1 1 C 14/00 (2006.01)	G 1 1 C 11/40 1 0 1	5 B 2 2 5
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1	5 F 0 8 3
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 3 Z	5 F 1 0 1
H 0 1 L 27/115 (2017.01)	G 1 1 C 17/00 6 2 5	
審査請求 有 請求項の数 3 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2016-197411 (P2016-197411)	(71) 出願人	715010864 エスアイアイ・セミコンダクタ株式会社 千葉県千葉市美浜区中瀬一丁目8番地
(22) 出願日	平成28年10月5日 (2016. 10. 5)	(72) 発明者	津村 和宏 千葉県千葉市美浜区中瀬1丁目8番地 エ スアイアイ・セミコンダクタ株式会社内
(62) 分割の表示	特願2012-215035 (P2012-215035) の分割	F ターム (参考)	5B015 HH05 JJ43 KA08 KA10 QQ08 QQ10 QQ11 5B225 BA09 CA19 EB02 5F083 EP02 EP23 ER21 GA15 LA10 5F101 BA01 BB05 BE05 BE07
原出願日	平成24年9月27日 (2012. 9. 27)		

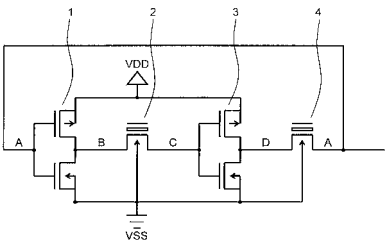
(54) 【発明の名称】 不揮発性半導体記憶回路

(57) 【要約】

【課題】長期信頼性と読出特性に優れた低消費電流の半導体記憶回路を提供する。

【解決手段】第一のインバータの出力を電氣的に書込可能な第一の不揮発性メモリのソースに接続し、第一の不揮発性メモリのドレインを第二のインバータの入力に接続し、第二のインバータの出力を第二の不揮発性メモリのソースに接続し、第二の不揮発性メモリのドレインを第一のインバータの入力に接続し、第二の不揮発性メモリのドレインを出力とする半導体記憶回路。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第一のインバータと、

前記第一のインバータの出力がソースに接続された電氣的に書込可能な第一の不揮発性メモリと、

前記第一の不揮発性メモリのドレインが入力に接続された第二のインバータと、

前記第二のインバータの出力がソースに接続された電氣的に書込可能な第二の不揮発性メモリと、からなり、

前記第二の不揮発性メモリのドレインは前記第一のインバータの入力に接続されているとともに、前記第二の不揮発性メモリの前記ドレインは出力となっていて、

10

第一の不揮発性メモリと前記第二の不揮発性メモリは、いずれか一方がエンハンスメント、他方がデプレッションとなることでデータを記憶することを特徴とする不揮発性半導体記憶回路。

【請求項 2】

前記第一及び第二の不揮発性メモリのコントロールゲートの電位を V D D レベル、もしくは V S S レベルに固定したことを特徴とする請求項 1 記載の不揮発性半導体記憶回路。

【請求項 3】

前記第一及び第二の不揮発性メモリのコントロールゲートをそれぞれの不揮発性メモリのソースに接続したことを特徴とする請求項 1 記載の不揮発性半導体記憶回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は不揮発性メモリを有する半導体記憶回路に関する。

【背景技術】

【0002】

半導体回路装置は電圧の調整のために抵抗分圧回路をもつことがしばしばある。この回路が用いられている一例として、通常ボルテージディテクターと呼ばれる電圧検出回路装置を挙げることができる。これは、基準電圧、アンプ、抵抗分圧回路、出力トランジスタ、より構成され、設定した検出電圧値よりも電圧が高いか低いかによって、H i / L o を出力する回路装置である。この回路を半導体ウエハプロセスで製造すると、製造工程のバラツキのために、基準電圧がばらついてしまう。そこで、抵抗分圧回路の分圧比を任意に調整できるようにしておくことで、検出電圧値を一定値に設定できるようにしている。また、抵抗分圧回路の分圧比をコントロールすることで、検出電圧値をコントロールできるので、任意の検出電圧値を容易に得られるというメリットがある。

30

【0003】

抵抗分圧回路の分圧比を調整する手段としてよく用いられるのが、トリミング用フューズである。抵抗分圧回路を構成する多数の抵抗体毎に並列にフューズを配し、このフューズをレーザーでカットすることでトリミングを行う。カットされていないフューズと並列な抵抗体はフューズで短絡するために抵抗体として機能しなくなり、カットされたフューズと並列な抵抗体はフューズがカットされる、つまり O P E N 状態なので抵抗体として働くというものになっている。

40

【0004】

この他に電氣的に書込可能な E P R O M を使うことも多い。抵抗体と並列にトランジスタを配し、E P R O M の記憶情報によって、並列に配置したトランジスタを O N / O F F させることでトリミングを行う。E P R O M のメリットはパッケージやボードに組んだ後でも電氣的に書込可能な点である。フューズの場合はレーザー照射が必要なためにパッケージに組む前に行う必要がある。

【0005】

次に E P R O M についてだが、E P R O M にもいろいろな方式があるが、よく使われるのは、フローティングゲートを有し、フローティングゲートに蓄えられた電荷によって、

50

しきい値電圧 V_T が変化することを利用して、データの 1 / 0 を記憶する MOS トランジスタ構造のものである。以下で EPROM とはこの構造のものを指すことにする。

【0006】

EPROM を用いる場合の要求事項は、消費電流が小さいこと、データ化けが生じないこと、回路が小さいことが代表的なものとして挙げられる。

EPROM へのデータの書込はドレイン / ソース間に高電圧を与えて、ソース / ドレイン間を流れる電荷がホットキャリアになること、いわゆるホットキャリア注入を利用したものが多く、この書込方式の特徴は、ソース / ドレイン間に高電圧を与えることである。

【0007】

この方式の場合、データの読み出しや保持においてドレインにある程度の電圧が印加されていると、読み出しや保持においても書き込みが生じることがある。そのため特許文献 1 のような手法が提案されている。これの特徴は EPROM に電圧を印加して、一瞬電流を流してデータを読み出して、そのデータをラッチ回路に記憶するというものである。ラッチ回路は電源が ON している期間はデータを記憶し続けるので、電源を ON した瞬間だけ EPROM に電圧を印加し、それ以降は電圧を印加しないようにすることができる。そのため EPROM の記憶データが化けることが減り、信頼性が向上する。

10

【0008】

次に特許文献 2 について紹介する。これは EPROM を 2 つ直列に並べ、一方が ON、他方が OFF するようにしたものである。どちらか一方が OFF しているので、電源間に電流は流れない。また、特許文献 1 と比較して簡単な回路構成であるため、面積が小さいという利点がある。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開平 7-122090 号公報

【特許文献 2】特開 2003-257186 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

従来例として図 17 に示す特許文献 1 の方法では、ラッチ回路にデータを読み出す際の問題がある。特許文献 2 に述べられているように、特に電源電圧がオンした直後の読出に課題がある。また、背景技術で述べたボルテージディテクターに応用した場合、電源電圧の端子と電圧を検出する端子が共用であることが多く、電源電圧自体が安定していないので、特にこの問題が起き易い。

30

【0011】

特許文献 2 の場合、ラッチ回路の問題は回避できるものの、EPROM のどちらか一方のドレイン電圧が高くなるために、僅かな書込が少しずつ生じて EPROM のデータが化けるという問題がある。

【0012】

ボルテージディテクターの場合、検出電圧の許可範囲が広い方が望ましいのは自明である。例えば検出電圧 5 V で出力が 1 / 0 切り替わるボルテージディテクターの場合、検出端子に印加が許可される電圧は 4 V ~ 6 V よりも 1 V ~ 10 V の方が製品競争力は高い。先に述べたように、電源電圧と電圧を検出する端子が共用であることが多いので、電源電圧の許可範囲が広いことが要求される。そのために電源電圧が高くてもデータが化けないことが要求される。特許文献 2 の方式は電源電圧が高いほど、OFF している EPROM のフローティングゲートに電荷が注入されやすくなるために、EPROM のデータが化けてしまうという問題が顕在化する。

40

【0013】

EPROM を用いたトリミング回路は、現在でも一部の分野では使われているが、上記のような問題がある為に使われていない分野が存在する。

50

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明の抵抗分圧回路では、次の構成を採用する。

すなわち、第一のインバータの出力を電氣的に書込可能な第一の不揮発性メモリのソースに接続し、第一の不揮発性メモリのドレインを第二のインバータの入力に接続し、第二のインバータの出力を第二の不揮発性メモリのソースに接続し、第二の不揮発性メモリのドレインを第一のインバータの入力に接続し、第二の不揮発性メモリのドレインを出力とする半導体記憶回路とする。

【発明の効果】

【0015】

10

本発明の半導体記憶回路によれば、読出時の消費電流がリーク電流のみのため、非常に小さい。読出において、E P R O Mのソース／ドレイン間に比較的大きな電圧がかかるのは、次段のゲートやその他の寄生容量に電荷を蓄積する瞬間もしくは、蓄積された電荷を引き抜く瞬間の、いわゆる遷移状態の時のみである。遷移状態が終われば、自動的に電圧がかからなくなるため、E P R O Mにかかる電圧を別途制御する必要がない。また、読出状態のままで使用し続けても記憶情報が誤書込されないという効果が得られる。

【図面の簡単な説明】

【0016】

【図1】本発明の半導体記憶回路

【図2】E P R O Mの構造断面図

20

【図3】ボルテージディテクターの構成を示す概略図

【図4】抵抗分圧回路とE P R O Mを用いたトリミング回路の構成図

【図5】E P R O MのコントロールゲートをV D Dに固定した場合の本発明の半導体記憶回路

【図6】E P R O Mのコントロールゲートをソースに接続した場合の本発明の半導体記憶回路

【図7】書込回路を組み込んだ本発明の半導体記憶回路

【図8】図7の詳細図

【図9】容量を組み込んだ本発明の半導体記憶回路

【図10】図7に容量を組み込んだ本発明の半導体記憶回路

30

【図11】ダイオードを組み込んだ本発明の記憶回路

【図12】V D Dとの間にPチャネルトランジスタを組み込んだ本発明の記憶回路

【図13】図7に書込禁止信号を追加した場合の本発明の記憶回路

【図14】図7とは別方式の書込回路を組み込んだ場合の本発明の記憶回路

【図15】図7に抵抗を組み込んだ本発明の記憶回路

【図16】PチャネルのE P R O Mを用いた場合の本発明の半導体記憶回路

【図17】従来の半導体記憶回路

【発明を実施するための形態】

【0017】

以下では図面に基づいて実施例を説明する。

40

【実施例1】

【0018】

図1は本発明の基本となる回路である。これは、第一のインバータ1の出力Bを第一のE P R O M 2のソースに接続し、第一のE P R O MのドレインCを第二のインバータ3の入力に接続し、第二のインバータの出力Dを第二のE P R O M 4のソースに接続し、第二のE P R O M 4のドレインAを第一のインバータ1の入力に接続し、このAを出力とする半導体記憶回路である。

【0019】

E P R O Mは不揮発性メモリの一種で、図2はE P R O Mの構造断面図である。N型ソース101、コントロールゲート102、フローティングゲート103、N型ドレイン1

50

04、Pwe11105から成る。

【0020】

Nチャネルトランジスタの場合、一般に、ソースはVSS側、ドレインはVDD側である。図1の第一のEPROMはBの電位がVDDにも、VSSにもなりうるので、ソースとドレインが入れ替わることになる。これではソースと言った時にどちらがソースかその都度電位を考える必要が生じて、非常に説明が難解になる。そこで、本明細においては電圧には関係なく、便宜的に図1においてEPROMの左側がソース、右側がドレインということにする。つまり、第一のEPROM2のソースはB、ドレインはC、第二のEPROM4のソースはD、ドレインはAということにする。

【0021】

背景技術で述べたボルテージディテクターの場合、電源電圧VDDの端子と電圧を検出する端子を共用にして、検出兼電源電圧端子、VSS端子、出力端子の計3端子から成ることが多い。図3にこのボルテージディテクターの構成の一例を示す。検出兼電源電圧端子とVSS端子間に抵抗分圧回路を配置し、そこからの分圧された電位と基準電位とを比較回路で比較し、その結果をインバータで整形して出力端子からHi/Lowを出力するものである。

【0022】

図3に示される「抵抗分圧回路＋トリミング回路」は、図4に示す構成になっている。さらに、図4記載のEPROM回路が図1の本発明の半導体記憶回路に相当する。抵抗分圧回路を構成する抵抗6と並列に並列トランジスタ5が配置され、並列トランジスタ5の入力が図1の回路の出力Aに接続されている。

【0023】

Aの電位によって並列トランジスタ5のON/OFFが決まる。ここでは便宜的にトランジスタ5をNチャネルとしている。Aの電位がVDDの時、トランジスタ5がONするので、抵抗6は短絡されて抵抗として働かない。Aの電位がVSSの時、トランジスタ5がOFFするので、抵抗6は抵抗として働く。このように各EPROM回路からの出力Aによって、抵抗分圧回路の分圧比を変えることが出来る。以上は、本発明の半導体記憶回路をボルテージディテクターの抵抗分圧回路のトリミングに用いた場合の実施例である。

【0024】

以下で図1の半導体記憶回路の動作について説明する。インバータはVDD側にPチャネルトランジスタ、VSS側にNチャネルトランジスタで構成される一般的なものである。EPROMはNチャネル型で、書込でフローティングゲートに電子が蓄積されてチャネルが反転しにくくなるので、書込前のしきい値VTがデプレッション、書込後でしきい値VTがエンハンスメントとなる一般的な場合について説明する。しきい値VTとはゲート電圧を上げていった時に、ソースとドレイン間のチャネルがOFFからONに切り替わる時のゲートの電圧である。EPROMではコントロールゲートの電圧に相当する。

【0025】

本発明では2つのEPROMのどちらか一方がデプレッション、もう一方がエンハンスメントになるように書込を行う。以下では便宜的に、トランジスタのVTは1V、デプレッションのEPROMのVTは-2V、エンハンスメントのEPROMのVTは2Vとする。ここでトランジスタとは第一、第二のインバータを構成するトランジスタと並列トランジスタ5の全てを指す。

まず、第一のEPROMがデプレッション、第二のEPROMがエンハンスメントの時について説明する。

【0026】

VDDが0V～1Vの間は第一のEPROM以外の素子はVDDがVTよりも小さいので、OFF状態にある。Aの電位は第二のEPROMがOFFしているので、第二のEPROMのドレイン/Pwe11接合、第一のインバータのゲート寄生容量、第二のEPROMのドレインから第一のインバータの入力に至る配線の寄生容量によって決まる。第二のEPROMのドレイン/Pwe11接合における接合リークがあるので、Aは長期的に

10

20

30

40

50

はVSSに落ち着く。よって、寄生容量がVDD側にならないように注意すれば、Aの電位はVSSになる。

【0027】

VDDが1～2Vの時、第二のEPROM以外はONできるようになる。第二のEPROMはOFF状態なので、Dの電位に関係なくAの電位はVSSになる。第一のインバータの入力がVSSなので、第一のインバータの出力BはVDDになる。第一のEPROMのVTは-2Vなので、Cの電位はBの電位と等しくなる。Cの電位はBと同じくVDDとなるので、第二のインバータの出力DはVSSになる。このようにDとAの電位は等しくVSSになる。

【0028】

VDDが2V以上になると、第二のEPROMもON出来るようになる。しかし、上記のように第二のEPROMのソースとドレインの電位は等しくVSSなので、第二のEPROMがONしても、VDDが1～2Vの時と何ら変わらない。

以上、述べてきたように、この回路の出力AはVDDの電圧に関係なくVSSとなる。

【0029】

次に、第一のEPROMがエンハンスメント、第二のEPROMがデプレッションの時について説明する。

VDDが0V～1Vの間は第二のEPROMだけがON、他の素子はVDDがVTよりも小さいので、OFF状態にある。第二のEPROMはONしているが、その前段の第二のインバータはNチャネル、Pチャネル共にOFFしているので、Aの電位はいろいろな要素に依存する。ここで、Aを入力に持つトランジスタ5について考える。このトランジスタもVT=1Vとすると、VDDが0V～1Vの時、Aの電位に関係なくOFF状態である。よって、VDDが0V～1Vの間はあまり考える必要がない。

【0030】

VDDが1V～2Vの時、第一のEPROMのみがOFFで、他の素子はONしている。Cの電位は第一のEPROMのドレイン/Pwell接合、第二のインバータのゲート寄生容量、第一のEPROMのドレインから第二のインバータの入力に至る配線の寄生容量によって決まる。第一のEPROMのドレイン/Pwell接合における接合リークがあるので、Cは長期的にはVSSに落ち着く。よって、寄生容量がVDD側にならないように注意すれば、Cの電位はVSSになる。

【0031】

Cの電位がVSSであるので、第二のインバータの出力DはVDDになる。第二のEPROMはVTが-2Vであるので、Aの電位はDに等しくなる。よって、この回路の出力AはVDDになる。Aの電位がVDDであるので、第一のインバータの出力BはVSSになる。

【0032】

VDDが2V以上の時、第一のEPROMもON出来るようになる。しかし、上記のように第一のEPROMのソースとドレインの電位は等しくVSSなので、第一のEPROMがONしても、VDD=1～2Vの時と何ら変わらない。

【0033】

以上まとめると、第一のEPROMがデプレッション、第二のEPROMがエンハンスメントの時、トランジスタ5は常にOFFとなる。

第一のEPROMがエンハンスメント、第二のEPROMがデプレッションの時、VDDの電圧がトランジスタのVT未満になるとトランジスタ5はOFF、VDDの電圧がトランジスタのVT以上になるとトランジスタ5はONとなる。

【0034】

このように第一のEPROM、第二のEPROMのどちらに書込を行うかによって、VDDの電圧がVT以上になると自動的にデータが読み出されて、トランジスタ5がON/OFFする回路が得られる。

本発明の回路は一種のラッチ回路に相当するが、EPROMに保存したデータがある瞬

10

20

30

40

50

間に読み出して、そのデータをラッチに保存するような特許文献1の方式とは全く異なるので、特許文献1で生じた課題が生じない。

【0035】

また、書込情報がどちらの場合においても、全てのE P R O Mのソース／ドレイン間に大きな電位差は発生しないので、ホットキャリアは発生しない。つまり、書込は起きない。また、2つのE P R O Mに流れる電流は、ドレインが接続されているインバータのゲート容量やその他の寄生容量に電荷をチャージするだけの電荷分だけであるため、定常的な電流は流れない。遷移状態においてもこれらの容量に電荷をチャージするだけの電流しか流れないので電流値は非常に小さい。このようにE P R O Mのソース／ドレイン間に電位差がなく、流れる電流も非常に小さいことから、E P R O Mのデータが化けるといことが起きない。

10

【0036】

図1ではE P R O MのP w e l l電位をV S Sからとっているが、これではバックゲートがかかるので、E P R O MのP w e l l電位をそれぞれのE P R O Mのソースと等電位する場合がある。この場合においても、本実施例で述べてきた内容と同様の効果が得られる。

【0037】

本実施例では、トランジスタのV Tを1 V、デプレッションのE P R O MのV Tを−2 V、エンハンスメントのE P R O MのV Tを2 Vとしたが、この値に意味は無く便宜的なものである。

20

【0038】

本実施例では、E P R O MがNチャネルの場合について説明してきたが、E P R O MをPチャネルにした場合についても可能である。これは、本実施例でこれまで述べてきた内容から容易に想像できるので、詳細な説明を省く。

【0039】

図4ではAが抵抗6を短絡するための並列トランジスタ5の入力に直結しているが、間にインバータ等の回路を介して信号を変換したり、並列トランジスタ5をPチャネルにしたりしても本特許の本質は変わらない。

【0040】

本実施例では、便宜的に抵抗分圧回路のトリミングに利用した場合について説明しているが、本発明がこの用途に限定されるものではない。この例ではメモリ素子としてE P R O Mを使った場合について説明しているが、本発明は電氣的に書込可能なメモリ素子全般に対して有効な回路である。

30

【実施例2】

【0041】

図5に従って説明する。図5は図1のE P R O Mのコントロールゲートの電位をV D Dレベルに固定したものである。以下ではデジタルの信号0、1を使って説明する。

V TがデプレッションのNチャネルE P R O Mの役割は前段の出力が1の時1を出力すること、前段の出力が0の時0を出力することである。役割の中でO F Fする必要はない。V TがデプレッションのNチャネルE P R O MのコントロールゲートをV D Dに固定すると、よりO Nする方向なので、この役割を果たしていることになる。

40

【0042】

実施例1で説明したV TがエンハンスメントのNチャネルE P R O Mの役割はずっとO F F、もしくは、V D DレベルがトランジスタのV Tより低い時O F Fして、V D DレベルがトランジスタのV Tより高い時にO Nすることである。エンハンスメントのNチャネルE P R O MのV TをトランジスタのV Tよりも高くしておけば、コントロールゲートの電位をV D Dにしても、この役割を果たすことができる。

以上、NチャネルE P R O MのコントロールゲートをV D Dレベルに固定しても、実施例1で説明した回路動作と同じであることを説明した。

【0043】

50

前段のインバータが1を出力する時、NチャネルE P R O Mにはバックゲートがかかる。そのため、V TがデプレッションのNチャネルE P R O Mからの出力は1が少し鈍ったもの、つまりV D Dより少し低い電圧が出力される。このNチャネルE P R O Mのコントロールゲートの電圧が高いと、より1に近い、つまりV D D電位に近い電位を出力することができるようになる。

【0044】

V D DレベルがトランジスタのV Tより高くなって図1の回路の各配線の電位が安定した後に、V TがエンハンスメントのNチャネルE P R O MがO Nすると、図1の回路は入出力が1つの円になっているので、回路動作がより安定する。

【0045】

この実施例ではE P R O MがNチャネルの場合について述べたが、2つのE P R O MをPチャネルで構成した場合、NチャネルとPチャネルでは動作が反対になるので、コントロールゲートの電位をV S Sに固定することで、同様の動作をする回路が得られる。これはNチャネルのE P R O Mの場合から容易に想像できるので、詳細な説明は省く。

【実施例3】

【0046】

図6に従って説明する。図6は図1のE P R O MのコントロールゲートをそれぞれのE P R O Mのソースに接続したものである。

V TがデプレッションのNチャネルE P R O Mの役割は前段の出力が1の時1を出力すること、前段の出力が0の時0を出力することである。

【0047】

前段のインバータが1を出力する時、NチャネルE P R O Mにはバックゲートがかかる。そのため、V TがデプレッションのNチャネルE P R O Mからの出力は1が少し鈍ったもの、つまりV D Dより少し低い電圧が出力される。このNチャネルE P R O Mのコントロールゲートの電圧が高いと、より1に近い、つまりV D D電位に近い電位を出力することができるようになる。

【0048】

前段のインバータが0を出力する時、NチャネルE P R O Mにはバックゲートかからないので、コントロールゲートの電位がV S Sでも、V TがデプレッションのNチャネルE P R O Mは0をそのまま出力することができる。

【0049】

このように、V TがデプレッションのNチャネルE P R O Mのコントロールゲートはその前段のインバータの出力と同レベルになっていればよいことが分かる。前段のインバータの出力は、NチャネルE P R O Mのソースに接続されている。

【0050】

実施例1で説明したV TがエンハンスメントのNチャネルE P R O Mの役割はずっとO F F、もしくは、V D DレベルがトランジスタのV Tより低い時O F Fして、V D DレベルがトランジスタのV Tより高い時にO Nすることである。別の表現をすると、エンハンスメントのNチャネルE P R O Mは、少なくとも、V D DレベルがトランジスタのV Tより低い時はO F Fしていること、と言える。

【0051】

前段のインバータが1を出力する時、エンハンスメントのNチャネルE P R O MのV TをトランジスタのV Tよりも高くしておけば、当該E P R O Mのコントロールゲートがソースと接続されていると、コントロールゲートの電位はV D Dになる。当該E P R O MのV TはトランジスタのV Tよりも大きいので、V D DレベルがトランジスタのV Tより低い時、このE P R O MはO F Fしている。

【0052】

前段のインバータが0を出力する時、エンハンスメントのNチャネルE P R O Mのコントロールゲートがソースと接続されていると、コントロールゲートの電位はV S Sレベルになる。この時、当該E P R O MはO F Fしている。

10

20

30

40

50

以上のように、E P R O M のコントロールゲートをそれぞれのE P R O M のソースに接続した場合でも、実施例 1 で述べたものと同じ動作をすることが分かる。

【0053】

この実施例ではE P R O M がNチャネルの場合について述べたが、2つのE P R O M をPチャネルで構成した場合については、上記のNチャネルのE P R O M の場合から容易に想像できるので、詳細な説明は省く。

【0054】

E P R O M のコントロールゲートの最適な制御は、適用するプロセスやE P R O M の特性によって、変わる場合がある。実施例 2 の図 5、実施例 3 の図 6 の説明で、コントロールゲートの制御の具体例を述べてきたが、これら以外の場合、例えばコントロールゲートを配置しない場合、寄生容量のみで制御する場合、コントロールゲートをドレインに接続する場合、コントロールゲートをV S S に接続する場合、コントロールゲートの電位をデータ読出時と書込時とで変える場合、以上を組み合わせた場合、についてもこれらは最適化に属するものであって、本発明の新規性が失われるものではない。

【実施例 4】

【0055】

図 7 に従って説明する。図 7 は図 1 のE P R O M 回路に書込用の回路を組み込んだものである。信号T、U、Wによって選択的に書込されることを説明する。以下ではデジタルの信号0、1を使って説明する。

【0056】

T = 0、U = 1、W = 1 の場合

第一のNチャネルトランジスタ9と第二のNチャネルトランジスタ10はONになる。よって、AとCの電位はV S S、つまり0になる。ORは2つの入力両方とも0の時に0を出力し、それ以外の入力の時に1を出力するものである。ここでは、A = 0、T = 0であるので、第一のOR7の出力は0となる。第一のインバータを構成するPチャネルトランジスタはON、第一のインバータを構成するNチャネルトランジスタはOFFする。よって、BはV D Dになる。CはV S Sであるので、第一のE P R O M 2のソース／ドレイン間には大きな電圧が印加されて書込が行われる。第二のOR8の入力はU = 1であるので、第二のORの出力は1となり、第二のインバータを構成するPチャネルトランジスタはOFFする。Cは0であるので、第二のインバータを構成するNチャネルトランジスタはOFFする。このように第二のインバータを構成するPチャネルトランジスタとNチャネルトランジスタの両方がOFFする。よって、第二のE P R O M 4のソース／ドレイン間には高電圧がかからないことになり、第二のE P R O M への書込は行われない。

【0057】

T = 1、U = 0、W = 1 の場合

第一のNチャネルトランジスタ9と第二のNチャネルトランジスタ10はONになる。よって、AとCの電位はV S S、つまり0になる。第一のORの入力は1と0になるので、第一のORの出力は1になる。Aは0なので、第一のインバータを構成するPチャネルトランジスタ、Nチャネルトランジスタの両方がOFFする。そのため第一のE P R O M のソース／ドレイン間には高電圧がかからず、書込がおこらない。第二のORの入力は0と0なので、第二のORの出力は0になる。第二のインバータを構成するPチャネルトランジスタはON、NチャネルトランジスタはOFFするので、Dの電位はV D Dになる。AはV S Sなので、第二のE P R O M のソース／ドレイン間には大きな電圧が印加されて書込が行われる。

【0058】

T = 0、U = 0、W = 0 の場合

第一のNチャネルトランジスタと第二のNチャネルトランジスタはOFFする。第一のOR回路の1つの入力であるTが0なので、第一のORは、もう1つの入力Aと同じレベルを出力する。第二のOR回路の1つの入力であるUが0なので、第二のORは、もう1つの入力Cと同じレベルを出力する。よって、この場合、図 5 の回路は実施例 1 で述べた

図 1 の回路と等価になる。この場合は読出や保持の状態であるから、抵抗を介して T、U、W の 3 配線を V S S 側に接続しておくこと、T、U、W に特別な信号をいれない限り書込が起きないので信頼性が高まる。

【0059】

T = 0、U = 0、W = 0 の場合

動作機構は図 1 の説明を行った実施例 1 と同じであるが、図 1 にはない素子が追加されているので、以下で動作を検証する。

図 8 は分かり易くするために図 7 の OR をトランジスタに分解した詳細図で、回路の機能としては図 7 と全く同等なものである。OR は、2 つの N チャンネルトランジスタを V S S 側に並列に、2 つの P チャンネルトランジスタを V D D 側に直列に配置し、出力をインバータで反転させたものである。OR の 1 つの入力は N チャンネルトランジスタ、P チャンネルトランジスタの各 1 つのゲートに接続され、OR のもう 1 つの入力は、残る N チャンネルトランジスタ、P チャンネルトランジスタの各 1 つのゲートに接続されている。この構造は C M O S の OR としてごく一般的なものである。

【0060】

まず、第一の E P R O M がデプレッション、第二の E P R O M がエンハンスメントの時について説明する。

条件は T = U = W = 0 である。第二の E P R O M が O F F で第二の N チャンネルトランジスタも O F F なので、A は直接的にはどこも導通していない。この場合、第二の E P R O M と第二の N チャンネルトランジスタの N 型ドレイン / P w e l l 接合リークと寄生容量で A の電位は決まる。ドレイン / P w e l l 接合における接合リークがあるので、A は長期的には V S S に落ち着く。よって、寄生容量が V D D 側にならないように注意すれば、A の電位は瞬間的にも V S S になる。つまり、A = 0。A = 0 なので第一の OR 回路の入力は 2 つとも 0。よって第一の OR 回路の出力は 0。第一のインバータは構成している N チャンネルトランジスタが O F F、P チャンネルトランジスタが O N なので B = 1。第一の E P R O M は O N なので C = 1。第二の E P R O M の 2 つの入力は 0 と 1 なので出力は 1。第二のインバータを構成する N チャンネルトランジスタは O N、P チャンネルトランジスタは O F F なので D = 0 となる。D = 0、A = 0 なので O F F している第二の E P R O M のソース / ドレイン間には電圧はかからない。よって、V D D が更に上がって第二の E P R O M が O N しても状態は変わらない。第一の E P R O M がエンハンスメント、第二の E P R O M がデプレッションの時についても、同様の内容なので省略する。

【0061】

この例では、簡単のために第一の E P R O M について述べると、C と V S S 間に N チャンネルトランジスタを配置し、第一のインバータを構成する P チャンネルトランジスタの O N / O F F を別の入力 T で制御するようにしたものである。これによって、E P R O M の V D D 側に接続されている P チャンネルトランジスタと E P R O M の V S S 側に接続されている N チャンネルトランジスタの両方を O N にすることを可能にし、E P R O M のソース / ドレイン間に大きな電圧を与えて書込を実現している。

【0062】

C と V D D 間にトランジスタを配置し、第一のインバータを構成する N チャンネルトランジスタを別の入力 T で制御できるようにすれば、上記と同様に E P R O M のソース / ドレイン間に大きな電圧を与えて書込を実現することが可能になる。これは本実施例で述べてきた内容から容易に想像できるので詳細な説明を省く。

本実施例では、E P R O M が N チャンネルの場合について述べてきたが、P チャンネルの場合においても同じである。

【実施例 5】

【0063】

図 9 に従って説明する。これは図 1 の回路に、C と V S S の間と、A と V S S の間に容量 1 1 を付加した回路である。

実施例 1 で説明したように、例えば第一の E P R O M の V T がエンハンスメントで O F

Fしている場合、第二のインバータの入力はダイオードリークや寄生容量で決まる。CとVSSの間に容量を設けることによって、第一のEPROMがOFFしている時に、Cのレベルがより確実にVSSかVSSに近いものになる。これによって、第二のインバータの入力がより確実に0とみなされるようになる。

【0064】

第一のEPROMのVTがデプレッションでONしている場合、第一のインバータの出力が1であると、Cのレベルは1になる。これはCとVSS間に容量が付加されていても変わらない。AとVSS間の容量についても上記と同様である。

【0065】

上記はEPROMがOFFしている場合、このEPROMのドレインが0になるように回路を組んでいる場合について説明している。EPROMがOFFしている場合、このEPROMのドレインが1になるように回路を組んでいる場合は、CとVDD間、AとVDD間に容量を付加することになる。内容は上記と同じであるので詳細な説明は省く。

【0066】

図10は、書込用の回路である図7に上記と同じ目的で容量11を付加したものである。インバータを構成するNチャネルとPチャネルの入力が別々に制御されているので、それぞれとVSSの間に容量を付加している。これで上記に説明した内容と同じ役割を果たす。

【実施例6】

【0067】

図11に従って説明する。これはCとVSS間、AとVSS間にダイオードを逆方向に入れたものである。例えばEPROMがOFFしている時、このドレインを入力とするインバータの入力は直接的にはVSSやVDDに接続していない。そのため、入力配線の容量やゲートの容量に溜まった電荷が抜けにくい。この電荷は主にEPROMのN型ドレイン/Pwellの接合を介してPwellへ、そしてVSSへ抜けていく。

【0068】

実際に製品として使用する時は、VDDが急峻に落ちて、その後、急峻に立ち上がる場合がある。こういう場合でも、きちんと動作するためには、その動作に追従して溜まった電荷が抜ける必要がある。CとVSS間、AとVSS間にダイオードを設けることで、この電荷を抜くスピードが上がるという効果が得られる。

ダイオードは逆方向に接続するので、EPROMがONしている時の動作には関係しない。

【0069】

上記はEPROMがOFFしている場合、このEPROMのドレインが0になるように回路を組んでいる場合について説明している。EPROMがOFFしている場合、このEPROMのドレインが1になるように回路を組んでいる場合は、CとVDD間、AとVDD間にダイオードを逆方向に付加することになる。内容は上記と同じであるので詳細な説明は省く。

【実施例7】

【0070】

図12に従って説明する。これは図1の回路において、VDDと半導体記憶回路との間にPチャネルトランジスタ13を追加したものである。PチャネルトランジスタはXによって制御される。書込や読出の際にはX=0でPチャネルトランジスタはONするようにする。実際の製品においては電源にノイズが入ることがよくある。VDDと半導体記憶回路との間にPチャネルトランジスタを設けることで、ノイズ耐性を高めることができる。

【0071】

書込を行って、本発明の半導体記憶回路を構成する2つのEPROMの片方がデプレッション、もう一方がエンハンスメントの時の動作は実施例1で述べたとおりである。しかし、書込を行う前に製品の測定を行いたいことがよくある。こういう場合、EPROMがNチャネルであると、NチャネルのEPROMは一般的に書込前はデプレッションである

10

20

30

40

50

ので、本発明の半導体記憶回路の出力Aは不定になってしまう。

そこで、書込前に測定を行う場合は、Pチャネルトランジスタ13をOFFにする。そうすればAは常に0となるので、測定が可能になる。

【実施例8】

【0072】

EPROMは一般に生産者側で書込を行って、消費者に流通した以降は書込しないケースが多い。よって、書込禁止用の回路を設け、この回路からの出力によって制御するようにすると、より信頼性が高まる。

図13に従って説明する。図13は図7に書込禁止用の回路からの出力Zを追加したものである。書込禁止モードに入る前は $Z = 1$ 、書込禁止モードにはいると $Z = 0$ となるものである。

10

【0073】

図7のT、U、WとZをAND14の入力とし、AND14からの出力を図7でのT、U、Wの接続されていた箇所に接続する。インバータ15を介してZを反転させて、これとAを入力とするANDからの出力を、半導体記憶回路からの出力A'とする。AND回路は2つの入力がある時のみ1を出力し、それ以外の時は0を出力する一般的な回路である。

【0074】

$Z = 1$ の時、T、U、Wを入力にもつANDからの出力はT、U、Wと同じになる。よって、先の実施例4で説明した書込と同じ動作になる。つまり、書込禁止モードに入る前は書込が可能である。

20

$Z = 0$ の時、T、U、Wを入力にもつANDからの出力は、T、U、Wの値に関係なく0になる。先の実施例4で述べたように、これは読出状態なので書込ができない。

【0075】

A'はANDにZの反転した値が入力されるので、 $Z = 1$ の時、A'はAに関係なくA' = 0になる。これは、書込する前であっても半導体記憶回路からの出力が決まることを意味するので、書込前に製品の測定ができるというメリットがある。

$Z = 0$ の時、A'はAと同じになる。よって、書込み禁止モードに入ると、A'はEPROMへの書込に応じて、1もしくは0が出力される。

【0076】

30

ここでは、書込禁止モードに入る前は $Z = 1$ 、書込禁止モードにはいると $Z = 0$ となるものとして、利用方法を図13を用いて説明したが、これは便宜的なものである。これとは逆に書込禁止モードに入る前が $Z = 0$ 、入った後が $Z = 1$ でも構わない。この場合、回路の構成が変わるが、これは図7から図13で追加したANDやインバータが他のロジックに変わるだけのことであり、この変化について新規性はないので説明は省く。

【実施例9】

【0077】

図14に従って説明する。これは図1を構成するインバータ1、3とVDDとの間にPチャネルトランジスタ13、インバータ1、3とVSSとの間にNチャネルトランジスタ16、EPROMのソースとVSSとの間にNチャネルトランジスタ、EPROMのドレインとVDDとの間にPチャネルトランジスタを追加したものである。インバータ1、3とVDDとの間のPチャネルトランジスタは信号Qを入力とし、インバータ1、3とVSSとの間のNチャネルトランジスタは信号Qをインバータ15で反転させた信号を入力とする。

40

【0078】

第一のEPROMのソースとVSSとの間のNチャネルトランジスタは信号Rを入力とし、第一のEPROMのドレインとVDDとの間のPチャネルトランジスタは信号Rをインバータ15で反転させた信号を入力とする。

第二のEPROMのソースとVSSとの間のNチャネルトランジスタは信号Sを入力とし、第二のEPROMのドレインとVDDとの間のPチャネルトランジスタは信号Sをイ

50

ンバータ15で反転させた信号を入力とする。

【0079】

Q = 1、R = 0、S = 1の時、インバータ1、3は当該インバータとVDDとの間のPチャネルトランジスタがOFF、当該インバータとVSSとの間のNチャネルトランジスタがOFFする。第一のEPROMのソースとVSSとの間のNチャネルトランジスタと、ドレインとVDDとの間のPチャネルトランジスタの両方がOFFする。第二のEPROMのソースとVSSとの間のNチャネルトランジスタと、ドレインとVDDとの間のPチャネルトランジスタの両方がONする。この状態においてVDDの電圧を大きくすれば、第二のEPROMのみに書込が起きる。

【0080】

Q = 1、R = 1、S = 0の時、インバータ1、3は当該インバータとVDDとの間のPチャネルトランジスタがOFF、当該インバータとVSSとの間のNチャネルトランジスタがOFFする。第一のEPROMのソースとVSSとの間のNチャネルトランジスタとドレインとVDDとの間のPチャネルトランジスタの両方がONする。第二のEPROMのソースとVSSとの間のNチャネルトランジスタとドレインとVDDとの間のPチャネルトランジスタの両方がOFFする。この状態においてVDDの電圧を大きくすれば、第一のEPROMのみに書込が起きる。

【0081】

Q = R = S = 0の時、2つのEPROMのソースとVSS間をつなぐNチャネルトランジスタがOFF、EPROMのドレインとVDDをつなぐPチャネルトランジスタがOFFする。インバータ1、3とVSS間をつなぐNチャネルトランジスタがON、インバータ1、3とVDDをつなぐPチャネルトランジスタがONする。これは、実施例1で述べた回路と等価である。つまり、Q = R = S = 0の時、実施例1で述べた読み出し状態になる。

【0082】

前述のEPROMのソースとVSS間、ドレインとVDD間に配置したトランジスタの配置を入れ替えて、EPROMのソースとVDD間にPチャネルトランジスタ、ドレインとVSS間にNチャネルトランジスタを配置しても同様の効果が得られるが、これについては前述から容易に推測できるので詳細な説明は省く。一般に、ソースとドレインに与える電圧の高低を書込と読出において反対にすると、書込におけるVTシフトが大きくなるという効果が得られる。

【実施例10】

【0083】

図15に従って説明する。これは図7に抵抗を追加したものである。EPROMとその次段の回路の入力との間であるAとCにこの抵抗を配置する。EPROMのソース／ドレイン間に比較的大きな電圧がかかるのは、次段のゲートやその他の寄生容量に電荷を蓄積する瞬間もしくは、蓄積された電荷を引き抜く瞬間の、いわゆる遷移状態の時のみである。特に容量が大きいのは次段のゲート容量であるので、これの前に抵抗を配置することで、遷移状態における電圧のピークが抑制される。つまり、EPROMのソース／ドレイン間に瞬時的にかかる電圧が抑制されるので、誤書込に対する信頼性が向上する。

【0084】

図15のような書込用のNチャネルトランジスタを配置している場合は、ドレイン直後に抵抗を配置した方が、遷移状態における電圧のピークがより抑制できる。しかし、ここに抵抗を配置すると、書込時にこの抵抗が寄生抵抗として働くので、書込電圧がその分高くなる。もしくは書込時間が長くなる。そこで、書込電圧を低くしたい場合には、書込時に抵抗が載らないように、EPROMのドレイン直後ではなく、図15のように書込用トランジスタの後に配置した方がよい。書込電圧よりも、読出時の信頼性を重視する場合にはEPROMのドレイン直後に配置する。この選択は、記憶回路の用途やプロセス特性に依存する。

【0085】

10

20

30

40

50

また、BとDにも抵抗を配置すると、遷移状態における電圧のピークがより抑制できる。しかし、書込電圧を低くしたい場合には、AとCのみの方がよい。理由は前述と同じである。

【0086】

図14の場合には、インバータ1、3を利用せずに書込ができるので、A、B、C、D全てに配置して、遷移状態における電圧のピークを抑制しても、書込電圧を低くできる。この場合でもEPROMと書込用トランジスタの間に抵抗を配置すると、遷移状態における電圧のピークをより抑制できる。書込用トランジスタとインバータ1、3との間に配置すると、遷移状態における電圧のピークが若干上昇するが、より低電圧で書込ができる。

【0087】

図1の場合には、AとCのみに抵抗を入れることで信頼性が高まる。更にA、B、C、D全部に抵抗を配置するとより信頼性が高まる。内容は前述と同じであるので詳細な説明は省く。

【実施例11】

【0088】

図16に従って説明する。図16は図1のEPROMをPチャンネルにした場合の図である。動作そのものは実施例1から容易に類推できるが、実施例1では述べていない現象を積極的に利用できるので以下に述べる。

【0089】

インバータ1、3の入力は前段のPチャンネルのEPROMのドレインに接続されており、ドレインはVDDレベルのNwellに形成される。そのため、EPROMがオフしている場合、インバータの入力電位をVDDレベルにすることが出来る。VDDレベルを入力にもつインバータの出力は0になる。

【0090】

データの書込後、つまり図16の回路を構成する2つのPチャンネルのEPROMのうち、一方のVTがデプレッション、もう一方のVTがエンハンスメントとなるように書込を行った後に、インバータの出力0をソースにもつPチャンネルのEPROMのVTがデプレッションである場合、この0が次段のインバータの入力となり、このインバータの出力が1となる。これをソースにもつPチャンネルのEPROMのVTはエンハンスメントである。

【0091】

デプレッションのPチャンネルのEPROMにかかる電位は、上記よりソースとドレインが0で、NwellがVDDレベルとなる。この時、PチャンネルのEPROMでは一般にバンド間トンネリングと呼ばれる現象が起き、ゲート電極に電子が注入される。

【0092】

PチャンネルのEPROMの場合、一般に書込前がエンハンスメントであり、書込後がデプレッションである。よって、この現象によって、書込後のEPROMにより深まる方向に書込が進む。これが、実施例1では述べていない、PチャンネルのEPROMを用いた場合に利用できる現象である。これによって、より信頼性のあるEPROM回路を実現できる。Nチャンネルでも、このバンド間トンネリングと呼ばれる現象は起きるが、一般にPチャンネルに比べて非常に小さい。

【符号の説明】

【0093】

- 1 第一のインバータ
- 2 第一のEPROM
- 3 第二のインバータ
- 4 第二のEPROM
- 5 並列トランジスタ
- 6 抵抗
- 7 第一のOR

10

20

30

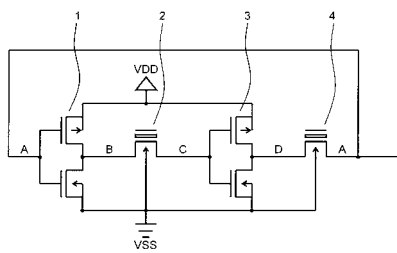
40

50

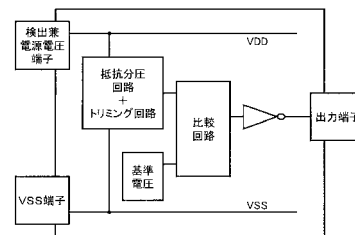
- 8 第二のOR
- 9 第一のNチャネルトランジスタ
- 10 第二のNチャネルトランジスタ
- 11 容量
- 12 ダイオード
- 13 Pチャネルトランジスタ
- 14 AND
- 15 インバータ
- 16 Nチャネルトランジスタ
- 101 N型ソース
- 102 コントロールゲート
- 103 フローティングゲート
- 104 N型ドレイン
- 105 Pwell

10

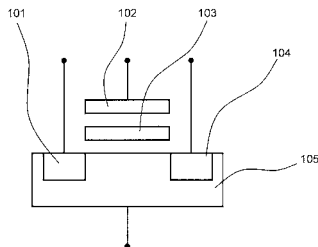
【図1】



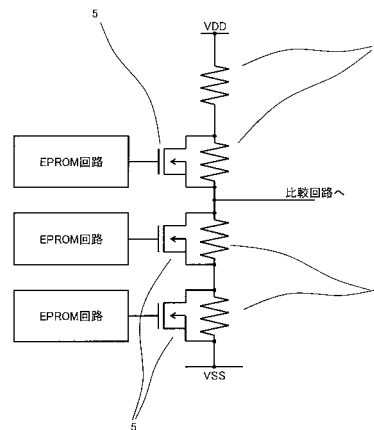
【図3】



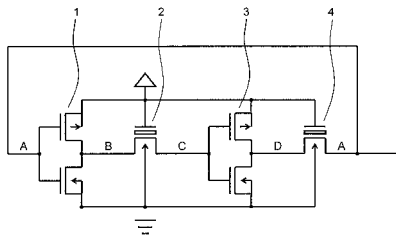
【図2】



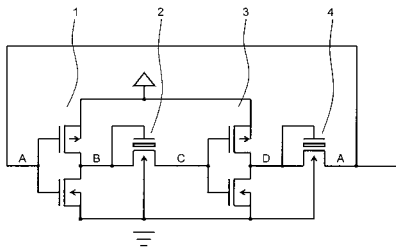
【図4】



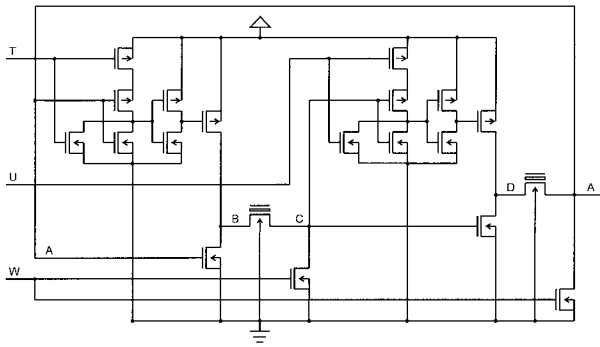
【図 5】



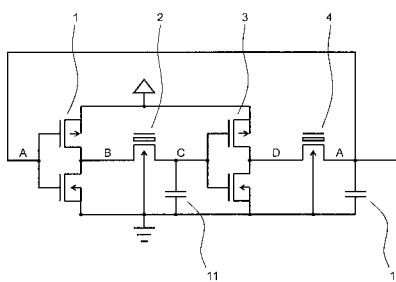
【図 6】



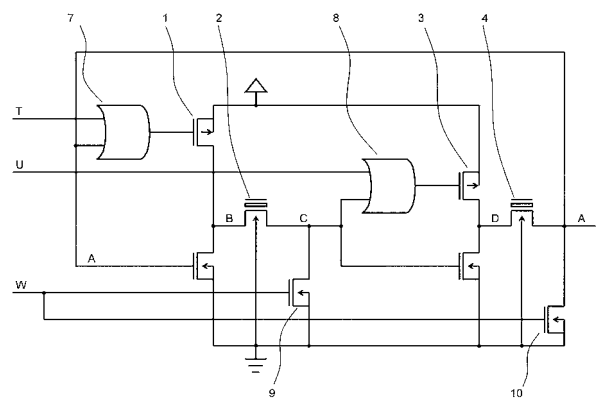
【図 8】



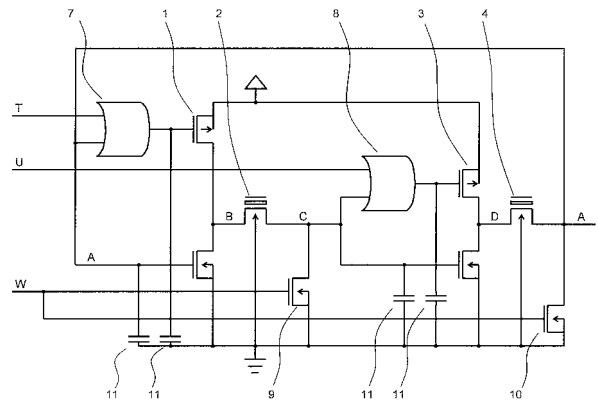
【図 9】



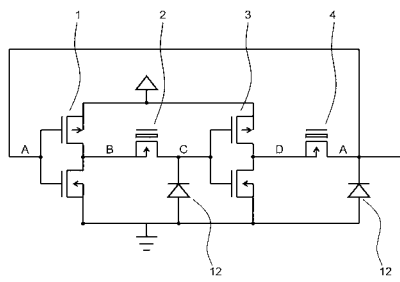
【図 7】



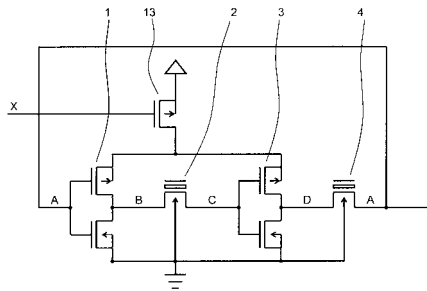
【図 10】



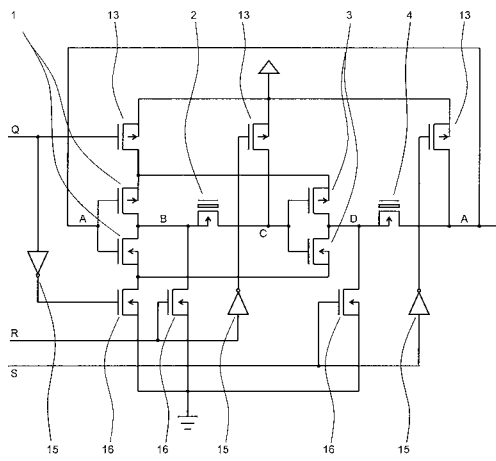
【図 1 1】



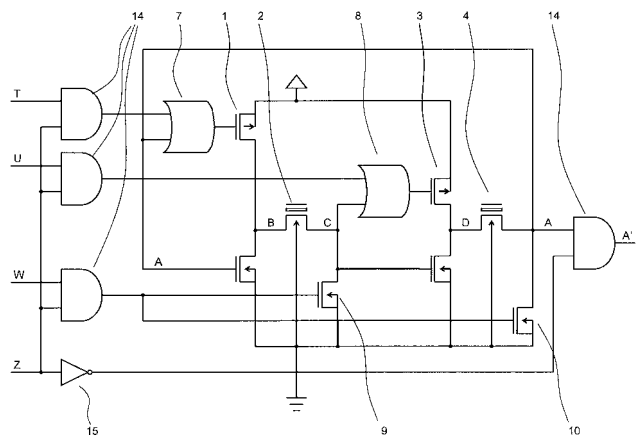
【図 1 2】



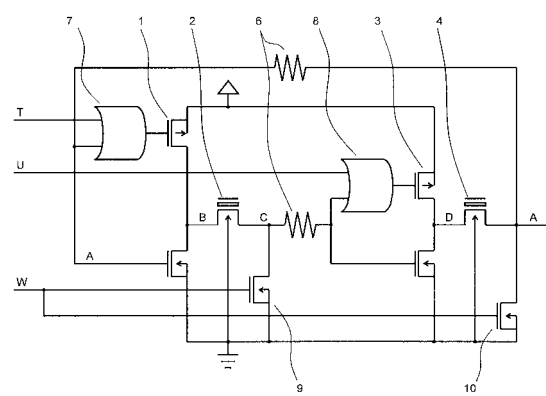
【図 1 4】



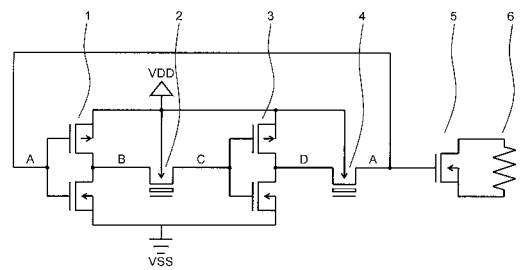
【図 1 3】



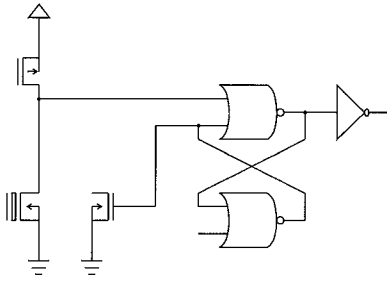
【図 1 5】



【図 1 6】



【図 17】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 27/10 4 3 4	
<i>H 0 1 L 29/788 (2006.01)</i>	H 0 1 L 29/78 3 7 1	
<i>H 0 1 L 29/792 (2006.01)</i>		