



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월09일
(11) 등록번호 10-1306489
(24) 등록일자 2013년09월03일

(51) 국제특허분류(Int. Cl.)

H03D 3/02 (2006.01) H04L 27/233 (2006.01)

(21) 출원번호 10-2012-0030409

(22) 출원일자 2012년03월26일

심사청구일자 2012년03월26일

(56) 선행기술조사문헌

KR101167023 B1

(73) 특허권자

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

강진구

서울특별시 서초구 잠원동 잠원한신아파트 2동 505호

윌커슨벤자민

경기 의왕시 내손2동 동부시장2길 태광빌라 가동 103호

(74) 대리인

양성보

전체 청구항 수 : 총 10 항

심사관 : 문형섭

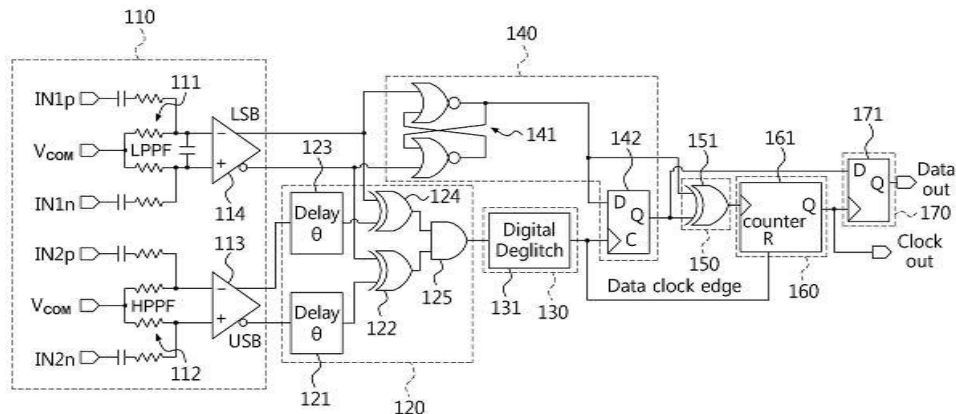
(54) 발명의 명칭 양측과 대역을 차동 출력 비교기들을 통해 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 제거하는 생체 이식용 저전력 비동기식 위상 편이 복조 회로

(57) 요약

양측과 대역을 차동 출력 비교기로 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 없애고 결합해 글리치를 제거해서 수율을 높이는 양측과 대역을 차동 출력 비교기들을 통해 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 제거하는 생체 이식용 저전력 비동기식 위상 편이 복조 회로를 개시한다.

본 발명의 일실시예에 따르면, 광대역 데이터를 전송하는 동시에 저전력 소모가 필요한 생체이식용 소자의 디지털 통신에 사용할 수 있고, 핸드캐리어 통신기기에서도 사용할 수 있는 CMOS 변조회로로 시스템 온 칩(SoC)을 구현하기에 아주 적합하고 반도체 제조 공정에 따른 CMOS FET의 특성의 차이로 인한 신호 왜곡 문제를 회로적으로 보완하여 회로의 안정성을 높이면서 각 영역에 한 개의 비교기에서 출력되는 차동 출력을 사용하므로 칩 면적을 줄이고 RS 래치로 복원되는 클럭의 지터를 줄여 수율 저하를 개선하여 경제성을 높일 수 있다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2011-0018394

부처명 교육과학기술부

연구사업명 중점연구소 지원사업

연구과제명 그린 생체모방형 임플란티블 전자칩 및 U-생체정보처리 플랫폼 융합기술개발

주관기관 인하대학교 산학협력단

연구기간 2011.05.01 ~ 2012.04.30

특허청구의 범위

청구항 1

차동신호로부터 하측대역 신호를 분리하고, 상기 분리된 하측대역 신호에서 iii)정위상 디지털 신호와, iv)역위상 디지털 신호를 출력하는 필터; 및

상기 하측대역 신호의 iii)정위상 디지털 신호 및 iv)역위상 디지털 신호에서 복원될 클럭의 지터를 감소시켜 디지털 데이터로 만드는 RS 래치를 포함하는 신호 생성부

를 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 2

제1항에 있어서,

상기 신호 생성부는,

상기 디지털 데이터를 데이터 입력에 가하고, 심볼엿지 신호를 클럭에 가하여 디지털 데이터 신호를 만드는 제1 디 플립플롭

를 더 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 3

제1항에 있어서,

상기 필터에 의해, 상기 차동신호로부터 분리된 상측대역 신호에서 i)정위상 디지털 신호와 ii)역위상 디지털 신호를 출력하면,

상기 상측대역 신호의 i)정위상 디지털 신호 및 ii)역위상 디지털 신호를 기준지연시간 만큼 지연시켜 상기 차동신호의 위상 변화를 감지하는 감지부; 및

상기 감지된 위상 변화의 각 시점에서 발생하는 펄스신호를, 디지털 디글리치 필터에 의해 필터링해서 심볼엿지 신호를 만들어 데이터를 검출하는 클럭을 생성하는 클럭 생성부

를 더 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 4

제3항에 있어서,

상기 필터는,

상기 상측대역 신호로부터 제1 아날로그 신호를 분리하고,

상기 하측대역 신호로부터 제2 아날로그 신호를 분리하며,

상기 i)정위상 디지털 신호, 상기 ii)역위상 디지털 신호, 상기 iii)정위상 디지털 신호, 또는 상기 iv)역위상 디지털 신호 중 적어도 하나를 출력하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 5

제1항에 있어서,

상기 하측대역 신호의 iii)정위상 디지털 신호를 지연시켜 캐리어 주파수를 복원하는 복원부;

상기 복원된 캐리어 주파수와 심볼엿지 신호를 이용하여 데이터 클럭을 발생하는 클럭 발생부; 및

상기 디지털 데이터 신호와 상기 데이터 클럭을 동기시켜 복조된 디지털 신호를 출력하는 출력부

를 더 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 6

제5항에 있어서,
상기 출력부는,
상기 디지털 데이터 신호를 데이터 입력에 가하고, 상기 데이터 클럭을 클럭에 가하여 상기 복조된 디지털 신호를 출력하는 제2 디 플립플롭
을 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 7

제5항에 있어서,
상기 복원부는,
상기 하측대역 신호의 iii)정위상 디지털 신호와 상기 신호 생성부의 출력을, 배타적 논리합을 통해 상기 캐리어 주파수를 복원하는 배타적 논리회로
를 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 8

제5항에 있어서,
상기 클럭 발생부는,
상기 복원된 캐리어 주파수를 클럭으로 사용하고, 상기 심볼렛지 신호마다 리셋되어 상기 데이터 클럭을 발생하는 카운터
를 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 9

제3항에 있어서,
상기 감지부는,
상기 상측대역 신호의 i)정위상 디지털 신호를 상기 기준지연시간 만큼 지연시키는 제1 지연회로;
상기 제1 지연회로의 출력과 상기 하측대역 신호를, 배타적 논리합을 통해 상기 차동신호의 정위상 위상 변화를 감지하는 제1 배타적 논리회로;
상기 상측 대역 신호의 ii)역위상 디지털 신호를 상기 기준지연시간만큼 지연시키는 제2 지연회로;
상기 제2 지연회로의 출력과 상기 하측대역 신호를, 배타적 논리합을 통해 상기 차동신호의 역위상 위상 변화를 감지하는 제2 배타적 논리회로; 및
상기 제1 배타적 논리회로의 출력과 상기 제2 배타적 논리회로의 출력을 논리곱을 통해 상기 차동신호의 위상 변화를 감지하는 논리곱 회로
를 포함하는 저전력용 비동기식 고속 위상 편이 복조 회로.

청구항 10

제1항에 있어서,
상기 RS 래치는,
상기 iii)정위상 디지털 신호와 상기 iv)역위상 디지털 신호를 피드백 루프시키고, 논리곱을 통해 상기 지터를 감소시키는 저전력용 비동기식 고속 위상 편이 복조 회로.

명세서

기술 분야

- [0001] 본 발명의 실시예들은 양측과 대역을 차동 출력 비교기로 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 없애고 결합해 글리치를 제거해서 수율을 높이는 양측과 대역을 차동 출력 비교기들을 통해 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 제거하는 생체 이식용 저전력 비동기식 위상 편이 복조 회로에 관한 것이다.

배경 기술

- [0002] 위상 편이(PSK) 신호는 캐리어가 없는 양측과대 신호이다. 위상 편이 신호에서 캐리어신호를 추출할 수 없는 문제로 VCO를 만들어 동기화시키는 동기식 위상 편이(PSK) 복조의 대표적 방식으로 코스타스 루프(COSTAS loop)가 있다.
- [0003] 코스타스 루프는 전력소모가 많고 회로가 복잡하고 VCO를 통한 귀환루프를 사용하므로 전송속도에 한계가 있다. 아날로그 적분회로(Analog integrator)와 스위칭 캐패시터 유닛(Switched-capacitor units)을 사용한 비동기식 위상 편이(PSK) 복조회로는 내부발진회로와 아날로그 적분회로(Analog integrator)로 인해 전력소모가 많고 회로가 복잡하며 칩 면적이 커지고 반도체 제조 공정에 따른 CMOS FET의 특성의 차이로 신호 왜곡의 문제로 수율 감소가 생긴다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일실시예는 광대역 디지털 데이터 전송이며 저전력인 동시에 회로가 간단한 비동기식 위상 편이 복조를 CMOS 비교기 회로로 디지털화하며 능동 필터로 글리치를 제거한 후 디지털 회로로 구현한 양측과 대역을 차동 출력 비교기들을 통해 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 제거하는 생체 이식용 저전력 비동기식 위상 편이 복조 회로를 제공한다.
- [0005] 또한, 본 발명의 일실시예는 각각 차동 출력 비교기를 통과한 상보적 신호를 이용하고 디지털 글리치 제거 회로를 사용하여 전력 소모가 6% 적고 반도체 제조 공정에 따른 CMOS FET의 특성의 차이로 인한 신호 왜곡 문제를 회로적으로 보완하여 회로의 안정성을 높여 수율 저하를 개선하는 양측과 대역을 차동 출력 비교기들을 통해 상보적 신호를 분리하고 RS 래치로 복구할 클럭의 지터를 제거하는 생체 이식용 저전력 비동기식 위상 편이 복조 회로를 제공한다.

과제의 해결 수단

- [0006] 상기 일실시예를 달성하기 위한 장치로서, 저전력용 비동기식 고속 위상 편이 복조 회로는 차동신호로부터 상측 대역 신호와 하측대역 신호를 분리하여 상기 분리된 두 신호를 비교해서 각각 정위상과 역위상인 차동 디지털 신호를 출력하는 비교기; 상기 상측대역의 정위상 디지털 신호를 기준지연시간만큼 지연시켜 상기 차동신호의 위상 변화를 감지하는 감지부; 및 상기 감지된 위상 변화의 각 시점에서 발생하는 펄스신호를, 디지털 디글리치 필터에 의해 필터링해서 심볼앤티지 신호를 만들어 데이터를 검출하는 클럭을 생성하는 클럭 생성부를 포함한다.

발명의 효과

- [0007] 본 발명의 일실시예에 따르면, 광대역 데이터를 전송하는 동시에 저전력 소모가 필요한 생체이식용 소자의 디지털통신에 사용할 수 있고, 핸드캐리용 통신기기에서도 사용할 수 있는 CMOS 변조회로로 시스템 온 칩(SoC)을 구현하기에 아주 적합하고 반도체 제조 공정에 따른 CMOS FET의 특성의 차이로 인한 신호 왜곡 문제를 회로적으로 보완하여 회로의 안정성을 높이면서 각 영역에 한 개의 비교기에서 출력되는 차동 출력을 사용하므로 칩 면적을 줄이고 RS 래치로 복원되는 클럭의 지터를 줄여 수율 저하를 개선하여 경제성을 높일 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 일실시예에 따른 저전력용 비동기식 고속 위상 편이 복조 회로의 구성을 도시한 예시도이다.
- 도 2는 본 발명의 일실시예에 따른 복조 회로에서 송신측 신호, 수신측 신호, 프리 필터를 통과한 신호를 보인 예시도이다.

도 3은 본 발명의 일실시예에 따른 복조 회로에서 프리 필터의 주파수 및 위상 특성을 보인 예시도이다.

도 4는 본 발명의 일실시예에 따른 송신측 위상 편이 변조신호, 수신측 공진회로를 통과한 신호, 저역 통과 프리 필터 출력신호, 고역 통과 프리 필터 출력신호, 저역 통과 프리 필터의 비교기 정위상측 출력, 고역 통과 프리 필터의 비교기 정위상측 출력의 지연된 신호, 정위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 정위상측 신호, 저역 통과 프리 필터측의 비교기 역위상측 출력, 고역 통과 프리 필터측의 비교기 역위상측 출력의 지연된 신호, 역위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 역위상측 신호, 배타적 논리합한 정위상측 신호와 배타적 논리합한 역위상측 신호를 부정 논리합한 글리치가 거의 없는 심볼엣지 신호, 디글리치 필터를 통과한 심볼 엣지 신호, 1차 동기된 반전된 데이터, 복원된 캐리어 신호, 데이터 클럭 신호, 복조된 디지털 데이터 신호를 보인 예시도이다.

도 5는 도 4의 파형을 확대한 예시도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0010] 도 1은 본 발명의 일실시예에 따른 저전력용 비동기식 고속 위상 편이 복조 회로의 구성을 도시한 예시도이다.
- [0011] 도 1을 참조하면, 저전력용 비동기식 고속 위상 편이 복조 회로의 구성을 도시하고, 위상 편이로 변조된 차동신호를 입력으로 하여 복조된 디지털 데이터와 데이터 클럭을 출력하는 구성은 다음과 같다.
- [0012] 필터(110)는 위상 편이(PSK)로 변조된 차동신호를 저역 통과 프리 필터(Low-pass Pre-filter)(111)로 하측대역(LSB: Lower-Side-Band) 신호를 고역 통과 프리 필터(High-pass Pre-filter)(112)로 상측대역(USB: Upper-Side-Band) 신호를 각각 차동 신호로 분리하고 각각의 하측대역 신호와 상측대역 신호를 2개의 비교기(comparator)(113, 114)를 통하여 입력으로 가하여 디지털신호를 각각 정위상과 역위상인 차동 신호로 변환한다(110).
- [0013] 필터(110)는 상측대역 신호로부터 제1 아날로그 신호를 분리하고, 하측대역 신호로부터 제2 아날로그 신호를 분리하며, 상측대역 신호에서 i)정위상 디지털 신호, ii)역위상 디지털 신호를, 하측대역 신호에서 iii)정위상 디지털 신호, 또는 iv)역위상 디지털 신호를 중 적어도 하나를 출력한다.
- [0014] 제1 비교기(113)의 출력인 상측대역 신호의 역위상 디지털 신호는 제2 비교기(114)의 출력인 하측대역 신호의 역위상 디지털 신호보다 위상이 약 90도 정도 빠르므로 제1 지연회로(121)는 지연시간 θ 만큼 늦추고 감지부(120)는 제1 배타적 논리회로(122)를 통해 정위상측에 위상 편이로 변조된 신호의 위상 변화를 감지한다.
- [0015] 제1 비교기(113)의 출력인 상측대역 신호의 정위상 디지털 신호는 제2 비교기(114)의 출력인 하측대역 신호의 정위상 디지털 신호보다 위상이 약 90도 정도 빠르므로 제2 지연회로(123)는 지연시간 θ 만큼 늦추고 감지부(120)는 제2 배타적 논리회로(124)를 통해 역위상측에 위상 편이로 변조된 신호의 위상 변화를 감지한다.
- [0016] 논리곱 회로(125)는 제1 배타적 논리회로(122)의 출력과 제2 배타적 논리회로(123)의 출력을 논리곱을 통해 차동신호의 위상 변화를 감지한다.
- [0017] 클럭 생성부(130)는 논리곱 회로(125)을 통해 위상의 변화한 각각의 시점에서 펄스신호를 발생하는데 약 9도정도 위상의 변화인 지터(Jitter) 때문에 생긴 글리치(Glitch)가 섞여 있으므로 정위상측에 위상 편이로 변조된 신호의 위상 변화를 감지한 신호와 역위상측에 위상 편이로 변조된 신호의 위상 변화를 감지한 신호를 논리곱 회로(125)를 통과시켜 대부분의 글리치는 정위상측과 역위상측이 겹치지 않으므로 제거된다.
- [0018] 클럭 생성부(130)는 위상의 변화한 시점에서 펄스신호가 아닌 큰 글리치를 디지털 방식의 디글리치 필터(Deglitch Filter)(131)를 통해 심볼엣지(Phase Changing Edge) 신호를 만들어 데이터를 검출하는 클럭으로 사용한다.
- [0019] 신호 생성부(140)는 하측대역(LSB) 측의 제2 비교기(114) 출력이 PMOS FET과 NMOS FET의 지연 차이로 인한 듀티 사이클의 변화를 정위상 디지털 신호와 역위상 디지털 신호의 출력을 RS 래치(141)로 없애고 복원된 클럭의 지터를 감소시켜 디지털 데이터로 만든다. RS 래치는 정위상 디지털 신호와 역위상 디지털 신호를 피드백 루프시키고, 논리곱을 통해 클럭의 지터를 감소시킨다.
- [0020] 신호 생성부(140)는 제1 디 플립플롭(D Flip-Flop)(142)의 데이터 입력에 하측대역(LSB) 신호의 정위상 디지털

신호를 가하고 심볼엿지 신호를 클럭에 가하여 1차 동기된 디지털 데이터 신호를 만든다.

[0021] 복원부(150)는 한편 하측대역(LSB) 신호의 정위상 디지털 신호와 제1 디 플립플롭(D Flip-Flop)(142)을 통과한 디지털 데이터 신호를 배타적 논리합(Exclusive-OR)(152)에 통과시켜 캐리어 주파수 성분을 복원시킨다.

[0022] 클럭 발생부(160)는 연속적인 "1"이나 "0"으로 인한 데이터를 구분하기 위하여 복원된 캐리어 주파수 성분의 신호를 클럭으로 사용하고 심볼엿지 신호마다 리셋되는 카운터(161)를 써서 데이터를 동기시키는 데이터 클럭을 발생한다.

[0023] 출력부(170)는 1차 동기된 디지털 데이터 신호를 데이터 클럭으로 제2 디 플립플롭(D Flip-Flop)(171)을 통해서 동기시켜서 복조된 디지털 데이터를 신호를 만들어 출력한다.

[0024] 도 2는 본 발명의 일실시예에 따른 복조 회로에서 송신측 신호, 수신측 신호, 프리 필터를 통과한 신호를 보인 예시도이다.

[0025] 도 2를 참조하면, 2MHz 캐리어를 중심으로 한 변조된 송신측의 신호와 광대역 공진회로를 통한 수신측의 신호와 2개의 프리 필터(Pre-filter)의 출력이며 비교기의 차동입력단의 신호들의 주파수 스펙트럼이다.

[0026] 도 3은 본 발명의 일실시예에 따른 복조 회로에서 프리 필터의 주파수 및 위상 특성을 보인 예시도이다.

[0027] 도 3을 참조하면, 저역 통과 프리 필터(LPPF: Low-pass Pre-filter)와 고역 통과 프리 필터(HPPF: High-pass Pre-filter)의 캐리어 주파수의 위상과 주파수의 특성이며 두 프리 필터(Pre-filter)들을 통과한 신호들의 위상의 차이와 지터(Jitter)의 영역을 표시한 것이다.

[0028] 도 4는 본 발명의 일실시예에 따른 송신측 위상 편이 변조신호, 수신측 공진회로를 통과한 신호, 저역 통과 프리 필터 출력신호, 고역 통과 프리 필터 출력신호, 저역 통과 프리 필터의 비교기 정위상측 출력, 고역 통과 프리 필터의 비교기 정위상측 출력의 지연된 신호, 정위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 정위상측 신호, 저역 통과 프리 필터측의 비교기 역위상측 출력, 고역 통과 프리 필터측의 비교기 역위상측 출력의 지연된 신호, 역위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 역위상측 신호, 배타적 논리합한 정위상측 신호와 배타적 논리합한 역위상측 신호를 부정 논리합한 글리치가 거의 없는 심볼엿지 신호, 디글리치 필터를 통과한 심볼 엿지 신호, 1차 동기된 반전된 데이터, 복원된 캐리어 신호, 데이터 클럭 신호, 복조된 디지털 데이터 신호를 보인 예시도이다.

[0029] 도 4를 참조하면, 순서대로 송신측 위상 편이(PSK) 변조신호, 수신측 공진회로 통한 신호, 저역 통과 프리 필터(LPPF) 출력신호, 고역 통과 프리 필터(HPPF) 출력신호, 저역 통과 프리 필터(LPPF)측의 비교기 정위상측 출력, 고역 통과 프리 필터(HPPF)측의 비교기 정위상측 출력의 지연된 신호, 정위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 정위상측 신호, 저역 통과 프리 필터(LPPF)측의 비교기 역위상측 출력, 고역 통과 프리 필터(HPPF)측의 비교기 역위상측 출력의 지연된 신호, 역위상측 두 비교기 출력을 배타적 논리합한 글리치가 섞인 역위상측 신호, 배타적 논리합(Exclusive-OR)한 정위상측 신호와 배타적 논리합한 역위상측 신호를 부정합한 글리치가 거의 없는 심볼엿지 신호, 디글리치 필터(Degitch Filter)를 통과한 깨끗한 심볼엿지 신호, 1차 동기된 반전된 데이터, 복원된 캐리어 신호, 데이터 클럭 신호, 복조된 디지털 데이터를 보인다. 0.35 μ m 기술(Technology)로 100Mbps 이상의 고속동작에도 실현되었고 그 이상에도 동작할 수 있는 복조방식이다.

[0030] 도 5는 도 4의 과형을 확대한 예시도이다.

[0031] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 구성들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0032] 110 : 필터

120 : 감지부

130 : 클럭 생성부

140 : 신호 생성부

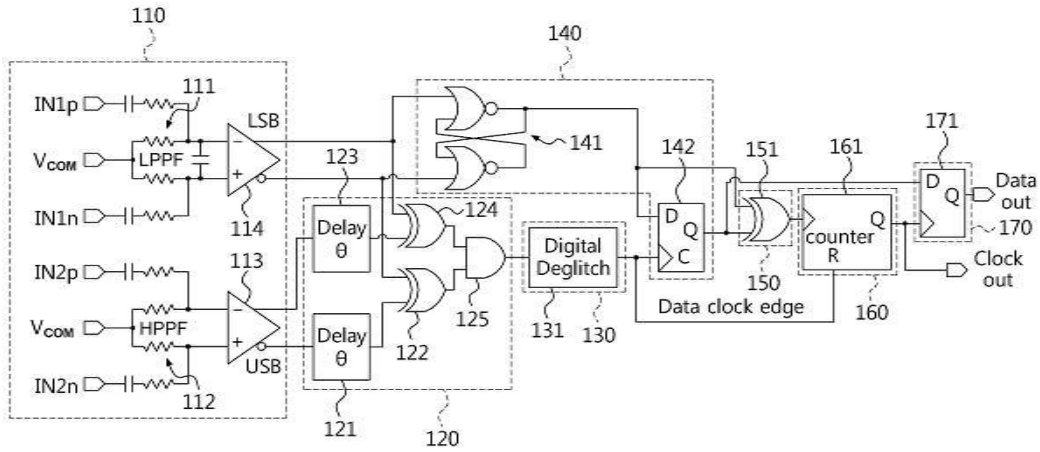
150 : 복원부

160 : 클럭 발생부

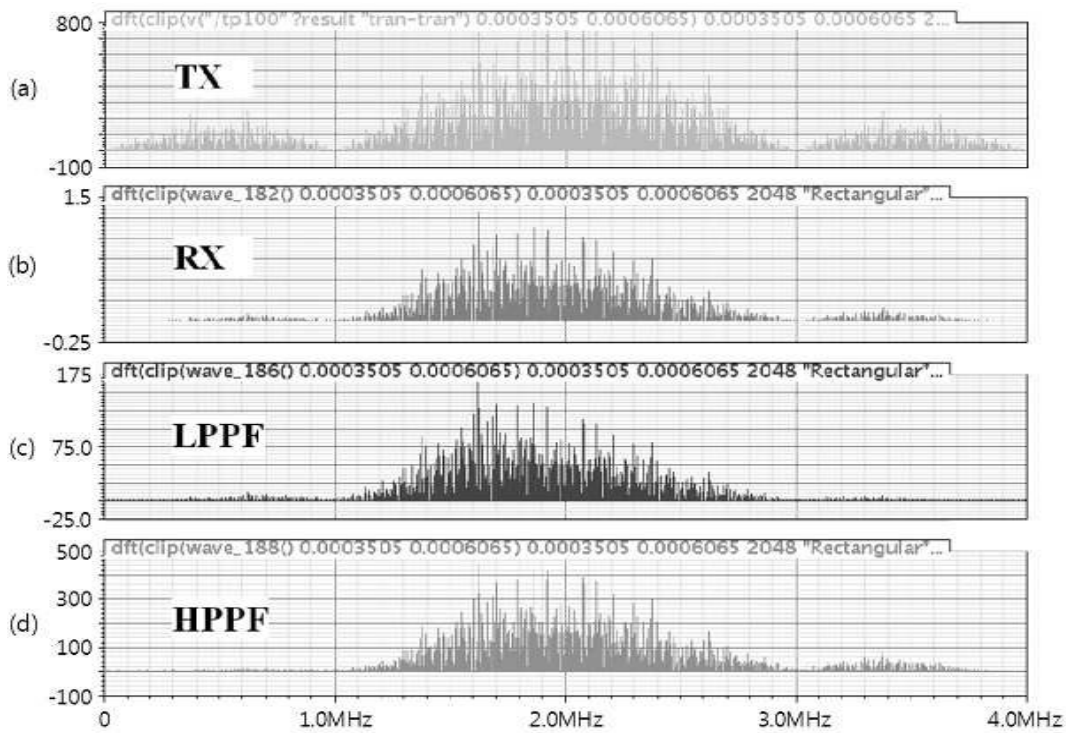
170 : 출력부

도면

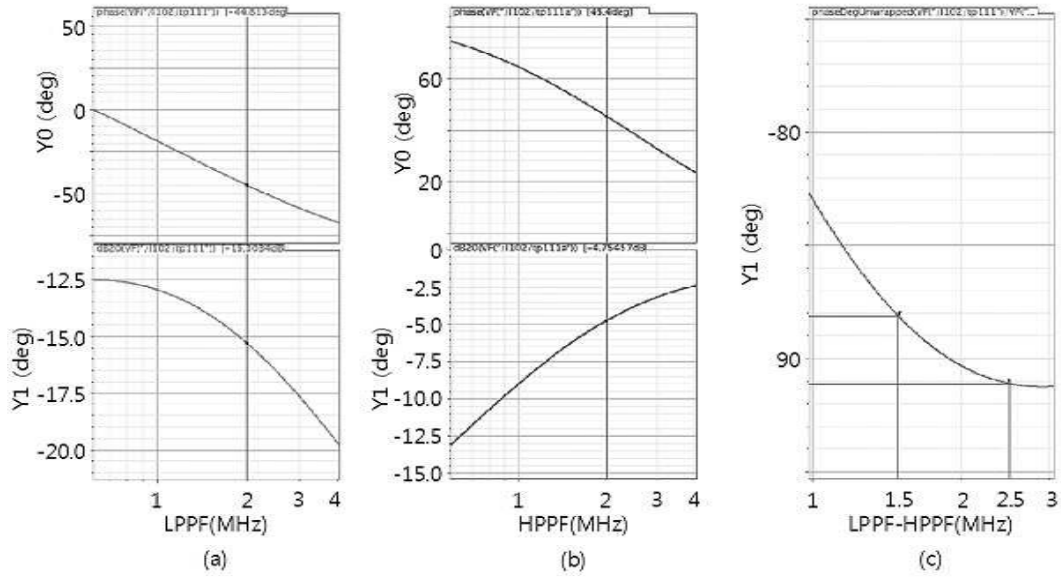
도면1



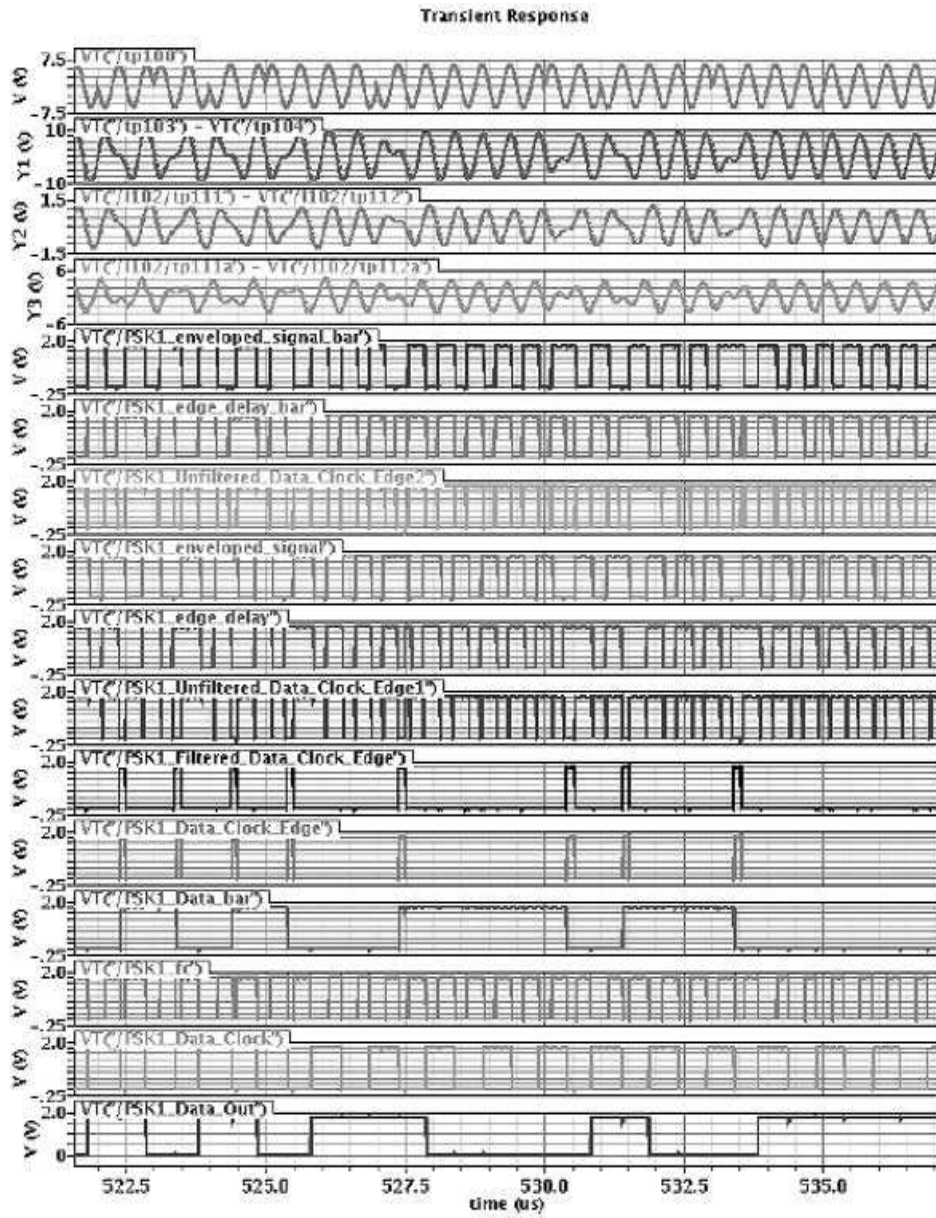
도면2



도면3



도면4



도면5

