

(12) 发明专利申请

(10) 申请公布号 CN 101933147 A

(43) 申请公布日 2010.12.29

(21) 申请号 200980103689.8

(51) Int. Cl.

(22) 申请日 2009.01.14

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(30) 优先权数据

61/021,009 2008.01.14 US

(85) PCT申请进入国家阶段日

2010.07.30

(86) PCT申请的申请数据

PCT/US2009/031019 2009.01.14

(87) PCT申请的公布数据

W02009/091840 EN 2009.07.23

(71) 申请人 沃特拉半导体公司

地址 美国加利福尼亚州

(72) 发明人 卢阳 尤普东 马可·A·苏尼加

哈姆萨·伊尔马兹

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

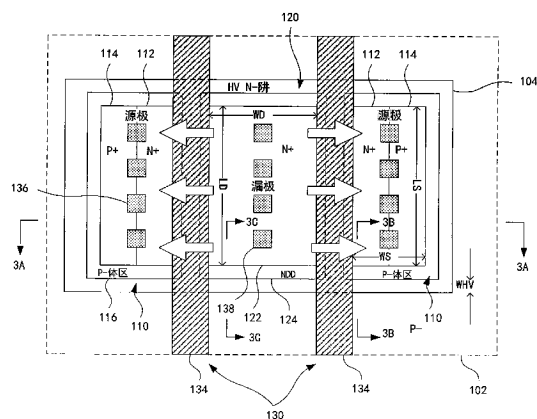
权利要求书 3 页 说明书 5 页 附图 6 页

(54) 发明名称

具保护沟道的功率晶体管

(57) 摘要

晶体管包括衬底、形成于衬底的阱、漏极,包括注入阱中的第一杂质区、源极,包括注入阱中的第二杂质区且与第一杂质区相隔、供电流从漏极流向源极的沟道、和栅极,用以控制介于源极与漏极间的耗尽区。沟道具有本征击穿电压,阱、漏极和源极配置成提供比本征击穿电压小的非本征击穿电压,使击穿得以发生在位于沟道外且邻接漏极或源极的阱内的击穿区。



1. 一种晶体管,包含:
 - p 型衬底,具 p 型体区;
 - n- 阱,形成于该衬底;
 - 源极,形成于该 n- 阱且包括:
 - p 掺杂的 p- 体区;
 - p 掺杂的 p+ 区域,位于该 p- 体区内;以及
 - 第一 n 掺杂的 n+ 区域,位于该 p- 体区内;漏极,形成于该 n- 阱且与该源极相隔,该漏极包括第二 n 掺杂的 n+ 区域;
 - 沟道区,供电流从该漏极流向该源极,该沟道区具有本征击穿电压;
 - 栅极,用以控制位于该源极与该漏极间的该沟道区的沟道形成;以及
 - 击穿区,位于该沟道区外且介于该 p- 体区与该衬底的该 p 型体区间的该高压 n- 阱,该击穿区具有比该本征击穿电压小的非本征击穿电压。
2. 如权利要求 1 所述的晶体管,还包含场氧化物,位于该衬底上且围绕该 n- 阱及延伸越过一部分的该 n- 阱。
3. 如权利要求 2 所述的晶体管,其中该场氧化物延伸越过一部分的该 p- 体区。
4. 如权利要求 1 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大不超过约 10%。
5. 如权利要求 1 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大约 1-2 伏特。
6. 如权利要求 1 所述的晶体管,其中该漏极包含 n 掺杂区域,围绕该第二 n 掺杂的 n+ 区域且掺杂更轻。
7. 如权利要求 1 所述的晶体管,其中该第一 n 掺杂的 n+ 区域毗连该 p+ 区域。
8. 如权利要求 1 所述的晶体管,其中该沟道沿着第一方向延伸,该击穿区沿着垂直该第一方向的第二方向延伸。
9. 如权利要求 1 所述的晶体管,其中该漏极为分散式漏极,具有复数个各自包括该第二 n 掺杂的 n+ 区域的漏极区,且该栅极包括复数个栅线,用以控制介于该源极与这些漏极区间的复数个耗尽区。
10. 如权利要求 1 所述的晶体管,其中该源极为分散式源极,具有复数个各自包括该 p- 体区、该 p+ 区域和该第二 n 掺杂的 n+ 区域的源极区,且该栅极包括复数个栅线,用以控制介于这些源极区与该漏极间的复数个耗尽区。
11. 一种晶体管,包含:
 - p 型衬底,具 p 型体区;
 - n- 阱,形成于该衬底;
 - 源极,形成于该 n- 阱且包括:
 - p 掺杂的 p- 体区;
 - p 掺杂的 p+ 区域,位于该 p- 体区内;以及
 - 第一 n 掺杂的 n+ 区域,位于该 p- 体区内;
 - 漏极,形成于该 n- 阱且与该源极相隔,该漏极包括第二 n 掺杂的 n+ 区域;
 - 沟道区,供电流从该漏极流向该源极,该沟道区具有本征击穿电压;

栅极,用以控制位于该源极与该漏极间的该沟道区的沟道形成;以及
击穿区,位于该沟道区外且介于该第二 n 掺杂的 n+ 区域与该衬底的该 p 型体区间的该
高压 n- 阱,该击穿区具有比该本征击穿电压小的非本征击穿电压。

12. 如权利要求 11 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大不超过
约 10%。

13. 如权利要求 11 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大约 1-2
伏特。

14. 如权利要求 11 所述的晶体管,还包含场氧化物,位于该衬底上且围绕该 n- 阱及延
伸越过一部分的该 n- 阱。

15. 如权利要求 14 所述的晶体管,其中该漏极包含 n 掺杂区域,围绕该第二 n 掺杂的
n+ 区域且掺杂更轻。

16. 如权利要求 15 所述的晶体管,其中该场氧化物延伸越过一部分的该 n 掺杂区域。

17. 如权利要求 11 所述的晶体管,其中该第一 n 掺杂的 n+ 区域毗连该 p+ 区域。

18. 如权利要求 11 所述的晶体管,其中该沟道沿着第一方向延伸,该击穿区沿着垂直
该第一方向的第二方向延伸。

19. 如权利要求 11 所述的晶体管,其中该漏极为分散式漏极,具有复数个各自包括该
第二 n 掺杂的 n+ 区域的漏极区,且该栅极包括复数个栅线,用以控制介于该源极与这些漏
极区间的复数个耗尽区。

20. 如权利要求 11 所述的晶体管,其中该源极为分散式源极,具有复数个各自包括该
p- 体区、该 p+ 区域和该第二 n 掺杂的 n+ 区域的源极区,且该栅极包括复数个栅线,用以控
制介于这些源极区与该漏极间的复数个耗尽区。

21. 一种晶体管,包含:

衬底;

阱,形成于该衬底;

漏极,包括注入该阱中的第一杂质区;

源极,包括注入该阱中的第二杂质区且与该第一杂质区相隔;

沟道,供电流从该漏极流向该源极,该沟道具有本征击穿电压;以及

栅极,用以控制介于该源极与该漏极间的耗尽区;其中该阱、该漏极和该源极配置成提
供比该本征击穿电压小的非本征击穿电压,使击穿得以发生在位于该沟道外且邻接该漏极
或该源极的该阱内的击穿区。

22. 如权利要求 21 所述的晶体管,其中该漏极为分散式漏极,具有复数个各自包括该
第一杂质区的漏极区,该源极为分散式源极,具有复数个各自包括该第二杂质区的源极区,
且该栅极包括复数个栅线,用以控制介于这些源极区与这些漏极区间的复数个耗尽区。

23. 如权利要求 22 所述的晶体管,其中这些漏极区和这些源极区交替排成多行。

24. 如权利要求 23 所述的晶体管,其中这些行沿着第一方向延伸,该高压阱中的该击
穿区沿着垂直该第一方向的第二方向延伸。

25. 如权利要求 23 所述的晶体管,其中该阱中的该击穿区设在这些行的末端。

26. 如权利要求 21 所述的晶体管,其中该漏极为分散式漏极,具有复数个各自包括该
第一杂质区的漏极区,且该栅极包括复数个栅线,用以控制介于该源极与这些漏极区间的

复数个耗尽区。

27. 如权利要求 21 所述的晶体管,其中该源极为分散式源极,具有复数个各自包括该第二杂质区的源极区,且该栅极包括复数个栅线,用以控制介于这些源极区与该漏极间的复数个耗尽区。

28. 如权利要求 21 所述的晶体管,其中该衬底为 p 型衬底,该阱为 n 型阱。

29. 如权利要求 28 所述的晶体管,其中该第一杂质区为 n 掺杂的 n+ 区域,该第二杂质区为 n 掺杂的 n+ 区域。

30. 如权利要求 29 所述的晶体管,其中该源极包含 p 掺杂的 p+ 区域。

31. 如权利要求 30 所述的晶体管,其中该源极包含 p 掺杂的 p- 体区、该第一杂质区、以及形成于该 p- 体区内的该 p 掺杂的 p+ 区域。

32. 如权利要求 31 所述的晶体管,其中该高压阱中的该击穿区邻接该 p- 体区。

33. 如权利要求 31 所述的晶体管,其中该漏极包含 n 掺杂区域,围绕该第二 n 掺杂的 n+ 区域且掺杂更轻。

34. 如权利要求 31 所述的晶体管,还包含场氧化物,位于该衬底上且围绕该 n- 阱及延伸越过一部分的该 p- 体区。

35. 如权利要求 21 所述的晶体管,还包含场氧化物,位于该衬底上且围绕该高压阱及延伸越过一部分的该高压阱。

36. 如权利要求 21 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大不超过约 10%。

37. 如权利要求 21 所述的晶体管,其中该本征击穿电压比该非本征击穿电压大约 1-2 伏特。

38. 如权利要求 21 所述的晶体管,其中该栅极包含第一导电区和电性隔离且独立偏压自该第一导电区的第二导电区,该第一导电区控制在该源极的 p- 体区上的沟道形成,该第二导电区控制该本征击穿区的电势。

39. 一种制造晶体管的方法,包含以下步骤:

选择用于该晶体管的源极和漏极中多个杂质区的尺寸和浓度;

选择 n- 阱的 n- 阱浓度,该源极和该漏极将形成于该 n- 阱中;

选择该源极与该漏极的该些杂质区间的距离;

从该尺寸、该浓度、该距离和该 n- 阱浓度,决定介于该源极与该漏极间的沟道的本征击穿电压;以及

选择延伸越过该源极的该 n- 阱的一部分的宽度,使该部分的该 n- 阱具有比该本征击穿电压小的非本征击穿电压。

40. 如权利要求 39 所述的方法,还包含以下步骤:将该衬底注入具该选定尺寸和浓度的该些杂质区、以及将该衬底注入具该选定 n- 阱浓度和宽度的该 n- 阱。

具保护沟道的功率晶体管

技术领域

[0001] 本发明是关于半导体器件。

背景技术

[0002] 诸如 DC-DC 转换器的电压调节器用来提供电子系统稳定的电压源。开关电压调节器（或简称“开关调节器”）已知为有效的 DC-DC 转换器。开关调节器通过将输入 DC 电压转换成高频电压信号并过滤高频输入电压信号而产生输出 DC 电压。明确地说，开关调节器包括开关，用以交替实现和解除输入 DC 电压源（如电池）与负载（如集成电路）间的耦合。一般包括电感器和电容器的输出滤波器耦合于输入电压源与负载之间，以过滤开关的输出并因此提供输出 DC 电压。诸如脉冲宽度调制器或脉冲频率调制器的控制器控制开关，以维持实质不变的输出 DC 电压。

[0003] 由于横向扩散金属氧化物半导体 (LDMOS) 晶体管在特定的导通电阻 ($R_{ds(on)}$) 和漏极击穿电压 ($BV_{d,s}$) 方面的性能权衡，其可用于开关调节器。导通电阻 ($R_{ds(on)}$) 和器件的长期可靠度又是另一个性能权衡。

[0004] 参照图 1，传统 LDMOS 晶体管 300 包括 p 型衬底 302，其内形成高压 n 型阱 (HV n- 阱) 304。HV n- 阱中有具 n 掺杂的 n+ 区域 312、p 掺杂的 p+ 区域 314 与 p 掺杂的 p- 体扩散区 (p- 体区) 316 的源极区 310、具 n 掺杂的 n+ 区域 322 与较轻掺杂的 n 型掺杂漏极 (NDD) 324 的漏极区 320、和具栅氧化层 332 与多晶硅层 334 的栅极 330。

[0005] 在传统 LDMOS 设计中，因形成耗尽区来提供高漏极电压电势，以致栅极 330 下方且介于 n+ 区域 322 与 HV n- 阱 304 间的 NDD 中的区域 340 遭受到最大电场。由于区域 340 在导电时为位于电流路径，故已竭尽所能缩减此高电阻区。然缩减高电阻区将进一步提高电场梯度及造成高碰撞电离率。故在传统 LDMOS 设计中，区域 340 为关断时发生器件击穿之处。

[0006] 当区域 340 发生击穿时，此区域 340 会产生大量的空穴和电子。这些载流子因具高能量而容易陷入器件漏极侧的栅氧化层内，导致器件固有特性恶化及影响长期可靠度，例如场效应晶体管 (FET) 导通电阻降低。避免功率 LDMOS 器件本征击穿的一种技术为与 LDMOS 器件并联设置击穿电压较小的第二器件，以强行限制 LDMOS 器件的漏极电压。但此方式需要更复杂的系统、更多的组件数量和更高的成本。

发明内容

[0007] 在一态样中，晶体管包括具 p 型体区的 p 型衬底、形成于衬底的 n- 阱、形成于 n- 阱的源极、形成于 n- 阱且与源极相隔的漏极、供电流从漏极流向源极的沟道区、栅极，用以控制位于源极与漏极间的沟道区的沟道形成、和击穿区，位于沟道区外的高压 n- 阱。源极包括 p 掺杂的 p- 体区、位于 p- 体区内的 p 掺杂的 p+ 区域、和位于 p- 体区内的第一 n 掺杂的 n+ 区域。漏极包括第二 n 掺杂的 n+ 区域。击穿区位于 p- 体区与衬底的 p 型体区间。沟道区具有本征击穿电压，击穿区具有比本征击穿电压小的非本征击穿电压。

[0008] 在另一态样中,晶体管包括具 p 型体区的 p 型衬底、形成于衬底的 n- 阱、形成于 n- 阱的源极、形成于 n- 阱且与源极相隔的漏极、供电流从漏极流向源极的沟道区、栅极,用以控制位于源极与漏极间的沟道区的沟道形成、和击穿区,位于沟道区外的高压 n- 阱。源极包括 p 掺杂的 p- 体区、位于 p- 体区内的 p 掺杂的 p+ 区域、和位于 p- 体区内的第一 n 掺杂的 n+ 区域。漏极包括第二 n 掺杂的 n+ 区域。击穿区位于第二 n 掺杂的 n+ 区域与衬底的 p 型体区间。沟道区具有本征击穿电压,击穿区具有比本征击穿电压小的非本征击穿电压。

[0009] 任一上述态样的实施例可包括一或多个下列特征结构。衬底上的场氧化物可围绕 n- 阱及延伸越过部分 n- 阱。场氧化物可延伸越过部分 p- 体区。漏极可包括 n 掺杂区域,其围绕第二 n 掺杂的 n+ 区域且掺杂更轻。场氧化物可延伸越过部分 n 掺杂区域。第一 n 掺杂的 n+ 区域可毗连 p+ 区域。沟道可沿着第一方向延伸,击穿区沿着垂直第一方向的第二方向延伸。本征击穿电压比非本征击穿电压大不超过约 10%。本征击穿电压比非本征击穿电压大约 1-2 伏特。漏极可为分散式漏极,具有复数个各自包括第二 n 掺杂的 n+ 区域的漏极区,栅极可包括复数个栅线,用以控制介于源极与漏极区间的复数个耗尽区。源极可为分散式源极,具有复数个各自包括 p- 体区、p+ 区域和第二 n 掺杂的 n+ 区域的源极区,栅极可包括复数个栅线,用以控制介于源极区与漏极间的复数个耗尽区。

[0010] 在又一态样中,晶体管包括衬底、形成于衬底的阱、漏极,包括注入阱中的第一杂质区、源极,包括注入阱中的第二杂质区且与第一杂质区相隔、供电流从漏极流向源极的沟道、和栅极,用以控制介于源极与漏极间的耗尽区。沟道具有本征击穿电压,阱、漏极和源极配置成提供比本征击穿电压小的非本征击穿电压,使击穿得以发生在位于沟道外且邻接漏极或源极的阱内的击穿区。

[0011] 实施例可包括一或多个下列特征结构。漏极可为分散式漏极,具有复数个各自包括第一杂质区的漏极区,源极可为分散式源极,具有复数个各自包括第二杂质区的源极区,栅极可包括复数个栅线,用以控制介于源极区与漏极区间的复数个耗尽区。复数个漏极和复数个源极可交替排成多行。各行可沿着第一方向延伸,高压阱中的击穿区可沿着垂直第一方向的第二方向延伸。阱中的击穿区可设在各行末端。漏极可为分散式漏极,具有复数个各自包括第一杂质区的漏极区,栅极可包括复数个栅线,用以控制介于源极与漏极区间的复数个耗尽区。源极可为分散式源极,具有复数个各自包括第二杂质区的源极区,栅极可包括复数个栅线,用以控制介于源极区与漏极间的复数个耗尽区。衬底可为 p 型衬底,阱可为 n 型阱。第一杂质区可为 n 掺杂的 n+ 区域,第二杂质区为 n 掺杂的 n+ 区域。源极可包括 p 掺杂的 p+ 区域。源极可包括 p 掺杂的 p- 体区、第一杂质区和形成于 p- 体区内的 p 掺杂的 p+ 区域。高压阱中的击穿区可邻接 p- 体区。漏极可包括 n 掺杂区域,其围绕第二 n 掺杂的 n+ 区域且掺杂更轻。衬底上的场氧化物可围绕 n- 阱及延伸越过部分 p- 体区。衬底上的场氧化物可围绕高压阱及延伸越过部分高压阱。本征击穿电压比非本征击穿电压大不超过约 10%。本征击穿电压比非本征击穿电压大约 1-2 伏特。栅极可包括第一导电区和电性隔离且独立偏压自第一导电区的第二导电区,第一导电区控制在源极的 p- 体区上的沟道形成,第二导电区控制本征击穿区的电势。

[0012] 在再一态样中,制造晶体管的方法包括选择晶体管的源极和漏极中杂质区的尺寸和浓度、选择 n- 阱的 n- 阱浓度,源极和漏极将形成于 n- 阱中、选择源极与漏极的杂质区间

的距离、从尺寸、浓度、距离和 n- 阱浓度, 决定介于源极与漏极间的沟道的本征击穿电压、以及选择延伸越过源极的部分 n- 阱的宽度, 使部分的 n- 阱的非本征击穿电压比本征击穿电压小。

[0013] 实施例可包括一或多个下列特征结构。衬底可注入具选定尺寸和浓度的杂质区, 及注入具选定 n- 阱浓度和宽度的 n- 阱。

[0014] 实施例可包括一或多个下列特征结构。当击穿发生时, 碰撞电离产生的电子空穴对可远离本征沟道区。如此, FET 导通电阻不需因突如其来的击穿而降低。此法不会牺牲重要的硅区域。

[0015] 一或多个实施例将配合附图详述于下。其他特征、目的和优点在参阅说明书、附图和后附权利要求书后, 将变得更清楚易懂。

附图说明

[0016] 图 1 为传统 LDMOS 晶体管的截面图。

[0017] 图 2 为 LDMOS 晶体管的一实施例的平面图。

[0018] 图 3A、3B 及 3C 为图 2 LDMOS 晶体管的截面图。

[0019] 图 4 为 LDMOS 晶体的另一实施例的截面图。

[0020] 各图中相同的元件符号代表相似的元件。

具体实施方式

[0021] 大体而言, 本文是关于具有固有的自我保护能力的功率器件。即, 器件设计成当击穿发生时, 碰撞电离产生的电子空穴对将远离本征沟道区 (从漏极的 n+ 区域到源极的 n+/p+ 区域的直接电流路径)。

[0022] 大体而言, 功率器件具有一优势, 即在应用中功率 LDMOS 并非一维器件。特别地, 器件可设计让沟道沿着第一路径 (如沿着第一方向), 而击穿沿着第二路径发生 (如沿着垂直的第二方向)。

[0023] 图 2 为 LDMOS 器件 100 的平面图。LDMOS 晶体管 100 包括 p 型衬底 102, 其内形成高压 n 型阱 (HV n- 阱) 104。HV n- 阱中有由栅极 130 隔开的源极区 110 和漏极区 120。源极区 110 沿着栅极延伸的长度 LS 大于其垂直方向的宽度 WS。同样地, 漏极区 120 沿着栅极延伸的长度 LD 大于其垂直方向的宽度 WD。尺寸可从重掺杂区域的边界算起。

[0024] 源极区 110 和漏极区 120 可交替排成多个行, 各行被栅极 130 隔开。虽然只绘示一漏极区 120, 但图案也可重复配置一个以上的漏极区 120。同样地, 虽然只绘示二源极区 110, 但图案也可重复配置二个以上的源极区 110。又, 单一源极区 110 的相对侧可配置二漏极区 120。运作时, 电流经由沿着栅极长度延伸的沟道从漏极流向源极 (如箭头所指)。在一些实施例中, 源极区的长度等于漏极区的长度。

[0025] 图 3A 为与源极与漏极区宽度平行的截面图。每一栅极 130 包括栅氧化层 132 和导电层 134 (如多晶硅层) 于栅氧化层 132 上。在一些实施例中, 栅氧化层包括靠近相邻漏极区 120 的较厚区域、和靠近相邻源极区 110 的较薄区域。各栅极连接公共的控制电压。

[0026] 源极区 110 包括 n 掺杂的 n+ 区域 112、p 掺杂的 p+ 区域 114 和 p 掺杂的 p- 体扩散区 (p- 体区) 116。p- 体区 116 围绕 n+ 区域 112 和 p+ 区域 114。n+ 区域 112 毗连 p+ 区

域 114, 且 n+ 区域接近漏极区 120。p- 体区 116 的杂质浓度低于 p+ 区域 114。p- 体区 116 和 n+ 区域 112 (如于氧化物侧壁前注入的浅掺杂区) 在栅氧化层 132 下方延伸, p- 体区比 n+ 区域延伸更远。上金属层的接触垫 136 (参见图 2) 电性连接 n+ 区域 112 和 p+ 区域 114。在一些实施例中, 个别接触垫同时接触 n+ 区域 112 和 p+ 区域 114。

[0027] 漏极区 120 包括 n 掺杂的 n+ 区域 122 和较轻掺杂的 n 型掺杂漏极 (NDD) 124。NDD 124 围绕 n+ 区域 122。NDD 在栅氧化层 132 下方延伸。上金属层的接触垫 138 (参见图 2) 电性连接 n+ 区域 122。

[0028] HV n- 阱 104 的杂质浓度低于 n+ 区域 112、122 和 NDD 124。

[0029] 图 3B 为与源极长度平行的局部截面图, 例如与通过 p+ 区域 114 的栅线平行。p- 体区 116 在平行栅线的方向上比 p+ 区域 114 延伸更远。同样地, HV n- 阱 104 在平行栅线的方向上比 p- 体区 116 延伸更远。

[0030] 有源区外的部分衬底由场氧化物 150 覆盖。p- 体区 116 和 HV n- 阱 104 在邻近源极区 110 的场氧化物 150 下方延伸。场氧化物 150 可完全围住 HV n- 阱 104。虽未绘示, 但导电接触可设置直接接触 p 型衬底 102, 以于场氧化物 150 更远处做为衬底电极。

[0031] 如图所示, 终止区 140 包括一部分的 HV n- 阱 104, 其夹设在 p- 体区 116 与 p 型衬底 102 之间。由于其位于源极区 110 的侧边 (邻接栅极 130 的边缘对面), 故此区域不当作沟道。

[0032] 图 3C 为与漏极长度平行的局部截面图, 例如与通过 n+ 区域 122 的栅线平行。NDD 124 在平行栅线的方向上比 n+ 区域 122 延伸更远。同样地, HV n- 阱 104 在平行栅线的方向上比 NDD 124 延伸更远。

[0033] 如上所述, 有源区外的部分衬底由场氧化物 150 覆盖。NDD 124 和 HV n- 阱 104 在邻近漏极区 120 的场氧化物 150 下方延伸。

[0034] 如图所示, 终止区 142 包括一部分的 HV n- 阱 104, 其夹设在 NDD 124 与 p 型衬底 102 之间。由于其位于漏极区 120 的侧边 (邻接栅极 130 的边缘对面), 故此区域不当作沟道。

[0035] 器件设计使得漏极到体区的非本征击穿电压 (如沿着 3B-3B 截面, 从 p- 体区至衬底的 p 型体区) 略比器件的本征击穿电压 (如沿着 3A-3A 截面, 通过沟道) 小。可选择 HV n- 阱 104 在 p- 体区 116 与 p 型衬底 102 间的宽度 (WHV)、和不同杂质区的浓度以使终止区 140 的击穿电压小于沟道的击穿电压。或者或此外, 可选择 HV n- 阱 104 在 NDD 124 与 p 型衬底 102 间的宽度 (WHV)、和不同杂质区的浓度以使终止区 142 的击穿电压小于沟道的击穿电压, 以致非本征击穿电压 (如沿着 3C-3C 截面, 从 NDD 至衬底的 p 型体区) 略比器件的本征击穿电压小。如此, 当击穿发生时, 碰撞电离产生的电子空穴对将远离本征沟道区。故 FET 导通电阻不再因突如其来的击穿而降低。

[0036] 此外, 尽管图 3B 及 3C 绘示击穿区 140、142 分别设在源极和漏极侧边, 其垂直于栅线, 然击穿区可在栅 134 之下, 但仍不在本征沟道中, 例如, 击穿区可在 HV n- 阱 104 于 NDD 124 和相邻的 p- 体区 114 之间的部分, 但不在漏极 120 的 n+ 区 122 和相邻的源极 110 的 n+ 区 114 之间, 或者可在 HV n- 阱 104 于栅 134 下方的部分, 但不在 NDD 124 和 p- 体区 114 之间。此外, 对于阵列中最外面的源极或漏极区, 击穿区可形成在源极或漏极侧边, 其平行于栅线 134, 但远离栅和相关沟道。

[0037] 按照一阶估算,非本征路径与本征路径间的击穿电压差(ΔBV)可由击穿事件的最大电流与非本征击穿路径的串联电阻的乘积判定。可选择击穿电压差(ΔBV)为小于非本征击穿电压的10%。例如,若器件的击穿电压为约30伏特,则可选择注入区域的浓度和尺寸,以使非本征击穿电压为约30伏特,本征击穿电压为约32伏特。此新的器件设计方法可达到器件自我保护的目的,虽然稍微损失击穿电压值的 ΔBV (1-2伏特),但不会牺牲任何重要的硅面积。

[0038] 达成本征与非本征击穿电压差的方法实例将说明于下。利用已有的功率LDMOS设计方式,可调整本征击穿电压成预定击穿值。通过改变置于两个相同电势的p型区域间的高压n-阱宽度,可将此特殊器件结构的非本征击穿电压调整成预定击穿电压减去 ΔBV 的值。

[0039] 图4绘示另一实施例,其中各栅极区130包括两个电性隔离的栅极130a、130b,其偏压成不同电势。每一栅极130a、130b包括栅氧化层132和导电层134(如多晶硅层)于栅氧化层132上。栅极130a、130b可平行延伸。靠近源极区110的栅极130a设在突出n+区域112的部分p-体区116上,而可通过p-体区116控制沟道形成。靠近漏极的栅极130b设在伸出n+区域122的部分NDD 124和其余沟道部分(除了HV n-阱104外,该沟道部分可未经掺杂)上,而可控制本征击穿区的电压电势。故通过选择栅极130a、130b上的电压可选择击穿电压值和击穿位置。

[0040] 本发明已以一些实施例揭露如上。然应理解在不脱离本发明的精神和范围内,其当可作各种的更动与润饰。例如,虽然在此是叙述p型体区和p型衬底,但p型衬底当可以其他可用的p型注入代替。因此,其他实施例也落在后附权利要求所界定的范围内。

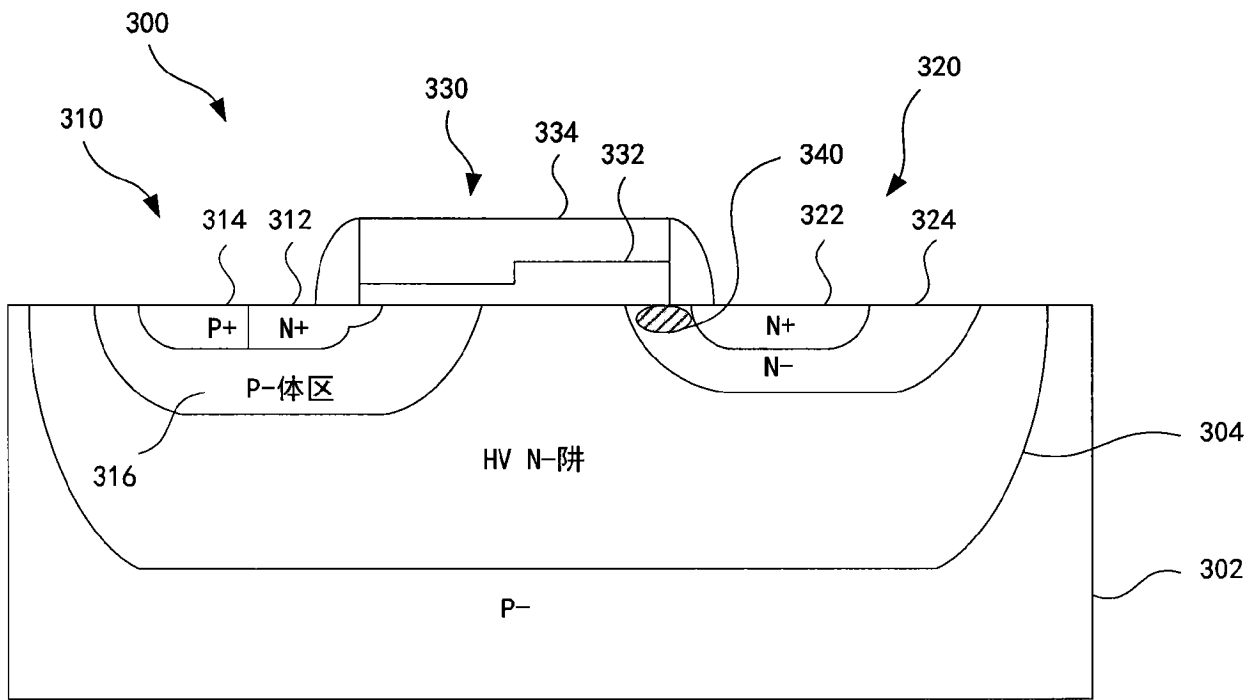


图 1

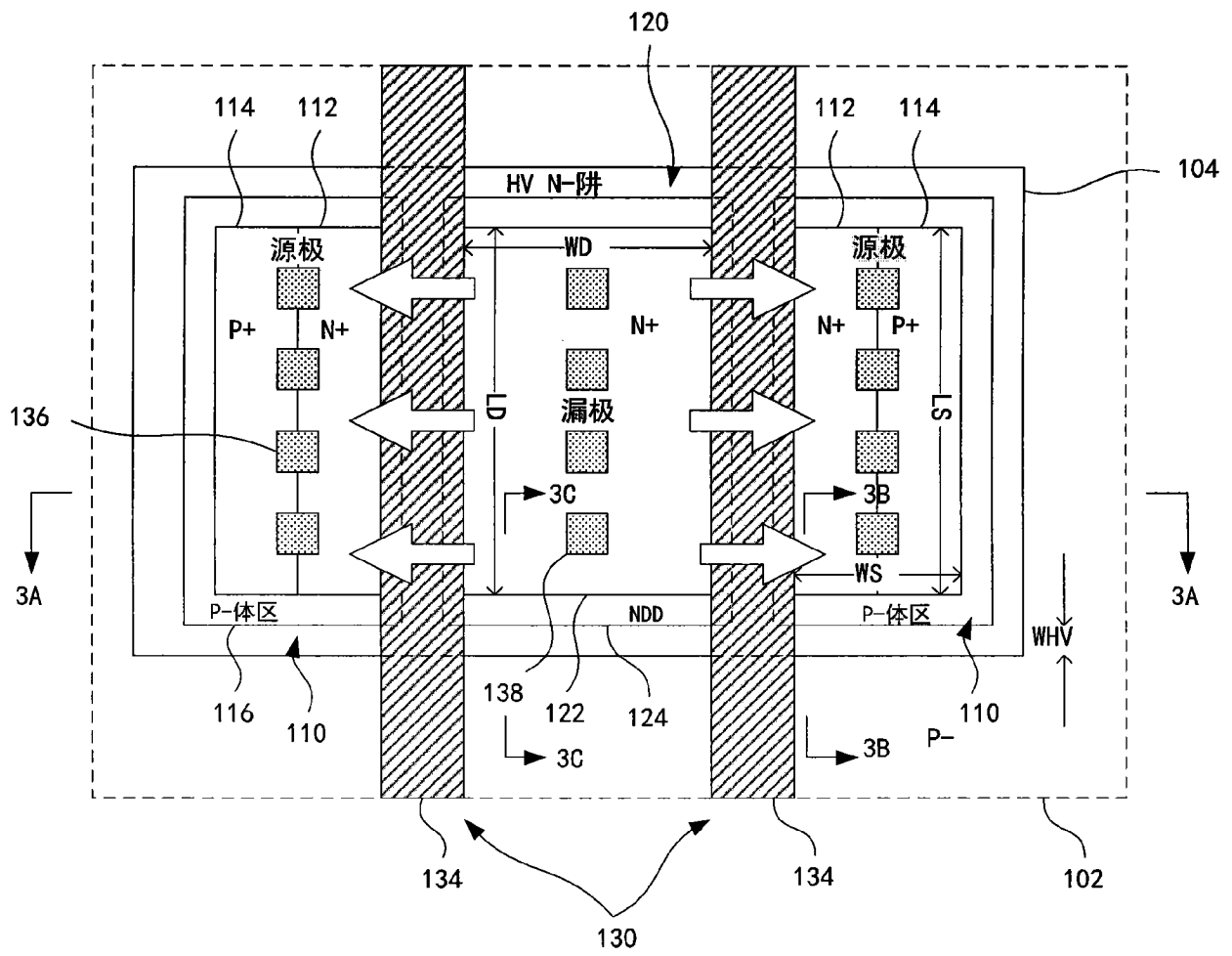


图 2

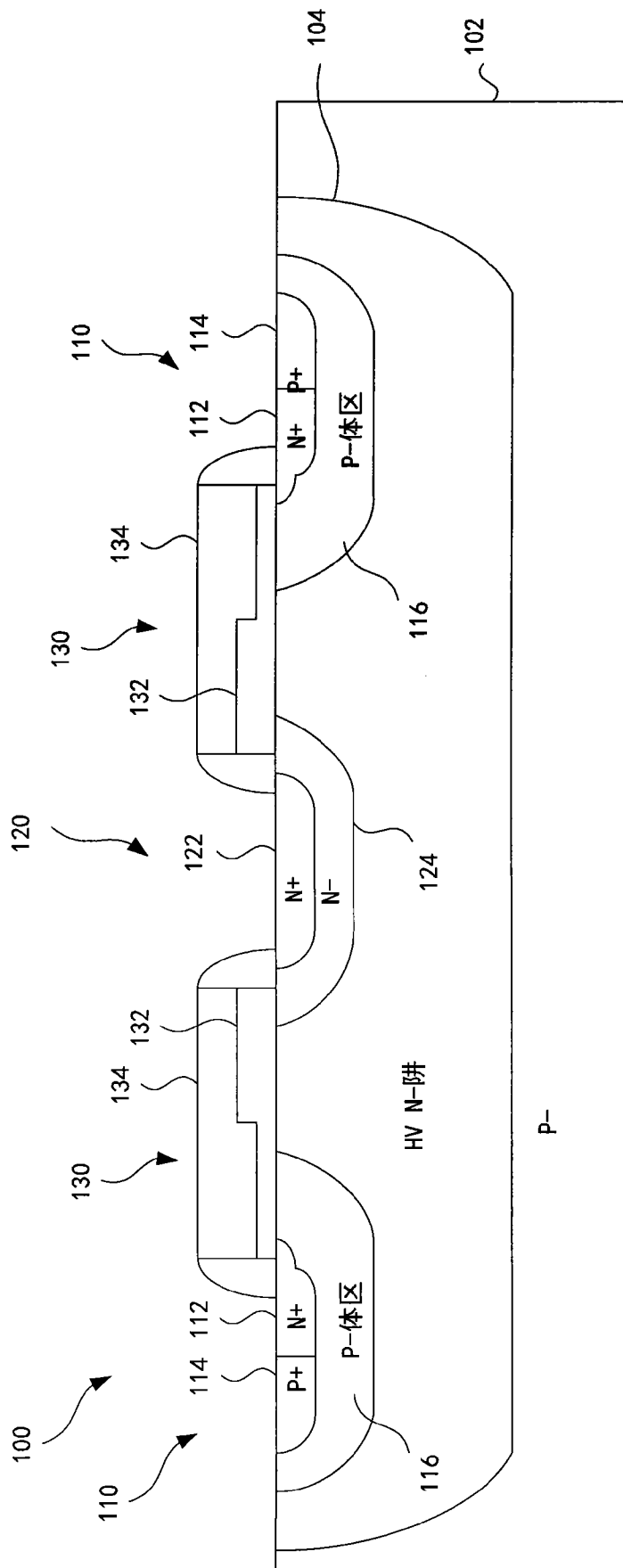


图 3A

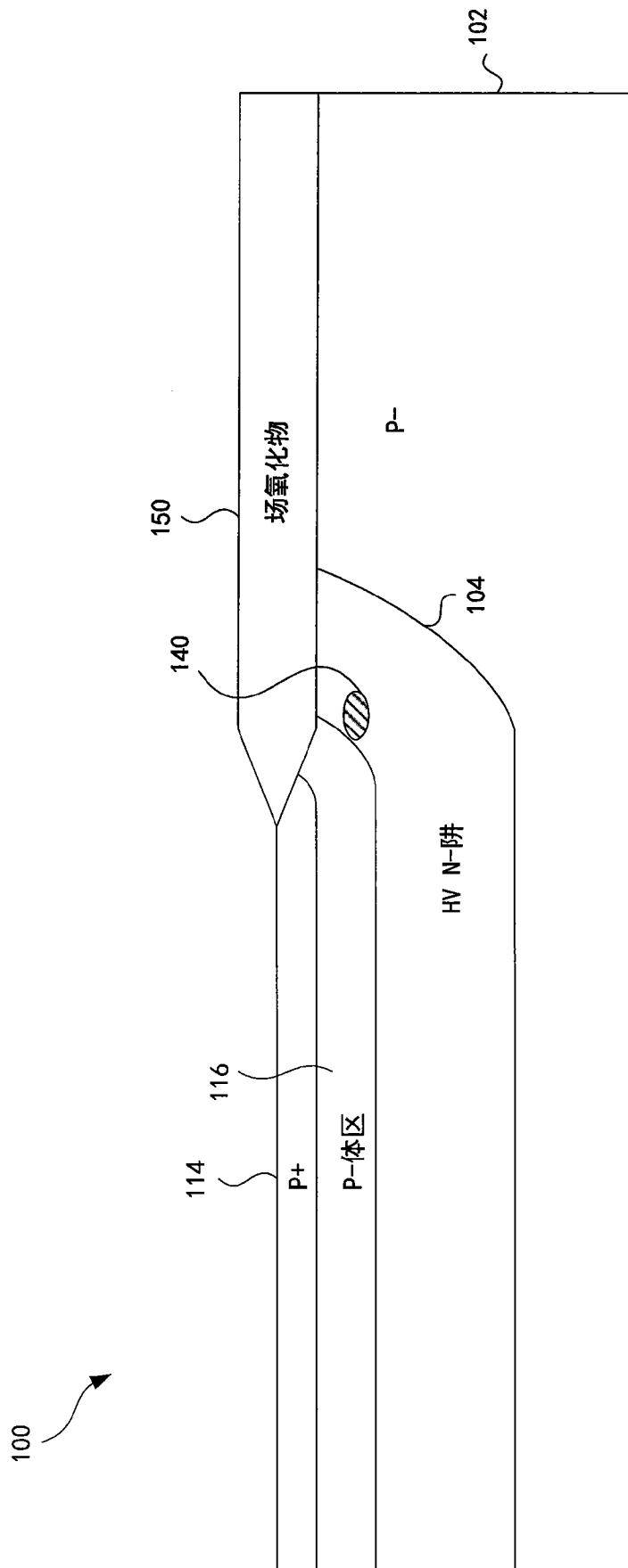


图 3B

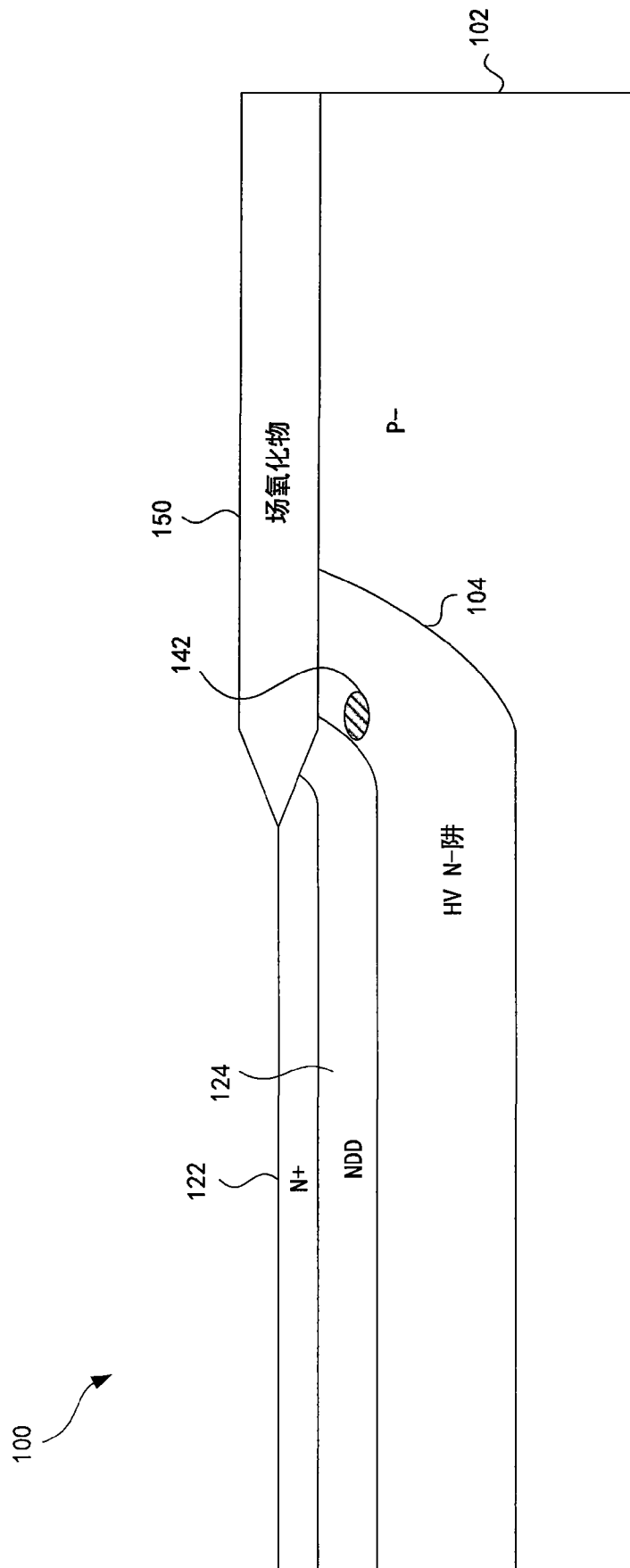


图 3C

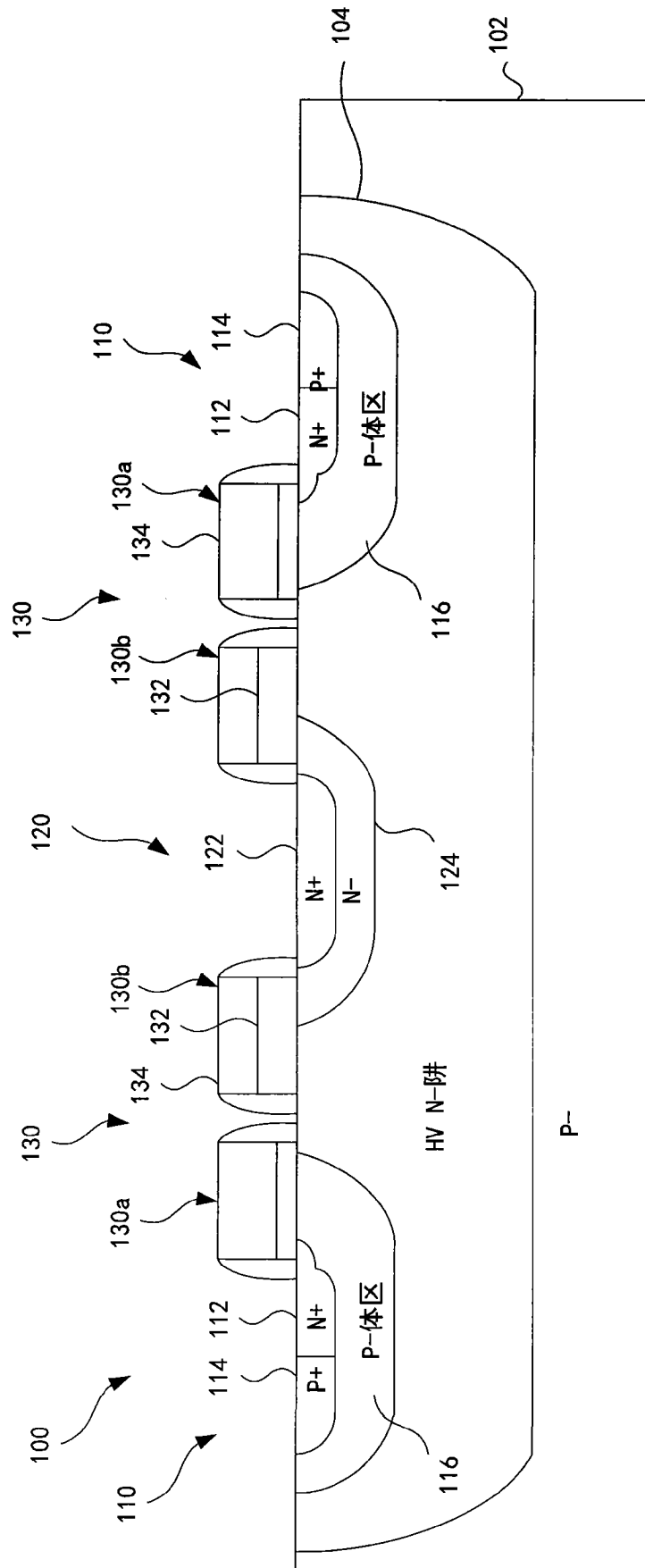


图 4