



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201618254 A

(43) 公開日：中華民國 105 (2016) 年 05 月 16 日

(21) 申請案號：103138011

(22) 申請日：中華民國 103 (2014) 年 11 月 03 日

(51) Int. Cl. :

*H01L23/48 (2006.01)**H01L23/34 (2006.01)*

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：張佐嘉 CHANG, TSO CHIA (TW)；謝承祐 HSIEH, CHENG YU (TW)；江連成 CHIANG, LIEN CHEN (TW)；黃富堂 HUANG, FU TANG (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：22 項 圖式數：3 共 24 頁

(54) 名稱

封裝結構及其製法與封裝基板

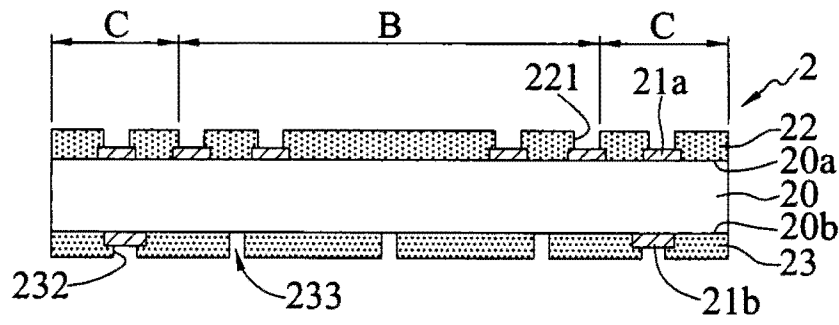
PACKAGE STRUCTURE AND METHOD OF MANUFACTURE

(57) 摘要

一種封裝基板，係包括：具有相對之第一表面與第二表面的板體，其第一與第二表面均定義有相鄰之第一區域與第二區域；第一與第二線路層係分別形成於該第一與第二表面上；第一絕緣保護層係形成於該第一表面上且具有位於該第一與第二區域之第一開孔；以及第二絕緣保護層係形成於該第二表面上且具有位於該第二區域之第二開孔及位於該第一區域之開口，藉由形成該開口以減少該第二絕緣保護層之體積，故於進行熱處理製程時，該第一與第二絕緣保護層能均勻分散熱應力。本發明復提供包含該封裝基板之封裝結構及其製法。

A package structure is provided, including a board body having opposite first and second surfaces having adjacent first and second regions defined thereon, first and second circuit layers formed on the first and second surfaces; a first insulating protection layer formed on the first surface and having a first via hole on the first and second regions; and a second insulating protection layer formed on the second surface and having a second via hole on the second region and an opening on the first region, thereby reducing the size of the second insulating protection layer by forming the opening which enables the first and second insulating protection layers to diffuse thermal stress evenly during the thermal processing. The invention further provides a package structure including the package substrate and a manufacturing method thereof.

指定代表圖：



第2圖

符號簡單說明：

- 2 . . . 封裝基板
- 20 . . . 板體
- 20a . . . 第一表面
- 20b . . . 第二表面
- 21a . . . 第一線路層
- 21b . . . 第二線路層
- 22 . . . 第一絕緣保護層
- 221 . . . 第一開孔
- 23 . . . 第二絕緣保護層
- 232 . . . 第二開孔
- 233 . . . 開口
- B . . . 第一區域
- C . . . 第二區域

發明摘要

※ 申請案號 : 103138011

※ 申請日 : 103. 11. 03

※ I P C 分類 :

H01L 23/48 2006.01
H01L 23/34 2006.01

【發明名稱】(中文/英文)

封裝結構及其製法與封裝基板

PACKAGE STRUCTURE AND METHOD OF
MANUFACTURE

【中文】

一種封裝基板，係包括：具有相對之第一表面與第二表面的板體，其第一與第二表面均定義有相鄰之第一區域與第二區域；第一與第二線路層係分別形成於該第一與第二表面上；第一絕緣保護層係形成於該第一表面上且具有位於該第一與第二區域之第一開孔；以及第二絕緣保護層係形成於該第二表面上且具有位於該第二區域之第二開孔及位於該第一區域之開口，藉由形成該開口以減少該第二絕緣保護層之體積，故於進行熱處理製程時，該第一與第二絕緣保護層能均勻分散熱應力。本發明復提供包含該封裝基板之封裝結構及其製法。

【英文】

A package structure is provided, including a board body having opposite first and second surfaces having adjacent first and second regions defined thereon, first and second circuit layers formed on the first and second surfaces; a first insulating protection layer formed on the first surface and having a first via hole on the first and second regions; and a second insulating protection layer formed on the second surface and having a second via hole on the second region and an opening on the first region, thereby reducing the size of the second insulating protection layer by forming the opening which enables the first and second insulating protection layers to diffuse thermal stress evenly during the thermal processing. The invention further provides a package structure including the package substrate and a manufacturing method thereof.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

2	封裝基板
20	板體
20a	第一表面
20b	第二表面
21a	第一線路層
21b	第二線路層
22	第一絕緣保護層
221	第一開孔
23	第二絕緣保護層
232	第二開孔
233	開口
B	第一區域
C	第二區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

封裝結構及其製法與封裝基板

PACKAGE STRUCTURE AND METHOD OF
MANUFACTURE

【技術領域】

本發明係有關一種封裝結構，尤指一種提高良率之封裝結構及其製法。

【先前技術】

隨著電子產業的發達，現今的電子產品已趨向輕薄短小與功能多樣化的方向設計，半導體封裝技術亦隨之開發出不同的封裝型態。為滿足半導體裝置之高積集度(Integration)、微型化(Miniaturization)以及高電路效能等需求，遂而發展出封裝堆疊(Package On Package, 簡稱 POP)之技術。

第 1A 圖係為習知堆疊式封裝結構 1 之剖視示意圖。如第 1A 圖所示，該封裝結構 1 係包括相堆疊之上封裝件 1a 與下封裝件 1b。該下封裝件 1b 係將晶片 11 以導線 12 電性連接該第一承載板 10；該上封裝件 1a 係以複數錫球 14 疊設於該下封裝件 1b 上，且該些錫球 14 電性連接該上封裝件 1a 之第二承載板 13 與該第一承載板 10，又該第二承載板 13 上側設置複數電子元件 16。另外，形成封裝膠體 15 於該第一承載板 10 與該第二承載板 13 之間，使該封

裝膠體 15 包覆該晶片 11、導線 12 及錫球 14，以完成習知封裝結構 1。

於習知上封裝件 1a 中，該第二承載板 13 之板體 131 具有上表面 131a 與下表面 131b，且形成複數線路層 132 於該上表面 131a 與該下表面 131b 上，並分別形成上防銲層 133a 與下防銲層 133b 於該上表面 131a 與該下表面 131b 上，又該上防銲層 133a 與下防銲層 133b 分別具有外露部分該線路層 132 之複數上開孔 1331 與複數下開孔 1332。另外，該些錫球 14 係設於該些下開孔 1332 中之線路層 132 上，而該些電子元件 16 係藉由錫錫凸塊 17 電性連接該些上開孔 1331 中之線路層 132。

惟，於習知第二承載板 13 中，該上防銲層 133a 因需結合該些電子元件 16 而需配合該些電子元件 16 之接點，故該上防銲層 133a 需形成數量較多之上開孔 1331（如第 1B 圖所示，各區域均佈設有上開孔 1331），而該下防銲層 133b 因只需結合該些錫球 14，故該下防銲層 133b 僅需形成數量較少之下開孔 1332（如第 1C 圖所示，中央區域 A 未形成任何開孔）。

因此，於該下防銲層 133b 僅於周圍形成該些下開孔 1332 而其中央區域 A 未形成任何開孔之情況下（如第 1C 圖所示），致使該上防銲層 133a 所佔據該上表面 131a 之面積（開孔多）遠小於該下防銲層 133b 所佔據該下表面 131b 之面積（開孔少），導致於進行熱處理製程期間（thermal cycle），該上防銲層 133a 與下防銲層 133b 無法

均勻分散熱應力，造成該板體 131 之上表面 131a 與下表面 131b 之熱應力分布不均勻，而使該第二承載板 13 發生翹曲(warpage)，進而降低產品之良率。

因此，如何克服上述習知技術之問題，實已成為目前業界亟待克服之難題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明係提供一種封裝基板，係包括：板體，係具有相對之第一表面與第二表面，且該板體之第一表面與第二表面均定義有第一區域與第二區域，該第二區域係相鄰該第一區域；第一線路層，係形成於該板體之第一表面上；第二線路層，係形成於該板體之第二表面上；第一絕緣保護層，係形成於該第一線路層與該板體之第一表面上，且該第一絕緣保護層具有外露部分該第一線路層之複數第一開孔，該些第一開孔係位於該第一與第二區域；以及第二絕緣保護層，係形成於該第二線路層與該板體之第二表面上，且該第二絕緣保護層具有外露部分該第二線路層之複數第二開孔、及位於該第一區域之至少一開口，該些第二開孔係位於該第二區域。

本發明亦提供一種封裝結構，係包括：封裝件；複數導電元件，係設於該封裝件上並電性連接該封裝件；以及前述之封裝基板，係設於該些導電元件上，以令該封裝基板堆疊於該封裝件上，且該些導電元件係結合於該些第二開孔中之第二線路層上並電性連接該第二線路層。

本發明復提供一種封裝結構之製法，係包括：提供一

封裝件；以及堆疊前述之封裝基板於該封裝件上，且藉由複數導電元件結合該封裝件與該些第二開孔中之第二線路層上，並使該些導電元件電性連接該第二線路層。

前述之封裝結構及其製法，該第二區域係圍繞該第一區域。

前述之封裝結構及其製法，該第一絕緣保護層於該板體上之體積與該第二絕緣保護層於該板體上之體積係為大致相同。

前述之封裝結構及其製法中，該開口之形狀係為幾何圖形。

前述之封裝結構及其製法，該封裝件包含承載體與設於該承載體上之第一電子元件，且該第一電子元件電性連接該承載體。

前述之封裝結構及其製法中，部分該導電元件復設於該開口中。

前述之封裝結構及其製法中，復包括設置第二電子元件於該第一絕緣保護層上，且該第二電子元件電性連接該第一開孔中之第一線路層。

另外，前述之封裝結構及其製法中，復包括形成封裝材於該封裝件與該第二絕緣保護層之間。例如，該封裝材復形成於該開口中。

由上可知，本發明之封裝結構及其製法與封裝基板，主要藉由該第二絕緣保護層形成有對應該第一區域上之至少一開口，以減少該第二絕緣保護層佔據該第二表面之面

積，故相較於習知技術，本發明於後續熱處理製程期間，該第一絕緣保護層與第二絕緣保護層大致能均勻分散熱應力，以避免該封裝基板發生翹曲之情況，因而能提高產品之良率。

【圖式簡單說明】

第 1A 圖係為習知封裝結構之剖視示意圖；

第 1B 圖係為第 1A 圖之第二承載板之俯視圖；

第 1C 圖係為第 1A 圖之第二承載板之仰視圖；

第 2 及 2' 圖係為本發明封裝基板之剖視示意圖；

第 2A 圖係為第 2 圖之俯視圖；

第 2B 圖係為第 2 圖之仰視圖；其中，第 2B' 及 2B'' 圖係為第 2B 圖之其它實施例；以及

第 3A 至 3C 圖係為本發明封裝結構之製法之剖視示意圖；其中，第 3B' 及 3C' 圖係為第 3B 及 3C 圖之另一實施例。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功

效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“下”、“第一”、“第二”、及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2 圖係為本發明之封裝基板 2 之剖視示意圖。如第 2 圖所示，所述之封裝基板 2 係包括：一板體 20、一第一線路層 21a、一第二線路層 21b、一第一絕緣保護層 22、以及一第二絕緣保護層 23。

所述之板體 20 係具有相對之第一表面 20a 與第二表面 20b，且該板體 20 之第一表面 20a 與第二表面 20b 係定義有第一區域 B（可視為中央區域）與第二區域 C（可視為邊緣區域），該第二區域 C 係圍繞該第一區域 B 並相鄰接該第一區域 B。具體地，該第一區域 B 及第二區域 C 於該第一表面 20a 上與該第一區域 B 及第二區域 C 於該第二表面 20b 上係為相對應之位置。

所述之第一線路層 21a 係形成於該板體 20 之第一表面 20a 上。

所述之第二線路層 21b 係形成於該板體 20 之第二表面 20b 上。

所述之第一絕緣保護層 22 係為防銲層，其形成於該第一線路層 21a 與該板體 20 之第一表面 20a 上，且該第一絕緣保護層 22 具有外露部分該第一線路層 21a 之複數第一開

孔 221，該些第一開孔 221 係位於該第一區域 B 與第二區域 C，如第 2A 圖所示。

所述之第二絕緣保護層 23 係為防銹層，其形成於該第二線路層 21b 與該板體 20 之第二表面 20b 上，且該第二絕緣保護層 23 具有外露部分該第二線路層 21b 之複數第二開孔 232、及位於該第一區域 B 之複數開口 233，該些第二開孔 232 係位於該第二區域 C，如第 2B 圖所示。

於本實施例中，該第一表面 20a 之面積與該第二表面 20b 之面積係相同，且該第一絕緣保護層 22 之厚度與該第二絕緣保護層 23 之厚度相同，故藉由該開口 233 之佈設，使該第一絕緣保護層 22 所佔據該第一表面 20a 之面積與該第二絕緣保護層 23 所佔據該第二表面 20b 之面積相同，亦即該第一絕緣保護層 22 於該板體 20 上之體積與該第二絕緣保護層 23 於該板體 20 上之體積係為相同。

再者，該開口 233,233',233'' 之形狀係為幾何圖形，如第 2B 圖所示之圓形開口 233、如第 2B' 圖所示之矩形開口 233'、如第 2B'' 圖所示之多邊形開口 233''、或其它任意圖形等，並無特別限制。

又，該開口 233 係外露該板體 20 之部分第二表面 20b；該開口 233 亦可外露部分該第二線路層 21b，如第 2' 圖所示，因此，該開口 233 可依需求作功能性之設計，並無特別限制。

本發明之封裝基板 2 藉由該第二絕緣保護層 23 形成有對應該第一區域 B 上之至少一開口 233,233',233''，使該第

一絕緣保護層 22 於該板體 20 上之體積與該第二絕緣保護層 23 於該板體 20 上之體積係為相同，以於後續熱處理製程期間（thermal cycle），該第一絕緣保護層 22 與第二絕緣保護層 23 能均勻分散熱應力，以避免該封裝基板 2 發生翹曲(warpage)。

第 3A 至 3B 圖係為本發明封裝結構 3 之製法之剖面示意圖。

如第 3A 圖所示，提供一封裝件 3a，其包含一承載體 31 與設於該承載體 31 上之一第一電子元件 30，且該第一電子元件 30 電性連接該承載體 31。

於本實施例中，該承載體 31 係為習知封裝基板或如本發明之封裝基板 2，其具有上表面 31a 與下表面 31b，且於該上表面 31a 與下表面 31b 上形成有線路層 32，使該第一電子元件 30 藉由複數導線 33 電性連接該上表面 31a 之線路層 32。

再者，該第一電子元件 30 係為主動元件、被動元件或其組合者，且該主動元件係例如半導體晶片，而該被動元件係例如電阻、電容或電感。

如第 3B 圖所示，形成複數導電元件 34 於該承載體 31 之上表面 31a 上，且該些導電元件 34 係電性連接該承載體 31 上之線路層 32。

於本實施例中，該導電元件 34 係為鉚球或如銅柱之導電柱。

如第 3C 圖所示，設置該封裝基板 2 於該些導電元件

34 上，使該封裝基板 2 堆疊於該封裝件 3a 上，且該些導電元件 34 係結合於該些第二開孔 232 中之第二線路層 21b 上並電性連接該第二線路層 21b。

接著，形成封裝材 35 於該封裝件 3a 與該第二絕緣保護層 23 之間，以令該封裝材 35 包覆該第一電子元件 30、導線 33 與導電元件 34。

於本實施例中，該封裝材 35 復形成於該開口 233 中。

再者，可設置至少一第二電子元件 36 於該第一絕緣保護層 22 上，且該第二電子元件 36 藉由複數鉚錫凸塊 37 或複數導線（圖略）電性連接該第一開孔 221 中之第一線路層 21a。具體地，該第二電子元件 36 係為封裝件、主動元件、被動元件或其組合者，該封裝件係為習知半導體封裝件，且該主動元件係例如半導體晶片，而該被動元件係例如電阻、電容或電感

又，如第 3C'圖所示該第一電子元件 30 亦可藉由複數導電凸塊 33'電性連接該線路層 32。

另外，該導電元件 34',34''復設於該開口 233 中，如第 3C'圖所示，且該導電元件 34',34''可選擇性地電性連接該第二線路層 21b（如第 3C'圖所示之導電元件 34'）或絕緣連接該第二線路層 21b（如第 3C'圖所示之導電元件 34''）。

於其它實施例中，如第 3B'圖所示，亦可形成複數導電元件 34 於該些第二開孔 232 中之第二線路層 21b 上，再將該封裝基板 2 藉由該些導電元件 34 堆疊於該封裝件 3a 上。

本發明之製法中，藉由該第一絕緣保護層 22 所佔據該第一表面 20a 之面積與該第二絕緣保護層 23 所佔據該第二表面 20b 之面積相同，以於熱處理製程期間，該第一絕緣保護層 22 與第二絕緣保護層 23 能均勻分散熱應力，因而該板體 20 之第一表面 20a 與第二表面 20b 之熱應力分布均勻，故能避免該封裝基板 2 發生翹曲，以提高產品之良率。

本發明復提供一種封裝結構 3，係包括：一封裝件 3a、設於該封裝件 3a 上之複數導電元件 34、以及設於該些導電元件 34 上之封裝基板 2。

所述之封裝件 3a 係包含一承載體 31 與設於該承載體 31 上之第一電子元件 30，且該第一電子元件 30 電性連接該承載體 31。

所述之導電元件 34 係設於該承載體 31 上並電性連接該承載體 31。

所述之封裝基板 2 係堆疊於該封裝件 3a 上，且該些導電元件 34 係結合於該些第二開孔 232 中之第二線路層 21b 上並電性連接該第二線路層 21b。

於一實施例中，該導電元件 34 復設於該開口 233 中。

於一實施例中，所述之封裝結構 3 復包括至少一第二電子元件 36，係設於該第一絕緣保護層 22 上並電性連接該第一開孔 221 中之第一線路層 21a。

於一實施例中，所述之封裝結構 3 復包括封裝材 35，係形成於該封裝件 3a 與該第二絕緣保護層 23 之間，且該封裝材 35 復形成於該開口 233 中。

綜上所述，本發明之封裝結構及其製法與封裝基板，藉由形成該開口，以減少該第二絕緣保護層佔據該第二表面之面積，使該封裝基板於進行熱處理製程期間能避免發生翹曲之情況，故能提高該封裝結構之製造良率，以提升該封裝結構之可靠度。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1,3	封裝結構	1a	上封裝件
1b	下封裝件	10	第一承載板
11	晶片	12,33	導線
13	第二承載板	131,20	板體
131a,31a	上表面	131b,31b	下表面
132,32	線路層	133a	上防銲層
133b	下防銲層	1331	上開孔
1332	下開孔	14	銲球
15	封裝膠體	16	電子元件
17,37	銲錫凸塊	2	封裝基板
20a	第一表面	20b	第二表面
21a	第一線路層	21b	第二線路層
22	第一絕緣保護層	221	第一開孔

23	第二絕緣保護層	232	第二開孔
233,233',233"	開口	3a	封裝件
30	第一電子元件	31	承載體
33'	導電凸塊	34,34',34"	導電元件
35	封裝材	36	第二電子元件
A	中央區域	B	第一區域
C	第二區域		

申請專利範圍

1. 一種封裝基板，係包括：

板體，係具有相對之第一表面與第二表面，且該板體之第一表面與第二表面均定義有第一區域與第二區域，該第二區域係相鄰該第一區域；

第一線路層，係形成於該板體之第一表面上；

第二線路層，係形成於該板體之第二表面上；

第一絕緣保護層，係形成於該第一線路層與該板體之第一表面上，且該第一絕緣保護層具有外露部分該第一線路層之複數第一開孔，該些第一開孔係位於該第一與第二區域；以及

第二絕緣保護層，係形成於該第二線路層與該板體之第二表面上，且該第二絕緣保護層具有外露部分該第二線路層之複數第二開孔及位於該第一區域之至少一開口，該些第二開孔並係位於該第二區域。

2. 如申請專利範圍第 1 項所述之封裝基板，其中，該第二區域係圍繞該第一區域。
3. 如申請專利範圍第 1 項所述之封裝基板，其中，該第一絕緣保護層於該板體上之體積與該第二絕緣保護層於該板體上之體積係為大致相同。
4. 如申請專利範圍第 1 項所述之封裝基板，其中，該開口之形狀係為幾何圖形。
5. 一種封裝結構，係包括：
封裝件；

複數導電元件，係設於該封裝件上並電性連接該封裝件；以及

如申請專利範圍第 1 項所述之封裝基板，係設於該些導電元件上，以令該封裝基板堆疊於該封裝件上，且該些導電元件係結合於該些第二開孔中之第二線路層上並電性連接該第二線路層。

6. 如申請專利範圍第 5 項所述之封裝結構，其中，該第二區域係圍繞該第一區域。
7. 如申請專利範圍第 5 項所述之封裝結構，其中，該第一絕緣保護層於該板體上之體積與該第二絕緣保護層於該板體上之體積係為大致相同。
8. 如申請專利範圍第 5 項所述之封裝結構，其中，該開口之形狀係為幾何圖形。
9. 如申請專利範圍第 5 項所述之封裝結構，其中，該封裝件係包含承載體與設於該承載體上之第一電子元件，且該第一電子元件電性連接該承載體。
10. 如申請專利範圍第 5 項所述之封裝結構，其中，部分該導電元件復設於該開口中。
11. 如申請專利範圍第 5 項所述之封裝結構，復包括第二電子元件，係設於該第一絕緣保護層上並電性連接該第一開孔中之第一線路層。
12. 如申請專利範圍第 5 項所述之封裝結構，復包括封裝材，係形成於該封裝件與該第二絕緣保護層之間。
13. 如申請專利範圍第 12 項所述之封裝結構，其中，該封

裝材復形成於該開口中。

14. 一種封裝結構之製法，係包括：

提供一封裝件；以及

堆疊如申請專利範圍第 1 項所述之封裝基板於該封裝件上，且藉由複數導電元件結合該封裝件與該些第二開孔中之第二線路層上，並使該些導電元件電性連接該第二線路層。

15. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該第二區域係圍繞該第一區域。

16. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該第一絕緣保護層於該板體上之體積與該第二絕緣保護層於該板體上之體積係為大致相同。

17. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該開口之形狀係為幾何圖形。

18. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該封裝件包含承載體與設於該承載體上之第一電子元件，且該第一電子元件電性連接該承載體。

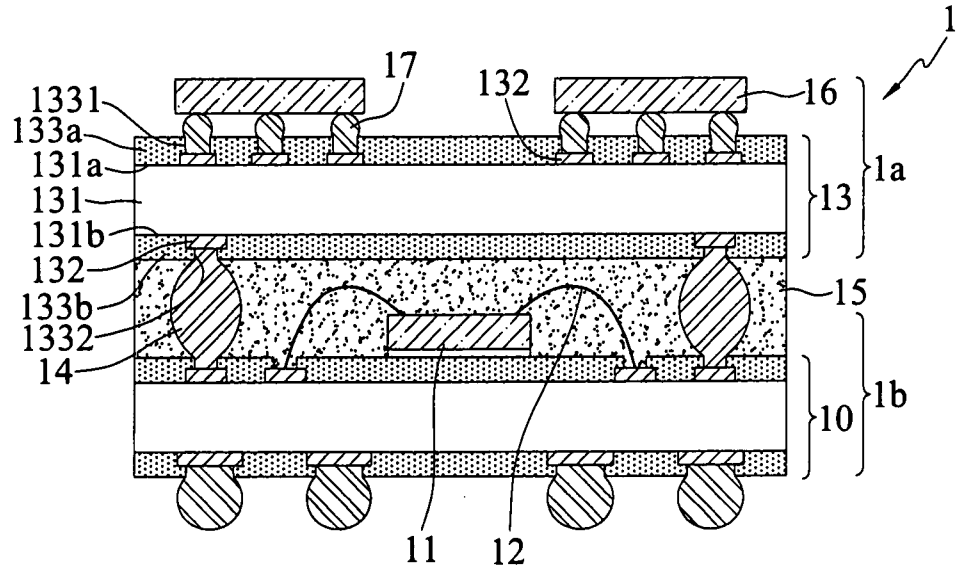
19. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，部分該導電元件復設於該開口中。

20. 如申請專利範圍第 14 項所述之封裝結構之製法，復包括設置第二電子元件於該第一絕緣保護層上，且該第二電子元件電性連接該第一開孔中之第一線路層。

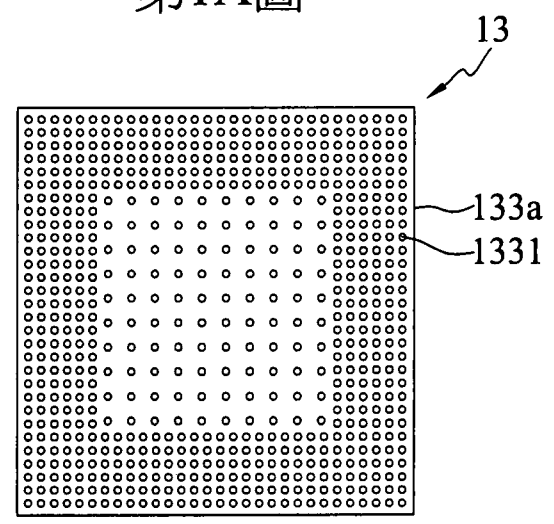
21. 如申請專利範圍第 14 項所述之封裝結構之製法，復包括形成封裝材於該封裝件與該第二絕緣保護層之間。

22. 如申請專利範圍第 21 項所述之封裝結構之製法，其中，該封裝材復形成於該開口中。

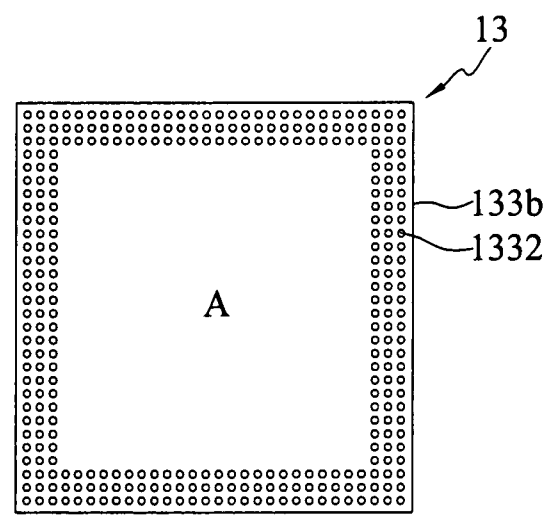
圖式



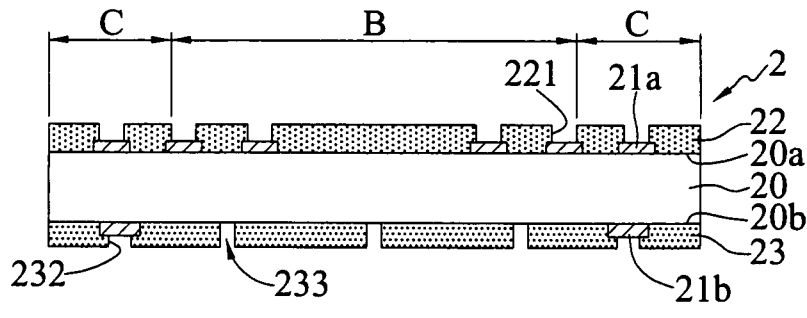
第1A圖



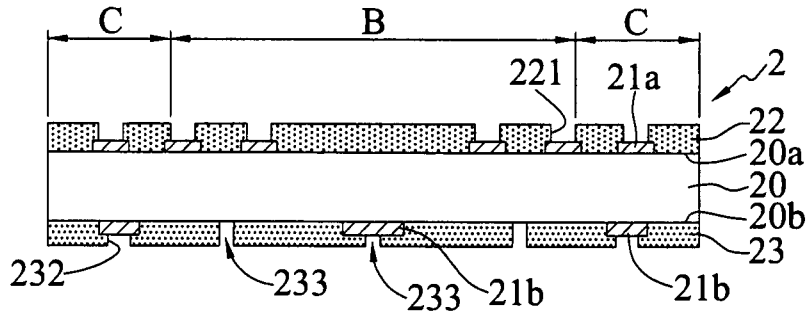
第1B圖



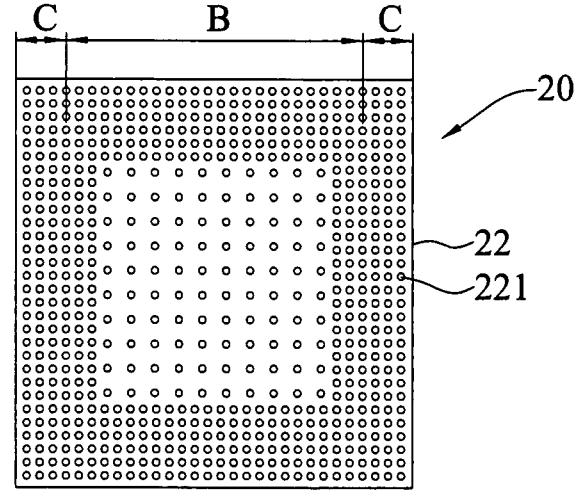
第1C圖



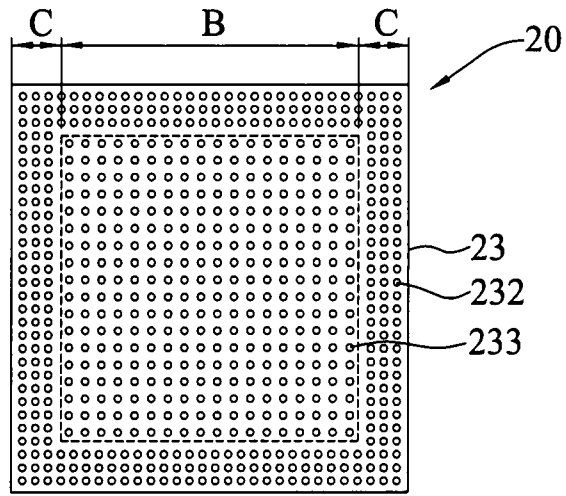
第2圖



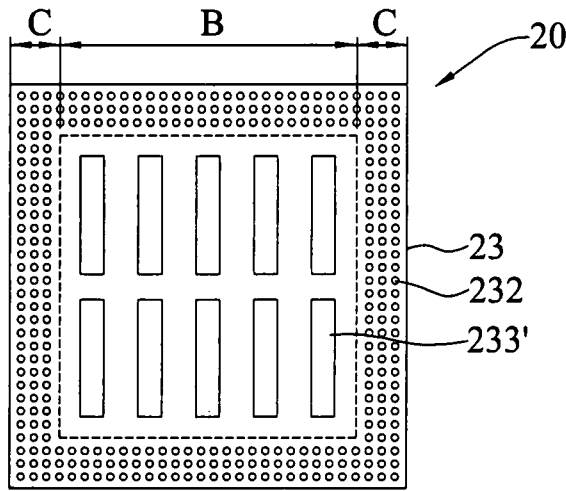
第2'圖



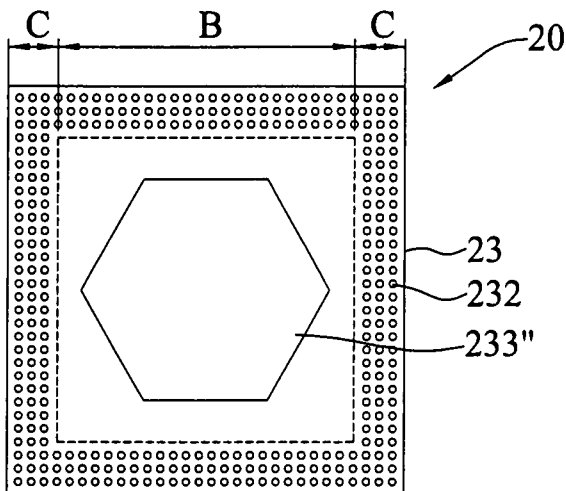
第2A圖



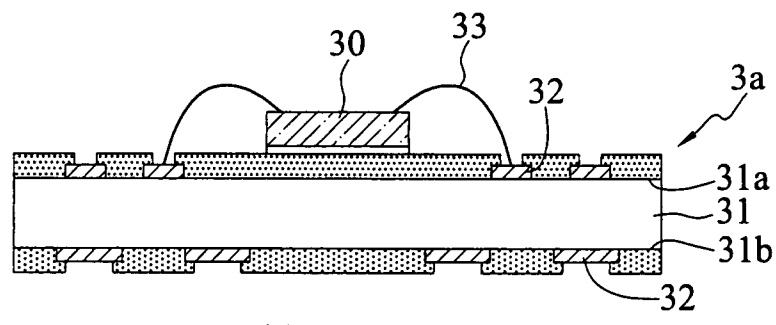
第2B圖



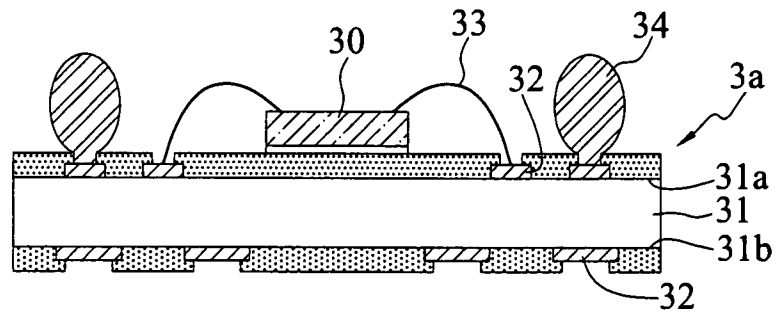
第2B'圖



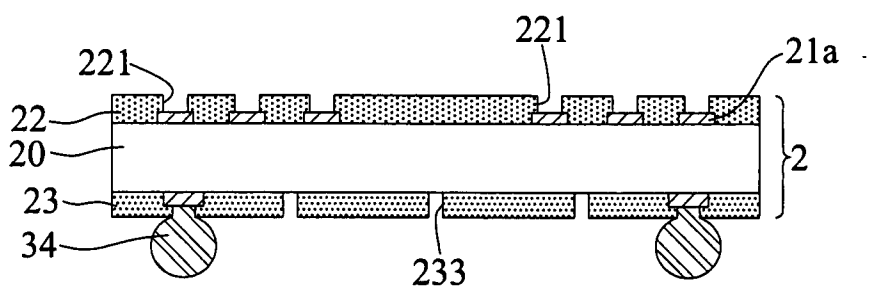
第2B''圖



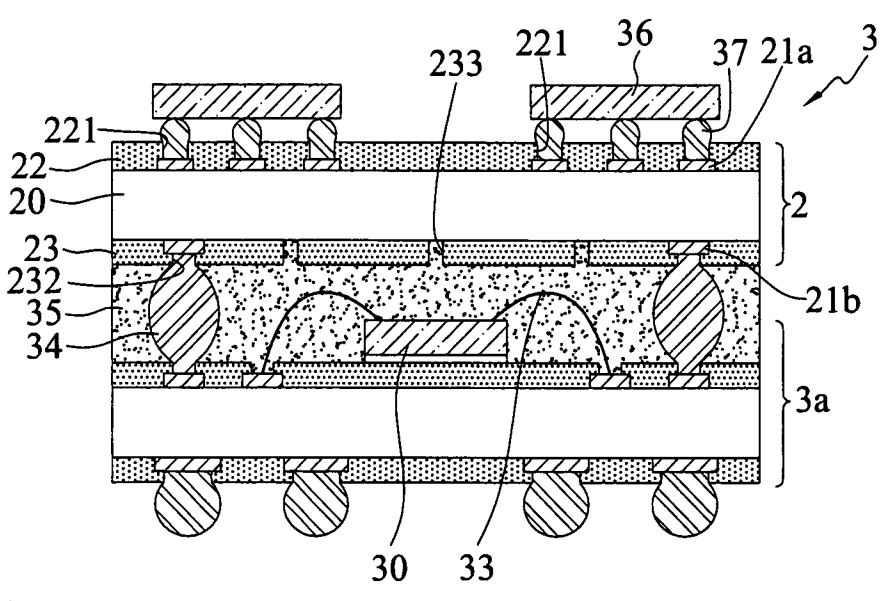
第3A圖



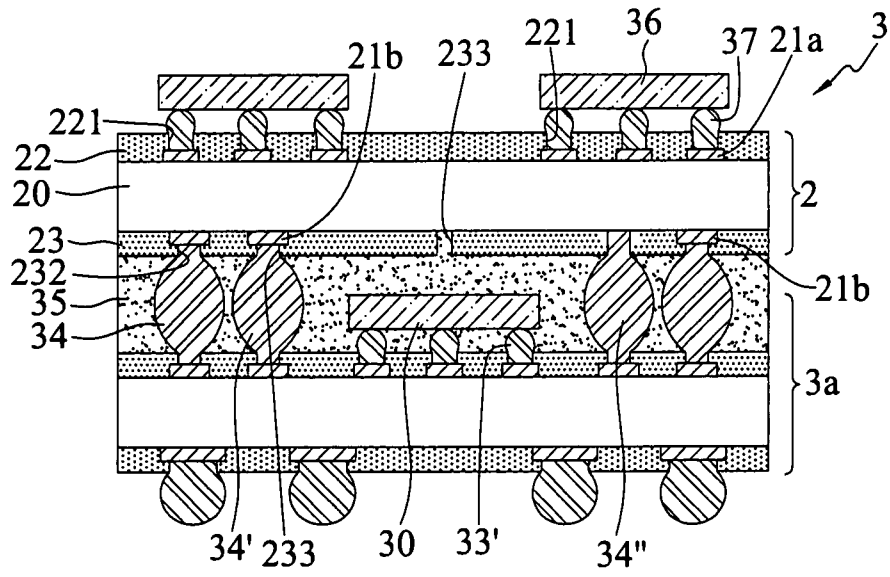
第3B圖



第3B'圖



第3C圖



第3C'圖