



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2007년09월11일

(11) 등록번호 10-0757324

(24) 등록일자 2007년09월04일

(51) Int. Cl.

H01L 27/115(2006.01) H01L 21/8247(2006.01)

(21) 출원번호 10-2006-0098365

(22) 출원일자 2006년10월10일

심사청구일자 2006년10월10일

(56) 선행기술조사문헌

KR 1020040102343 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박영근

경기 수원시 영통구 영통동 황골마을1단지아파트
129동 1401호

최한媚

서울 서초구 반포동 32-8 삼호가든 C동 503호

(뒷면에 계속)

(74) 대리인

박영우

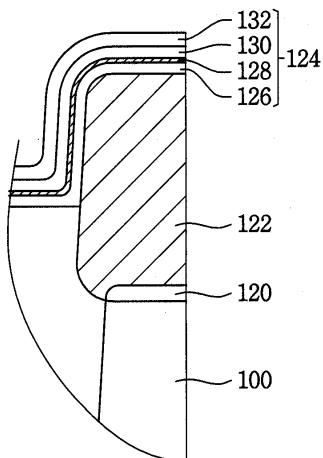
전체 청구항 수 : 총 14 항

심사관 : 김기현

(54) 불휘발성 메모리 장치의 제조 방법

(57) 요 약

불휘발성 메모리 장치의 제조 방법에서, 기판 상에는 터널 절연막이 형성되며, 상기 터널 절연막 상에는 도전성 패턴이 형성된다. 상기 도전성 패턴 상에는 하부 실리콘 산화막이 형성되며, 상기 하부 실리콘 산화막을 질화처리함으로써 상기 하부 실리콘 산화막의 표면 부위가 실리콘 산질화막으로 형성된다. 상기 실리콘 산질화막 상에는 금속 산화막이 형성되며, 상기 금속 산화막 상에는 상부 실리콘 산화막이 형성된다. 상기 상부 실리콘 산화막 상에는 컨트롤 게이트 전극을 위한 도전막이 형성된다. 상기 하부 실리콘 산화막과 상기 금속 산화막 사이에서의 실리콘 및 금속의 상호 확산은 상기 실리콘 산질화막에 의해 방지될 수 있으며, 이에 따라 상기 불휘발성 메모리 장치의 누설 전류 특성이 개선될 수 있다.

대표도 - 도9

(72) 발명자

이승환

경기 수원시 권선구 권선동 벽산한성아파트 810동
405호

김선경

경기 수원시 영통구 망포동 영통뜨란채 1006동
1802호

오세훈

경기 화성시 진안동 853-15번지 설화빌 305호

김영선

경기 수원시 영통구 영통동 살구골7단지 성지아파
트 711동 1301호

(56) 선행기술조사문현

KR 1020040077266 A

KR 1020050037546 A

특허청구의 범위

청구항 1

기판 상에 터널 절연막을 형성하는 단계;

상기 터널 절연막 상에 도전성 패턴을 형성하는 단계;

상기 도전성 패턴 상에 하부 실리콘 산화막을 형성하는 단계;

상기 하부 실리콘 산화막을 질화처리하여 상기 하부 실리콘 산화막의 표면 부위를 실리콘 산질화막으로 형성하는 단계;

상기 실리콘 산질화막 상에 금속 산화막을 형성하는 단계;

상기 금속 산화막 상에 상부 실리콘 산화막을 형성하는 단계; 및

상기 상부 실리콘 산화막 상에 도전막을 형성하는 단계를 포함하는 불휘발성 메모리 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 금속 산화막은 실리콘 질화물보다 높은 유전 상수를 갖는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 3

제2항에 있어서, 상기 금속 산화막은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틸륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 실리콘 산질화막은 N₂ 또는 NH₃ 가스를 이용하는 플라즈마 질화처리에 의해 형성되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 5

제1항에 있어서, 상기 금속 산화막을 형성한 후, 상기 금속 산화막을 플라즈마 질화처리하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 6

제5항에 있어서, 상기 플라즈마 질화처리는 500°C 이하의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 7

제6항에 있어서, 상기 플라즈마 질화처리는 350°C 이하의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 플라즈마 질화처리는 250 내지 350°C의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 9

제5항에 있어서, 상기 플라즈마 질화처리에 의해 형성되는 금속 산질화막의 두께는 5 내지 20Å인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 10

제1항에 있어서, 상기 금속 산화막을 형성한 후, 상기 금속 산화막 상에 제2 실리콘 산질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 11

제10항에 있어서, 상기 제2 실리콘 산질화막의 두께는 5 nm에서 20Å인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 12

제10항에 있어서, 상기 제2 실리콘 산질화막을 형성하는 단계와 상기 상부 실리콘 산화막을 형성하는 단계는 인시튜 방식으로 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 13

제1항에 있어서, 상기 도전막, 상부 실리콘 산화막, 금속 산화막, 실리콘 산질화막, 하부 실리콘 산화막, 도전성 패턴 및 터널 절연막을 패터닝하여 상기 기판 상에 게이트 구조물을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 게이트 구조물과 인접한 기판의 표면 부위들에 소스/드레인 영역들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <13> 본 발명은 불휘발성 메모리 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 플로팅 게이트 전극을 포함하는 불휘발성 메모리 장치의 제조 방법에 관한 것이다.
- <14> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 데이터의 입·출력이 상대적으로 빠른 반면, 시간이 경과됨에 따라 데이터가 소실되는 휘발성(volatile) 메모리 장치와, ROM(read only memory)과 같이 데이터의 입·출력이 상대적으로 느리지만, 데이터를 영구 저장이 가능한 불휘발성(non-volatile) 메모리 장치로 구분될 수 있다. 상기 불휘발성 메모리 장치의 경우, 전기적으로 데이터의 입·출력이 가능한 EEPROM(electrically erasable programmable read only memory) 또는 플래시 EEPROM 메모리에 대한 수요가 늘고 있다.
- <15> 상기 플래시 EEPROM 메모리 장치는 F-N 터널링(Fowler-Nordheim tunneling) 또는 채널 열전자 주입(channel hot electron injection)을 이용하여 전기적으로 데이터의 프로그래밍(programming) 및 소거(erasing)를 수행한다. 상기 플래시 메모리 장치는 플로팅 게이트 타입의 불휘발성 메모리 장치와 SONOS(silicon oxide nitride oxide semiconductor) 또는 MONOS(metal oxide nitride oxide semiconductor) 타입의 불휘발성 메모리 장치로 크게 구분될 수 있다.
- <16> 상기 플로팅 게이트 타입 불휘발성 메모리 장치는 터널 절연막과 플로팅 게이트 전극과 블록킹 막과 컨트롤 게이트 전극을 포함할 수 있다. 상기 블록킹 막으로는 하부 실리콘 산화막, 실리콘 질화막 및 상부 실리콘 산화막을 포함하는 다층 유전막이 사용될 수 있다.
- <17> 최근, 상기 블록킹 막의 커패시턴스를 증가시키고 누설 전류 특성을 개선하기 위하여 상기 블록킹 막을 고유전율 물질로 형성하는 방법이 제시되고 있다. 예를 들면, 하프늄 산화물, 지르코늄 산화물, 알루미늄 산화물, 하프늄 알루미늄 산화물 등과 같이 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 이용하여 상기 블록킹 막을 형성하는 방법이 적용되고 있다.

<18> 그러나, 하부 실리콘 산화막, 금속 산화막 및 상부 실리콘 산화막을 포함하는 블록킹 막을 사용하는 경우, 상기 블록킹 막을 통한 누설 전류 특성이 열화될 수 있다. 구체적으로, 상기 하부 및 상부 실리콘 산화막들과 상기 금속 산화막 사이에서 발생되는 물질의 상호 확산에 의해 상기 막들 사이에서의 계면 모폴로지(morphology)가 열약해질 수 있으며, 이에 의해 상기 블록킹 막을 통한 누설 전류가 증가될 수 있다.

발명이 이루고자 하는 기술적 과제

<19> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 누설 전류 특성이 개선된 블록킹 막을 갖는 불휘발성 메모리 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<20> 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법은, 기판 상에 터널 절연막을 형성하는 단계와, 상기 터널 절연막 상에 도전성 패턴을 형성하는 단계와, 상기 도전성 패턴 상에 하부 실리콘 산화막을 형성하는 단계와, 상기 하부 실리콘 산화막을 질화처리하여 상기 하부 실리콘 산화막의 표면 부위를 실리콘 산질화막으로 형성하는 단계와, 상기 실리콘 산질화막 상에 금속 산화막을 형성하는 단계와, 상기 금속 산화막 상에 상부 실리콘 산화막을 형성하는 단계와, 상기 상부 실리콘 산화막 상에 도전막을 형성하는 단계를 포함할 수 있다.

<21> 본 발명의 일 실시예에 따르면, 상기 금속 산화막은 실리콘 질화물보다 높은 유전 상수를 가질 수 있다. 예를 들면, 상기 금속 산화막은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틸륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.

<22> 본 발명의 일 실시예에 따르면, 상기 실리콘 산질화막은 N₂ 또는 NH₃ 가스를 이용하는 플라즈마 질화처리에 의해 형성될 수 있다.

<23> 본 발명의 일 실시예에 따르면, 상기 금속 산화막을 형성한 후, 상기 금속 산화막에 대한 플라즈마 질화처리가 수행될 수 있다. 상기 플라즈마 질화처리는 약 500°C 이하의 온도에서 수행될 수 있다. 특히, 상기 플라즈마 질화처리는 약 350°C 이하의 온도에서 수행될 수 있다. 예를 들면, 상기 플라즈마 질화처리는 약 250 내지 350°C의 온도에서 수행될 수 있다. 상기 플라즈마 질화처리에 의해 형성되는 금속 산질화막의 두께는 약 5 내지 20Å 정도의 범위 내에 있을 수 있다.

<24> 본 발명의 일 실시예에 따르면, 상기 금속 산화막을 형성한 후, 상기 금속 산화막 상에는 제2 실리콘 산질화막이 형성될 수 있으며, 상기 상부 실리콘 산화막은 상기 제2 실리콘 산질화막 상에 형성될 수 있다. 상기 제2 실리콘 산질화막의 두께는 약 5 내지 20Å 범위 내에 있을 수 있으며, 상기 제2 실리콘 산질화막을 형성하는 단계와 상기 상부 실리콘 산화막을 형성하는 단계는 인시튜 방식으로 수행될 수 있다.

<25> 본 발명의 일 실시예에 따르면, 게이트 구조물은 상기 도전막, 상부 실리콘 산화막, 금속 산화막, 실리콘 산질화막, 하부 실리콘 산화막, 도전성 패턴 및 터널 절연막을 패터닝함으로써 형성될 수 있으며, 소스/드레인 영역들은 상기 게이트 구조물과 인접한 기판의 표면 부위들에 형성될 수 있다.

<26> 상기와 같은 본 발명의 실시예들에 따르면, 상기 하부 실리콘 산화막과 금속 산화막 사이의 계면 모폴로지는 상기 실리콘 산질화막에 의해 개선될 수 있다. 또한, 상기 금속 산화막과 상기 상부 실리콘 산화막 사이의 계면 모폴로지는 상기 금속 산질화막 또는 상기 제2 실리콘 산질화막에 의해 개선될 수 있다. 따라서, 상기 불휘발성 메모리 장치의 누설 전류 특성이 개선될 수 있다.

<27> 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다. 그러나, 본 발명은 하기의 실시예들에 한정되지 않고 다른 형태로 구현될 수도 있다. 여기서 소개되는 실시예들은 개시된 내용이 보다 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공된다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 과장되게 도시되었으며, 또한 각 장치는 본 명세서에서 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기판 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기판 상에 직접 형성되거나 그들 사이에 추가적인 막(층)이 개재될 수 있다.

<28> 도 1 내지 도 10은 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이

다.

- <29> 도 1을 참조하면, 실리콘웨이퍼와 같은 반도체 기판(100) 상에 패드 산화막(102)을 형성하고, 상기 패드 산화막(102) 상에 마스크층(104)을 형성한다.
- <30> 상기 패드 산화막(102)은 열산화(thermal oxidation) 공정, 화학 기상 증착(chemical vapor deposition; CVD) 공정 등을 통해 약 70Å 내지 100Å 정도로 형성될 수 있다. 상기 패드 산화막(102)은 반도체 기판(100)의 표면 처리를 위해 약 750°C 내지 900°C 정도의 온도에서 형성되는 것이 바람직하다.
- <31> 상기 마스크층(104)은 실리콘 질화물로 이루어질 수 있으며, SiH₂C₁₂ 가스, SiH₄ 가스, NH₃ 가스 등을 이용하는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 공정 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 공정을 통해 약 1500Å 정도의 두께로 형성될 수 있다.
- <32> 도 2를 참조하면, 상기 마스크층(104) 상에 포토리소그래피 공정을 통해 상기 마스크층(104)의 표면을 노출시키는 포토레지스트 패턴(106)을 형성하고, 상기 포토레지스트 패턴(106)을 식각 마스크로 하는 식각 공정을 통해 상기 마스크층(104) 및 패드 산화막(102)을 순차적으로 식각함으로써 반도체 기판(100) 상에 반도체 기판(100)의 소자 분리 영역(100a)을 노출시키는 제1 개구(102)를 한정하는 마스크 패턴(108)과 패드 산화막 패턴(110)을 형성한다.
- <33> 상기 식각 공정의 예로는 플라즈마를 이용하는 건식 식각 공정(dry etching process), 반응성 이온 식각 공정(reactive ion etching process) 등이 있다. 상기 포토레지스트 패턴(106)은 상기 마스크 패턴(108)을 형성한 후 애싱 공정(ashing process) 및 스트립 공정을 통해 제거된다.
- <34> 도 3을 참조하면, 상기 마스크 패턴(108)을 식각 마스크로 사용하는 식각 공정을 수행하여 상기 반도체 기판(100)의 소자 분리 영역(100a)을 식각함으로써 반도체 기판(100)을 가로지르는 제1방향으로 트렌치(114)를 형성한다. 상기 트렌치(114)는 상기 반도체 기판(100)의 표면으로부터 약 1000Å 내지 5000Å 정도의 깊이를 갖도록 형성될 수 있다.
- <35> 상기 트렌치(114)를 형성하기 위한 식각 공정을 수행하는 동안, 고에너지의 이온 충격으로 인해 야기된 실리콘 손상을 치유하고, 누설 전류 발생을 방지하기 위해 상기 트렌치(114)의 내측 표면들에 대한 열산화 처리를 수행할 수 있다. 상기 열산화 처리에 의해 상기 트렌치(114)의 내측 표면들 상에는 약 50Å 내지 250Å 정도의 두께를 갖는 트렌치 산화막(미도시)이 형성된다.
- <36> 또한, 후속하여 형성되는 막, 예를 들면 필드 절연막(미도시)으로부터 탄소 또는 수소와 같은 불순물들이 상기 트렌치(114)에 의해 정의된 액티브 영역(100b)으로 확산되는 것을 방지하기 위해 상기 트렌치 산화막 상에 라이너 질화막(미도시)을 약 50Å 내지 100Å 정도의 두께로 형성할 수 있다.
- <37> 본 발명의 다른 실시예에 따르면, 상기 트렌치(114)는 상기 포토레지스트 패턴을 식각 마스크로 이용하는 식각 공정을 통해 형성될 수도 있다.
- <38> 도 4를 참조하면, 상기 트렌치(114)가 형성된 반도체 기판(100) 상에 필드 절연막을 형성하여 상기 트렌치(114)를 채운다. 상기 필드 절연막으로는 실리콘 산화막이 사용될 수 있으며, 상기 실리콘 산화막의 예로는 USG(undoped silicate glass), TEOS(tetra-ethyl-ortho-silicate) 또는 HDP(high density plasma) 산화막 등이 있다. 바람직하게는, SiH₄, O₂ 및 Ar 가스를 플라즈마 소스로 이용하여 형성된 HDP 산화막이 사용될 수 있다.
- <39> 이어서, 상기 필드 절연막의 상부를 화학적 기계적 연마(chemical mechanical polishing; CMP) 공정과 같은 평탄화 공정을 통해 상기 마스크 패턴(108)의 표면이 노출되도록 제거함으로써 상기 트렌치(114) 내에 소자 분리 막으로서 기능하며 반도체 기판(100)의 액티브 영역(100b)을 정의하는 필드 절연 패턴(116)을 완성한다. 상세히 도시되지는 않았으나, 상기 평탄화 공정을 수행하는 동안 상기 마스크 패턴(108)이 부분적으로 제거될 수도 있다.
- <40> 도 5를 참조하면, 상기 마스크 패턴(108) 및 패드 산화막(110)을 제거하여 반도체 기판의 액티브 영역을 노출시키는 제2개구(118)를 형성한다. 구체적으로, 상기 필드 절연 패턴(116)은 인산을 포함하는 식각액을 이용하여 제거될 수 있으며, 상기 패드 산화막(110)은 희석된 불산 용액을 이용하여 제거될 수 있다. 한편, 도시된 바와 같이, 상기 마스크 패턴(108) 및 패드 산화막(110)을 제거하는 동안 상기 필드 절연 패턴(116)의 일부도 함께

제거될 수 있다.

- <41> 도 6을 참조하면, 상기 노출된 액티브 영역(100b) 상에 터널 산화막(120)을 형성한다. 상기 터널 산화막(120)으로는 열산화 공정을 통해 형성된 실리콘 산화막이 사용될 수 있다. 상기 터널 산화막(120)의 다른 예로는 불소 도핑된 실리콘 산화막, 탄소 도핑된 실리콘 산화막, 저유전율(low-k) 물질막 등이 사용될 수 있다.
- <42> 예를 들면, 상기 터널 산화막은 열산화 공정을 통해 상기 액티브 영역 상에 약 30 내지 100Å 정도의 두께로 형성될 수 있다.
- <43> 상기 터널 산화막(120) 및 상기 필드 절연 패턴(116) 상에 제1 도전막(미도시)을 형성한다. 상기 제1 도전막은 불순물 도핑된 폴리실리콘을 포함할 수 있으며, SiH₄ 가스 및 PH₃ 가스를 이용하여 약 580°C 내지 620°C의 온도에서 형성될 수 있다.
- <44> 상기 제1 도전막을 형성한 후, 상기 필드 절연 패턴(116)이 노출되도록 에치 백 또는 화학적 기계적 연마와 같은 평탄화 공정을 수행하여 상기 제2 개구(118) 내에 플로팅 게이트 패턴으로서 기능하는 도전성 패턴(122)을 형성한다. 상기 평탄화 공정을 수행하는 동안 상기 필드 절연 패턴(116)이 부분적으로 제거될 수도 있다.
- <45> 도 7을 참조하면, 상기 필드 절연 패턴(116)의 상부(upper portion)를 제거하여 상기 도전성 패턴(122)의 상부 측벽 부위들을 노출시킨다. 상기 필드 절연 패턴(116)은 등방성 또는 이방성 식각 공정을 통해 부분적으로 제거될 수 있으며, 상기 액티브 영역(100b) 상에 형성된 터널 산화막(120)이 노출되지 않도록 수행되는 것이 바람직하다. 이는 상기 필드 절연 패턴(116)을 부분적으로 제거하기 위한 식각액 또는 식각 가스에 의해 상기 터널 산화막(120)이 손상되는 것을 방지하기 위함이다. 또한, 상기 필드 절연 패턴(116)을 부분적으로 제거하는 동안 상기 도전성 패턴(122)의 모서리 부분들이 라운딩 처리될 수 있다.
- <46> 도 8 및 도 9를 참조하면, 상기 도전성 패턴(122) 및 상기 필드 절연 패턴(116) 상에 블록킹 막(124)을 형성한다. 상기 블록킹 막(124)은 하부 실리콘 산화막(126), 실리콘 산질화막(128), 금속 산화막(130) 및 상부 실리콘 산화막(132)을 포함할 수 있다.
- <47> 상기 하부 실리콘 산화막(126)은 중온 산화물 증착(middle temperature oxide(MTO) deposition) 방법 또는 고밀도 플라즈마 증착(high density plasma(HDP) deposition) 방법에 의해 형성될 수 있으며 상기 도전성 패턴(122) 및 상기 필드 절연 패턴(116) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <48> 상기 실리콘 산질화막(128)은 상기 하부 실리콘 산화막(126)을 질화처리함으로써 획득될 수 있다. 예를 들면, 상기 실리콘 산질화막(128)은 플라즈마 질화처리에 의해 약 5 내지 20Å 정도의 두께로 형성될 수 있다. 상기 실리콘 산질화막(128)은 상기 하부 실리콘 산화막(126)과 상기 금속 산화막(130) 사이에서 계면 모폴로지를 개선하기 위하여 형성될 수 있다.
- <49> 상기 플라즈마 질화처리는 N₂ 또는 NH₃ 가스를 이용하여 수행될 수 있으며, 리모트 플라즈마 설비 또는 다이렉트 플라즈마 설비를 이용하여 수행될 수 있다. 예를 들면, 상기 플라즈마 질화처리는 2.45GHz의 주파수를 갖는 마이크로웨이브 에너지를 이용하는 리모트 플라즈마 설비를 이용하여 약 500°C 이하의 온도, 예를 들면, 약 250 내지 350°C의 온도에서 수행될 수 있다.
- <50> 상기 금속 산화막(130)은 실리콘 질화물보다 높은 유전 상수를 가지며, 원자층 증착 또는 화학 기상 증착에 의해 약 20 내지 100Å 정도의 두께로 형성될 수 있다. 상기 금속 산화막(130)은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다. 예를 들면, 상기 금속 산화막(130)은 하프늄 산화물(HfO₂), 지르코늄 산화물(ZrO₂), 알루미늄 산화물(Al₂O₃), 하프늄 알루미늄 산화물(HfAlO), 란탄 산화물(La₂O₃), 하프늄 란탄 산화물(HfLaO), 알루미늄 란탄 산화물(AlLaO) 등을 포함할 수 있다.
- <51> 일 예로서, 하프늄 산화물을 포함하는 금속 산화막(130)을 원자층 증착을 이용하여 상기 실리콘 산질화막 상에 형성하는 방법을 설명하면 다음과 같다.
- <52> 상기 실리콘 산질화막(128)이 형성된 반도체 기판(100)을 원자층 증착을 위한 챔버(미도시) 내에 위치시킨다. 이때, 상기 챔버 내부의 온도는 약 150 내지 400°C 정도로 유지될 수 있으며, 압력은 약 0.1 내지 3.0torr 정도로 유지될 수 있다. 예를 들면, 상기 챔버 내부의 온도는 약 300°C 정도로 유지되며, 압력은 약 1.0torr 정도로 유지될 수 있다.

- <53> 이어서, 상기 반도체 기판(100) 상으로 하프늄 전구체를 포함하는 반응 물질을 제공하여 상기 실리콘 산질화막(128) 상에 하프늄 전구체 막을 형성한다. 상기 반응 물질로는 기상의 하프늄 전구체가 사용될 수 있으며, 상기 기상의 하프늄 전구체는 질소 또는 아르곤과 같은 캐리어 가스에 의해 운반될 수 있다. 상기 기상의 하프늄 전구체 가스는 액체 전달 시스템(liquid delivery system; LDS) 또는 베블러 시스템(bubbler system)을 통해 제공될 수 있다.
- <54> 상기 하프늄 전구체로는 TDMAH(tetrakis dimethyl amino hafnium, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$), TEMAH(tetrakis ethyl methyl amino hafnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)\text{CH}_3]_4$), TDEAH(tetrakis diethyl amino hafnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$, $\text{Hf}[\text{OC}(\text{CH}_3)_2\text{CH}_2\text{OCH}_3]_4$, $\text{Hf}[\text{OC}(\text{CH}_3)_3]_4$ 등이 사용될 수 있으며, 이들은 혼합물의 형태로 사용될 수도 있다.
- <55> 상기 반응 물질은 약 0.5 내지 3초 동안 상기 반도체 기판(100) 상으로 제공될 수 있다. 예를 들면, 상기 반응 물질은 약 2초 동안 상기 반도체 기판(100) 상으로 제공될 수 있다.
- <56> 상기와 같이 반도체 기판(100) 상으로 제공된 반응 물질의 일부는 상기 실리콘 산질화막(128) 상에 화학 흡착되어 상기 하프늄 전구체 막을 형성하며, 나머지는 상기 하프늄 전구체 막 상에 물리 흡착되거나 상기 챔버 내에서 표류한다.
- <57> 상기 하프늄 전구체 막을 형성한 후, 상기 챔버 내부로 퍼지 가스를 제공하면서 상기 챔버를 진공 배기시킨다. 상기 퍼지 가스로는 질소 또는 아르곤이 사용될 수 있으며, 상기 퍼지 가스는 약 0.5 내지 5초 동안 공급될 수 있다. 예를 들면, 상기 퍼지 가스는 약 2초 동안 공급될 수 있다.
- <58> 상기 하프늄 전구체 막 상에 물리 흡착된 반응 물질과 상기 챔버 내에 표류하는 반응 물질은 상기 챔버 내로 공급되는 퍼지 가스와 함께 상기 챔버로부터 진공 배기된다.
- <59> 상기 챔버를 퍼지시킨 후, 상기 반도체 기판(100) 상으로 산화제를 공급하여 상기 하프늄 전구체 막을 산화시킴으로써 상기 실리콘 산질화막(128) 상에 하프늄 산화막을 형성한다.
- <60> 상기 산화제의 예로서는 O_3 , O_2 , H_2O_2 , 플라즈마 O_2 등을 들 수 있다. 이들은 단독으로 사용될 수 있으며, 경우에 따라 이들의 혼합이 사용될 수도 있다. 예를 들면, 상기 반도체 기판(100) 상으로 O_3 가스가 약 1 내지 5초 동안 공급될 수 있다. 특히, 상기 산화제는 상기 반도체 기판(100) 상으로 약 3초 동안 공급될 수 있다.
- <61> 상기 하프늄 산화막을 형성한 후, 상기 챔버 내부로 퍼지 가스를 공급하여 상기 하프늄 전구체 막과 상기 산화제의 반응에 의해 발생된 반응 부산물과 잔여 산화제를 챔버로부터 제거한다. 상기 퍼지 가스는 약 1초 내지 5초 동안 공급될 수 있다. 예를 들면, 상기 퍼지 가스는 약 3초 동안 공급될 수 있다.
- <62> 상기와 같이 하프늄 산화막을 형성하기 위한 단계들은 목적하는 두께를 갖는 금속 산화막(130)이 형성될 때까지 반복적으로 수행될 수 있다.
- <63> 본 발명의 다른 실시예에 따르면, 상기 금속 산화막(130)은 약 50Å 이하의 두께로 형성될 수 있다. 이는 상기 금속 산화막(130)이 후속 공정들에서 결정화되는 것을 방지하기 위함이다. 예를 들면, 상기 금속 산화막(130)은 약 20 내지 50Å 정도의 두께로 형성될 수 있다.
- <64> 상기 금속 산화막(130)을 형성한 후, 상기 금속 산화막(130) 상에 상부 실리콘 산화막(132)을 형성한다. 상기 상부 실리콘 산화막(132)은 중온 산화물 증착 방법 또는 고밀도 플라즈마 증착 방법에 의해 형성될 수 있으며 상기 금속 산화막(130) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <65> 상기한 바와 같이, 상기 하부 실리콘 산화막(126) 상에 실리콘 산질화막(128)을 형성함으로써 상기 하부 실리콘 산화막(126)과 상기 금속 산화막(130) 사이에서의 물질들의 상호 확산, 예를 들면, 실리콘과 금속의 상호 확산을 방지할 수 있다. 따라서, 상기 하부 실리콘 산화막(126)과 금속 산화막(130) 사이에서의 계면 모폴로지가 개선될 수 있으며, 이에 따라 상기 블록킹 막(124)을 통한 누설 전류가 감소될 수 있다.
- <66> 도 10을 참조하면, 상기 블록킹 막(124)을 형성한 후, 상기 블록킹 막(124) 상에 제2 도전막(미도시)을 형성한다. 상기 제2 도전막은 불순물 도핑된 폴리실리콘, 금속, 금속 실리사이드 등을 포함할 수 있다. 예를 들면, 상기 제2 도전막은 불순물 도핑된 폴리실리콘막과 상기 폴리실리콘막 상에 형성된 금속막 또는 금속 실리사이드막을 포함할 수 있다. 상기 금속막은 텅스텐을 포함할 수 있으며, 상기 금속 실리사이드로는 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 코발트 실리사이드(CoSix), 탄탈륨 실리사이드(TaSix) 등이 사용될 수 있다.

- <67> 상기 제2 도전막을 패터닝하여 상기 제1 방향과 다른 제2방향으로 연장하는 컨트롤 게이트 전극(134)을 형성한다. 또한, 상기 블록킹 막(124), 도전성 패턴(122) 및 터널 산화막(120)을 순차적으로 패터닝함으로써 상기 컨트롤 게이트 전극(134), 블록킹 막 패턴(136), 플로팅 게이트 전극(138) 및 터널 산화막 패턴(140)을 포함하는 플래시 메모리 장치의 게이트 구조물(142)을 완성한다.
- <68> 도시되지는 않았으나, 상기 게이트 구조물(142)과 인접하는 액티브 영역(100b)의 표면 부위들에 소스/드레인 영역들(미도시)을 불순물 도핑 공정 및 불순물 활성화를 위한 열처리 공정을 통해 형성함으로써 불휘발성 메모리 장치를 완성할 수 있다.
- <69> 도 11은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도이다.
- <70> 도 11에 도시된 바와 같이, 본 발명의 다른 실시예에 따르면, 실리콘웨이퍼와 같은 반도체 기판(200) 상에 필드 절연 패턴(216), 터널 절연막(220) 및 도전성 패턴(222)을 형성한다. 상기 필드 절연 패턴(216), 터널 절연막(220) 및 도전성 패턴(222)을 형성하는 방법들에 대한 상세한 설명은 도 1 내지 도 7을 참조하여 기 설명된 바와 유사하므로 생략한다.
- <71> 블록킹 막(224)은 상기 필드 절연 패턴(216) 및 도전성 패턴(222) 상에 형성되며, 하부 실리콘 산화막(226), 실리콘 산질화막(228), 금속 산화막(230), 금속 산질화막(232) 및 상부 실리콘 산화막(234)을 포함할 수 있다.
- <72> 상기 하부 실리콘 산화막(226), 실리콘 산질화막(228) 및 금속 산화막(230)을 형성하는 방법들에 대한 상세한 설명은 도 8 및 도 9를 참조하여 기 설명된 바와 유사하므로 생략한다.
- <73> 상기 금속 산화막(230)을 형성한 후, 상기 금속 산화막(230)을 질화처리하여 상기 금속 산화막(230)의 표면 부위를 금속 산질화막으로 형성한다. 예를 들면, 상기 금속 산질화막(232)은 플라즈마 질화처리에 의해 약 5 내지 20Å 정도의 두께로 형성될 수 있다. 상기 금속 산질화막(232)은 상기 금속 산화막(230)과 상부 실리콘 산화막(234) 사이에서 계면 모폴로지를 개선하기 위하여 형성될 수 있다. 한편, 상기 금속 산질화막(232)의 두께가 약 20Å보다 두꺼운 경우, 상기 블록킹 막(224)의 유전율이 저하될 수 있다.
- <74> 상기 플라즈마 질화처리는 N₂ 또는 NH₃ 가스를 이용하여 수행될 수 있으며, 리모트 플라즈마 설비 또는 다이렉트 플라즈마 설비를 이용하여 수행될 수 있다. 예를 들면, 상기 플라즈마 질화처리는 2.45GHz의 주파수를 갖는 마이크로웨이브 에너지를 이용하는 리모트 플라즈마 설비를 이용하여 수행될 수 있다.
- <75> 또한, 상기 플라즈마 질화처리는 상기 금속 산화막(230)의 결정화를 방지하기 위하여 약 500°C 이하의 온도에서 수행될 수 있다. 특히, 지르코늄 산화물의 경우 약 400°C 정도의 결정화 온도를 가지므로, 상기 플라즈마 질화처리는 약 350°C 이하의 온도에서 수행되는 것이 바람직하다. 예를 들면, 상기 플라즈마 질화처리는 약 250 내지 350°C의 온도에서 수행될 수 있다.
- <76> 상기 상부 실리콘 산화막(234)은 상기 금속 산질화막(232) 상에 형성된다. 상기 상부 실리콘 산화막(234)을 형성하는 방법에 대한 상세한 설명은 도 9 및 도 10을 참조하여 기 설명된 바와 유사하므로 생략한다.
- <77> 상기 상부 실리콘 산화막(234)과 상기 금속 산화막(230) 사이에서의 실리콘 및 금속의 상호 확산은 상기 금속 산질화막(232)에 의해 방지될 수 있으며, 이에 따라 상기 상부 실리콘 산화막(234)과 상기 금속 산화막(230) 사이에서의 계면 모폴로지가 개선될 수 있으며, 상기 블록킹 막(224)을 통한 누설 전류가 감소될 수 있다.
- <78> 이어서, 상기 블록킹 막(224) 상에 도전막을 형성하고, 상기 도전막을 패터닝하여 컨트롤 게이트 전극(236)을 형성한다. 계속해서, 상기 블록킹 막(224), 도전성 패턴(222), 터널 산화막(220)을 패터닝하여 게이트 구조물을 형성한다. 계속해서, 상기 게이트 구조물과 인접한 반도체 기판(200)의 표면 부위들에 소스/드레인 영역들을 형성한다. 상기 게이트 구조물 및 소스/드레인 영역들을 형성하는 방법들에 대한 상세한 설명은 도 10을 참조하여 기 설명된 바와 유사하므로 생략한다.
- <79> 도 12는 본 발명의 또 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도이다.
- <80> 도 12에 도시된 바와 같이, 본 발명의 또 다른 실시예에 따르면, 실리콘웨이퍼와 같은 반도체 기판(300) 상에 필드 절연 패턴(316), 터널 절연막(320) 및 도전성 패턴(322)을 형성한다. 상기 필드 절연 패턴(316), 터널 절연막(320) 및 도전성 패턴(322)을 형성하는 방법들에 대한 상세한 설명은 도 1 내지 도 7을 참조하여 기 설명된 바와 유사하므로 생략한다.
- <81> 블록킹 막(324)은 상기 필드 절연 패턴(316) 및 도전성 패턴(322) 상에 형성되며, 하부 실리콘 산화막(326), 제

1 실리콘 산질화막(328), 금속 산화막(330), 제2 실리콘 산질화막(332) 및 상부 실리콘 산화막(334)을 포함할 수 있다.

<82> 상기 하부 실리콘 산화막(326), 제1 실리콘 산질화막(328) 및 금속 산화막(330)을 형성하는 방법들에 대한 상세한 설명은 도 8 및 도 9를 참조하여 기 설명된 바와 유사하므로 생략한다.

<83> 상기 금속 산화막(330)을 형성한 후, 상기 금속 산화막(330) 상에 제2 실리콘 산질화막(332)을 형성한다. 상기 제2 실리콘 산질화막(332)은 중온 산질화물 증착 방법 또는 고밀도 플라즈마 증착 방법을 이용하여 형성될 수 있다. 구체적으로, 실리콘을 포함하는 소스 가스와 산소를 포함하는 제1 반응 가스 및 질소를 포함하는 제2 반응 가스를 이용하여 형성될 수 있다.

<84> 상기 제2 실리콘 산질화막(332)은 약 5 내지 20Å 정도의 두께로 형성될 수 있으며, 상기 상부 실리콘 산화막(334)은 상기 제2 실리콘 산질화막(332) 상에 인시튜 방식으로 형성된다. 상기 상부 실리콘 산화막(334)은 약 30 내지 150Å 정도의 두께로 형성될 수 있다.

<85> 상기 상부 실리콘 산화막(334)과 상기 금속 산화막(330) 사이에서의 실리콘 및 금속의 상호 확산은 상기 제2 실리콘 산질화막(332)에 의해 방지될 수 있으며, 이에 따라 상기 상부 실리콘 산화막(334)과 상기 금속 산화막(330) 사이에서의 계면 모폴로지가 개선될 수 있으며, 상기 블록킹 막(324)을 통한 누설 전류가 감소될 수 있다.

<86> 이어서, 상기 블록킹 막(324) 상에 도전막을 형성하고, 상기 도전막을 패터닝하여 컨트롤 게이트 전극(336)을 형성한다. 계속해서, 상기 블록킹 막(324), 도전성 패턴(322), 터널 산화막(320)을 패터닝하여 게이트 구조물을 형성한다. 계속해서, 상기 게이트 구조물과 인접한 반도체 기판의 표면 부위들에 소스/드레인 영역들을 형성한다. 상기 게이트 구조물 및 소스/드레인 영역들을 형성하는 방법들에 대한 상세한 설명은 도 10을 참조하여 기 설명된 바와 유사하므로 생략한다.

불휘발성 메모리 장치의 누설 전류 특성

<88> 먼저, 본 발명의 일 실시예에 따른 방법을 이용하여 제1 불휘발성 메모리 장치를 제조하였다. 구체적으로, 실리콘웨이퍼와 같은 반도체 기판 상에 터널 절연막과 도전성 패턴을 형성하고, 상기 도전성 패턴 상에 블록킹 막을 형성하였다. 구체적으로, 약 61Å 정도의 두께를 갖는 하부 실리콘 산화막을 형성하고, 상기 하부 실리콘 산화막을 플라즈마 질화처리하여 상기 하부 실리콘 산화막 상에 실리콘 산질화막을 형성하였다. 이어서, 상기 실리콘 산질화막 상에 약 50Å 정도의 두께를 갖는 하프늄 산화막을 형성하고, 상기 하프늄 산화막 상에 약 61Å 정도의 두께를 갖는 상부 실리콘 산화막을 형성하였다. 계속해서, 상기 블록킹 막 상에 도전막을 형성하고, 상기 도전막, 블록킹 막, 도전성 패턴 및 터널 절연막을 패터닝하여 게이트 구조물을 형성하였다. 또한, 상기 게이트 구조물과 인접하는 반도체 기판의 표면 부위에 소스/드레인 영역들을 형성하였다.

<89> 이어서, 종래의 기술을 이용하여 제2 불휘발성 메모리 장치를 제조하였다. 구체적으로, 구체적으로, 실리콘웨이퍼와 같은 반도체 기판 상에 터널 절연막과 도전성 패턴을 형성하고, 상기 도전성 패턴 상에 블록킹 막을 형성하였다. 구체적으로, 약 61Å 정도의 두께를 갖는 하부 실리콘 산화막과, 약 50Å 정도의 두께를 갖는 하프늄 산화막과, 약 61Å 정도의 두께를 갖는 상부 실리콘 산화막을 상기 도전성 패턴 상에 순차적으로 형성하였다. 계속해서, 상기 블록킹 막 상에 도전막을 형성하고, 상기 도전막, 블록킹 막, 도전성 패턴 및 터널 절연막을 패터닝하여 게이트 구조물을 형성하였다. 또한, 상기 게이트 구조물과 인접하는 반도체 기판의 표면 부위에 소스/드레인 영역들을 형성하였다.

<90> 계속해서, 종래의 기술을 이용하여 제3 불휘발성 메모리 장치를 제조하였다. 구체적으로, 구체적으로, 실리콘웨이퍼와 같은 반도체 기판 상에 터널 절연막과 도전성 패턴을 형성하고, 상기 도전성 패턴 상에 블록킹 막을 형성하였다. 구체적으로, 약 52Å 정도의 두께를 갖는 하부 실리콘 산화막과, 약 50Å 정도의 두께를 갖는 하프늄 산화막과, 약 61Å 정도의 두께를 갖는 상부 실리콘 산화막을 상기 도전성 패턴 상에 순차적으로 형성하였다. 계속해서, 상기 블록킹 막 상에 도전막을 형성하고, 상기 도전막, 블록킹 막, 도전성 패턴 및 터널 절연막을 패터닝하여 게이트 구조물을 형성하였다. 또한, 상기 게이트 구조물과 인접하는 반도체 기판의 표면 부위에 소스/드레인 영역들을 형성하였다.

<91> 상기 제1 불휘발성 메모리 장치의 블록킹 막은 약 127Å 정도의 등가 산화막 두께를 갖고, 상기 제2 불휘발성 메모리 장치의 블록킹 막은 약 138Å 정도의 등가 산화막 두께를 가지며, 상기 제3 불휘발성 메모리 장치의 블록킹 막은 약 128Å 정도의 등가 산화막 두께를 갖는 것으로 측정되었다.

- <92> 상기 제1 및 제2 불휘발성 메모리 장치들을 제조한 후, 각각의 장치들의 블록킹 막들을 통한 누설 전류를 측정하였다. 그리고, 그 결과를 도 13에 도시하였다.
- <93> 도 13은 본 발명의 일 실시예에 따라 제조된 제1 불휘발성 메모리 장치와 종래의 기술에 따라 제조된 제2 및 제3 불휘발성 메모리 장치들의 누설 전류 특성을 나타내는 그래프이다.
- <94> 도 10에 도시된 바와 같이, 상기 제1 불휘발성 메모리 장치는 상기 제2 및 제3 불휘발성 메모리 장치들과 비교하여 개선된 누설 전류 특성을 갖는 것으로 측정되었다. 특히, 상기 제1 불휘발성 메모리 장치는 상기 제2 및 제3 불휘발성 메모리 장치들에 비교하여 저전압 영역(도시된 바에 의하면, 약 0 내지 6MV/cm 정도의 범위)에서 개선된 누설 전류 특성을 갖는 것으로 측정되었다.

발명의 효과

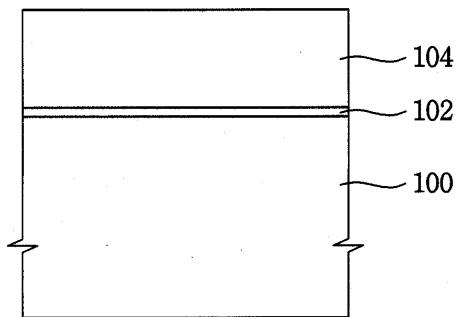
- <95> 상기와 같은 본 발명의 실시예들에 따르면, 상기 하부 실리콘 산화막과 상기 금속 산화막 사이에서의 실리콘 및 금속의 상호 확산은 상기 제1 실리콘 산질화막에 의해 방지될 수 있으며, 상기 금속 산화막과 상기 상부 실리콘 산화막 사이에서의 실리콘 및 금속의 상호 확산은 상기 금속 산질화막 또는 상기 제2 실리콘 산질화막에 의해 방지될 수 있다. 이에 따라, 상기 블록킹 막을 통한 누설 전류가 감소될 수 있으며, 상기 불휘발성 메모리 장치의 데이터 신뢰도가 개선될 수 있다.
- <96> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

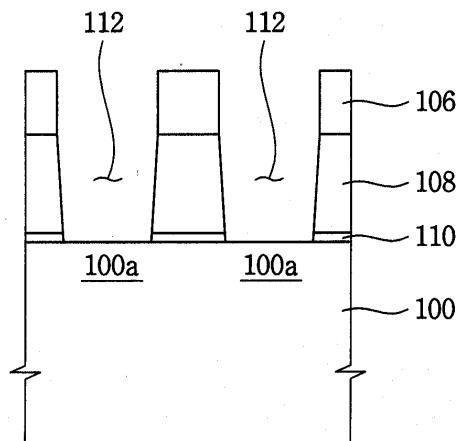
- <1> 도 1 내지 도 10은 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도이다.
- <2> 도 11은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도이다.
- <3> 도 12는 본 발명의 또 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도이다.
- <4> 도 13은 본 발명의 일 실시예에 따라 제조된 제1 불휘발성 메모리 장치와 종래의 기술에 따라 제조된 제2 및 제3 불휘발성 메모리 장치들의 누설 전류 특성을 나타내는 그래프이다.
- <5> * 도면의 주요부분에 대한 부호의 설명 *
- <6> 100 : 반도체 기판 116 : 웨이드 절연 패턴
- <7> 120 : 터널 산화막 122 : 도전성 패턴
- <8> 124 : 블록킹 막 126 : 하부 실리콘 산화막
- <9> 128 : 실리콘 산질화막 130 : 금속 산화막
- <10> 132 : 상부 실리콘 산화막 134 : 컨트롤 게이트 전극
- <11> 136 : 블록킹 막 패턴 138 : 플로팅 게이트 전극
- <12> 140 : 터널 산화막 패턴 142 : 게이트 구조물

도면

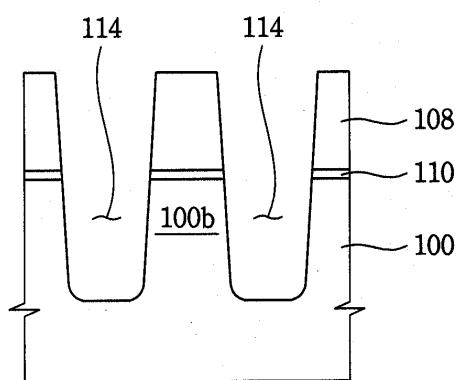
도면1



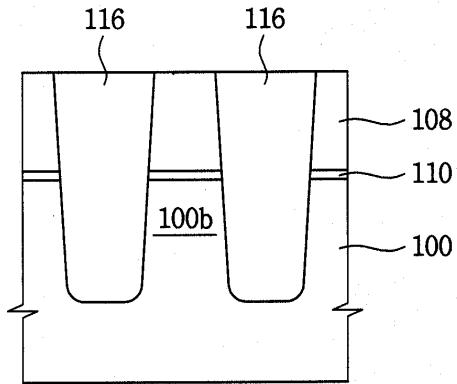
도면2



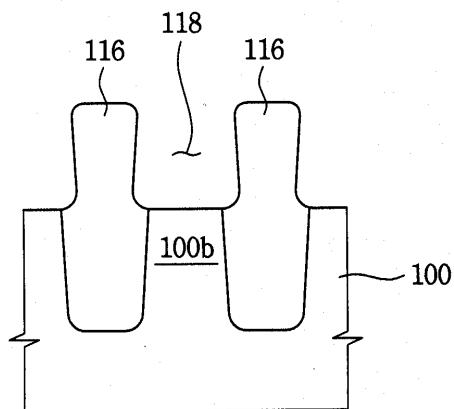
도면3



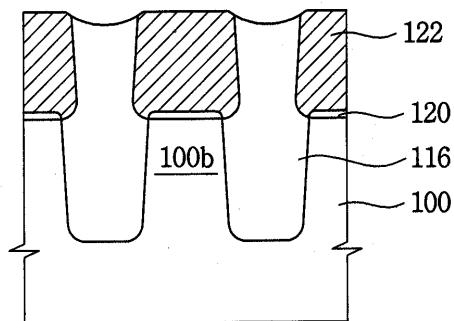
도면4



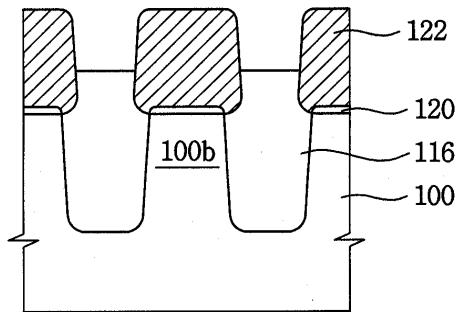
도면5



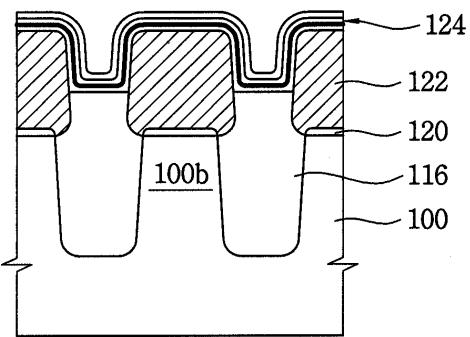
도면6



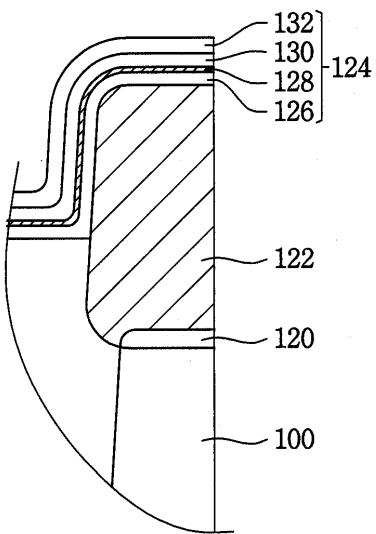
도면7



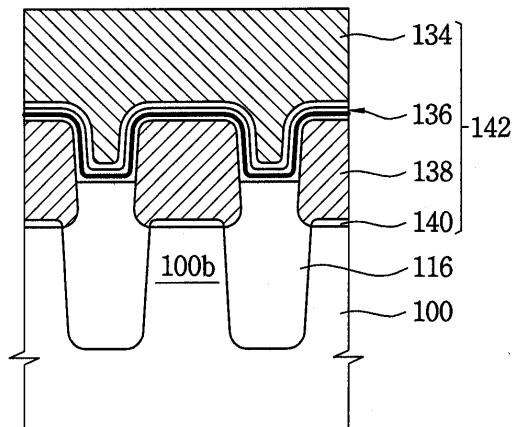
도면8



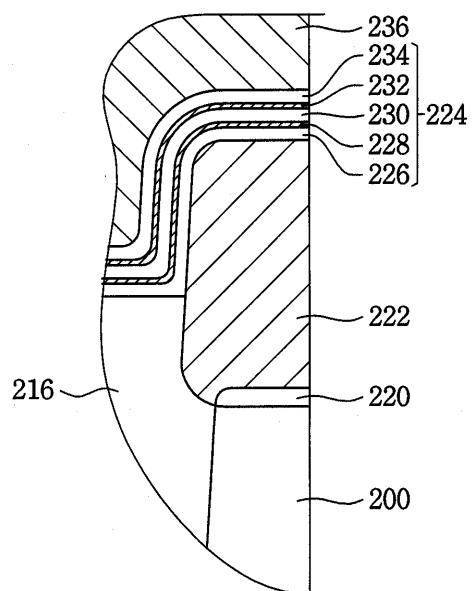
도면9



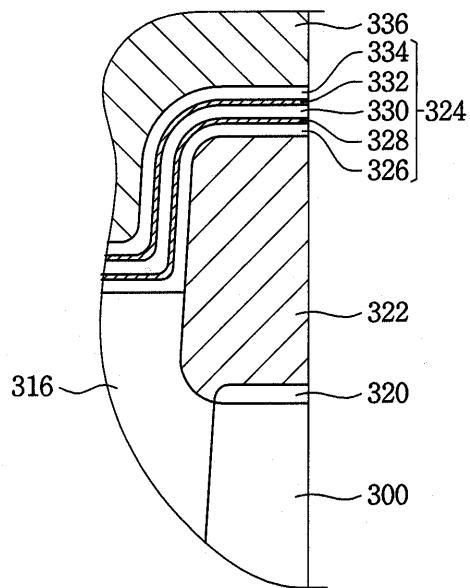
도면10



도면11



도면12



도면13

