

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4430175号
(P4430175)

(45) 発行日 平成22年3月10日(2010.3.10)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int.Cl.

H03K 19/0175 (2006.01)

F 1

H03K 19/00 101 F
H03K 19/00 101 Q

請求項の数 10 (全 15 頁)

(21) 出願番号 特願平11-313641
 (22) 出願日 平成11年11月4日(1999.11.4)
 (65) 公開番号 特開2000-151384(P2000-151384A)
 (43) 公開日 平成12年5月30日(2000.5.30)
 審査請求日 平成18年11月6日(2006.11.6)
 (31) 優先権主張番号 186006
 (32) 優先日 平成10年11月4日(1998.11.4)
 (33) 優先権主張国 米国(US)

(73) 特許権者 506076606
 アバゴ・テクノロジーズ・ジェネラル・アイピー(シンガポール)プライベート・リミテッド
 シンガポール国シンガポール768923,イーシュン・アベニュー・7・ナンバー1
 (74) 代理人 100087642
 弁理士 古谷 聰
 (74) 代理人 100076680
 弁理士 溝部 幸彦
 (74) 代理人 100121061
 弁理士 西山 清春

最終頁に続く

(54) 【発明の名称】デジタル制御出力ドライバ及びインピーダンス整合方法

(57) 【特許請求の範囲】

【請求項 1】

半導体素子の信号パッド(241)を介して信号を駆動する可変インピーダンス出力ドライバ(200)であつて、

該出力ドライバ(200)が、

前記信号パッド(241)に対する出力信号を低状態から高状態に駆動するように構成されたプルアッププリドライバ回路(232)と、

前記信号パッド(241)に対する出力信号を高状態から低状態に駆動するように構成されたプルダウンプリドライバ回路(234)と、

前記信号パッド(241)と前記プルアッププリドライバ回路(232)との間に、各々が互いに電気的に並列に配置された第1の複数の電界効果トランジスタ(FET)と、前記信号パッド(241)と前記プルダウンプリドライバ回路(234)との間に、各々が互いに電気的に並列に配置された第2の複数の電界効果トランジスタ(FET)とからなる電界効果トランジスタ(FET)回路網と、

前記出力ドライバ(200)の出力インピーダンスを制御するための2組の2進カウント値(208a、208b)を生成し、一方の組の2進カウント値(208a)を前記プルアッププリドライバ回路(232)に、他方の組の2進カウント値(208b)を前記プルダウンプリドライバ回路(234)に送るインピーダンス制御回路(250)

を備え、

前記第1の複数のFETの各々は互いに幅寸法が異なり、前記第2の複数のFETの各

10

20

々は互いに幅寸法が異なり、

前記第1の組の2進カウント値(208a)は前記プルアッププリドライバ回路(232)を介して前記第1の複数の電界効果トランジスタ(FET)に送られ、前記第2の組の2進カウント値(208b)は前記プルダウンプリドライバ回路(234)を介して前記第2の複数の電界効果トランジスタ(FET)に送られ、

前記第1の複数のFETのうちの少なくとも2以上のFETの各々が前記第1の組の2進カウント値のそれぞれのビット位置に対応付けられており、前記第2の複数のFETのうちの少なくとも2以上のFETの各々が、前記第2の組の2進カウント値のそれぞれのビット位置に対応付けられており、これらの対応付けは、前記第1及び第2の組の2進カウント値の各組について、各組を構成するビット列の上位ビット位置から下位ビット位置に向かうにしたがって、各ビット位置に対応付けられた前記第1及び第2の複数のFETの各FETの幅寸法が漸進的に小さくなるようにされており、

10

前記インピーダンス制御回路(250)が、

前記信号パッド(241)上の電圧と第1の電圧とを比較する第1の差動増幅器(260)と

、前記信号パッド(241)上の電圧と第2の電圧とを比較する第2の差動増幅器(274)と

、前記第1の差動増幅器(260)の比較結果にしたがって、前記第1の組の2進カウント値のカウントアップ及びカウントダウンを行う第1のデジタルアップ/ダウンカウンタ(266)と、

20

前記第2の差動増幅器(274)の比較結果にしたがって、前記第2の組の2進カウント値のカウントアップ及びカウントダウンを行う第2のデジタルアップ/ダウンカウンタ(286)

を備え、

前記第1及び第2の組の2進カウント値のそれぞれのビット位置に対応付けられた前記FETの各々は、前記第1及び第2の組の2進カウント値のうちの対応するビット位置のビットが前記第1及び第2のデジタルアップ/ダウンカウンタ(266、286)の前記カウントアップまたはカウントダウンによって1または0に設定されるのに応じてオンまたはオフにされる、可変インピーダンス出力ドライバ。

30

【請求項2】

前記第1の複数のFETの各々がpチャネル電界効果トランジスタ(PFET)(211-219)であり、この複数のPFET(211-219)のそれぞれのソースノードが互いに電気的に接続され、該複数のPFET(211-219)のそれぞれのドレインノードが互いに電気的に接続される、請求項1の可変インピーダンス出力ドライバ。

【請求項3】

前記第2の複数のFETの各々がnチャネル電界効果トランジスタ(NFET)(221-229)であり、この複数のNFET(221-229)のそれぞれのソースノードが互いに電気的に接続され、該複数のNFET(221-229)のそれぞれのドレインノードが互いに電気的に接続され、前記複数のPFET(211-219)のそれぞれのドレインノードが、前記複数のNFET(221-229)のそれぞれのソースノードに電気的に接続されると共に、前記信号パッド(241)にも電気的に接続され、

40

前記複数のPFET(211-219)の第1のPFET(211)が、前記プルアッププリドライバ回路(232)の出力によって駆動され、前記複数のNFET(221-229)の第1のNFET(221)が、前記プルダウンプリドライバ回路(234)の出力によって駆動され、残りのPFETとNFETが、前記第1の組と第2の組の2進カウント値によってそれぞれ制御される、請求項2の可変インピーダンス出力ドライバ。

【請求項4】

前記複数のPFET(211-219)のサイズが可変である請求項3の可変インピーダンス出力ドライバ。

50

【請求項 5】

前記複数の P F E T (211～219) のサイズは、前記第 1 の P F E T (211) を除いて幅寸法が漸進的に小さくなるようになっている請求項 3 または 4 の可変インピーダンス出力ドライバ。

【請求項 6】

前記複数の P F E T (211～219) のサイズは、前記第 1 の P F E T (211) を除いて幅寸法が漸進的に 1 / 2 に変化する請求項 3 乃至 5 のいずれかの可変インピーダンス出力ドライバ。

【請求項 7】

前記複数の N F E T (221～229) のサイズが可変である請求項 3 乃至 6 のいずれかの可変インピーダンス出力ドライバ。

10

【請求項 8】

前記複数の N F E T (221～229) のサイズは、前記第 1 の N F E T (221) を除いて幅寸法が漸進的に小さくなるようになっている請求項 3 乃至 7 のいずれかの可変インピーダンス出力ドライバ。

【請求項 9】

前記複数の N F E T (221～229) のサイズは、前記第 1 の N F E T (221) を除いて幅寸法が漸進的に 1 / 2 に変化する請求項 3 乃至 8 のいずれかの可変インピーダンス出力ドライバ。

【請求項 10】

20

前記信号パッドと、前記複数の P F E T (211～219) のドレインノード及び前記複数の N F E T (221～229) のソースノードの共通接続部との間に、電気的に直列に配置された抵抗器 (242) を更に含む請求項 3 乃至 9 のいずれかの可変インピーダンス出力ドライバ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、一般に、高速半導体素子のためのドライバ回路に関するものであり、とりわけ、可変出力インピーダンスを備える高速半導体素子のためのドライバ回路に関するものである。

30

【0002】**【従来の技術】**

最近の集積回路は、一般に、チップの形をとるようになっている。チップ内の集積回路は、信号パッドとして知られるチップの外側のメタライズ層を介して、チップの外界と通信を行う。チップ内から外界への通信の場合、「ドライバ回路」は、チップの外部の信号パッドを介して信号またはデータを駆動する。各種チップの信号パッドは、信号ラインによって互いに接続され、これによって、異なるチップ間の通信が可能になる。

【0003】

チップの信号パッドは、さらに、チップのパッケージに接続され、そのパッケージは、さらに、別の集積回路チップまたは他の同様のデバイスまで延びるプリント回路基板の信号トレースに接続される。信号パッドからチップのパッケージを介して伝送ラインに至る電気的接続には、信号パッドからの信号の伝送を妨害する寄生抵抗、インダクタンス、及びキャパシタンスが含まれる。プリント回路基板の信号トレース自体にも、やはり、信号パッドからの信号送信機の質をそこなう抵抗、キャパシタンス、及びインダクタンスを含む、伝送ライン特性が含まれる。以上の全てが、ドライバ回路によって駆動されなければならない負荷に追加されることになる。

40

【0004】

チップ間の信号相互接続に存在する寄生抵抗、インダクタンス、及びキャパシタンスのため、それらの信号相互接続を駆動するドライバ回路は、スイッチングが生じる場合（とりわけ、高速または低電力 I / O の場合）、過剰な電圧の変動を回避するように設計するこ

50

とが望ましい。過剰な電圧の変動は、リング（ringing）として知られている。リングは、回避しなければならないが、それにもかかわらず、最近の集積回路の高速要件を満たすため、スイッチングは、できるだけ速くしなければならない。

【0005】

これまで、CMOSドライバは、NMOS（及び／またはPMOS）FETを利用し、信号パッドをドライバの入力に対するクロック動作入力または静的入力に基づく電圧レベルまで駆動した。駆動NMOS FETは、駆動される伝送ラインの状態に関係なく、チップ内からの入力に基づいてオン／オフされ、その状態に留まった。

【0006】

集積回路の製造プロセスにおける固有のプロセス変動により、同じ機能の実施を意図した異なる集積回路を、「低速」、「公称」、または「高速」と分類することができる。集積回路の製造プロセス中に、いくつかのパラメータに変動が生じる。例えば、ドーピングレベル、FETのチャネル長、トランジスタのゲート酸化物の厚さ、拡散抵抗、及び集積回路の他の特性が、製造プロセス中に変動する。換言すれば、2つの同一であると想定される集積回路は、それらの特性の全てにおいて変化する可能性がある。それらの特性が高速の場合に近づくにつれて、チップ内の多くの構成要素の抵抗は小さくなる。正反対の場合、それらの特性が、理想の場合からますます逸脱するにつれて、チップの性能が劣化し、とりわけ、チップ内の多くの構成要素の抵抗が増大することになるが、その状況は、低速の場合と呼ばれる。

【0007】

また、電圧及び温度が変動すると、単一のチップが高速または低速であるかのような挙動を生じる可能性がある。例えば、集積回路の温度がその最高動作温度に近づくと、集積回路におけるFETの抵抗が増大する。集積回路が高速であるか、低速であるかに関係なく、有效地に動作し、さらに、過剰な電圧の変動を回避することが可能な单一のドライバ回路を備えること望ましい。

【0008】

従来のシステムでは、プロセスのパラメータによって、NMOS FET自体のインピーダンスが最小になり、相互接続インピーダンスが最大になる場合、過剰な電圧のオーバーシュート及びアンダーシュートを最小限に抑えるため、信号の相互接続を駆動するFETのサイズは、制限された。しかし、このアプローチでは、プロセスのパラメータの変動によって、これらのインピーダンスが正反対の場合に移行した際、スイッチング速度が制限された。

【0009】

このアプローチによって、システムタイミングにさらなる問題が生じた。それによって、スイッチングの遷移の時間的位置の不確実性が増大した。このため、システムの周波数が制限され、性能の劣化が生じた。

【0010】

この問題に取り組む従来技術において既知のアプローチの1つは、CMOS出力ドライバに設定可能な出力駆動段を設けることである。図1には、こうした回路の1つが例示されている。この図には、設定可能な電流源21（FET12及び13のインピーダンスを制御する働きをする）と、2つの出力駆動段22が示されている。CMOS出力段（出力駆動段）22は、容量的に終端された伝送ライン17を駆動する。伝送ラインは、 Z_0 の特性インピーダンスを備えている。設定可能な電流源21によって、CMOS出力駆動段の合成信号源インピーダンスが決まる。その合成信号源インピーダンスは、値 R_{sc} （充電中の信号源抵抗）と値 R_{sd} （放電中の信号源抵抗）に分割することができる。概して言えば、 R_{sc} 及び R_{sd} が、互いに異なり、及び伝送ライン17の特性インピーダンス Z_0 と異なることが必要な特殊な状況が存在すると想像できるが、 R_{sc} 及び R_{sd} が互いに等しく、伝送ライン17の特性インピーダンス Z_0 と等しいことが望ましい。

【0011】

伝送ライン17のもう一方の端部における容量性負荷18に留意されたい。システムは、

10

20

30

40

50

伝送ライン 17 の終端における無効（及び無電力損失）不連続部（容量性負荷 18）からの反射電力をを利用して、出力電圧を2倍にする周知の技法を用いることが可能である。完全に2倍にすることが望ましいが、ただし、出力駆動段22及び23の信号源インピーダンスに関して余分な関心を引くことになる、オーバーシュートの付加（低すぎる Z_o にプラスして多重反射の害）または過剰な立ち上がり時間（高すぎる Z_o 及び付随する多重反射）を伴わなければという条件がつく。負荷がリアクタンスをもつ場合、Rscを介した充電によって放出される電力が、 Z_o を介して送り出され、反射されて（及び、負荷における電圧が2倍になり）、 Z_o を介して戻され、さらに、依然としてオンのRscによる放電によって、再反射を生じることなく、吸収されるという点に留意されたい。同様のシーケンスの事象が、Rsdが関与する放電の場合にも生じる。（もちろん、全て、 $Rsc = Z_o = Rsd$ と仮定した場合である）。反射を伴わない、負荷に対する真の電力伝達を予測した終端抵抗が存在する状況であっても、出力駆動段の信号源インピーダンスの制御は、やはり重要である。

【0012】

CMOSデバイスの動作を理解するため、図示のように接続された4つのCMOSデバイス12、13、14、及び15を含む出力駆動段22について考察する。デバイス14及び15は、その Z_o がRsc（プルアップ中）及びRsd（プルダウン中）によって整合させられる、伝送ライン17を駆動する出力端子16において、それぞれ、プルアップ（DV_{DD}まで充電）及びプルダウン（DGroundまで放電）するためのスイッチの働きをする。もちろん、スイッチングデバイス（CMOSデバイス）14及び15は、所望の出力波形に従って、適切な交番でオン／オフに駆動され、デバイス14及び15の両方をトライステート出力端子16に対してオフにすることができるが、両方のデバイスが同時にオンになることはない。これに関して、ドライバ回路32及び34は、スイッチングデバイス14及び15をON/OFFするために設けられている。一般に、既知のように、一方のドライバ回路32は、出力信号を低値から高値に駆動するように、FET14を制御する働きをし、もう一方のドライバ回路34は、出力信号を高値から低値に駆動するように、FET15を制御する働きをする。

【0013】

デバイス13は、デバイス14の極めて低いオン抵抗との組み合わせによって、Rscを生じる設定可能な値の抵抗の働きをする。同様に、デバイス12は、デバイス15の比較的低いオン抵抗との組み合わせによって、Rsdを生じる設定可能な値の抵抗の働きをする。デバイス13の抵抗は、電圧PGate20の値によって制御され、同様に、デバイス12の抵抗は、電圧NGate19の値によって決まる。次に、P形デバイス13及びN形デバイス12が、ほぼ等しい相互コンダクタンスを備えているものと仮定すると、信号NGate19及びPGate20は、（1）外部から変化させて、プロセス変動にもかかわらず、 Z_o の適正な広い範囲にわたってRsc及びRsdを調整できるように、（2）共に変化して、NGateがDGroundからDV_{DD}へと上昇するにつれて、PGATEが、相応じて、DV_{DD}からDGroundへと低下するように、（3）自動調整で、温度の影響を補償するように制御される。本発明の譲受人に譲渡された米国特許第5,581,197号には、これらの目的を実現するための1つの方法及び回路についての記載があり、参考によって、そっくりそのまま本明細書に組み込まれている。上述の回路要素は、プロセス及び温度の変動に対して、出力インピーダンスを有効に変化させるが、回路の性能は、比較的わずかな量のノイズによってさえ、かなりの（悪）影響を受ける可能性のあることが明らかになった。

【0014】

【発明が解決しようとする課題】

従って、プロセス、電圧、及び温度（PVT）に対して出力駆動段の出力インピーダンスを有効に変化させ、ノイズの悪影響をより受けにくい、改良された出力駆動段を提供することが望まれる。とりわけ、その出力インピーダンスが、プロセス、温度、及び電圧に対して変化する際、基板のトレースインピーダンスに正確に整合するように、前記出力イン

10

20

30

40

50

ピーダンスを有効に変化させることが可能な、改良された出力駆動段を提供することが望まれる。

【0015】

【課題を解決するための手段】

本発明のいくつかの目的、利点、及び新規な特徴については、後続の説明において部分的に記述されている。当該技術者であれば、下記説明を検討することによって明らかになり、または本発明を実施することによって知ることになるであろう。本発明の目的及び利点は、特許請求の範囲に詳細に示された手段及び組み合わせによって実現し、得ることが可能である。

【0016】

10

前記利点及び新規な特徴を実現するため、本発明は、一般に、半導体素子の信号パッドを介して信号を駆動するための可変インピーダンス出力ドライバを目指している。本発明の態様の1つによれば、出力ドライバには、電気的に並列に接続された複数のpチャネル電界効果トランジスタ(PFET)が含まれる。複数のPFETのそれぞれのソースノードは、電気的に互いに接続され、複数のPFETのそれぞれのドレインノードは、電気的に互いに接続される。ドライバには、さらに、電気的に並列に接続された複数のnチャネル電界効果トランジスタ(NFET)も含まれる。複数のNFETのそれぞれのソースノードは、電気的に互いに接続され、複数のNFETのそれぞれのドレインノードは、電気的に互いに接続される。さらに、複数のPFETのドレインノードは、複数のNFETのそれぞれのソースノードと電気的に接続され、さらに、信号パッドと(好適には、ESD抵抗器を介して)電気的に結合される。複数のPFETの第1のPFETは、プルアッププリドライバ回路の出力によって駆動されるゲートノードを備えており、複数のNFETの第1のNFETは、プルダウンプリドライバ回路の出力によって駆動されるゲートノードを備える。しかし、残りのPFET及びNFETには、制御回路から出力される較正ワードによって制御されるに従って、プルアッププリドライバ回路及びプルダウンプリドライバ回路によって駆動されるゲートノードを備える。

20

【0017】

本発明の新規の態様によれば、PFET及びNFETは、PFET及びNFETのうちの選択された互いに異なるそれぞれを選択的にオン/オフして、ドライバ回路の有効出力インピーダンスを制御可能に変化させるように制御される。この機能を容易にするため、複数のPFETのチャネル幅は、サイズが可変である。チャネル幅のサイズは、幅寸法が漸進的に1/2に変化するのが望ましい。好適には全部で8つのPFET及び8つのNFETが設けられているので(他の数のPFET及びNFETを用いることも可能であるが)、単一のデジタル制御バイトを用いて、回路の出力インピーダンスを制御することが可能である。PFET及びNFETは、出力インピーダンスが、広範囲のプロセス、電圧、及び温度(PVT)条件にわたってほぼ一定になるように制御されるのが望ましい。

30

【0018】

本発明のもう1つの態様によれば、半導体素子の信号パッドを介して信号を駆動するため、可変インピーダンス出力ドライバが設けられる。ドライバには、信号パッドに対する出力信号を低状態から高状態に駆動するように構成されたプルアッププリドライバ回路と、信号パッドに対する出力信号を高状態から低状態に駆動するように構成されたプルダウンプリドライバ回路が含まれる。さらに、ドライバ回路には、信号パッドと、プルアッププリドライバ回路及びプルダウンプリドライバ回路の両方との間に挿入された電界効果トランジスタ(FET)回路網も含まれる。最後に、ドライバ回路には、FET回路網に入力される複数の出力信号を有するインピーダンス制御回路が含まれ、それによってインピーダンス制御回路の出力信号が、出力ドライバの出力インピーダンスを制御可能に変化させる働きをする。

40

【0019】

本発明のさらにもう1つの態様によれば、半導体素子の信号パッドを介して信号を駆動するように構成された出力ドライバ回路の出力インピーダンスを制御可能に変化させるため

50

の方法が提供される。この態様によれば、この方法には、プルアップFETの出力の両端に電気的に並列に接続された複数のpチャネル電界効果トランジスタ(PFET)を設けるステップと、プルダウンFETの出力の両端に電気的に並列に接続された複数のnチャネル電界効果トランジスタ(NFET)を設けるステップが含まれてあり、プルアップFETのドレインノードは、プルダウンFETのソースノードに電気的に接続され、プルダウンFETのソースノードは、信号パッドに電気的に結合される。この方法には、さらに、複数のPFET及びNFETのゲートノードに対して複数の電気信号を加えて、複数の電気信号の集合的状態によって、出力ドライバの出力インピーダンスを制御可能に変化させるステップも含まれる。

【0020】

10

本発明には、多くの利点があるが、本発明の主要な利点は、広いPVT範囲にわたって、ほぼ一定した、正確な出力抵抗が提供されるという点にある。本発明の他の特徴及び利点については、下記の図面及び詳細な説明を検討すれば、当該技術者には明らかになるであろう。こうしたその他の特徴及び利点のすべては、本発明の範囲内に含まれるものと意図されている。

【0021】

【発明の実施の形態】

20

以上で本発明の概要を述べたが、次に、図面によって示されるような本発明の説明について詳細に言及することにする。本発明の説明は、これらの図面に関連して行われるが、それによって開示される実施態様に制限することを意図したものではない。それどころか、特許請求の範囲によって定義されるように本発明の思想及び範囲内に含まれる全ての代替案、修正案、及び等価物を包含するように意図されている。

【0022】

30

次に、図面を参照して、図2に言及する。図2は制御可能な可変出力インピーダンスを備えたドライバ回路を示すロック図であり、図1に示す従来技術によるものに改良を加えている。すなわち、ドライバ回路には、プルアッププリドライバ回路132と、プルダウンプリドライバ回路134が含まれる。既知のように、プルアッププリドライバ回路要素は、出力値を低状態から高状態に（例えば、論理0から論理1に）駆動する働きをし、プルダウンプリドライバ回路要素134は、出力値を高状態から低状態に駆動する働きをする。NFET114及び115は、それぞれ、プルアッププリドライバ回路132及びプルダウンプリドライバ回路134の出力によって駆動される。ドライバ回路の出力は、NFET114のドレインノードとNFET115のソースノードとの間における電気的接続点である、ライン102において認められる値である。図3に関連してさらに後述するように、FET回路網100は、信号ライン102とドライバパッドの間に挿入される。FET回路網100によって、ドライバ回路の出力インピーダンスを変化させて、基板のトレースインピーダンスと整合させる働きをする、制御可能な可変インピーダンスが与えられる。FET回路網100によって与えられるインピーダンスは、制御回路（制御ロック）110によって制御される。FET回路網の出力は、導体104を介してドライバパッドに経路指定される。

【0023】

40

FET回路網100の構成及び動作についてさらに詳述するため、次に、この回路要素をより詳細に示した図3を参照する。特に、FET回路網100は、信号ライン102、104、及び制御回路110に関連して示されている。FET回路網には、電気的に並列に接続された複数のNFETデバイス111、112、113、114、115、及び116が含まれる。NFET111～116は、それぞれ、NFETデバイスのコンダクタンス（従って、抵抗）を決めるチャネル幅によって形成される。オンになると、各NFETは、ライン102からライン104に電圧を伝える。NFETデバイス111～116の2つ以上がオンになると、抵抗器のような働きをして、並列に結合し、より小さい抵抗を提供する。こうして、ドライバ回路の出力インピーダンスが変化する。NFETデバイス111～116は、チャネル幅が漸減するように、とりわけ、チャネル幅が1/2に減少

50

するように設計されることが望ましい。従って、例えば、N F E T 1 1 1 のチャネル幅をある値Xとし、N F E T 1 1 2 のチャネル幅を約1 / 2 Xとし、N F E T 1 1 3 のチャネル幅を約1 / 4 Xとし、. . . 以下同様にすることが可能である。従って、制御ブロック1 1 0 の集合的出力は、N F E T デバイス1 1 1 ~ 1 1 6 のうち選択されたデバイスをオンにすることにより、ドライバ回路の出力インピーダンスを正確に制御するデジタル制御ワードの働きをすることが可能である。制御ブロック1 1 0 の回路要素または論理回路が、プロセス、電圧、及び温度(P V T)によって決まるのは明らかであるが、ここで説明を行う必要はない。F E T回路網1 0 0 は、少なくとも1つの経路が、必ずオンになり、信号が、信号ライン1 0 2 から信号ライン1 0 4、従って、信号経路に通るのを可能にするように設計されている。

10

【0 0 2 4】

図2及び図3の回路要素によって、ドライバ回路の出力インピーダンスを制御可能に変化させるための有効な手段が提供されるが、それにもかかわらず、いくつかの欠点がある。第1に、回路要素の適正な動作は、ドライバの供給電圧が、N F E Tのターンオン電圧の少なくとも2倍になるものと想定している。そうでなければ、適正な動作は行われない。さらに、コア論理レベルがドライバ供給電圧(D V_{DD})に等しい環境では、ライン1 0 2(図2)における信号値は、実際には、F E Tデバイス1 1 4及び1 1 5の両端におけるターンオン電圧の合計に等しい電圧降下のため、高の論理出力より低くなる。従って、代替の解決策が所望される。

【0 0 2 5】

20

次に、本発明のドライバ回路を例示したブロック図である図4を参照する。従来技術によるシステムの回路と同様、本発明のドライバ回路は、プルアッププリドライバ回路2 3 2及びプルダウンプリドライバ回路2 3 4を備えたドライバ回路環境において動作する。これらの回路は、ドライバに対して(または、トライステートに対して)それぞれ、出力信号を低状態から高状態に、及び高状態から低状態に駆動する働きをする。回路2 3 2及び2 3 4の出力2 0 4及び2 0 6は、本発明に従って構成された出力F E T回路網2 0 0に送られる。図4に示すように、出力F E T回路網2 0 0の出力2 0 9は、信号パッドに送られる。また、インピーダンス制御回路2 5 0は、較正ワードの形をとる制御信号2 0 8 a及び2 0 8 bを発生する。後述する態様において、その制御信号2 0 8 a及び2 0 8 bを用いて、出力F E T回路網2 0 0の動作を制御する。

30

【0 0 2 6】

本発明に従って構成された出力ドライバ回路の一般的な回路ブロックについて列挙したが、次に、本発明に従って構成された出力F E T回路網2 0 0の好適な実施態様を詳細に例示した図5を参照する。要するに、F E T回路網2 0 0には、各P F E Tのソースノードが他のソースノードと電気的に接続され、各P F E Tのドレインノードが他のドレインノードと電気的に接続されるように、電気的に並列に接続されたP F E Tのアレイ2 1 0が含まれる。回路網2 0 0には、さらに、ソースノードが、互いに電気的に接続され、さらにP F E Tアレイ2 1 0のドレインノードと電気的に接続され、ドレインノードが、互いに電気的に接続されるように、電気的に接続されたNチャネル電界効果トランジスタ(N F E T)のアレイ2 2 0も含まれる。

40

【0 0 2 7】

好適な実施態様によれば、P F E Tアレイ2 1 0には、9つのP F E Tデバイス2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8、及び2 1 9が含まれる。これら各P F E Tデバイスのソースノードは、電位がD V_{DD}の共通信号ライン2 0 1によって互いに電気的に接続される。同様に、N F E Tデバイスアレイ2 2 0には、9つのN F E Tデバイス2 2 1、2 2 2、2 2 3、2 2 4、2 2 5、2 2 6、2 2 7、2 2 8、及び2 2 9が含まれる。さらに、駆動されていない出力を軽くプルダウンして、浮動しないようにするため(C M O Sデバイスにおいて、フローチング入力は望ましくないので)、出力にN F E Tデバイス2 3 0を設けることが可能である。複数のN F E Tデバイスのそれぞれのドレインノードは、電位がD G n dのライン2 0 3によって互いに電気的に接続さ

50

れる。

【0028】

P F E T アレイ 210 には、プルアッププリドライバ回路 232 の出力 204 によって直接駆動される第1のP F E T 211 が含まれる。同様に、N F E T アレイ 220 には、プルダウンプリドライバ回路 234 の出力 206 によって駆動される第1のN F E T デバイス 221 が含まれる。2つのアレイにおけるP F E T 及びN F E T の残りは、ラベル P U [7 : 0] 及び P D [7 : 0] によって表示された、バス 208a 及び 208b で供給される制御信号によって駆動される。図6 に関連して例示され、説明されるように、ライン 208a 及び ライン 208b で供給される制御信号によって、アレイ 210 及び 220 の個々のP F E T 及びN F E T デバイスを選択的にオン / オフして、ドライバ回路の出力インピーダンスを有効に変化させるために用いられる、デジタル制御ワードが生成される。
10

【0029】

好適な実施態様によれば、2つのアレイにおけるP F E T 及びN F E T のそれぞれのチャネル幅は、その値の有効な2進数重み付けを提供するため、漸進的に 1 / 2 に減少するよう設計されている。従って、例えば、P F E T 212 のチャネル幅が X で、P F E T 212 のコンダクタンスが G の場合、P F E T 213 のチャネル幅が、1 / 2 X になると、P F E T 213 のコンダクタンスは 0.5 G になる。

【0030】

従って、本発明の好適な実施態様に従って、図5に例示されたそれぞれのトランジスタの物理的サイズ(図示の通りの)を指定する表1が、以下で示されている。しかし、当然明らかかなように、本発明は表に記載の値に制限されるものではなく、この表は、本発明の望ましい実施態様を十分に開示するためだけに作成されたものである。
20

【0031】

【表1】

表 1

参照番号	長さ (マイクロメートル)	幅 (マイクロメートル)
211	.44	80
212	.44	160
213	.44	80
214	.44	40
215	.44	20
216	.44	10
217	.44	5
218	.44	2.5
219	.44	1.25
220	.44	32
221	.44	64
222	.44	32
223	.44	16
224	.44	8
225	.44	4
226	.44	2
227	.44	1
228	.44	.5
229	1	1

30

40

50

【0032】

本発明の概念及び教示に一致するように、さまざまな方法で制御回路要素250(図4)を実施することが可能である。本発明の概念の目的にとって重要なのは、制御回路250が、FETアレイ200内の個々のPFEトNFEの状態を制御して、ドライバ回路の出力インピーダンスを変化させる。それにより出力抵抗がプロセス、電圧、及び温度の全範囲にわたってほぼ一定に留まるようにすることである。この一般的な目的を達成するため、さまざまな構成及び回路を実施することが可能であるが、図6には、こうした回路が1つだけしか示されていない。

【0033】

次に図6を参照すると、出力ドライバのインピーダンスのグループが外部抵抗と整合するように、または外部抵抗のある倍数になるように設定するために用いることが可能な、2組の制御信号(1つはプルアップトランジスタ用で、1つはプルダウントランジスタ用)が生じる。通常動作中、較正ドライバのPFEトアレイ210には、電流が流れる。PFEトアレイ210の各トランジスタは、公称では、デジタル式に制御される出力ドライバのプルアップPFEトアレイにおける各トランジスタのサイズに同等である。電流は、正の電源DV_{DD}(クリーンである、または汚れている可能性がある)から、PFEトアレイ210を通り、静電放電(ESD)保護抵抗器242を通り、パッド241から出て、外部抵抗器(不図示)を通り、アースに流れる。

10

【0034】

PFEトアレイ210及びESD保護抵抗器242のインピーダンスは、外部抵抗器と共に分圧器を形成し、パッド241のノードにおける正の供給電圧を分圧する。このノードは、アナログ比較器260の反転端子に対する入力である。アナログ比較器260の非反転入力は、抵抗器262及び264によって形成される分圧器に接続される。抵抗器262及び264は、オンチップ抵抗器とすることが可能であり、正の電源と負の電源の間に直列に接続される。正の電源と負の電源の間にある中間のノードが、アナログ比較器260の非反転入力に接続される。実施態様の1つでは、抵抗器262及び264が、同じ値であり、従って、アナログ比較器260の非反転入力における電圧はV_{DD}/2になる。アナログ比較器260の出力は、デジタルアップ/ダウンカウンタ266のDIR入力に接続されて、アップ/ダウンカウンタ266がカウントする方向を制御する。アップ/ダウンカウンタ266は、その最高出力からその最低出力に、及びその最低出力から最高出力にぐるりと一回転することができるように、飽和カウンタとすることが可能である。アップ/ダウンカウンタ266は、クロック入力CLKのストローブ時に、DIRの状態に従ってその出力の2進値をインクリメントまたはデクリメントする。アップ/ダウンカウンタ266の出力は、信号PU[7:0]を発生し、そのそれが、プリドライバ回路を制御し/イネーブルにして、PFEトアレイ210のトランジスタの1つのゲートを駆動するために用いられる。好適な実施態様の場合、前述のように、PFEトアレイ210における各トランジスタのサイズは、そのゲートに接続されたPU[7:0]のビットの重要度に対応するようにスケーリングが施される。例えば、P[N]が、コンダクタンスがGのFETを制御する場合、P[N+1]は、コンダクタンスが2GのFETを制御することになる。

20

【0035】

比較器260の反転入力が、アナログ比較器260の非反転入力より高い場合、アップ/ダウンカウンタ266は、カウントダウンする。これによって、PFEトアレイ210のトランジスタのより多くがオフになり、PFEトアレイ210のインピーダンスが増大する。比較器260の反転入力が、アナログ比較器260の非反転入力より低い場合、アップ/ダウンカウンタ266は、カウントアップし、PFEトアレイ210のトランジスタのより多くがオンになり、PFEトアレイ210のインピーダンスが減少する。PFEトアレイ210及びESD保護抵抗器242のインピーダンスが、外部抵抗器の抵抗値にほぼ整合すると、このフィードバックシステムは、安定化する。

30

【0036】

40

50

アナログ比較器 274に対する入力は、比較器 260の入力と同様に発生する。アナログ比較器 274の出力は、アップ/ダウンカウンタ 286のDIR入力に接続される。アップ/ダウンカウンタ 286の出力信号は、信号 PD [7:0]に接続される。これらの信号は、プリドライバ回路を制御し/イネーブルにして、NFEトアレイ 220のトランジスタのゲートを駆動するために用いられる。比較器 274の反転入力が、アナログ比較器 274の非反転入力より低い場合、アップ/ダウンカウンタ 286は、カウントダウンし、NFEトアレイ 220のトランジスタのより多くがオフになり、NFEトアレイ 220のインピーダンスが増大する。比較器 274の反転入力が、アナログ比較器 274の非反転入力より高い場合、アップ/ダウンカウンタ 286は、カウントアップし、NFEトアレイ 220のトランジスタのより多くがオンになり、NFEトアレイ 130のインピーダンスが減少する。10

【0037】

やはり、前述のように、図6の回路は、ただ単に、FETトアレイ 200の制御入力をいかに発生することが可能かを例証するものとして示されているだけである。これらの信号の特定の発生方法は、本発明に対する制限をなすものではなく、従って、本明細書でこれ以上詳述する必要はない。しかし、図6の回路によって、該システムが、較正制御ワードを、従って、出力ドライバの出力インピーダンスを絶えず更新する（比較器及びアップ/ダウンカウンタを介して）ことが可能になるのは明らかである。

【0038】

より一般的には、図6の較正回路要素は、外部精密抵抗器のインピーダンスまたはその倍数と整合するために、全ての出力ドライバのPFEトインピーダンスを設定するように設計される。通常の動作中、データまたはクロック出力ドライバと同等のサイズのPFEトアレイには、電流が流れる。電流は、基板上のI/Oパッド 241を通って、GNDに接続された外部抵抗器に流れる。この電流経路によって、分圧器が形成されるが、この場合、2つの抵抗はドライバの出力抵抗と外部抵抗器である。パッドは、差動増幅器 260の端子に対する入力 203の働きをする。増幅器 260のもう一方の端子は、 $V_{DD}/2$ である。差動増幅器に対する入力電圧間の差は、ドライバの出力抵抗と外部抵抗器の間で抵抗の不整合として感知される。デルタ電圧によって、差動増幅器の出力が、アップ/ダウンカウンタ 266にその出力をインクリメント/デクリメントするように設定する。クロックエッジを受信すると、アップ/ダウンカウンタは、新たな2進カウントPU [n:0] (n ビットカウンタの場合)を駆動する。この較正ワードは、較正回路要素のプルアップドライバによって利用され、他のドライバに分配される。PU [n:0]における増分2進変化によって、較正ドライバに増分の抵抗変化が生じる。較正ドライバは、新たな較正ワードを備えているので、新たな出力抵抗を備えている。較正プロセスが継続され、通常のチップ動作にとって透過的であるのは明らかである。30

【0039】

図6の較正回路要素は、さらに、外部精密抵抗器のインピーダンスまたはその倍数と整合するために全ての出力ドライバのNFEトインピーダンスを、設定するように設計される。通常の動作中、データまたはクロック出力ドライバと同等のサイズのNFEトアレイには、電流が流れる。電流は、基板上のI/Oパッド 241を通って、 V_{DD} に接続された外部抵抗器に流れる。この電流経路によって、ドライバの出力抵抗と外部抵抗器の間に分圧器が形成される。パッドは、差動増幅器 274の端子に対する入力 201の働きをする。増幅器 274のもう一方の端子は、 $V_{DD}/2$ である。差動増幅器に対する入力電圧間の差は、ドライバの出力抵抗と外部抵抗器の間で抵抗の不整合として感知される。デルタ電圧によって、差動増幅器の出力が、アップ/ダウンカウンタ 286にその出力をインクリメント/デクリメントするように設定する。クロックエッジを受信すると、アップ/ダウンカウンタは、新たな2進カウントPD [n:0]を駆動する。この較正ワードは、較正回路要素のプルダウンドライバによって利用され、他のドライバに分配される。PD [n:0]における増分2進変化によって、較正ドライバに増分の抵抗変化が生じる。較正ドライバは、新たな較正ワードを備えているので、新たな出力抵抗を備えている。較正4050

プロセスが継続され、通常のチップ動作にとって透過的である。

【0040】

以上の説明は、例証及び解説を目的として提示されたものである。本発明を余すところなく説明しようとか、開示の形態そのままに制限しようとするものではない。以上の教示に鑑みて、明白な修正または変更が可能である。例えば、較正ワード208a及び208b(本明細書では、8ビットワードとして例示されている)は、さまざまなサイズが可能であり、8ビット未満とすることも、または、8ビットを超えることも可能であることが理解されよう。

【0041】

論述した実施態様は、本発明の原理、及びその実際の応用例の最良な例証を提示することによって、当該技術者が、企図される特定の用途に適するように、さまざまな実施態様において、さまざまな修正を施して、本発明を利用できるようにするために、選択され解説された。こうした全ての修正及び変更は、公正かつ合法的に権利を与えられる範囲に従って解釈される場合、特許請求の範囲によって決まる本発明の範囲内に含まれる。

10

【0042】

以下においては、本発明の種々の構成用件の組み合わせからなる例示的な実施態様を示す。

1. 半導体素子の信号パッド(241)を介して信号を駆動する可変インピーダンス出力ドライバ(200)であって、

電気的に並列に接続された複数のpチャネル電界効果トランジスタ(PFET)(210)であって、該複数のPFET(211～219)のそれぞれのソースノードが互いに電気的に接続され、前記複数のPFET(211～219)のそれぞれのドレインノードが互いに電気的に接続される、前記複数のpチャネル電界効果トランジスタ(PFET)(210)と、電気的に並列に接続された複数のnチャネル電界効果トランジスタ(NFET)(220)であって、該複数のNFET(221～229)のそれぞれのソースノードが互いに電気的に接続され、前記複数のNFET(221～229)のそれぞれのドレインノードが電気的に接続されており、前記複数のPFET(211～219)のそれぞれのドレインノードが、前記複数のNFET(221～229)のそれぞれのソースノードに電気的に接続されて、更に信号パッド(241)に電気的に接続されている、前記複数のnチャネル電界効果トランジスタ(NFET)(220)とが含まれてあり、

20

前記複数のPFET(211～219)の第1のPFET(211)が、プルアッププリドライバ回路(232)の出力によって駆動されるゲートノードを備えており、前記複数のNFET(221～229)の第1のNFET(221)が、プルダウンプリドライバ回路(234)の出力によって駆動されるゲートノードを備えており、残りのPFET及びNFETが、それぞれ、制御回路(250)によって生成される較正ワードによって制御されるに従って、前記プルアップ及びプルダウンプリドライバ回路(232,234)によって駆動されるゲートノードを備えている、
ドライバ。

30

2. 前記複数のPFET(211～219)のサイズが可変である、上記1のドライバ。

3. 前記複数のPFET(211～219)のサイズは、前記第1のPFET(211)を除いて幅寸法が漸進的に小さくなるようになっている、上記2のドライバ。

40

4. 前記複数のPFET(211～219)のサイズは、前記第1のPFET(211)を除いて幅寸法が漸進的に1/2に変化する、上記2のドライバ。

5. 前記複数のNFET(221～229)のサイズが可変である、上記1のドライバ。

6. 前記複数のNFET(221～229)のサイズは、前記第1のNFET(221)を除いて幅寸法が漸進的に小さくなるようになっている、上記5のドライバ。

7. 前記複数のNFET(221～229)のサイズは、前記第1のNFET(221)を除いて幅寸法が漸進的に1/2に変化する、上記6のドライバ。

8. 前記信号パッドと、前記複数のPFET(211～219)のドレインノード及び前記複数のNFET(221～229)のソースノードの共通接続部との間に、電気的に直列に配置され

50

た抵抗器(242)を更に含む、上記1のドライバ。

9. 半導体素子の信号パッド(241)を介して信号を駆動する可変インピーダンス出力ドライバ(200)であって、

前記信号パッド(241)に対する出力信号を低状態から高状態に駆動するように構成されたプルアッププリドライバ回路(232)と、

前記信号パッド(241)に対する出力信号を高状態から低状態に駆動するように構成されたプルダウンプリドライバ回路(234)と、

前記信号パッド(241)と、前記プルアッププリドライバ回路(232)及び前記プルダウンプリドライバ回路(234)の両方との間に挿入された電界効果トランジスタ(FET)回路網と、

前記FET回路網に入力される複数の出力信号(208a, 208b)を有するインピーダンス制御回路(250)とが含まれてあり、それによって前記インピーダンス制御回路の出力信号(208a, 208b)が、前記出力ドライバ(200)の出力インピーダンスを制御可能に変化させる働きをする、

ドライバ。

10. 前記FET回路網に、電気的に並列に接続された複数のpチャネル電界効果トランジスタ(FET)(210)が含まれてあり、前記複数のPFEET(211~219)のそれぞれのソースノードが、互いに電気的に接続され、前記複数のPFEET(211~219)のそれぞれのドレインノードが、互いに電気的に接続されている、上記9のドライバ。

【0043】

【発明の効果】

本発明により、プロセス、電圧、及び温度(PVT)に対して出力駆動段の出力インピーダンスを有效地に変化させ、ノイズの悪影響を受けにくい、改良された出力駆動段が提供される。特に、その出力インピーダンスが、プロセス、電圧、及び温度に対して変化する際、基板のトレースインピーダンスに正確に整合するように、前記出力インピーダンスを有效地に変化させることが可能な、改良された出力駆動段が提供される。

【図面の簡単な説明】

【図1】従来技術において既知の可変出力インピーダンスを備えたドライバ回路の概略図である。

【図2】デジタル式に制御される可変出力インピーダンスを備えたドライバ回路の実施様の1つを例示するブロック図である。

【図3】図2のブロック図の一部に関する概略図である。

【図4】本発明に従って構成された、デジタル式に制御される可変出力インピーダンスを備えたドライバ回路を例示するブロック図である。

【図5】図4のブロック図のFET回路網の部分に関する概略図である。

【図6】図4のブロック図に例示された、考えられるインピーダンス制御回路の一部に関する概略図である。

【符号の説明】

200 出力FET回路網

208a、208b 出力信号

210 PFEETのアレイ

211~219 PFEET

220 NFEETのアレイ

221~229 NFEET

232 プルアッププリドライバ回路

234 プルダウンプリドライバ回路

241 信号パッド

250 制御回路

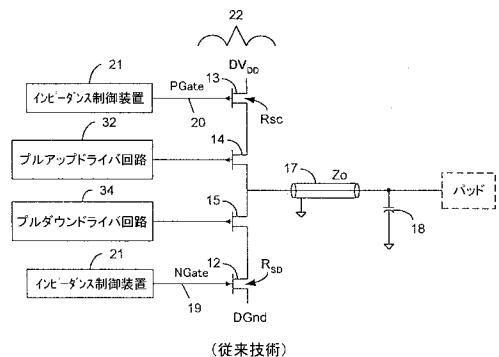
10

20

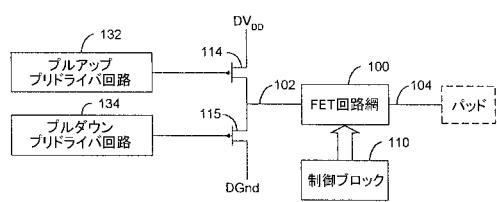
30

40

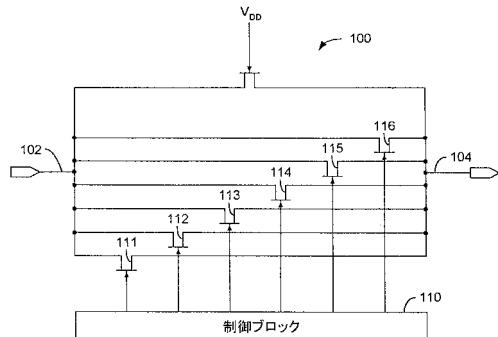
【図1】



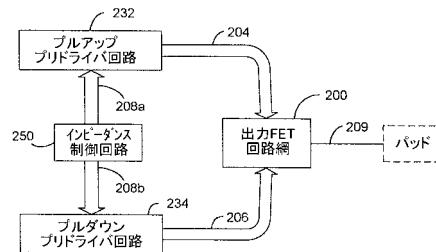
【図2】



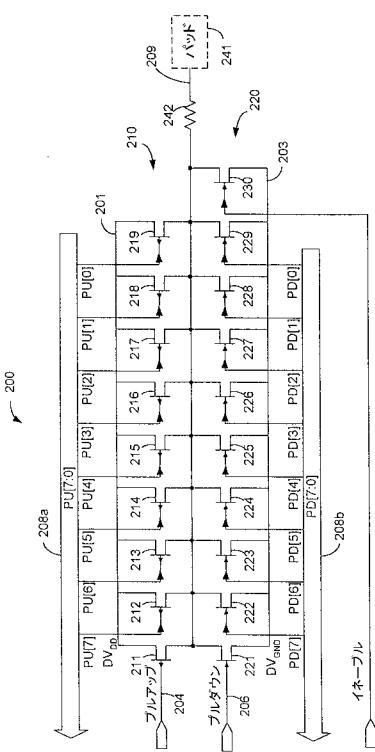
【図3】



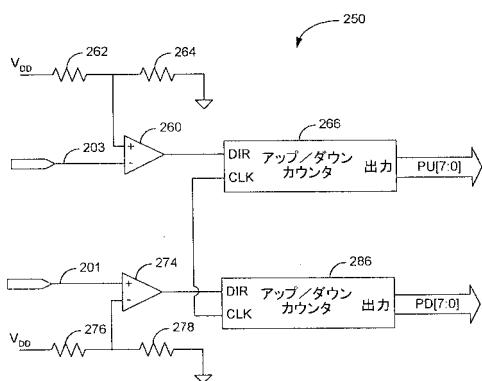
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ジェラルド・エル・エッシュ・ジュニア

アメリカ合衆国コロラド州80526, フォート・コリンズ, リバプール・ストリート・3361

審査官 宮島 郁美

(56)参考文献 特開昭62-038616(JP,A)

特開平08-335871(JP,A)

特開平06-260922(JP,A)

特開平09-130229(JP,A)

特開平07-142985(JP,A)

特開2000-059202(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096