【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成19年1月25日(2007.1.25)

【公開番号】特開2000-216640(P2000-216640A)
【公開日】平成12年8月4日(2000.8.4)
【出願番号】特願平11-348253
【国際特許分類】
Ｈ０３Ｆ　1/32　(2006.01)
Ｈ０３Ｆ　1/34　(2006.01)
Ｈ０３Ｇ　5/16　(2006.01)
【ＦＩ】
Ｈ０３Ｆ　1/32
Ｈ０３Ｆ　1/34
Ｈ０３Ｇ　5/16　Ｚ

【誤訳訂正書】
【提出日】平成18年12月1日(2006.12.1)
【誤訳訂正１】
【訂正対象書類名】明細書
【訂正対象項目名】特許請求の範囲
【訂正方法】変更
【訂正の内容】
【特許請求の範囲】
【請求項１】高電力増幅器、前置歪補償回路およびフィードバック回路を備える線形電力増幅装置であって、
前記高電力増幅器に接続された入力は、該装置への無線周波数入力信号を受信するよう動作し、
前記フィードバック回路は、前記高電力増幅器の出力信号のサンプルを前記入力信号のサンプルと比較して、一組の参照値を修正するのに使用されるエラー信号を生成し、
前記前置歪補償回路は、前記入力信号のサンプルを受信すると共に、前記フィードバック回路から利得および位相の前記エラー信号を受信し、前記一組の参照値および前記入力信号のサンプルについて、利得および位相エラーを補正する補正信号であって、前記高電力増幅器の入力に印加される補正信号を求め、
変調されて遅延された前記入力信号が、前記高電力増幅器を通過する際に、低減された歪みで現れるように、前記補正信号は、前記入力信号の関数として生成される、
線形電力増幅装置。
【請求項２】前記入力は、方向性結合器、第１の遅延線、振幅変調器および位相変調器を介して前記高電力増幅器に接続されており、
前記フィードバック回路は、前記高電力増幅器の出力をサンプリングして、振幅および位相エラー検出器に信号を供給するよう動作する方向性結合器を備えており、
前記前置歪補償回路は、前記方向性結合器からの結合線、出力が第２の遅延線に接続された電力分配器、および適応前置歪補償サブシステムを備えており、
前記第２の遅延線は、前記振幅および位相エラー検出器に信号を供給するよう動作し、
前記前置歪補償サブシステムは、包絡線検波器を介して前記電力分配器から信号を受信すると共に、前記振幅および位相エラー検出器から利得エラーおよび振幅エラーに関する信号を受信して、前記振幅変調器の制御ポートに利得補正信号を供給すると共に、前記位相変調器の制御ポートに位相補正信号を供給するよう動作し、
変調および遅延させられた前記入力信号が、前記高電力増幅器を通過する際に、低減された歪みで現れるよう、前記適応前置歪補償サブシステムは、該入力信号の関数として前

記利得補正信号および位相補正信号を生成するよう動作する、
請求項１に記載の線形増幅装置。
【請求項３】前記前置歪補償器サブシステムは、参照テーブルを参照して、前記利得補正信号および位相補正信号を求める、
請求項２に記載の線形増幅装置。
【請求項４】前記第１の遅延線は、補正経路の遅延を処理することによって引き起こされる、信号の前記振幅および位相変調と、前記利得および位相補正信号との間の遅延スキューを補償するよう動作する、
請求項２に記載の線形増幅装置。
【請求項５】前記フィードバック回路は、方向性結合器からの結合出力を減衰させて、前記振幅および位相エラー検出器に信号を供給するよう動作する減衰器を備える、
請求項２に記載の線形増幅装置。
【請求項６】前記適応前置歪補償サブシステムが、時間的に連続した前記利得および位相補正信号を生成することができるように、該適応前置歪補償サブシステムは、前記包絡線検波器から、ＲＦの前記入力信号の変動する振幅包絡線に比例して経時変化する出力を受信するよう動作する入力と、アンチエイリアスフィルタと、アナログ－デジタル変換器（ＡＤＣ）信号デジタイザと、利得および位相の補正係数を決定するための参照テーブル（ＬＵＴ）と、該利得および位相の補正係数をアナログ領域に変換するよう動作するデジタル－アナログ変換器（ＤＡＣ）と、さらなるアンチエイリアスフィルタと、を有する、
請求項２に記載の線形増幅装置。
【請求項７】前記入力は、入力側方向性結合器、第１の遅延線、第１の振幅変調器、第１の位相変調器、第２の振幅変調器および第２の位相変調器を介して前記高電力増幅器に接続されており、
前記フィードバック回路は、前記高電力増幅器の出力をサンプリングして、振幅および位相エラー検出器、ベースバンド処理要素、前記第２の振幅変調器および前記第２の位相変調器に信号を供給するよう動作する方向性結合器を備え、
前記前置歪補償回路は、前記入力側方向性結合器からの結合線、出力が第２の遅延線に接続された電力分配器、および適応前置歪補償サブシステムを備えており、
前記第２の遅延線は、前記振幅および位相エラー検出器に信号を供給するよう動作し、
前記適応前置歪補償サブシステムは、包絡線検波器を介して前記電力分配器から信号を受け取ると共に、前記振幅および位相エラー検出器から利得エラーおよび振幅エラーに関連する信号を受け取り、参照テーブルを参照して、前記第１の振幅変調器の制御ポートに利得補正信号を供給すると共に、前記第１の位相変調器の制御ポートに位相補正信号を供給するよう動作し、
前記ベースバンド処理要素は、前記前置歪補償回路の動作を集中させるように利得および位相領域で動作可能なフィードバックループを備えており、
変調されて遅延された前記入力信号が前記高電力増幅器を通過する際に、低減された歪みで現れるよう、前記適応前置歪補償サブシステムは、該入力信号の関数として前記利得補正信号および位相補正信号を生成するよう動作する、
請求項１に記載の線形増幅装置。
【請求項８】補正経路の遅延を処理することによって引き起こされる、信号の前記振幅および位相の変調と前記利得および位相補正信号との間の遅延スキューを補償するよう、前記第１の遅延線は動作する、
請求項７に記載の線形増幅装置。
【請求項９】前記フィードバック回路は、前記方向性結合器からの結合出力を減衰させて、前記振幅および位相エラー検出器に信号を供給するよう動作する減衰器を備える、
請求項７に記載の線形増幅装置。
【請求項１０】前記適応前置歪補償サブシステムが、時間的に連続した前記利得および位相補正信号を生成することができるように、該適応前置歪補償サブシステムは、前記包絡線検波器から、ＲＦの前記入力信号の変動する振幅包絡線に比例して経時変化する出力

を受信するよう動作する入力と、アンチエイリアスフィルタと、アナログ－デジタル変換器（ＡＤＣ）信号デジタイザと、利得および位相の補正係数を決定するための参照テーブル（ＬＵＴ）と、該利得および位相の補正係数をアナログ領域に変換するよう動作するデジタル－アナログ変換器（ＤＡＣ）と、さらなるアンチエイリアスフィルタと、を有する、

請求項７に記載の線形増幅装置。

【請求項１１】高電力増幅器、前置歪補償回路およびフィードバック回路を備える線形電力増幅装置を動作させるための方法であって、

方向性結合器、第１の遅延線、振幅変調器および位相変調器を介して前記高電力増幅器に接続された入力において、入力信号を受信するステップと、

前記フィードバック回路において、前記高電力増幅器の出力をサンプリングして、振幅および位相エラー検出器に供給するよう、方向性結合器を使用して、前記高電力増幅器の出力から出力信号を取り出すステップと、

前記前置歪補償回路において、方向性結合器を使用して入力信号のサンプルを取り出し、電力分配器によって該入力信号を分割し、該電力分配器の第１の出力を第２の遅延線を介して振幅および位相エラー検出器に供給すると共に、該電力分配器の第２の出力を包絡線検波器を介して適応前置歪補償サブシステムに供給するステップと、

前記適応前置歪補償サブシステムにおいて、前記包絡線検波器から入力信号のサンプルを受信すると共に、前記振幅および位相エラー検出器から利得エラーおよび振幅エラーに関する信号を受信し、前記振幅変調器の制御ポートに利得補正信号を供給すると共に、前記位相変調器の制御ポートに位相補正信号を供給するステップとを含み、

変調されて遅延された前記入力信号が、前記高電力増幅器を通過する際に、低減された歪みで現れるよう、前記適応前置歪補償サブシステムは、該入力信号の関数として前記利得および位相補正信号を生成するよう動作する、

方法。

【請求項１２】前記振幅変調器の制御ポートに利得補正信号を供給すると共に、位相変調器の制御ポートに位相補正信号を供給する前記ステップは、参照テーブルを参照するステップを含む、

請求項１１に記載の方法。

【請求項１３】前記適応前置歪補償サブシステムにおいて、前記包絡線検波器から、ＲＦの前記入力信号の変動する振幅包絡線に比例して経時変化する出力を受信するステップと、該受信した信号をアンチエイリアスフィルタおよびアナログ－デジタル変換器（ＡＤＣ）によってデジタル化するステップと、参照テーブル（ＬＵＴ）に記憶された利得および位相補正係数を求めるステップと、該利得および位相補正係数をデジタル－アナログ変換器（ＤＡＣ）およびアンチエイリアスフィルタによってアナログ領域に変換し、時間的に連続した前記利得および位相補正信号を生成するステップと、を含む、

請求項１１に記載の方法。

【請求項１４】前記ＬＵＴは、必要な前置歪補償の前記補正係数を適応的に制御し、該制御は、

前記高電力増幅器の入力信号および出力信号をサンプリングするステップと、

前記入力信号および出力信号のそれぞれを、２つに分割し、一方の分割出力を前記利得エラー検出器に供給すると共に、他方の分割出力を前記位相エラー検出器に供給し、該利得エラー検出器が、前記入力および出力信号間の利得エラーにほぼ比例する出力を生成すると共に、前記位相エラー検出器が、前記入力および出力信号間の位相エラーにほぼ比例する出力を生成するステップと、

アンチエイリアスフィルタおよびＡＤＣによって、前記利得エラーおよび位相エラーの信号をデジタル化するステップであって、前記前置歪補償回路において、前記包絡線検波器からの信号のサンプルと、前記利得および位相の補正信号のサンプルが、先入れ先出し（ＦＩＦＯ）バッファメモリにおいて、前記利得および位相エラー検出器からサンプリングされた前記利得および位相のエラー信号とタイミングが合うよう遅延されるようにする

ステップと、
前記利得および位相のエラー信号に、所定の分数値の収束パラメータを乗算し、得られた信号を、前記遅延された利得および位相補正信号からそれぞれ減算して、該補正信号の改善された推定値である信号を得るステップと、
前記遅延された包絡線検波器からの信号を使用して正しいアドレスを求め、該補正信号の推定値を、前記参照テーブルにサンプルごとに書き込み、後続の信号についての前置歪補償の精度を改善するようにするステップと、
を含む、
請求項１３に記載の方法。
【請求項１５】高電力増幅器、前置歪補償回路およびフィードバック回路を備える線形電力増幅装置を動作させる方法であって、
方向性結合器、第１の遅延線、第１の振幅変調器、第１の位相変調器、第２の振幅変調器および第２の位相変調器を介して前記高電力増幅器に接続された入力において、入力信号を受信するステップと、
前記フィードバック回路において、前記高電力増幅器の出力をサンプリングして、振幅および位相エラー検出器と、ベースバンド処理要素を介して前記第２の振幅および位相変調器とに供給するよう、方向性結合器を使用して前記高電力増幅器の出力から出力信号を取り出すステップであって、該ベースバンド処理要素は、前記前置歪補償回路の動作を集中させるように利得および位相領域で動作可能なフィードバックループを有する、ステップと、
前記前置歪補償回路において、方向性結合器を使用して入力信号のサンプルを取り出し、電力分配器によって該入力信号を分割し、該電力分配器の第１の出力を第２の遅延線を介して振幅および位相エラー検出器に供給すると共に、該電力分配器第２の出力を包絡線検波器を介して適応前置歪補償サブシステムに供給するステップと、
前記適応前置歪補償サブシステムにおいて、前記包絡線検波器からサンプリングされた入力信号を受信すると共に、前記振幅および位相エラー検出器から利得エラーおよび振幅エラーに関する信号を受信し、前記第１の振幅変調器の制御ポートに利得補正信号を供給すると共に、前記第１の位相変調器の制御ポートに位相補正信号を供給するステップと、
を含み、
変調されて遅延された前記入力信号が、前記高電力増幅器を通過する際に、低減された歪みで現れるよう、前記適応前置歪補償サブシステムは、該入力信号の関数として前記利得および位相補正信号を生成するよう動作する、
方法。
【請求項１６】前記第１の振幅変調器の制御ポートに利得補正信号を供給すると共に、前記第１の位相変調器の制御ポートに位相補正信号を供給する前記ステップは、参照テーブルを参照するステップを含む、
請求項１５に記載の方法。
【請求項１７】前記適応前置歪補償サブシステムにおいて、ＲＦの前記入力信号の変動する振幅包絡線に比例して経時変化する出力を、前記包絡線検波器から受信するステップと、該受信した信号を、アンチエイリアスフィルタおよびアナログ－デジタル変換器（ＡＤＣ）によってデジタル化するステップと、参照テーブル（ＬＵＴ）に記憶された利得および位相補正係数を求めるステップと、該利得および位相補正係数を、デジタル－アナログ変換器（ＤＡＣ）およびアンチエイリアスフィルタによってアナログ領域に変換して、時間的に連続した前記利得および位相補正信号を生成するステップと、
を含む、請求項１５に記載の方法。
【請求項１８】前記ＬＵＴは、必要な前置歪補償の前記補正係数を適応的に制御し、該制御は、
前記高電力増幅器の入力信号および出力信号をサンプリングするステップと、
前記入力信号および出力信号のそれぞれを、２つに分割し、一方の分割出力を前記利得エラー検出器に供給すると共に、他方の分割出力を前記位相エラー検出器に供給し、該利

得エラー検出器が、前記入力および出力信号間の利得エラーにほぼ比例する出力を生成すると共に、該位相エラー検出器が、前記入力および出力信号間の位相エラーにほぼ比例する出力を生成するステップと、

アンチエイリアスフィルタおよびＡＤＣによって、前記利得エラーおよび位相エラーの信号をデジタル化するステップであって、前記前置歪補償回路において、前記包絡線検波器からの信号のサンプルと、前記利得および位相の補正信号のサンプルが、先入れ先出し（ＦＩＦＯ）バッファメモリにおいて、前記利得および位相エラー検出器からサンプリングされた前記利得および位相のエラー信号とタイミングが合うよう遅延されるようにするステップと、

前記利得および位相のエラー信号に、所定の分数値の収束パラメータを乗算し、得られた信号を、前記遅延された利得および位相補正信号からそれぞれ減算して、該補正信号の改善された推定値である信号を得るステップと、

前記遅延された包絡線検波器からの信号を使用して正しいアドレスを求め、該補正信号の推定値を、前記参照テーブルにサンプルごとに書き込み、後続の信号についての前置歪補償の精度を改善するようにするステップと、

を含む、請求項１７に記載の方法。

【請求項１９】請求項１～１８のいずれかに従う増幅装置を組み込んだセルラー無線基地局。

【誤訳訂正２】

【訂正対象書類名】明細書

【訂正対象項目名】００４３

【訂正方法】変更

【訂正の内容】

【００４３】

このアーキテクチャーは、ＬＵＴが必要な前置歪補償係数を適応的に「学習」する方法を提供する。このシステムの入力および出力信号は、サンプリングされる。入力信号は遅延され、出力信号は減衰されて、サンプリングされた信号の電力が等しく、変調包絡線の任意のスキューが解決されるようにするのが好ましい。このような遅延および減衰は、本来回路に関連することがあるが、専用の回路素子を用いることが好ましく、それによって、利得および位相検波器における入力信号間の電力およびスキューを制御することができる。２つの信号は、それぞれ２つに分けられる。その一方の出力は利得エラー検出器に供給され、他方の出力は位相エラー検出器に供給される。利得エラー検出器は、信号間の利得エラーにほぼ比例した出力を生成し、位相エラー検出器は、信号間の位相エラーにほぼ比例した出力を生成する。利得および位相エラー信号は、アンチエイリアスフィルタおよびＡＤＣによってデジタル化される。前置歪補償器が動作するとき、入力包絡線サンプルと、利得および位相補正サンプルは、先入れ先出し（ＦＩＦＯ）バッファメモリにおいて、利得および位相エラー検出器からサンプリングされたエラー信号とタイミングが合うよう遅延される。利得および位相エラー信号は、一定の分数値の(fractional)収束パラメータを乗算されて、遅延された利得および位相補正信号からそれぞれ減算され、格納された信号包絡線における補正信号がどういったものでなければならなかったかの改善された推定値である信号が得られる。改善された利得および位相補正推定値は、正しいアドレスを判断するのに遅延された包絡線信号を使用して、サンプルごとに参照テーブルに書き戻され、それによって将来における前置歪補償の精度が改善される。