

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年8月21日(21.08.2014)



(10) 国際公開番号
WO 2014/125752 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/085097
- (22) 国際出願日: 2013年12月27日(27.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-027368 2013年2月15日(15.02.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 小原 将紀(OHARA, Masanori). 野口 登(NOGUCHI, Noboru). 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

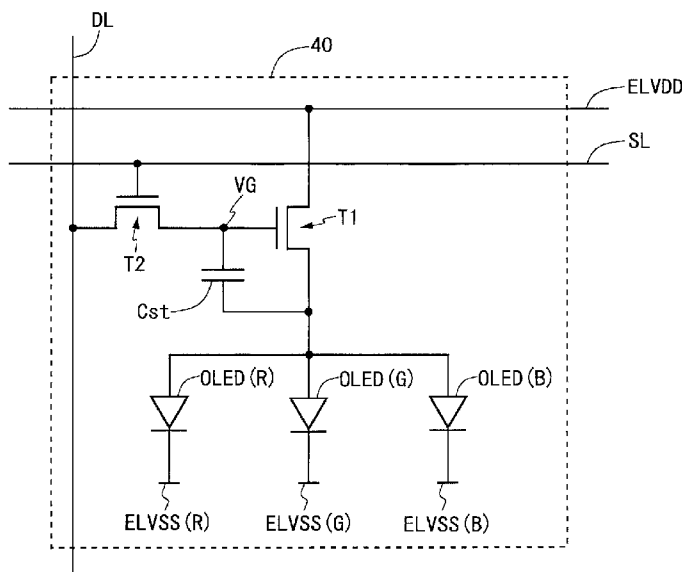
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: The purpose of the present invention is to obtain a display device equipped with a light-emitting display element driven by an electric current, by using a pixel circuit having a simpler configuration than that of the prior art. A pixel circuit (40) is configured from a drive transistor (T1), an input transistor (T2), a capacitor (Cst), and three organic EL elements (OLED (R), OLED (G), and OLED (B)). The cathode terminals of the organic EL elements (OLED (R), OLED (G), and OLED (B)) are connected, respectively, to low-level power lines (ELVSS (R), ELVSS (G), and ELVSS (B)). For each subframe in such a configuration, only the low-level power voltage (ELVSS) corresponding to said subframe is set to a comparatively low level, while the other low-level power voltages (ELVSS) are set to comparatively high levels.

(57) 要約: 本発明は、電流で駆動される自発光型表示素子を備えた表示装置を従来よりも簡易な構成の画素回路を用いて実現することを目的とする。画素回路(40)は、駆動トランジスタ(T1)と入力トランジスタ(T2)とコンデンサ(Cst)と3個の有機EL素子(OLED(R), OLED(G), およびOLED(B))とによって構成される。有機EL素子(OLED(R), OLED(G), およびOLED(B))のカソード端子はそれぞれローレベル電源線(ELVSS(R), ELVSS(G), およびELVSS(B))に接続される。このような構成において、各サブフレームには、当該サブフレームに対応するローレベル電源電圧(ELVSS)のみが比較的低いレベルに設定され、それ以外のローレベル電源電圧(ELVSS)は比較的高いレベルに設定される。

(B)のカソード端子はそれぞれローレベル電源線(ELVSS(R), ELVSS(G), およびELVSS(B))に接続される。このような構成において、各サブフレームには、当該サブフレームに対応するローレベル電源電圧(ELVSS)のみが比較的低いレベルに設定され、それ以外のローレベル電源電圧(ELVSS)は比較的高いレベルに設定される。

WO 2014/125752 A1

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、有機ＥＬ表示装置などの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機ＥＬ（Electro Luminescence）素子が挙げられる。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれている。自発光型の電気光学素子である有機ＥＬ素子を使用した有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機ＥＬ表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機ＥＬ表示装置（以下「アクティブマトリクス型の有機ＥＬ表示装置」という。）は、パッシブマトリクス方式を採用した有機ＥＬ表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機ＥＬ表示装置の

画素回路は、典型的には、画素を選択する入力トランジスタと、有機EL素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

[0005] ところで、アクティブマトリクス型の一般的な有機EL表示装置においては、1個の画素は3個のサブ画素（赤色を表示するRサブ画素，緑色を表示するGサブ画素，および青色を表示するBサブ画素）で構成されている。図26は、1個のサブ画素を構成する従来の一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ線DLと複数の走査信号線SLとの各交差点に対応して設けられている。図26に示すように、この画素回路91は、2個のトランジスタT1，T2と、1個のコンデンサCstと、1個の有機EL素子OLEDとを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。なお、図26に示す例では、トランジスタT1，T2は、nチャネル型の薄膜トランジスタ（TFET）である。

[0006] トランジスタT1は、有機EL素子OLEDと直列に設けられている。そのトランジスタT1に関し、ハイレベル電源電圧ELVDDを供給する電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じ符号ELVDDを付す。）にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、走査信号線SLにゲート端子が接続され、データ線DLにソース端子が接続されている。コンデンサCstについては、トランジスタT1のゲート端子に一端が接続され、トランジスタT1のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じ符号ELVSSを付す。）に接続されている。以下、トランジスタT1のゲート端子と、コンデンサCstの一端と、トランジ

スタ T 2 のドレイン端子との接続点のことを便宜上「ゲートノード V G」という（図 1 および図 1 7 についても同様）。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

[0007] 図 2 7 は、図 2 6 に示す画素回路 9 1 の動作を説明するためのタイミングチャートである。時刻 t_1 以前には、走査信号線 S L は非選択状態となっている。従って、時刻 t_1 以前には、トランジスタ T 2 がオフ状態になっており、ゲートノード V G の電位は初期レベル（例えば、1 つ前のフレームでの書き込みに応じたレベル）を維持している。時刻 t_1 になると、走査信号線 S L が選択状態となり、トランジスタ T 2 がターンオンする。これにより、データ線 D L およびトランジスタ T 2 を介して、この画素回路 9 1 が形成する画素（サブ画素）の輝度に対応するデータ電圧 V d a t a がゲートノード V G に供給される。その後、時刻 t_2 までの期間に、ゲートノード V G の電位がデータ電圧 V d a t a に応じて変化する。このとき、コンデンサ C s t は、ゲートノード V G の電位とトランジスタ T 1 のソース電位との差であるゲートーソース間電圧 V g s に充電される。時刻 t_2 になると、走査信号線 S L が非選択状態となる。これにより、トランジスタ T 2 がターンオフし、コンデンサ C s t が保持するゲートーソース間電圧 V g s が確定する。トランジスタ T 1 は、コンデンサ C s t が保持するゲートーソース間電圧 V g s に応じて有機 E L 素子 O L E D に駆動電流を供給する。その結果、駆動電流に応じた輝度で有機 E L 素子 O L E D が発光する。

[0008] ところで、図 2 6 に示す画素回路 9 1 は、1 個のサブ画素に対応する回路である。従って、3 個のサブ画素からなる 1 個の画素に対応する画素回路 9 1 0 の構成は、図 2 8 に示すようなものとなる。図 2 8 に示すように、1 個の画素を構成する画素回路 9 1 0 は、R サブ画素用の画素回路 9 1（R）と G サブ画素用の画素回路 9 1（G）と B サブ画素用の画素回路 9 1（B）とによって構成されている。なお、以下においては、図 2 8 に示す構成のこと

を「第1の従来例」という。図28から把握されるように、第1の従来例によれば、1個の画素につき6個のトランジスタおよび3個のコンデンサが必要となっている。

[0009] 画素回路内に多くの回路素子が必要となる構成の場合、高精細化が困難となる。そこで、日本の特開2005-148749号公報には、図29に示すように、1個の画素に必要とされるトランジスタおよびコンデンサの数を第1の従来例よりも少なくした構成の画素回路920が開示されている。なお、以下においては、図29に示す構成のことを「第2の従来例」という。第2の従来例における画素回路920は、駆動手段921と、順次制御手段922と、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)とによって構成されている。駆動手段921は、駆動トランジスタT11と、入力トランジスタT12と、コンデンサCst1とによって構成されている。順次制御手段922は、赤色用の有機EL素子OLED(R)の発光を制御するためのトランジスタT13(R)と、緑色用の有機EL素子OLED(G)の発光を制御するためのトランジスタT13(G)と、青色用の有機EL素子OLED(B)の発光を制御するためのトランジスタT13(B)とによって構成されている。

[0010] 以上のような構成において、1フレーム期間が、赤色の発光を行うためのRサブフレームと緑色の発光を行うためのGサブフレームと青色の発光を行うためのBサブフレームとに分割される。そして、順次制御手段922において、RサブフレームにはトランジスタT13(R)のみがオン状態とされ、GサブフレームにはトランジスタT13(G)のみがオン状態とされ、BサブフレームにはトランジスタT13(B)のみがオン状態とされる。これにより、1フレーム期間をかけて有機EL素子OLED(R)、有機EL素子OLED(G)、および有機EL素子OLED(B)が順次に発光し、所望のカラー画像が表示される。なお、トランジスタT13(R)、T13(G)、およびT13(B)のオン／オフは、それぞれ発光制御ライン923(R)、923(G)、および923(B)に与えられる発光制御信号によ

って制御される。以上のような第2の従来例によれば、1個の画素につき5個のトランジスタおよび1個のコンデンサが必要となる。

- [0011] また、日本の特開2005-148750号公報には、図30に示すように、データ線およびコンデンサの数を第1の従来例よりも少なくした構成の画素回路930が開示されている。なお、以下においては、図30に示す構成のことを「第3の従来例」という。図30から把握されるように、第3の従来例によれば、トランジスタの数については第1の従来例よりも多くなるが、データ線およびコンデンサの数は第1の従来例よりも少なくなる。

先行技術文献

特許文献

- [0012] 特許文献1：日本の特開2005-148749号公報
特許文献2：日本の特開2005-148750号公報

発明の概要

発明が解決しようとする課題

- [0013] ところで、表示装置の分野においては、高精細化の開発が従来より進められているが、近年、更なる高精細化（超高精細化）の開発が進められている。例えば、「2k4k」と呼ばれる「2160×4096」の解像度での表示が可能な表示装置も製品化されつつある。図31は、高精細化に伴う1画素当たりのレイアウト面積の縮小について説明するための図である。例えば、サイズが5.0インチのパネルを用いてWQHD（Wide Quad High Definition）の表示装置を実現する場合、精細度は564ppi、画素の一辺の長さは45マイクロメートル、1個の画素の面積は2025平方マイクロメートル、同サイズのパネルを用いたHD（High Definition）の表示装置を基準とする画素面積比は27パーセントとなる。図31によれば、パネルサイズが5.0インチの表示装置をHDからFHD（Full High Definition）へと高精細化した場合、1個の画素の面積は高精細化前の面積の45パーセントの大きさとなる。また、パネルサイズが5.0インチの表示装置をHDか

ら $2k \times 4k$ へと高精細化した場合、1 個の画素の面積は高精細化前の面積の 1/16 パーセントの大きさとなる。このように、高精細化が進むにつれて、1 個の画素の面積は小さくなる。従って、高精細化が進むにつれて、1 個の画素のエリア内に配置可能な回路素子は少なくなる。

[0014] ところが、有機 EL 表示装置に関しては、上述したように画素回路内に比較的多数のトランジスタが必要となっている。第 3 の従来例によれば、データ線およびコンデンサの数は第 1 の従来例よりも少なくなるが、1 個の画素につき 8 個のトランジスタが必要となっている。第 2 の従来例においては、1 個の画素に必要とされるトランジスタの数は 5 個となっている。しかしながら、500ppi を超えるような超高精細化パネルにおいては、1 個の画素のエリア内に 5 個のトランジスタを配置することは困難である。

[0015] そこで、本発明は、電流で駆動される自発光型表示素子を備えた表示装置を従来よりも簡易な構成の画素回路を用いて実現することを目的とする。

課題を解決するための手段

[0016] 本発明の第 1 の局面は、1 フレーム期間を複数のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置であって、

複数のデータ線と、

前記複数のデータ線と交差するように配設された複数の走査信号線と、

前記複数のデータ線と前記複数の走査信号線との交差点に対応して設けられた複数の画素回路と、

前記複数の画素回路に定電圧を供給するための第 1 電源線と、

前記複数の画素回路に比較的高レベルの第 1 電圧と比較的低レベルの第 2 電圧とを供給するための、1 フレーム期間に含まれる複数のサブフレームに 1 対 1 に対応する複数の第 2 電源線と、

前記複数のデータ線に映像信号を印加するデータ線駆動回路と、

前記複数の走査信号線に走査信号を印加する走査信号線駆動回路と、

前記複数の第 2 電源線に与えられる電圧を制御する第 2 電源制御部と

を備え、

前記画素回路は、

前記複数の第2電源線のそれぞれと前記第1電源線との間に設けられた、1フレーム期間に含まれる複数のサブフレームに1対1で対応する自発光型の複数の電気光学素子と、

前記第1電源線と前記複数の第2電源線との間に前記複数の電気光学素子と直列になるように設けられ、前記複数の電気光学素子に供給すべき駆動電流を制御する1個の第1トランジスタと、

前記第1トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線に印加される走査信号が前記走査信号線駆動回路によってアクティブにされたときに前記第1トランジスタの前記制御端子と前記データ線とを電氣的に接続する第2トランジスタと、

前記第1トランジスタの前記制御端子と前記第1トランジスタの一方の導通端子との間に設けられたコンデンサとを含み、

1フレーム期間に含まれる任意のサブフレームを着目サブフレームとしたとき、前記第2電源制御部は、前記着目サブフレームには、前記着目サブフレームに対応する電気光学素子に印加される電圧が発光閾値以上となり、かつ、前記着目サブフレームに対応する電気光学素子以外の電気光学素子に印加される電圧が発光閾値未満となるよう、前記複数の第2電源線に与えられる電圧を制御することを特徴とする。

[0017] 本発明の第2の局面は、本発明の第1の局面において、

前記データ線駆動回路は、各サブフレームの帰線期間には、前記映像信号として黒色に相当する電圧を前記複数のデータ線に印加し、

前記走査信号線駆動回路は、各サブフレームの帰線期間中に、前記複数の走査信号線に対して一斉にアクティブな走査信号を印加することを特徴とする。

[0018] 本発明の第3の局面は、本発明の第1の局面において、

1 秒間に 180 回以上のサブフレームが現れることを特徴とする。

[0019] 本発明の第 4 の局面は、本発明の第 1 の局面において、

前記第 1 電源線に与えられる定電圧は、前記第 1 電圧よりも高いレベルに設定され、

前記第 2 電源制御部は、前記着目サブフレームには、前記着目サブフレームに対応する第 2 電源線には前記第 2 電圧が与えられ、かつ、前記着目サブフレームに対応する第 2 電源線以外の第 2 電源線には前記第 1 電圧が与えられるよう、前記複数の第 2 電源線に与えられる電圧を制御することを特徴とする。

[0020] 本発明の第 5 の局面は、本発明の第 1 の局面において、

前記第 1 トランジスタおよび前記第 2 トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする。

[0021] 本発明の第 6 の局面は、本発明の第 5 の局面において、

前記酸化物半導体は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を主成分とする酸化インジウムガリウム亜鉛であることを特徴とする。

[0022] 本発明の第 7 の局面は、複数のデータ線と、前記複数のデータ線と交差するように配設された複数の走査信号線と、前記複数のデータ線と前記複数の走査信号線との交差点に対応して設けられた複数の画素回路と、前記複数の画素回路に定電圧を供給するための第 1 電源線と、前記複数の画素回路に比較的高レベルの第 1 電圧と比較的低レベルの第 2 電圧とを供給するための、1 フレーム期間に含まれる複数のサブフレームに 1 対 1 に対応する複数の第 2 電源線とを備え、1 フレーム期間を複数のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置の駆動方法であって、

前記複数のデータ線に映像信号を印加するデータ線駆動ステップと、

前記複数の走査信号線に走査信号を印加する走査信号線駆動ステップと、

前記複数の第 2 電源線に与えられる電圧を制御する第 2 電源制御ステップ

と

を含み、

前記画素回路は、

前記複数の第2電源線のそれぞれと前記第1電源線との間に設けられた、1フレーム期間に含まれる複数のサブフレームに1対1で対応する自発光型の複数の電気光学素子と、

前記第1電源線と前記複数の第2電源線との間に前記複数の電気光学素子と直列になるように設けられ、前記複数の電気光学素子に供給すべき駆動電流を制御する1個の第1トランジスタと、

前記第1トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線に印加される走査信号が前記走査信号線駆動ステップでアクティブにされたときに前記第1トランジスタの前記制御端子と前記データ線とを電気的に接続する第2トランジスタと、

前記第1トランジスタの前記制御端子と前記第1トランジスタの一方の導通端子との間に設けられたコンデンサとを含み、

1フレーム期間に含まれる任意のサブフレームを着目サブフレームとしたとき、前記第2電源制御ステップでは、前記着目サブフレームには、前記着目サブフレームに対応する電気光学素子に印加される電圧が発光閾値以上となり、かつ、前記着目サブフレームに対応する電気光学素子以外の電気光学素子に印加される電圧が発光閾値未満となるよう、前記複数の第2電源線に与えられる電圧が制御されることを特徴とする。

発明の効果

[0023] 本発明の第1の局面によれば、自発光型の電気光学素子を備えた表示装置において、所望のカラー表示を損なうことなく、1個の画素に必要とされるトランジスタの数は2個となる。これに対して、従来の最も簡易な構成の画素回路を備えた表示装置においては、1個の画素につき5個のトランジスタが必要であった。このように、本発明の第1の局面によれば、1個の画素当

たりの必要なトランジスタの数が従来よりも削減される。すなわち、自発光型の電気光学素子を備えた表示装置を従来よりも簡易な構成の画素回路を用いて実現することが可能となる。これにより、表示装置の超高精細化が可能となる。

[0024] 本発明の第2の局面によれば、各サブフレームの帰線期間中に、黒色表示に相当するデータの書き込みが行われる。このため、各サブフレームにおいて1つ前のサブフレームでの書き込みに応じた輝度で電気光学素子が発光することが防止される。その結果、より良好な表示品位を実現することが可能となる。

[0025] 本発明の第3の局面によれば、高速駆動が行われるため、たとえ1つ前のサブフレームでの書き込みに応じた輝度で電気光学素子が発光しても、すぐに本来の輝度で電気光学素子が発光する。このため、一時的に本来の輝度とは異なる輝度で電気光学素子が発光しても、人の目には、所望のカラー画像が視認される。

[0026] 本発明の第4の局面によれば、複数の第2電源線を備えたことに起因して動作が複雑化することなく、本発明の第1の局面と同様の効果が得られる。

[0027] 本発明の第5の局面によれば、画素回路内に設けられるトランジスタとして、チャネル層が酸化物半導体により形成された薄膜トランジスタが用いられる。このため、画素回路内のトランジスタの小型化が可能となり、より容易に表示装置の超高精細化が可能となる。

[0028] 本発明の第6の局面によれば、チャネル層を形成する酸化物半導体として酸化インジウムガリウム亜鉛を用いることにより、本発明の第5の局面の効果を確実に達成することができる。

[0029] 本発明の第7の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0030] [図1]本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置における1個の画素に対応する画素回路の構成を示す回路図である。

[図2]上記第1の実施形態において、アクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、画素とデータ線との関係について説明するための図である。

[図4]上記第1の実施形態において、ソースドライバの構成を示すブロック図である。

[図5]上記第1の実施形態において、ゲートドライバの構成を示すブロック図である。

[図6]上記第1の実施形態において、ハイレベル電源線およびローレベル電源線の構成を説明するための図である。

[図7]上記第1の実施形態における1フレーム期間の構成を示す図である。

[図8]上記第1の実施形態における駆動方法を説明するためのタイミングチャートである。

[図9]上記第1の実施形態におけるシミュレーション結果を示す波形図である。

[図10]上記第1の実施形態において、1個の画素に対応する画素回路の動作について説明するためのタイミングチャートである。

[図11]上記第1の実施形態における効果について説明するための図である。

[図12]上記第1の実施形態における効果について説明するための図である。

[図13]上記第1の実施形態における効果について説明するための図である。

[図14]上記第1の実施形態の変形例における1フレーム期間の構成を示す図である。

[図15]上記第1の実施形態の変形例における駆動方法を説明するためのタイミングチャートである。

[図16]本発明の第2の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図17]上記第2の実施形態における1個の画素に対応する画素回路の構成を示す回路図である。

[図18]上記第2の実施形態における1フレーム期間の構成を示す図である。

[図19]上記第2の実施形態における駆動方法を説明するためのタイミングチャートである。

[図20]上記第2の実施形態における効果について説明するための図である。

[図21]本発明の第3の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図22]上記第3の実施形態において、ゲートドライバの構成を示すブロック図である。

[図23]上記第3の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図24]上記第3の実施形態における駆動方法を説明するためのタイミングチャートである。

[図25]上記第3の実施形態において、1個の画素に対応する画素回路の動作について説明するためのタイミングチャートである。

[図26]1個のサブ画素を構成する従来の一般的な画素回路の構成を示す回路図である。

[図27]図26に示す画素回路の動作を説明するためのタイミングチャートである。

[図28]第1の従来例における1個の画素に対応する画素回路の構成を示す回路図である。

[図29]第2の従来例における1個の画素に対応する画素回路の構成を示す回路図である。

[図30]第3の従来例における1個の画素に対応する画素回路の構成を示す回路図である。

[図31]高精細化に伴う1画素当たりのレイアウト面積の縮小について説明するための図である。

発明を実施するための形態

[0031] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。

[0032] < 1. 第 1 の実施形態 >

< 1. 1 全体構成 >

図 2 は、本発明の第 1 の実施形態に係るアクティブマトリクス型の有機 EL 表示装置 1 の全体構成を示すブロック図である。この有機 EL 表示装置 1 は、表示制御回路 100 とソースドライバ（データ線駆動回路）200 とゲートドライバ（走査信号線駆動回路）300 と表示部 400 とを備えている。なお、本実施形態においては、表示部 400 を含む有機 EL パネル 7 内にゲートドライバ 300 が形成されている。すなわち、ゲートドライバ 300 はモノリシック化されている。また、有機 EL パネル 7 に各種電源電圧を供給するための構成要素として、この有機 EL 表示装置 1 には、ロジック電源 500、有機 EL 用ハイレベル電源 510、赤色有機 EL 用ローレベル電源 520（R）、緑色有機 EL 用ローレベル電源 520（G）、および青色有機 EL 用ローレベル電源 520（B）が設けられている。さらに、赤色有機 EL 用ローレベル電源 520（R）、緑色有機 EL 用ローレベル電源 520（G）、および青色有機 EL 用ローレベル電源 520（B）の動作を制御するためのローレベル電源制御部 110 が表示制御回路 100 に設けられている。なお、本実施形態においては、ローレベル電源制御部 110 によって第 2 電源制御部が実現されている。

[0033] ロジック電源 500 から有機 EL パネル 7 には、ゲートドライバ 300 の動作に必要とされるハイレベル電源電圧 VDD およびローレベル電源電圧 VSS が供給される。有機 EL 用ハイレベル電源 510 から有機 EL パネル 7 には、定電圧であるハイレベル電源電圧 ELVDD が供給される。赤色有機 EL 用ローレベル電源 520（R）から有機 EL パネル 7 には、赤色有機 EL 用ローレベル電源電圧 ELVSS（R）が供給される。なお、赤色有機 EL 用ローレベル電源電圧 ELVSS（R）を供給する電源線のことを以下「赤色有機 EL 用ローレベル電源線」という。赤色有機 EL 用ローレベル電源線には、赤色有機 EL 用ローレベル電源電圧と同じ符号 ELVSS（R）を付す。緑色有機 EL 用ローレベル電源 520（G）から有機 EL パネル 7 に

は、緑色有機EL用ローレベル電源電圧ELVSS (G) が供給される。なお、緑色有機EL用ローレベル電源電圧ELVSS (G) を供給する電源線のことを以下「緑色有機EL用ローレベル電源線」という。緑色有機EL用ローレベル電源線には、緑色有機EL用ローレベル電源電圧と同じ符号ELVSS (G) を付す。青色有機EL用ローレベル電源520 (B) から有機ELパネル7には、青色有機EL用ローレベル電源電圧ELVSS (B) が供給される。なお、青色有機EL用ローレベル電源電圧ELVSS (B) を供給する電源線のことを以下「青色有機EL用ローレベル電源線」という。青色有機EL用ローレベル電源線には、青色有機EL用ローレベル電源電圧と同じ符号ELVSS (B) を付す。以下においては、赤色有機EL用ローレベル電源線ELVSS (R)、緑色有機EL用ローレベル電源線ELVSS (G)、および青色有機EL用ローレベル電源線ELVSS (B) を総称して単に「ローレベル電源線ELVSS」ともいう。

[0034] 表示部400には、複数本(m本)のデータ線DL1~DLmと複数本(n本)の走査信号線SL1~SLnとが互いに交差するように配設されている。データ線DL1~DLmと走査信号線SL1~SLnとの各交差点に対応して、1個の画素に対応する画素回路が形成されている。ところで、一般的な構成においては、サブ画素の色毎にデータ線が設けられている。例えば、1個の画素が3個のサブ画素(Rサブ画素、Gサブ画素、およびBサブ画素)で構成される場合、Rサブ画素に対応するデータ線DL(R)、Gサブ画素に対応するデータ線DL(G)、およびBサブ画素に対応するデータ線DL(B)が設けられている(図3参照)。これに対して、本実施形態においては、Rサブ画素とGサブ画素とBサブ画素とに共通するデータ線DLが設けられている(図3参照)。従って、本実施形態におけるデータ線の本数は、一般的な構成におけるデータ線の本数の3分の1となっている。なお、画素回路の詳しい構成については後述する。

[0035] 表示制御回路100は、表示データDAと、ソースドライバ200の動作を制御するためのソーススタートパルス信号SSP、ソースクロック信号S

CK, およびラッチストロープ信号LSと、ゲートドライバ300の動作を制御するためのゲートスタートパルス信号GSPおよびゲートクロック信号GCKとを出力する。また、表示制御回路100内のローレベル電源制御部110は、赤色有機EL用ローレベル電源520(R)の動作を制御するための制御信号SC(R)と、緑色有機EL用ローレベル電源520(G)の動作を制御するための制御信号SC(G)と、青色有機EL用ローレベル電源520(B)の動作を制御するための制御信号SC(B)とを出力する。なお、ローレベル電源制御部110については、必ずしも表示制御回路100内に設けられる必要はない。

[0036] ソースドライバ200は、表示制御回路100から送られる表示データDA, ソーススタートパルス信号SSP, ソースクロック信号SCK, およびラッチストロープ信号LSを受け取り、データ線DL1~DLmに駆動用映像信号を印加する。図4は、ソースドライバ200の構成を示すブロック図である。ソースドライバ200は、mビットのシフトレジスタ21, レジスタ22, ラッチ回路23, およびm個のD/A変換器(DAC)24を含んでいる。シフトレジスタ21は、縦続接続されたm個のレジスタ(不図示)を有している。シフトレジスタ21は、ソースクロック信号SCKに基づき、初段のレジスタに供給されるソーススタートパルス信号SSPのパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ21から各データ線DLに対応するタイミングパルスDLPが出力される。そのタイミングパルスDLPに基づいて、レジスタ22は、表示データDAを記憶する。ラッチ回路23は、レジスタ22に記憶された1行分の表示データDAをラッチストロープ信号LSに応じて取り込んで保持する。D/A変換器24は、各データ線DLに対応するように設けられている。D/A変換器24は、ラッチ回路23に保持された表示データDAをアナログ電圧に変換する。その変換されたアナログ電圧は、駆動用映像信号として全てのデータ線DL1~DLmに一斉に印加される。

[0037] ゲートドライバ300は、表示制御回路100から送られるゲートスター

トパルス信号GSPとゲートクロック信号GCKとに基づいて、n本の走査信号線SL1～SLnに順次にアクティブな走査信号を印加する。図5は、ゲートドライバ300の構成を示すブロック図である。ゲートドライバ300は、n個のフリップフロップ回路31からなるシフトレジスタ310によって構成されている。このシフトレジスタ310については、ゲートスタートパルス信号GSPは1段目のフリップフロップ回路31に与えられ、ゲートクロック信号GCKは全てのフリップフロップ回路31に共通的に与えられるように構成されている。このような構成において、各サブフレームの開始直後に、シフトレジスタ310の1段目のフリップフロップ回路31にゲートスタートパルス信号GSPのパルスが与えられる。これにより、ゲートクロック信号GCKに基づき、ゲートスタートパルス信号GSPに含まれるパルスが1段目のフリップフロップ回路31からn段目のフリップフロップ回路31へと順次に転送される。そして、このパルスの転送に応じて、1～n段目のフリップフロップ回路31からの出力信号が順次にハイレベルとなる。これにより、n本の走査信号線SL1～SLnに順次にアクティブな走査信号が印加される。

[0038] 以上のようにして、m本のデータ線DL1～DLmに駆動用映像信号が印加され、n本の走査信号線SL1～SLnに走査信号が印加されることにより、所望のカラー画像が表示部400に表示される。

[0039] <1. 2 画素回路の構成>

図1は、本実施形態における1個の画素に対応する画素回路40の構成を示す回路図である。この画素回路40は、表示部400に配設されているm本のデータ線DL1～DLmとn本の走査信号線SL1～SLnとの各交差点に対応して設けられている。図1に示すように、画素回路40は、2個のトランジスタT1、T2と、1個のコンデンサCstと、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)とを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。有機EL素子OLED(R)は、赤色光を発する電気光

学素子として機能する。有機EL素子OLED (G) は、緑色光を発する電気光学素子として機能する。有機EL素子OLED (B) は、青色光を発する電気光学素子として機能する。なお、以下においては、3個の有機EL素子OLED (R), OLED (G), およびOLED (B) を総称して単に「有機EL素子OLED」ともいう。本実施形態においては、トランジスタT1によって第1トランジスタが実現され、トランジスタT2によって第2トランジスタが実現されている。

[0040] 図1に示すように、トランジスタT1は、有機EL素子OLED (R), OLED (G), およびOLED (B) と直列に設けられている。そのトランジスタT1に関し、ハイレベル電源線ELVDDにドレイン端子が接続され、有機EL素子OLED (R), OLED (G), およびOLED (B) のアノード端子にソース端子が接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、走査信号線SLにゲート端子が接続され、データ線DLにソース端子が接続されている。コンデンサCstについては、トランジスタT1のゲート端子に一端が接続され、トランジスタT1のソース端子に他端が接続されている。有機EL素子OLED (R) のカソード端子は、赤色有機EL用ローレベル電源線ELVSS (R) に接続されている。有機EL素子OLED (G) のカソード端子は、緑色有機EL用ローレベル電源線ELVSS (G) に接続されている。有機EL素子OLED (B) のカソード端子は、青色有機EL用ローレベル電源線ELVSS (B) に接続されている。

[0041] ところで、本実施形態においては、トランジスタT1, T2はnチャネル型のTFET (薄膜トランジスタ) である。また、本実施形態においては、トランジスタT1, T2には、酸化物TFET (酸化物半導体をチャネル層に用いた薄膜トランジスタ) が採用されている。具体的には、インジウム (In), ガリウム (Ga), 亜鉛 (Zn), および酸素 (O) を主成分とする酸化物半導体であるInGaZnOx (酸化インジウムガリウム亜鉛) (以下

「IGZO」という。ただし、「IGZO」は登録商標である。)によりチャンネル層が形成されたIGZO-TFTが採用されている。なお、IGZO-TFTなどの酸化物TFTは、特に、画素回路40に含まれるnチャンネル型のトランジスタとして採用する場合に有効である。ただし、本発明は、pチャンネル型の酸化物TFTの使用を排除するものではない。また、IGZO以外の酸化物半導体をチャンネル層に用いたトランジスタを採用することもできる。例えば、インジウム、ガリウム、亜鉛、銅(Cu)、シリコン(Si)、錫(Sn)、アルミニウム(Al)、カルシウム(Ca)、ゲルマニウム(Ge)、および鉛(Pb)のうち少なくとも1つを含む酸化物半導体をチャンネル層に用いたトランジスタを採用した場合にも同様の効果が得られる。さらにまた、本発明は、酸化物半導体をチャンネル層に用いたトランジスタ以外のトランジスタの使用を排除するものでもない。

[0042] <1. 3 ハイレベル電源線およびローレベル電源線>

図6は、本実施形態におけるハイレベル電源線ELVDDおよびローレベル電源線ELVSSの構成を説明するための図である。ハイレベル電源線ELVDDは、1つの電源(有機EL用ハイレベル電源510)(図2参照)から出力されるハイレベル電源電圧が表示部400内の全ての画素回路40に供給されるように構成されている。赤色有機EL用ローレベル電源線ELVSS(R)は、1つの電源(赤色有機EL用ローレベル電源520(R))(図2参照)から出力される赤色有機EL用ローレベル電源電圧が表示部400内の全ての画素回路40に供給されるように構成されている。緑色有機EL用ローレベル電源線ELVSS(G)および青色有機EL用ローレベル電源線ELVSS(B)については、赤色有機EL用ローレベル電源線ELVSS(R)と同様である。このような構成により、例えば赤色有機EL用ローレベル電源520(R)から出力される赤色有機EL用ローレベル電源電圧ELVSS(R)の大きさに変動があると、表示部400内の全ての画素回路40において、有機EL素子OLED(R)のカソード端子側の電位が変動する。

[0043] なお、本実施形態においては、ハイレベル電源線 $ELVDD$ によって第1電源線が実現され、ローレベル電源線 $ELVSS$ によって第2電源線が実現されている。

[0044] <1. 4 駆動方法>

図7は、本実施形態における1フレーム期間の構成を示す図である。図7に示すように、1フレーム期間は3つのサブフレーム（第1～第3サブフレーム）で構成されている。第1サブフレームは、赤色画面の表示を行うためのサブフレームである。すなわち、第1サブフレームには、有機EL素子 $OLED(R)$ が発光する。第2サブフレームは、緑色画面の表示を行うためのサブフレームである。すなわち、第2サブフレームには、有機EL素子 $OLED(G)$ が発光する。第3サブフレームは、青色画面の表示を行うためのサブフレームである。すなわち、第3サブフレームには、有機EL素子 $OLED(B)$ が発光する。有機EL表示装置1の動作中、これら第1～第3サブフレームが繰り返される。これにより、赤色画面、緑色画面、および青色画面が繰り返して表示され、所望のカラー表示が行われる。

[0045] 図8は、本実施形態における駆動方法を説明するためのタイミングチャートである。図8に示すように、各サブフレームにおいて、 n 本の走査信号線 $SL1 \sim SLn$ に順次にアクティブな走査信号が印加される。すなわち、各サブフレームにおいて、 n 本の走査信号線 $SL1 \sim SLm$ が1本ずつ順次に選択状態となる。

[0046] 第1サブフレームには、赤色有機EL用ローレベル電源電圧 $ELVSS(R)$ は比較的低いレベル（第2電圧）に設定され、緑色有機EL用ローレベル電源電圧 $ELVSS(G)$ および青色有機EL用ローレベル電源電圧 $ELVSS(B)$ は比較的高いレベル（第1電圧）に設定される。また、1個の画素に対応する画素回路40には、図1に示すように、駆動トランジスタであるトランジスタ $T1$ と直列に、有機EL素子 $OLED(R)$ 、 $OLED(G)$ 、および $OLED(B)$ が設けられている。有機EL素子 $OLED(R)$ 、 $OLED(G)$ 、および $OLED(B)$ のカソード端子はそれぞれ赤色

有機EL用ローレベル電源線ELVSS(R), 緑色有機EL用ローレベル電源線ELVSS(G), および青色有機EL用ローレベル電源線ELVSS(B)に接続されている。以上のような構成のため、第1サブフレームには、有機EL素子OLED(R)のアノード端子ーカソード端子間の電圧は発光閾値電圧以上となるが、有機EL素子OLED(G)および有機EL素子OLED(B)のアノード端子ーカソード端子間の電圧は発光閾値電圧未満となる。これにより、有機EL素子OLED(R)のみに駆動電流が供給される。従って、第1サブフレームには、有機EL素子OLED(R)のみが点灯状態となり、有機EL素子OLED(G)および有機EL素子OLED(B)は消灯状態となる。

[0047] 第2サブフレームには、緑色有機EL用ローレベル電源電圧ELVSS(G)は比較的低いレベルに設定され、赤色有機EL用ローレベル電源電圧ELVSS(R)および青色有機EL用ローレベル電源電圧ELVSS(B)は比較的高いレベルに設定される。これにより、第2サブフレームには、第1サブフレームと同様にして、有機EL素子OLED(G)のみに駆動電流が供給される。すなわち、第2サブフレームには、有機EL素子OLED(G)のみが点灯状態となり、有機EL素子OLED(R)および有機EL素子OLED(B)は消灯状態となる。

[0048] 第3サブフレームには、青色有機EL用ローレベル電源電圧ELVSS(B)は比較的低いレベルに設定され、赤色有機EL用ローレベル電源電圧ELVSS(R)および緑色有機EL用ローレベル電源電圧ELVSS(G)は比較的高いレベルに設定される。これにより、第3サブフレームには、第1サブフレームと同様にして、有機EL素子OLED(B)のみに駆動電流が供給される。すなわち、第3サブフレームには、有機EL素子OLED(B)のみが点灯状態となり、有機EL素子OLED(R)および有機EL素子OLED(G)は消灯状態となる。

[0049] なお、赤色有機EL用ローレベル電源電圧ELVSS(R), 緑色有機EL用ローレベル電源電圧ELVSS(G), および青色有機EL用ローレベ

ル電源電圧 $E_{LVSS}(B)$ のレベルは、それぞれ制御信号 $SC(R)$ 、 $SC(G)$ 、および $SC(B)$ によって制御される。

[0050] 以上のような動作を実現するため、1フレーム期間に含まれる任意のサブフレームを着目サブフレームとしたとき、ローレベル電源制御部110は、着目サブフレームには、着目サブフレームに対応する有機EL素子OLEDに印加される電圧が発光閾値以上となり、かつ、着目サブフレームに対応する有機EL素子OLED以外の有機EL素子OLEDに印加される電圧が発光閾値未満となるよう、各ローレベル電源線 E_{LVSS} に与えられる電圧を制御する。

[0051] 図9は、本実施形態におけるシミュレーション結果を示す波形図である。図9において、有機EL素子OLED(R)、OLED(G)、およびOLED(B)に流れる駆動電流をそれぞれ符号 $I_{OLED}(R)$ 、 $I_{OLED}(G)$ 、および $I_{OLED}(B)$ で表している。第1サブフレームには、赤色有機EL用ローレベル電源電圧 $E_{LVSS}(R)$ のみを比較的低いレベルに設定することによって、有機EL素子OLED(R)のみに駆動電流が流れている。第2サブフレームには、緑色有機EL用ローレベル電源電圧 $E_{LVSS}(G)$ のみを比較的低いレベルに設定することによって、有機EL素子OLED(G)のみに駆動電流が流れている。第3サブフレームには、青色有機EL用ローレベル電源電圧 $E_{LVSS}(B)$ のみを比較的低いレベルに設定することによって、有機EL素子OLED(B)のみに駆動電流が流れている。

[0052] 次に、図1および図10を参照しつつ、1個の画素に対応する画素回路40の動作について詳しく説明する。ここでは、 k 行目に含まれる1個の画素に着目する。なお、図10では、サブフレームのことを「SF」と表している。走査信号線SLが非選択状態となっている時には、トランジスタT2がオフ状態になっており、ゲートノードVGの電位は1つ前のサブフレームでの書き込みに応じたレベルを維持している。走査信号線SLが非選択状態から選択状態に変化すると、トランジスタT2がターンオンする。これにより

、データ線DLおよびトランジスタT2を介して、現時点のサブフレームの色の輝度に対応する大きさのデータ電圧がゲートノードVGに供給される。そして、走査信号線SLが選択状態となっている期間中に、コンデンサCstは、ゲートノードVGの電位とトランジスタT1のソース電位との差であるゲートーソース間電圧Vgsに充電される。その後、走査信号線SLが選択状態から非選択状態に変化すると、トランジスタT2がターンオフする。これにより、コンデンサCstが保持するゲートーソース間電圧Vgsが確定する。トランジスタT1は、コンデンサCstが保持するゲートーソース間電圧Vgsに応じて有機EL素子OLEDに駆動電流を供給する。ここで、第1サブフレームには、駆動電流は有機EL素子OLED(R)に供給され、第2サブフレームには、駆動電流は有機EL素子OLED(G)に供給され、第3サブフレームには、駆動電流は有機EL素子OLED(B)に供給される。その結果、各画素において、各サブフレームに所望の輝度で有機EL素子OLEDが発光する。

[0053] 図1に示した構成の画素回路40を採用した有機EL表示装置1において、以上のような駆動方法を採用することによって、表示部400への所望のカラー画像の表示が行われる。すなわち、画素回路の構成が従来よりも簡易になっているが、表示品位は損なわれていない。

[0054] <1.5 効果>

従来の最も簡易な構成（第2の従来例：図29参照）の画素回路920によれば、1個の画素につき5個のトランジスタが必要であった。これに対して、本実施形態によれば、図1に示すように、1個の画素に必要とされるトランジスタの数は2個となる。このように、本実施形態によれば、1個の画素当たりの必要なトランジスタの数が従来よりも削減される。すなわち、自発光型表示素子である有機EL素子OLEDを備えた有機EL表示装置を従来よりも簡易な構成の画素回路を用いて実現することが可能となる。

[0055] 次に、本実施形態における効果について定量的に説明する。ここでは、図11に示すよう、走査信号線（ゲート配線）とソース／ドレイン領域とを含

む矩形領域をTFT占有領域60とする。また、TFT占有領域60の各辺の長さを図11に示すようにx、yとする。そうすると、図12に示すように、第2の従来例におけるTFT占有面積は $5 \times y$ であるのに対し、本実施形態におけるTFT占有面積は $2 \times y$ となる。従って、第2の従来例におけるTFT占有面積に対する本実施形態におけるTFT占有面積の割合（TFT占有面積比）P1は、次のようになる。

$$\begin{aligned} P1 &= (2 \times y / 5 \times y) \times 100 \\ &= 40 (\%) \end{aligned}$$

このように、本実施形態によれば、TFT占有面積が第2の従来例と比較して40パーセントとなる。

[0056] ところで、図31から把握されるように、サイズが5.0インチのパネルに関し、HDにおける1画素の面積（7482平方マイクロメートル）に対するFHDにおける1画素の面積（3335平方マイクロメートル）の割合（画素面積比）は、45パーセントとなっている（図13も参照）。

[0057] 以上のように、HDのパネルをFHD化する場合、FHD化後の画素面積はFHD化前の画素面積の45パーセントとなる。また、本実施形態によれば、TFT占有面積が第2の従来例と比較して40パーセントとなる。以上より、第2の従来例を用いてHDのパネルを実現している場合、本実施形態における画素回路40の構成を採用することによって、同じサイズのパネルを容易にFHD化することができる。同様にして、本実施形態における画素回路40の構成を採用することによって、FHDのパネルのWQHD化やWQHDのパネルの2k4k化が可能となる。

[0058] ここではTFT占有面積のみに着目して効果を説明したが、本実施形態によれば、第2の従来例で必要とされている発光制御ライン923（R）、923（G）、および923（B）も不要となる。この点も考慮すると、本実施形態における画素回路40の構成を採用することによって、より容易にパネルの超高精細化が可能となる。

[0059] また、本実施形態においては、画素回路40内のトランジスタT1、T2

には、IGZO-TFTなどの酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）が採用されている。このため、画素回路40内のTFTの小型化が可能となり、より容易にパネルの超高精細化が可能となる。

[0060] なお、各行において、各サブフレームで書き込みが行われる時点までは、1つ前のサブフレームでの書き込みに応じた輝度で有機EL素子OLEDが発光する。例えば、k行目に着目すると、第2サブフレームで書き込みが行われる時点までは、第1サブフレームでの書き込みに応じた輝度で緑色の有機EL素子OLED（G）が発光する（図10参照）。このため、所望するカラー画像の表示が行われないことが考えられる。しかしながら、本実施形態においては、1フレーム期間は3つのサブフレームで構成されているため、表示が60Hzであるとする、実質的な駆動周波数は180Hzとなる。このように高速駆動が行われるため、たとえ1つ前のサブフレームでの書き込みに応じた輝度で有機EL素子OLEDが発光しても、すぐに本来の輝度で有機EL素子OLEDが発光する。従って、人の目には、所望のカラー画像が視認される。なお、この点に関し、1つ前のサブフレームでの書き込みに応じた輝度で有機EL素子OLEDが発光することを防止する構成を第3の実施形態で説明している。

[0061] <1.6 変形例>

上記第1の実施形態においては「赤色画面、緑色画面、青色画面」という順序で表示が行われていたが、本発明はこれに限定されず、「赤色画面、青色画面、緑色画面」という順序で表示が行われるようにしても良い。これについて以下に説明する。

[0062] 図14は、本変形例における1フレーム期間の構成を示す図である。本変形例においては、第1サブフレームには有機EL素子OLED（R）が発光し、第2サブフレームには有機EL素子OLED（B）が発光し、第3サブフレームには、有機EL素子OLED（G）が発光する。

[0063] 図15は、本変形例における駆動方法を説明するためのタイミングチャー

トである。第1サブフレームには、上記第1の実施形態と同様にして、有機EL素子OLED(R)のみが点灯状態となり、有機EL素子OLED(G)および有機EL素子OLED(B)は消灯状態となる。第2サブフレームには、上記第1の実施形態における第3サブフレームと同様にして、有機EL素子OLED(B)のみが点灯状態となり、有機EL素子OLED(R)および有機EL素子OLED(G)は消灯状態となる。第3サブフレームには、上記第1の実施形態における第2サブフレームと同様にして、有機EL素子OLED(G)のみが点灯状態となり、有機EL素子OLED(R)および有機EL素子OLED(B)は消灯状態となる。

[0064] 以上のように「赤色画面、青色画面、緑色画面」という順序で表示が行われるようにしても、上記第1の実施形態と同様の効果が得られる。なお、第2の実施形態および第3の実施形態についても、表示する色の順序は特に限定されない。

[0065] <2. 第2の実施形態>

<2. 1 全体構成>

図16は、本発明の第2の実施形態に係るアクティブマトリクス型の有機EL表示装置2の全体構成を示すブロック図である。なお、上記第1の実施形態と異なる点についてのみ説明し、上記第1の実施形態と同様の点については説明を省略する。

[0066] 本実施形態に係るアクティブマトリクス型の有機EL表示装置2には、上記第1の実施形態における構成要素に加えて、白色有機EL用ローレベル電源520(W)が設けられている。白色有機EL用ローレベル電源520(W)から有機ELパネル7には、白色有機EL用ローレベル電源電圧ELVSS(W)が供給される。なお、白色有機EL用ローレベル電源電圧ELVSS(W)を供給する電源線のことを以下「白色有機EL用ローレベル電源線」という。白色有機EL用ローレベル電源線には、白色有機EL用ローレベル電源電圧と同じ符号ELVSS(W)を付す。また、白色有機EL用ローレベル電源電圧ELVSS(W)のレベルを制御するために、表示制御回

路 100 から白色有機 EL 用ローレベル電源 520 (W) に制御信号 SC (W) が送られる。

[0067] <2. 2 画素回路の構成>

図 17 は、本実施形態における 1 個の画素に対応する画素回路 41 の構成を示す回路図である。図 17 に示すように、本実施形態においては、画素回路 41 には、上記第 1 の実施形態における構成要素 (図 1 参照) に加えて、有機 EL 素子 OLED (W) が設けられている。有機 EL 素子 OLED (W) は、白色光を発する電気光学素子として機能する。有機 EL 素子 OLED (W) のアノード端子はトランジスタ T1 のソース端子に接続され、有機 EL 素子 OLED (W) のカソード端子は白色有機 EL 用ローレベル電源線 ELVSS (W) に接続されている。

[0068] <2. 3 ハイレベル電源線およびローレベル電源線>

ハイレベル電源線 ELVDD, 赤色有機 EL 用ローレベル電源線 ELVSS (R), 緑色有機 EL 用ローレベル電源線 ELVSS (G), および青色有機 EL 用ローレベル電源線 ELVSS (B) は、上記第 1 の実施形態と同様に構成されている (図 6 参照)。さらに本実施形態においては、1 つの電源 (白色有機 EL 用ローレベル電源 520 (W)) から出力される白色有機 EL 用ローレベル電源電圧が表示部 400 内の全ての画素回路 41 に供給されるように、白色有機 EL 用ローレベル電源線 ELVSS (W) が構成されている。

[0069] <2. 4 駆動方法>

図 18 は、本実施形態における 1 フレーム期間の構成を示す図である。図 18 に示すように、本実施形態においては、1 フレーム期間は 4 つのサブフレーム (第 1 ~ 第 4 サブフレーム) で構成されている。第 1 ~ 第 3 サブフレームについては、上記第 1 の実施形態と同様である。第 4 サブフレームは、白色画面の表示を行うためのサブフレームである。すなわち、第 4 サブフレームには、有機 EL 素子 OLED (W) が発光する。有機 EL 表示装置 2 の動作中、これら第 1 ~ 第 4 サブフレームが繰り返される。これにより、赤色

画面，緑色画面，青色画面，および白色画面が繰り返して表示され、所望のカラー表示が行われる。

[0070] 図19は、本実施形態における駆動方法を説明するためのタイミングチャートである。図19に示すように、各サブフレームにおいて、 n 本の走査信号線 $SL1 \sim SLn$ に順次にアクティブな走査信号が印加される。すなわち、上記第1の実施形態と同様、各サブフレームにおいて、 n 本の走査信号線 $SL1 \sim SLn$ が1本ずつ順次に選択状態となる。

[0071] 第1サブフレームには、ローレベル電源電圧 $ELVSS$ のうち赤色有機EL用ローレベル電源電圧 $ELVSS(R)$ のみが比較的低いレベルに設定される。これにより、上記第1の実施形態と同様、有機EL素子 $OLED(R)$ のみに駆動電流が供給される。従って、第1サブフレームには、有機EL素子 $OLED(R)$ のみが点灯状態となり、有機EL素子 $OLED(G)$ ，有機EL素子 $OLED(B)$ ，および有機EL素子 $OLED(W)$ は消灯状態となる。

[0072] 第2サブフレームには、ローレベル電源電圧 $ELVSS$ のうち緑色有機EL用ローレベル電源電圧 $ELVSS(G)$ のみが比較的低いレベルに設定される。これにより、上記第1の実施形態と同様、有機EL素子 $OLED(G)$ のみに駆動電流が供給される。従って、第2サブフレームには、有機EL素子 $OLED(G)$ のみが点灯状態となり、有機EL素子 $OLED(R)$ ，有機EL素子 $OLED(B)$ ，および有機EL素子 $OLED(W)$ は消灯状態となる。

[0073] 第3サブフレームには、ローレベル電源電圧 $ELVSS$ のうち青色有機EL用ローレベル電源電圧 $ELVSS(B)$ のみが比較的低いレベルに設定される。これにより、上記第1の実施形態と同様、有機EL素子 $OLED(B)$ のみに駆動電流が供給される。従って、第3サブフレームには、有機EL素子 $OLED(B)$ のみが点灯状態となり、有機EL素子 $OLED(R)$ ，有機EL素子 $OLED(G)$ ，および有機EL素子 $OLED(W)$ は消灯状態となる。

[0074] 第4サブフレームには、ローレベル電源電圧 E_{LVSS} のうち白色有機EL用ローレベル電源電圧 $E_{LVSS}(W)$ のみが比較的低いレベルに設定される。これにより、有機EL素子OLED(W)のみに駆動電流が供給される。従って、第4サブフレームには、有機EL素子OLED(W)のみが点灯状態となり、有機EL素子OLED(R)、有機EL素子OLED(G)、および有機EL素子OLED(B)は消灯状態となる。

[0075] 図17に示した構成の画素回路41を採用した有機EL表示装置2において、以上のような駆動方法を採用することによって、表示部400への所望のカラー画像の表示が行われる。すなわち、画素回路の構成が従来よりも簡易になっているが、表示品位は損なわれていない。

[0076] <2.5 効果>

1個の画素が4個のサブ画素で構成される有機EL表示装置に第2の従来例を適用した場合、1個の画素につき6個のトランジスタが必要となる。これに対して、本実施形態によれば、図17に示すように、1個の画素に必要とされるトランジスタの数は2個となる。このように、本実施形態によれば、1個の画素当たりの必要なトランジスタの数が従来よりも削減される。すなわち、1個の画素が4個のサブ画素で構成される有機EL表示装置を従来よりも簡易な構成の画素回路を用いて実現することが可能となる。

[0077] 次に、本実施形態における効果について定量的に説明する。なお、図11に示したよう、走査信号線（ゲート配線）とソース／ドレイン領域とを含む矩形領域をTF T占有領域60とし、TF T占有領域60の各辺の長さを x 、 y とする。そうすると、図20に示すように、第2の従来例におけるTF T占有面積は $6 \times y$ であるのに対し、本実施形態におけるTF T占有面積は $2 \times y$ となる。従って、第2の従来例におけるTF T占有面積に対する本実施形態におけるTF T占有面積の割合（TF T占有面積比） $P2$ は、次のようになる。

$$\begin{aligned} P2 &= (2 \times y / 6 \times y) \times 100 \\ &= 33 (\%) \end{aligned}$$

このように、本実施形態によれば、T F T占有面積が第2の従来例と比較して33パーセントとなる。また、上述したように、サイズが5.0インチのパネルに関し、HDにおける1画素の面積（7482平方マイクロメートル）に対するFHDにおける1画素の面積（3335平方マイクロメートル）の割合（画素面積比）は、45パーセントとなっている（図13および図31を参照）。

[0078] 以上のように、HDのパネルをFHD化する場合、FHD化後の画素面積はFHD化前の画素面積の45パーセントとなる。また、本実施形態によれば、T F T占有面積が第2の従来例と比較して33パーセントとなる。以上より、1個の画素が4個のサブ画素で構成される有機EL表示装置に関し、第2の従来例を用いてHDのパネルを実現している場合、本実施形態における画素回路41の構成を採用することによって、同じサイズのパネルを容易にFHD化することができる。同様にして、1個の画素が4個のサブ画素で構成される有機EL表示装置に関し、本実施形態における画素回路41の構成を採用することによって、FHDのパネルのWQHD化やWQHDのパネルの2k4k化が可能となる。なお、本実施形態によれば、第2の従来例で必要とされている発光制御ラインも不要となる。この点も考慮すると、本実施形態における画素回路41の構成を採用することによって、より容易にパネルの超高精細化が可能となる。

[0079] <3. 第3の実施形態>

<3. 1 全体構成など>

図21は、本発明の第3の実施形態に係るアクティブマトリクス型の有機EL表示装置3の全体構成を示すブロック図である。なお、上記第1の実施形態と異なる点についてのみ説明し、上記第1の実施形態と同様の点については説明を省略する。本実施形態においては、ゲートドライバの構成が上記第1の実施形態とは異なっている。本実施形態においては、表示制御回路100からゲートドライバ301には、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKに加えて、全選択信号ALL_ONが送られる

。

[0080] ゲートドライバ301は、表示制御回路100から送られるゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、各サブフレームの有効映像期間に、 n 本の走査信号線SL1～SL n に順次にアクティブな走査信号を印加する。ゲートドライバ301は、また、表示制御回路100から送られる全選択信号ALL_ONに基づいて、各サブフレームの帰線期間の一部の期間に n 本の走査信号線SL1～SL n に対して一斉にアクティブな走査信号を印加する。なお、本明細書においては、本来の映像データとは別に黒色表示に相当するデータを書き込むことを「黒挿入」という。

[0081] 図22は、本実施形態におけるゲートドライバ301の構成を示すブロック図である。このゲートドライバ301は、 n 個のフリップフロップ回路31からなるシフトレジスタ310と黒挿入の制御を行うための黒挿入制御部320とによって構成されている。黒挿入制御部320には、シフトレジスタ310内のフリップフロップ回路31と1対1で対応するように、 n 個のOR回路32が設けられている。OR回路32には、フリップフロップ回路31からの出力信号と全選択信号ALL_ONとが入力される。また、OR回路32からの出力信号は、走査信号として走査信号線SLに与えられる。シフトレジスタ310については、上記第1の実施形態と同様、ゲートスタートパルス信号GSPは1段目のフリップフロップ回路31に与えられ、ゲートクロック信号GCKは全てのフリップフロップ回路31に共通的に与えられるように構成されている。

[0082] 以上のような構成において、各サブフレームの開始直後に、シフトレジスタ310の1段目のフリップフロップ回路31にゲートスタートパルス信号GSPのパルスが与えられる。これにより、ゲートクロック信号GCKに基づき、ゲートスタートパルス信号GSPに含まれるパルスが1段目のフリップフロップ回路31から m 段目のフリップフロップ回路31へと順次に転送される。そして、このパルスの転送に応じて、1～ m 段目のフリップフロップ回路31からの出力信号が順次にハイレベルとなる。このとき、全選択信

号 ALL_ON をローレベルで維持しておくことにより、 n 本の走査信号線 $SL1 \sim SLn$ に順次にアクティブな走査信号が印加される（図 23 参照）。また、図 23 に示すように、各サブフレームの帰線期間の一部の期間に全選択信号 ALL_ON がハイレベルにされる。これにより、 n 本の走査信号線 $SL1 \sim SLn$ に一斉にアクティブな走査信号が印加される。なお、各サブフレームの帰線期間には、黒色に相当するアナログ電圧が駆動用映像信号として全てのデータ線 $DL1 \sim DLn$ に印加される（詳しくは後述する）。

[0083] 本実施形態においては、画素回路 40 の構成、ハイレベル電源線 $ELVD$ の構成、およびローレベル電源線 $ELVSS$ の構成は、上記第 1 の実施形態と同様である（図 1 および図 6 を参照）。

[0084] <3. 2 駆動方法>

次に、本実施形態における駆動方法について説明する。本実施形態においては、上記第 1 の実施形態と同様、図 7 に示すように 1 フレーム期間は 3 つのサブフレーム（第 1 ～第 3 サブフレーム）で構成されている。図 24 は、本実施形態における駆動方法を説明するためのタイミングチャートである。本実施形態においては、図 24 に示すように、各サブフレームの有効映像期間 $T1$ に n 本の走査信号線 $SL1 \sim SLn$ が 1 本ずつ順次に選択状態となり、各サブフレームの帰線期間 $T2$ の一部の期間に n 本の走査信号線 $SL1 \sim SLn$ が一斉に選択状態となる。

[0085] 第 1 サブフレームの有効映像期間 $T1$ には赤色有機 EL 用ローレベル電源電圧 $ELVSS(R)$ のみが比較的低いレベルに設定され、第 2 サブフレームの有効映像期間 $T2$ には緑色有機 EL 用ローレベル電源電圧 $ELVSS(G)$ のみが比較的低いレベルに設定され、第 3 サブフレームの有効映像期間 $T1$ には青色有機 EL 用ローレベル電源電圧 $ELVSS(B)$ のみが比較的低いレベルに設定される。これにより、第 1 サブフレームの有効映像期間 $T1$ には有機 EL 素子 $OLED(R)$ のみが点灯状態となり、第 2 サブフレームの有効映像期間 $T1$ には有機 EL 素子 $OLED(G)$ のみが点灯状態となり、第 3 サブフレームの有効映像期間 $T1$ には有機 EL 素子 $OLED(B)$

のみが点灯状態となる。

[0086] 各サブフレームの帰線期間 T_2 には、赤色有機EL用ローレベル電源電圧 $ELVSS(R)$ 、緑色有機EL用ローレベル電源電圧 $ELVSS(G)$ 、および青色有機EL用ローレベル電源電圧 $ELVSS(B)$ の全てが比較的高いレベルに設定される。これにより、各サブフレームの帰線期間 T_2 には、有機EL素子 $OLED(R)$ 、有機EL素子 $OLED(G)$ 、および有機EL素子 $OLED(B)$ の全てが消灯状態となる。ここで、各サブフレームの帰線期間 T_2 には、ソースドライバ200は、黒色に相当するアナログ電圧を駆動用映像信号として全てのデータ線 $DL_1 \sim DL_m$ に印加する。これにより、各サブフレームの帰線期間 T_2 中に上述した黒挿入が行われる。

[0087] 次に、図1および図25を参照しつつ、1個の画素に対応する画素回路40の動作について詳しく説明する。ここでは、 k 行目に含まれる1個の画素に着目する。各サブフレームの有効映像期間 T_1 中に走査信号線 SL が非選択状態から選択状態に変化すると、トランジスタ T_2 がターンオンする。これにより、データ線 DL およびトランジスタ T_2 を介して、現時点のサブフレームの色の輝度に対応する大きさのデータ電圧がゲートノード VG に供給される。そして、走査信号線 SL が選択状態となっている期間中に、コンデンサ C_{st} は、ゲートノード VG の電位とトランジスタ T_1 のソース電位との差であるゲートーソース間電圧 V_{gs} に充電される。その後、走査信号線 SL が選択状態から非選択状態に変化すると、トランジスタ T_2 がターンオフする。これにより、コンデンサ C_{st} が保持するゲートーソース間電圧 V_{gs} が確定する。トランジスタ T_1 は、コンデンサ C_{st} が保持するゲートーソース間電圧 V_{gs} に応じて有機EL素子 $OLED$ に駆動電流を供給する。ここで、第1サブフレームには、駆動電流は有機EL素子 $OLED(R)$ に供給され、第2サブフレームには、駆動電流は有機EL素子 $OLED(G)$ に供給され、第3サブフレームには、駆動電流は有機EL素子 $OLED(B)$ に供給される。その結果、各画素において、各サブフレームに所望の輝度で有機EL素子 $OLED$ が発光する。

[0088] その後、各サブフレームの帰線期間 T_2 になると、データ電圧の値が黒表示に相当する値となる。そして、各サブフレームの帰線期間 T_2 中に走査信号線 SL が非選択状態から選択状態に変化すると、トランジスタ T_2 がターンオンする。これにより、データ線 DL およびトランジスタ T_2 を介して、黒表示に相当する大きさのデータ電圧がゲートノード VG に供給される。そして、走査信号線 SL が選択状態となっている期間中に、上述した黒挿入が行われる。その後、走査信号線 SL が選択状態から非選択状態に変化すると、トランジスタ T_2 がターンオフする。以上のようにして黒挿入が行われるので、この画素では、次のサブフレームの有効映像期間 T_1 中に走査信号線 SL が非選択状態から選択状態に変化するまでの期間には、黒色の表示が行われる。

[0089] <3. 3 効果>

本実施形態によれば、上記第1の実施形態と同様、自発光型表示素子である有機EL素子OLEDを備えた有機EL表示装置を従来よりも簡易な構成の画素回路を用いて実現することが可能となる。また、本実施形態においては、各サブフレームの帰線期間 T_2 に黒挿入が行われる。このため、各サブフレームにおいて1つ前のサブフレームでの書き込みに応じた輝度で有機EL素子OLEDが発光することが防止される。その結果、より良好な表示品位を実現することが可能となる。

[0090] <4. その他>

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記各実施形態においては有機EL表示装置を例に挙げて説明したが、電流で駆動される自発光型表示素子を備えた表示装置であれば、有機EL表示装置以外の表示装置にも本発明を適用することができる。

[0091] また、上記各実施形態では、画素回路40、41内のトランジスタとして n チャネル型のトランジスタを使用しているが、 p チャネル型のトランジスタを使用しても良い。

符号の説明

- [0092] 1, 2, 3…有機EL表示装置
- 7…有機ELパネル
- 40, 41…画素回路
- 100…表示制御回路
- 110…ローレベル電源制御部
- 200…ソースドライバ
- 300, 301…ゲートドライバ
- 320…黒挿入制御部
- 400…表示部
- 510…有機EL用ハイレベル電源
- 520(R)…赤色有機EL用ローレベル電源
- 520(G)…緑色有機EL用ローレベル電源
- 520(B)…青色有機EL用ローレベル電源
- T1…駆動トランジスタ
- T2…入力トランジスタ
- Cst…コンデンサ
- OLED(R)…赤色用の有機EL素子(電気光学素子)
- OLED(G)…緑色用の有機EL素子(電気光学素子)
- OLED(B)…青色用の有機EL素子(電気光学素子)
- DL, DL1~DLm…データ線
- SL, SL1~SLn…走査信号線
- ELVDD…ハイレベル電源電圧、ハイレベル電源線
- ELVSS(R)…赤色有機EL用ローレベル電源電圧、赤色有機EL用ローレベル電源線
- ELVSS(G)…緑色有機EL用ローレベル電源電圧、緑色有機EL用ローレベル電源線
- ELVSS(B)…青色有機EL用ローレベル電源電圧、青色有機EL用

ローレベル電源線

請求の範囲

[請求項1]

1 フレーム期間を複数のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置であって、

複数のデータ線と、

前記複数のデータ線と交差するように配設された複数の走査信号線と、

前記複数のデータ線と前記複数の走査信号線との交差点に対応して設けられた複数の画素回路と、

前記複数の画素回路に定電圧を供給するための第1電源線と、

前記複数の画素回路に比較的高レベルの第1電圧と比較的低レベルの第2電圧とを供給するための、1フレーム期間に含まれる複数のサブフレームに1対1に対応する複数の第2電源線と、

前記複数のデータ線に映像信号を印加するデータ線駆動回路と、

前記複数の走査信号線に走査信号を印加する走査信号線駆動回路と

、

前記複数の第2電源線に与えられる電圧を制御する第2電源制御部と

を備え、

前記画素回路は、

前記複数の第2電源線のそれぞれと前記第1電源線との間に設けられた、1フレーム期間に含まれる複数のサブフレームに1対1に対応する自発光型の複数の電気光学素子と、

前記第1電源線と前記複数の第2電源線との間に前記複数の電気光学素子と直列になるように設けられ、前記複数の電気光学素子に供給すべき駆動電流を制御する1個の第1トランジスタと、

前記第1トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線に印加される走査信号が前記走査信号線駆動

回路によってアクティブにされたときに前記第 1 トランジスタの前記制御端子と前記データ線とを電氣的に接続する第 2 トランジスタと、

前記第 1 トランジスタの前記制御端子と前記第 1 トランジスタの一方の導通端子との間に設けられたコンデンサとを含み、

1 フレーム期間に含まれる任意のサブフレームを着目サブフレームとしたとき、前記第 2 電源制御部は、前記着目サブフレームには、前記着目サブフレームに対応する電気光学素子に印加される電圧が発光閾値以上となり、かつ、前記着目サブフレームに対応する電気光学素子以外の電気光学素子に印加される電圧が発光閾値未満となるよう、前記複数の第 2 電源線に与えられる電圧を制御することを特徴とする、表示装置。

[請求項2] 前記データ線駆動回路は、各サブフレームの帰線期間には、前記映像信号として黒色に相当する電圧を前記複数のデータ線に印加し、

前記走査信号線駆動回路は、各サブフレームの帰線期間中に、前記複数の走査信号線に対して一斉にアクティブな走査信号を印加することを特徴とする、請求項 1 に記載の表示装置。

[請求項3] 1 秒間に 180 回以上のサブフレームが現れることを特徴とする、請求項 1 に記載の表示装置。

[請求項4] 前記第 1 電源線に与えられる定電圧は、前記第 1 電圧よりも高いレベルに設定され、

前記第 2 電源制御部は、前記着目サブフレームには、前記着目サブフレームに対応する第 2 電源線には前記第 2 電圧が与えられ、かつ、前記着目サブフレームに対応する第 2 電源線以外の第 2 電源線には前記第 1 電圧が与えられるよう、前記複数の第 2 電源線に与えられる電圧を制御することを特徴とする、請求項 1 に記載の表示装置。

[請求項5] 前記第 1 トランジスタおよび前記第 2 トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴

とする、請求項 1 に記載の表示装置。

[請求項6] 前記酸化物半導体は、インジウム（I n），ガリウム（G a），亜鉛（Z n），および酸素（O）を主成分とする酸化インジウムガリウム亜鉛であることを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 複数のデータ線と、前記複数のデータ線と交差するように配設された複数の走査信号線と、前記複数のデータ線と前記複数の走査信号線との交差点に対応して設けられた複数の画素回路と、前記複数の画素回路に定電圧を供給するための第 1 電源線と、前記複数の画素回路に比較的高レベルの第 1 電圧と比較的低レベルの第 2 電圧とを供給するための、1 フレーム期間に含まれる複数のサブフレームに 1 対 1 で対応する複数の第 2 電源線とを備え、1 フレーム期間を複数のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置の駆動方法であって、

前記複数のデータ線に映像信号を印加するデータ線駆動ステップと、

前記複数の走査信号線に走査信号を印加する走査信号線駆動ステップと、

前記複数の第 2 電源線に与えられる電圧を制御する第 2 電源制御ステップと

を含み、

前記画素回路は、

前記複数の第 2 電源線のそれぞれと前記第 1 電源線との間に設けられた、1 フレーム期間に含まれる複数のサブフレームに 1 対 1 で対応する自発光型の複数の電気光学素子と、

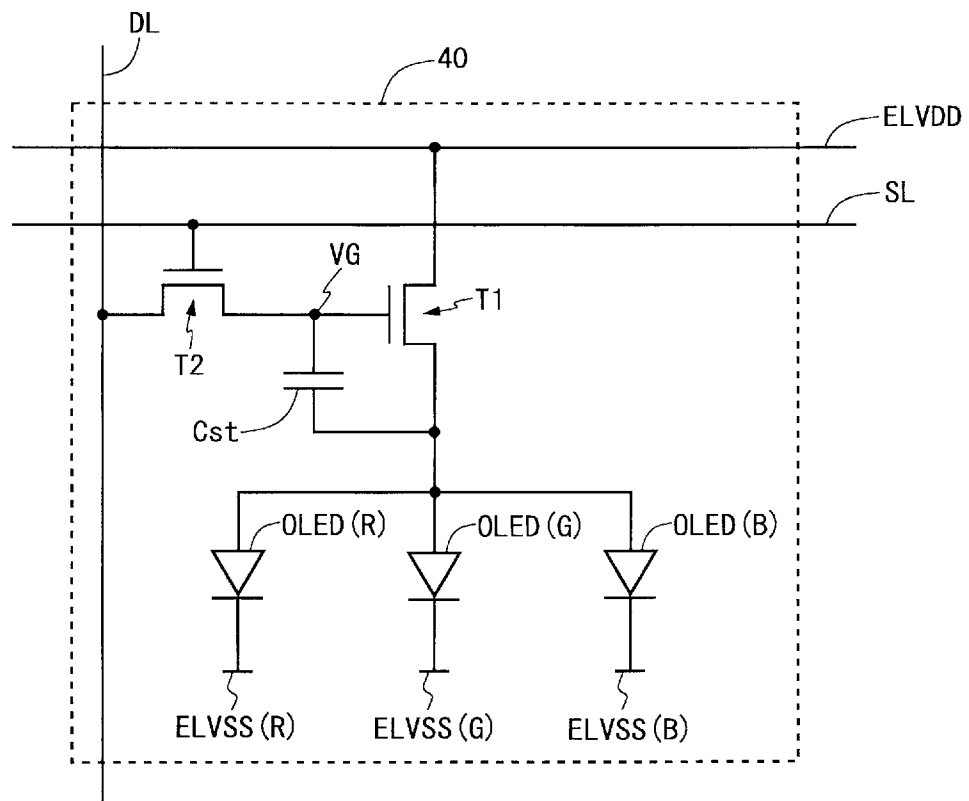
前記第 1 電源線と前記複数の第 2 電源線との間に前記複数の電気光学素子と直列になるように設けられ、前記複数の電気光学素子に供給すべき駆動電流を制御する 1 個の第 1 トランジスタと、

前記第1トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線に印加される走査信号が前記走査信号線駆動ステップでアクティブにされたときに前記第1トランジスタの前記制御端子と前記データ線とを電氣的に接続する第2トランジスタと、

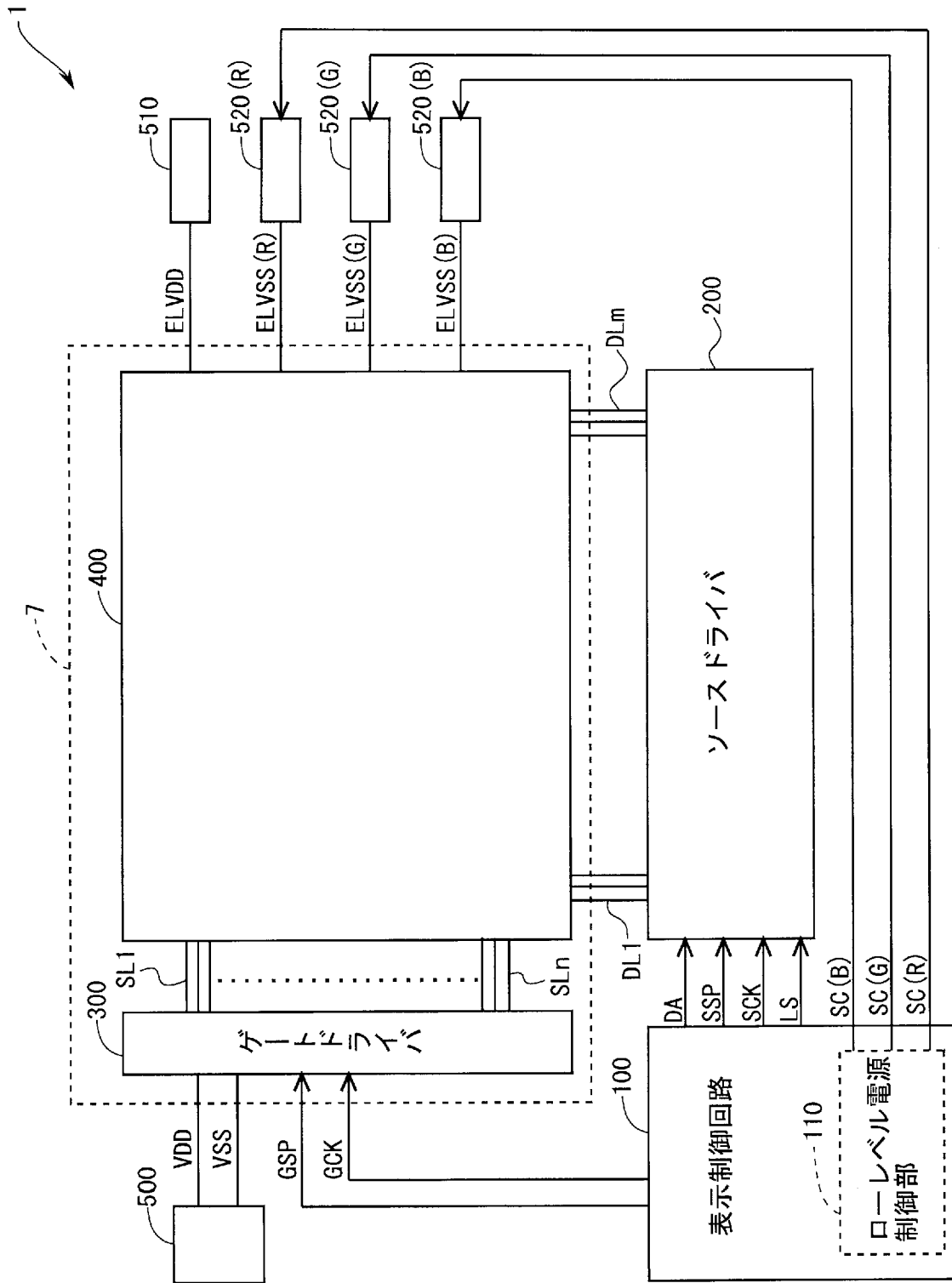
前記第1トランジスタの前記制御端子と前記第1トランジスタの一方の導通端子との間に設けられたコンデンサとを含み、

1フレーム期間に含まれる任意のサブフレームを着目サブフレームとしたとき、前記第2電源制御ステップでは、前記着目サブフレームには、前記着目サブフレームに対応する電気光学素子に印加される電圧が発光閾値以上となり、かつ、前記着目サブフレームに対応する電気光学素子以外の電気光学素子に印加される電圧が発光閾値未満となるよう、前記複数の第2電源線に与えられる電圧が制御されることを特徴とする、駆動方法。

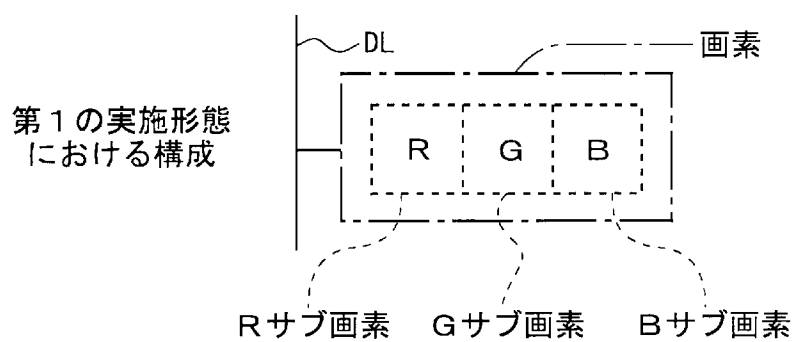
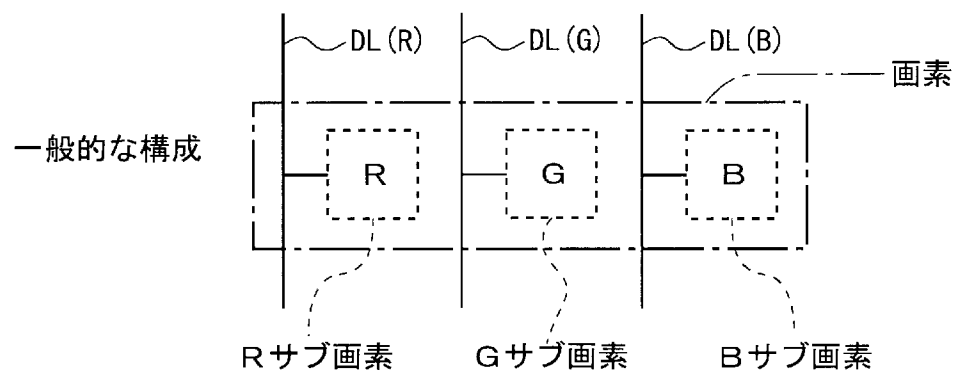
[図1]



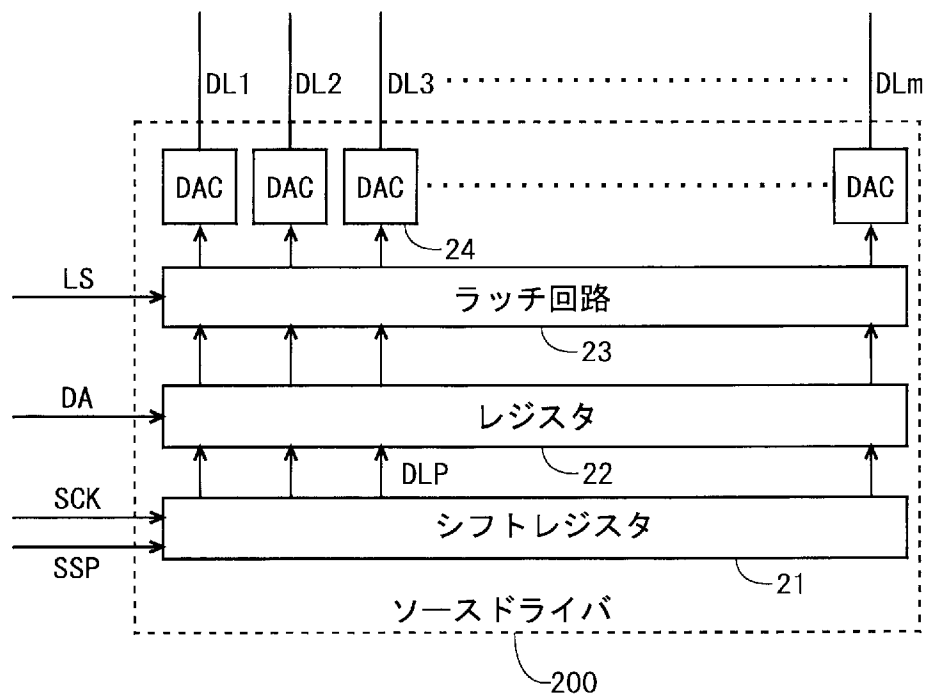
[図2]



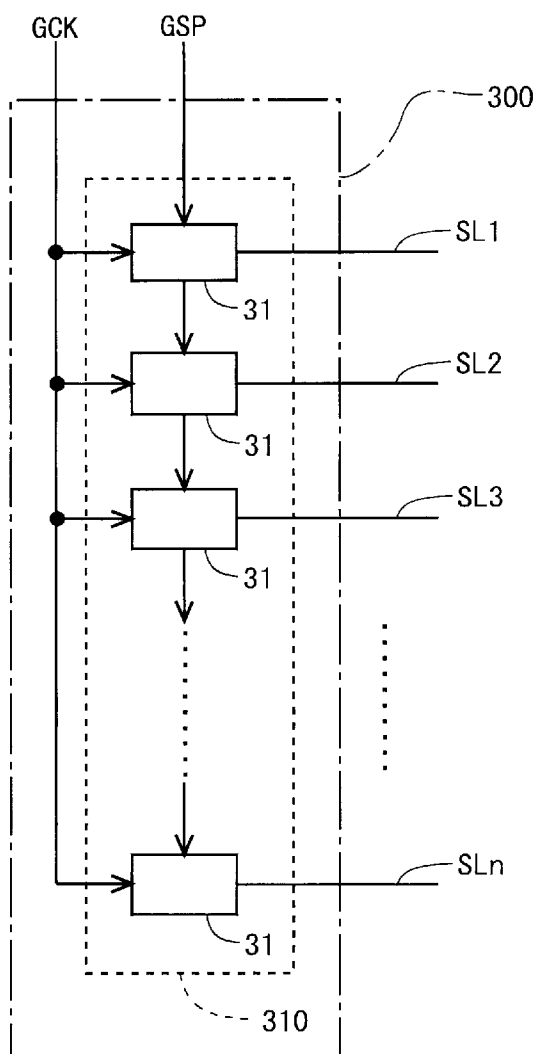
[図3]



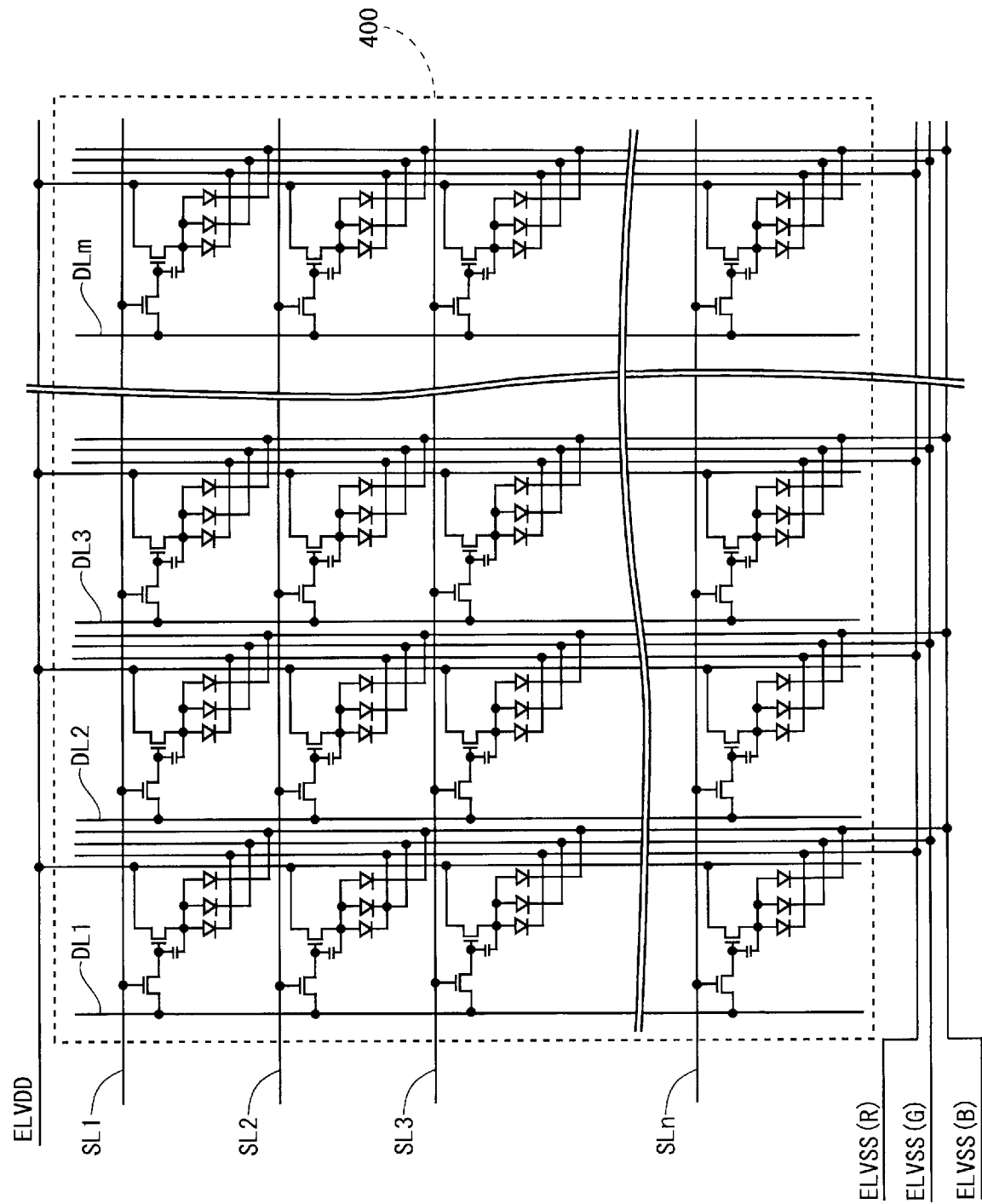
[図4]



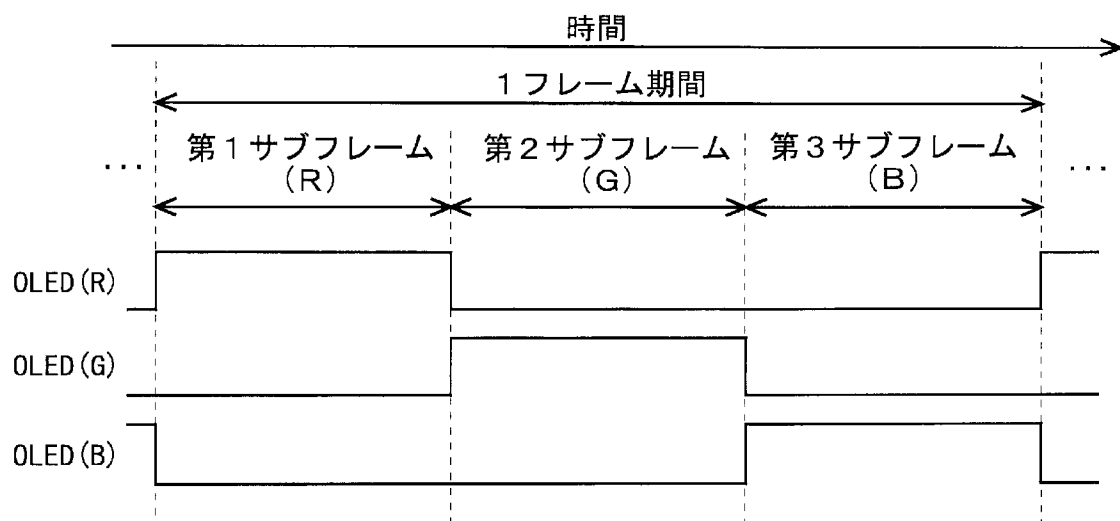
[図5]



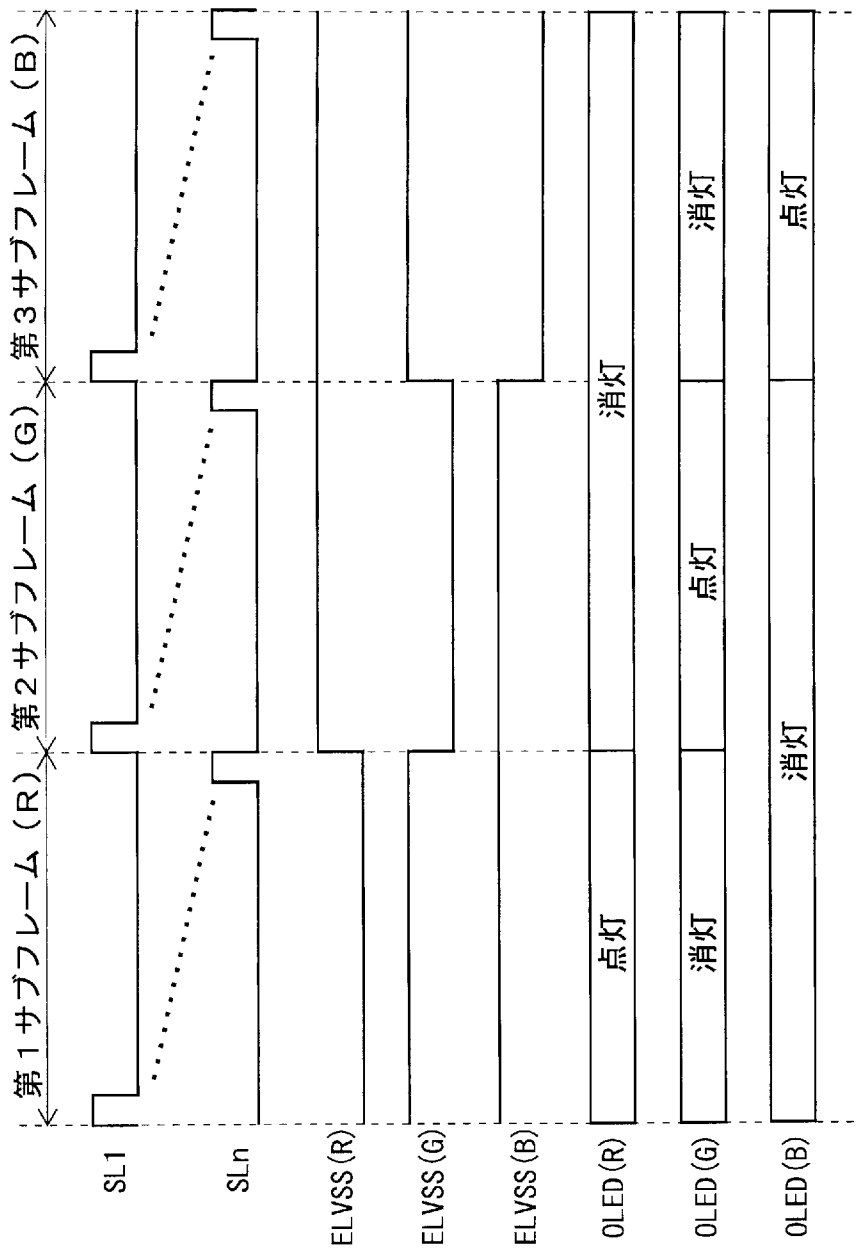
[図6]



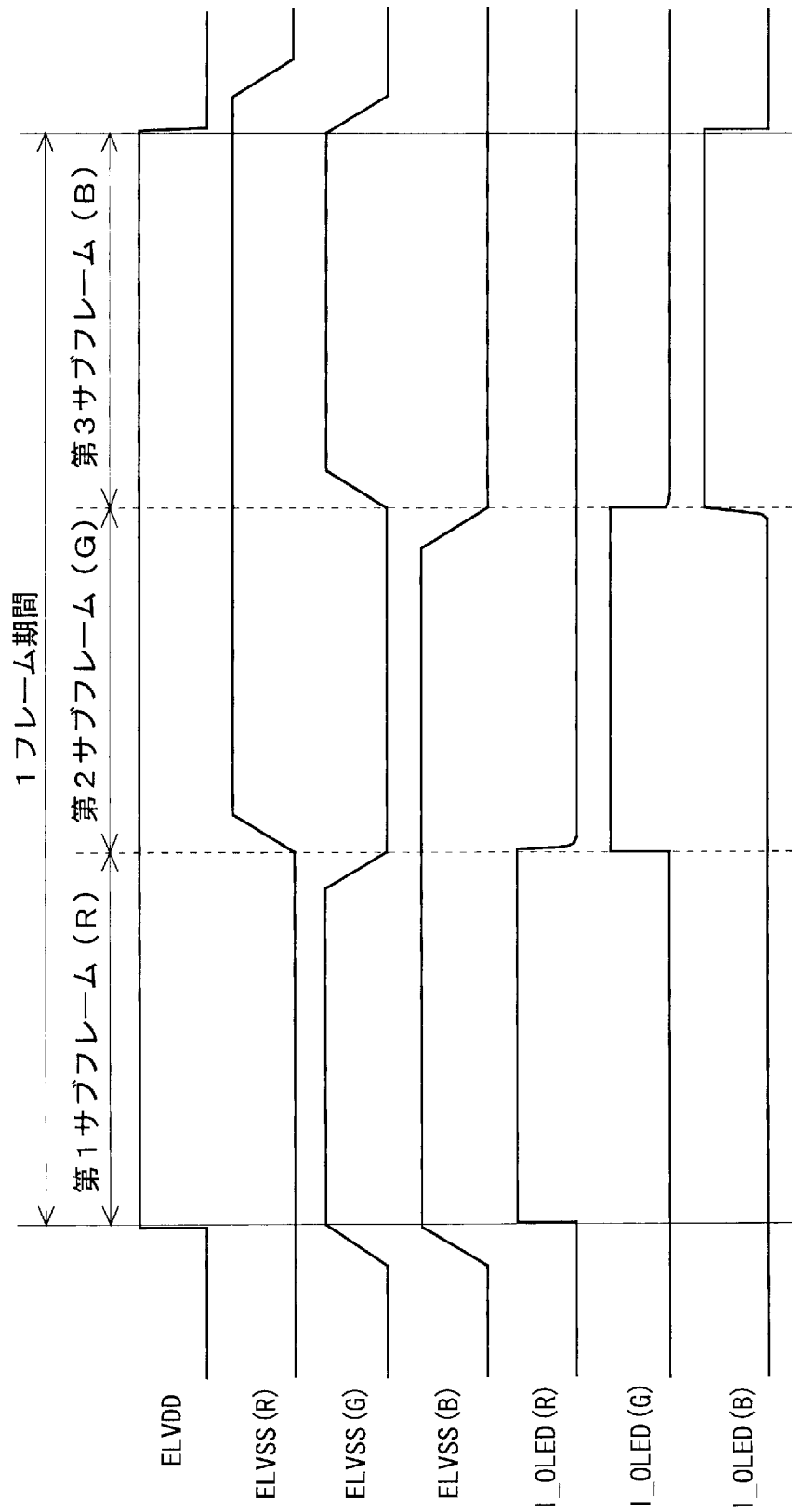
[図7]



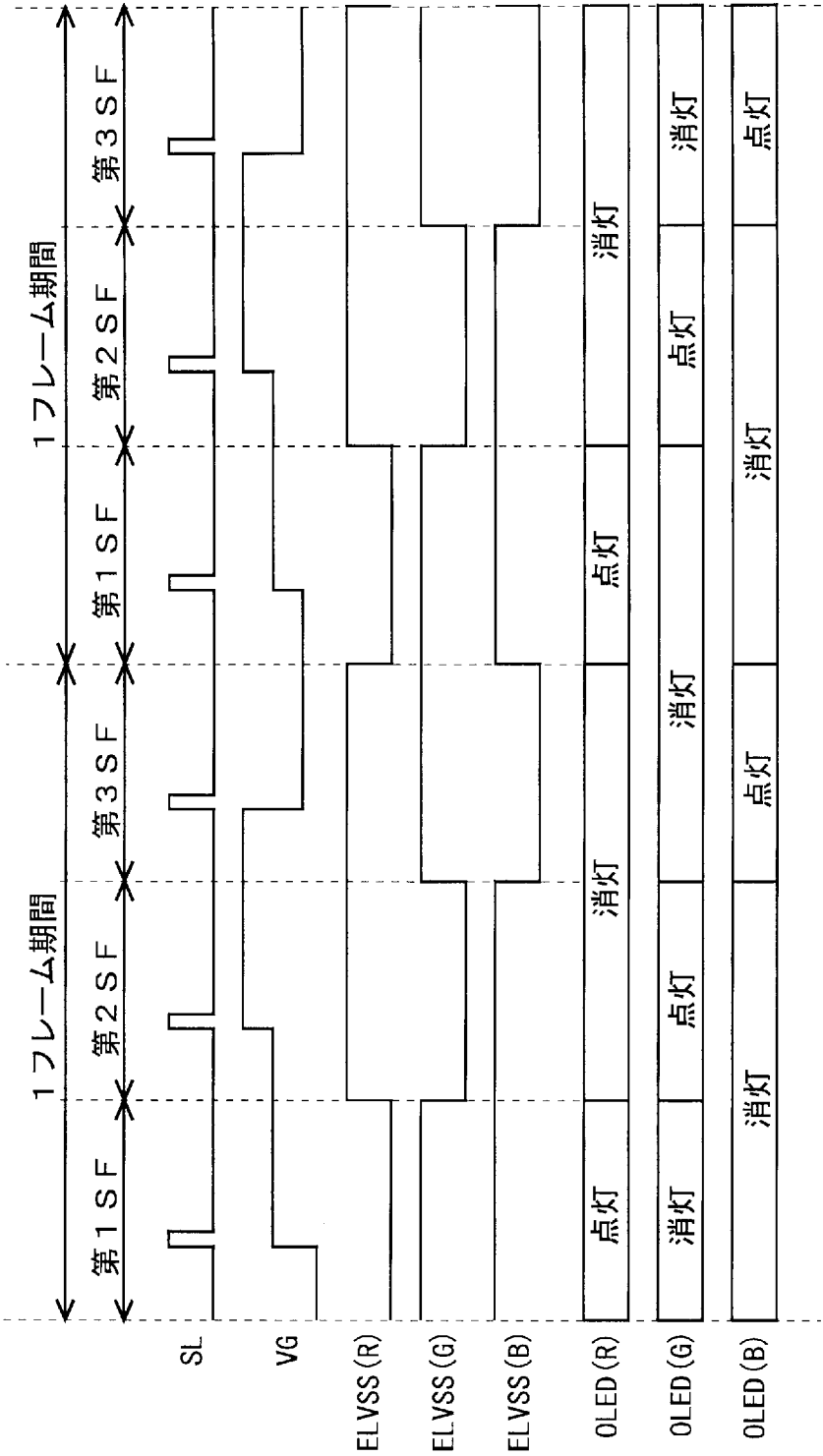
[図8]



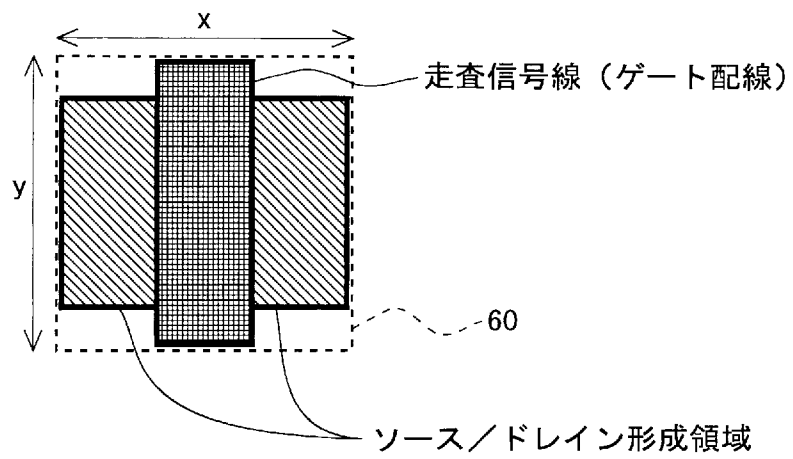
[図9]



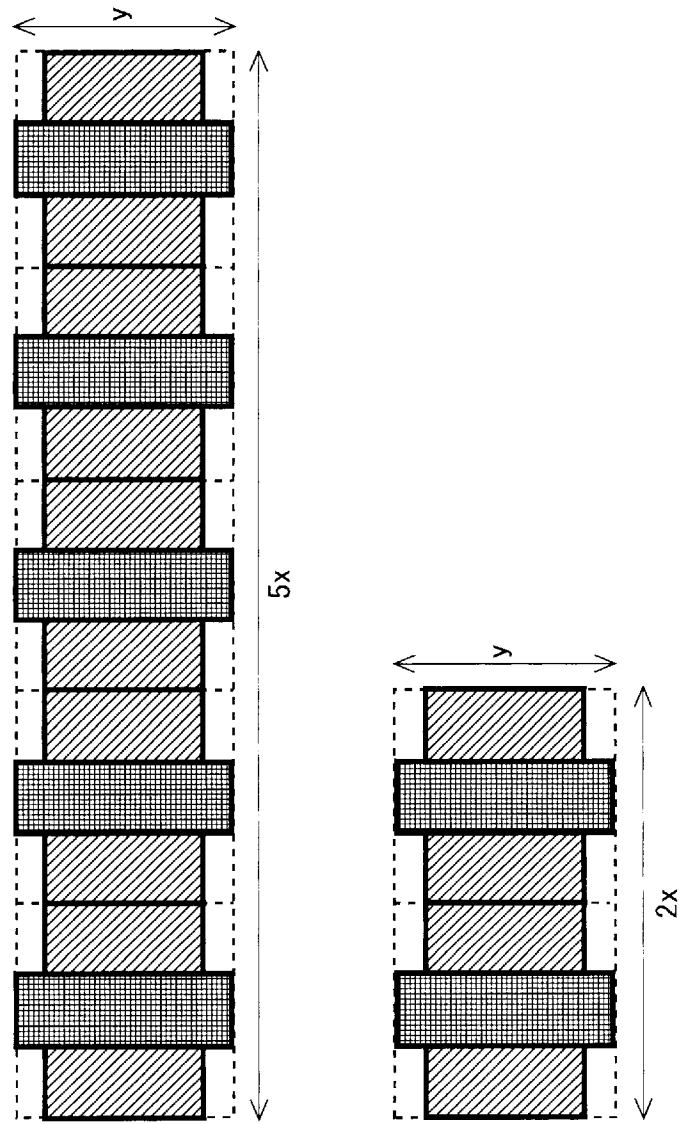
[図10]



[図11]



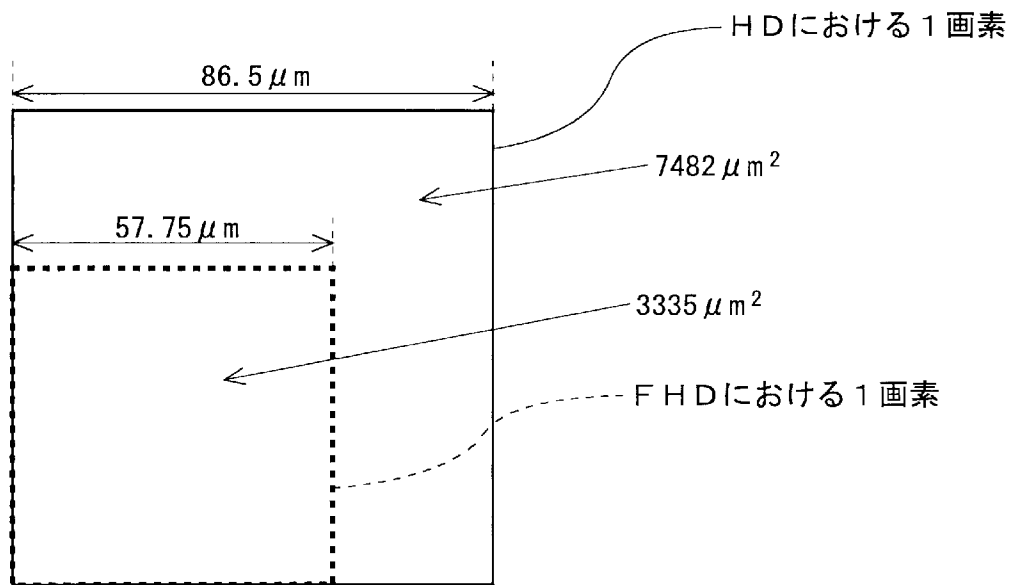
[図12]



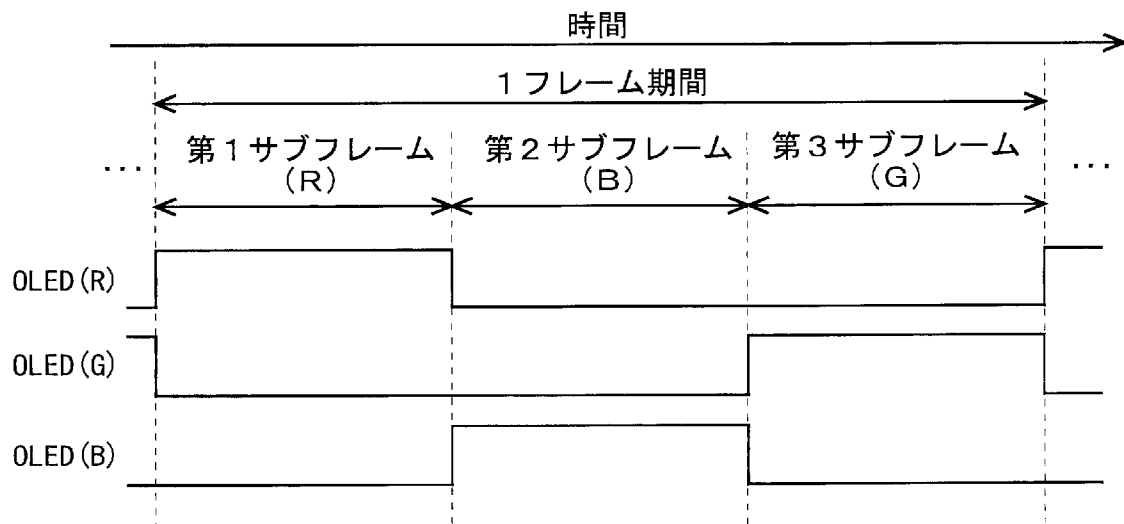
第2の従来例

本発明の第1の実施形態

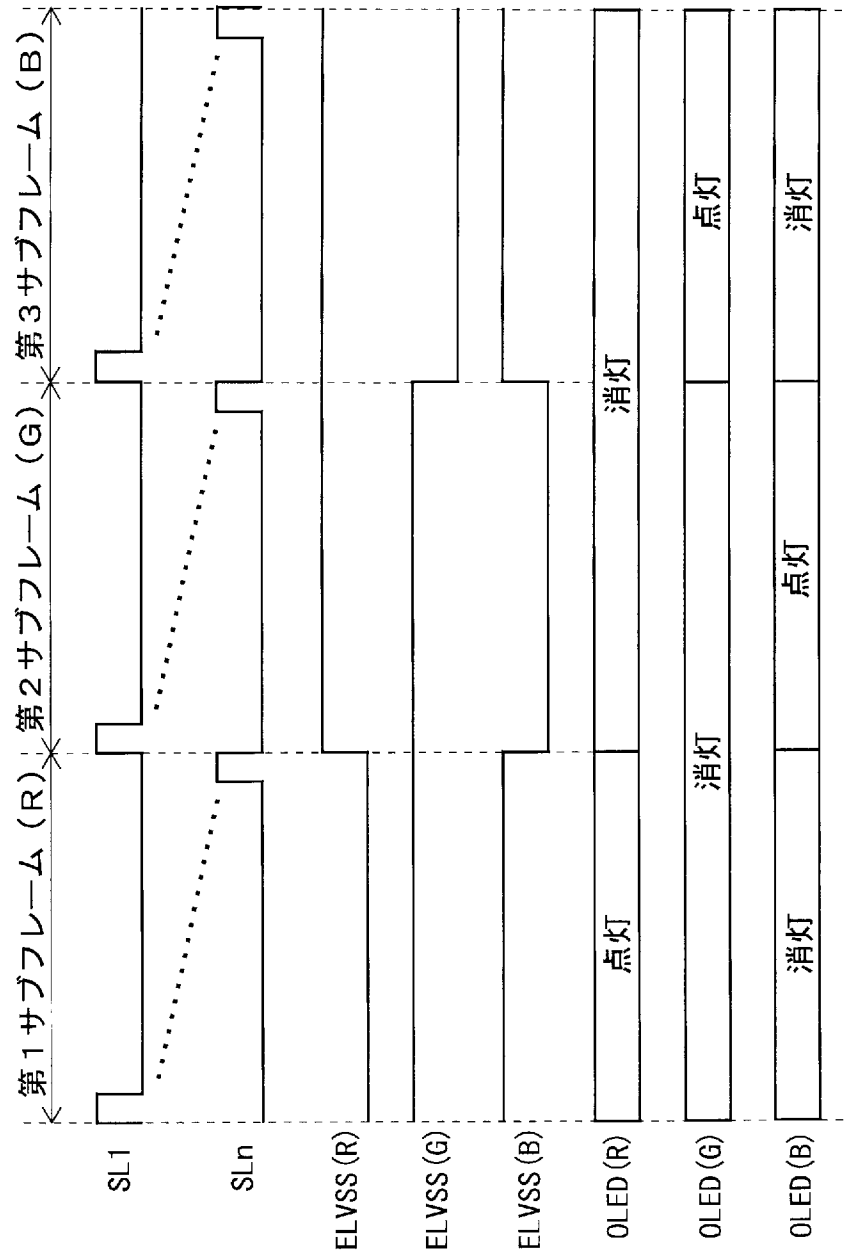
[図13]



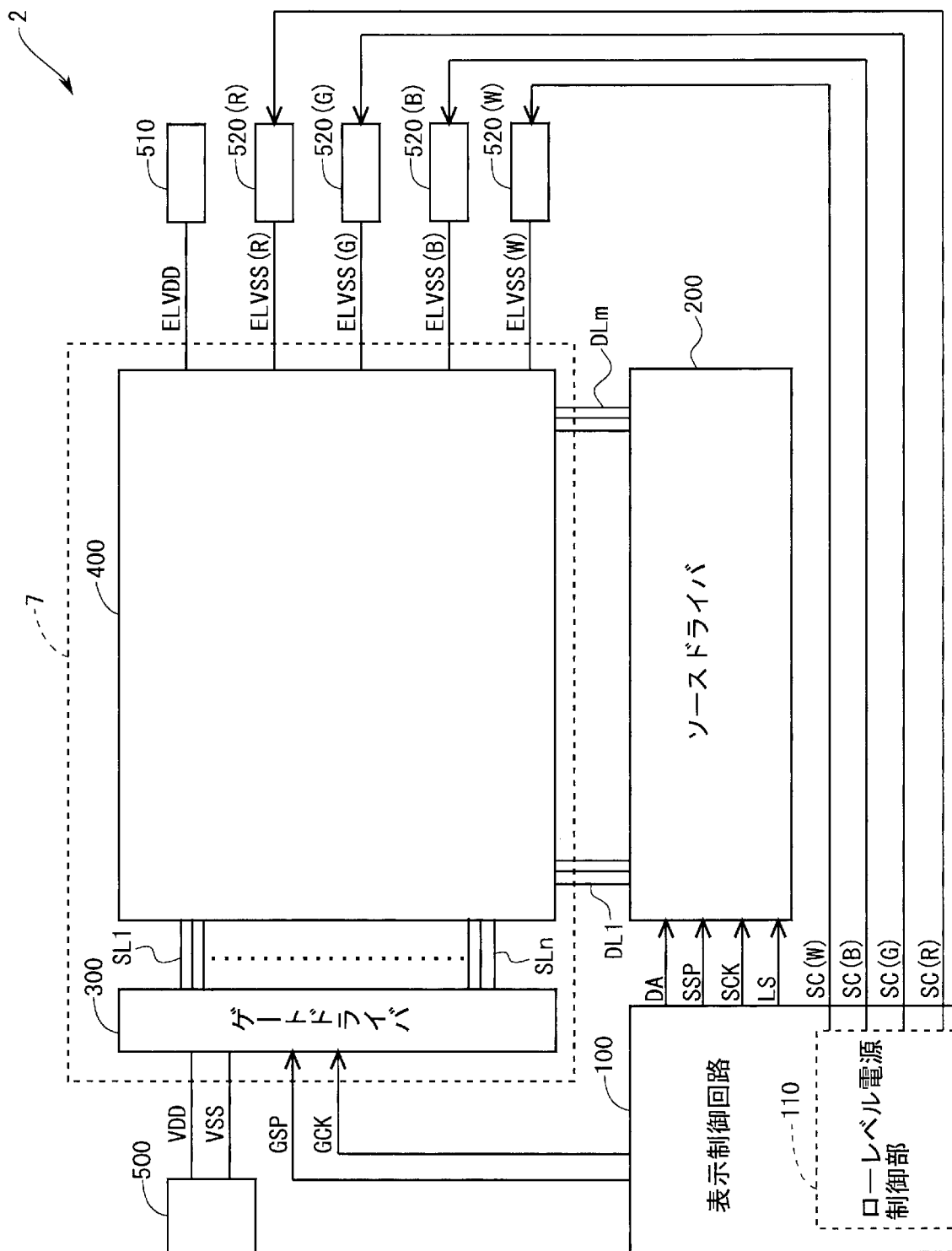
[図14]



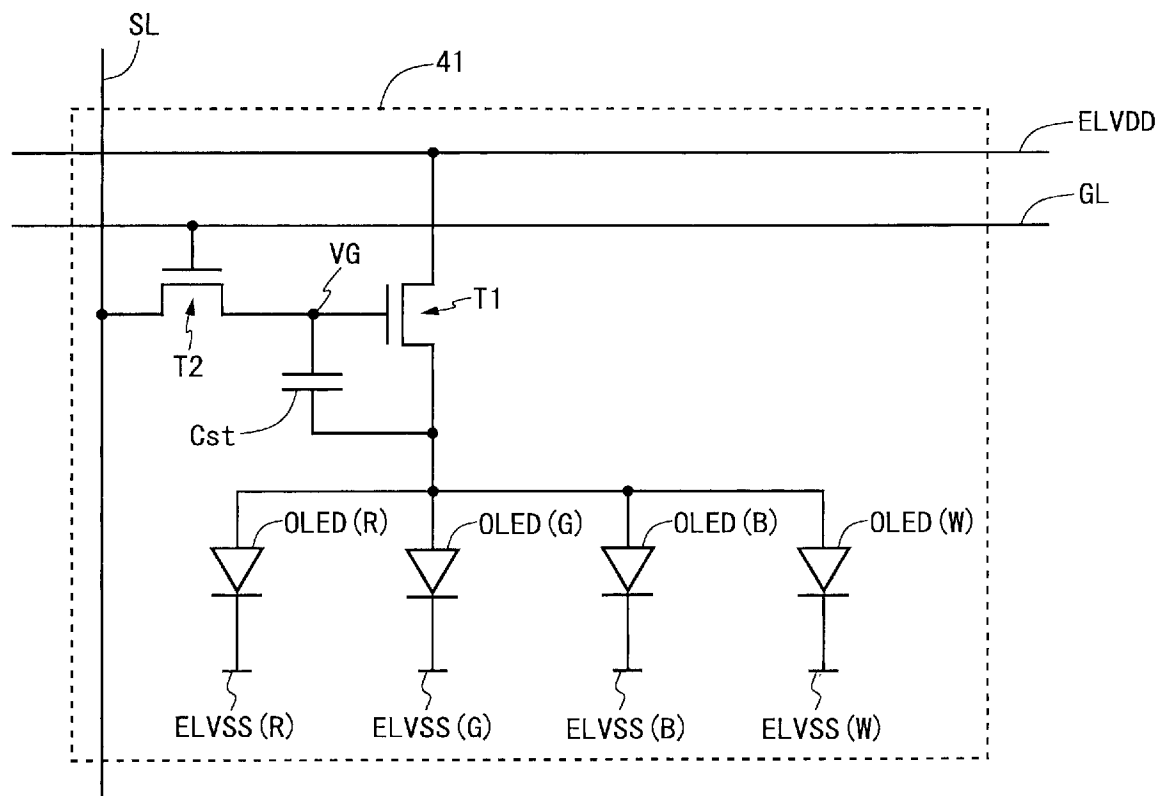
[図15]



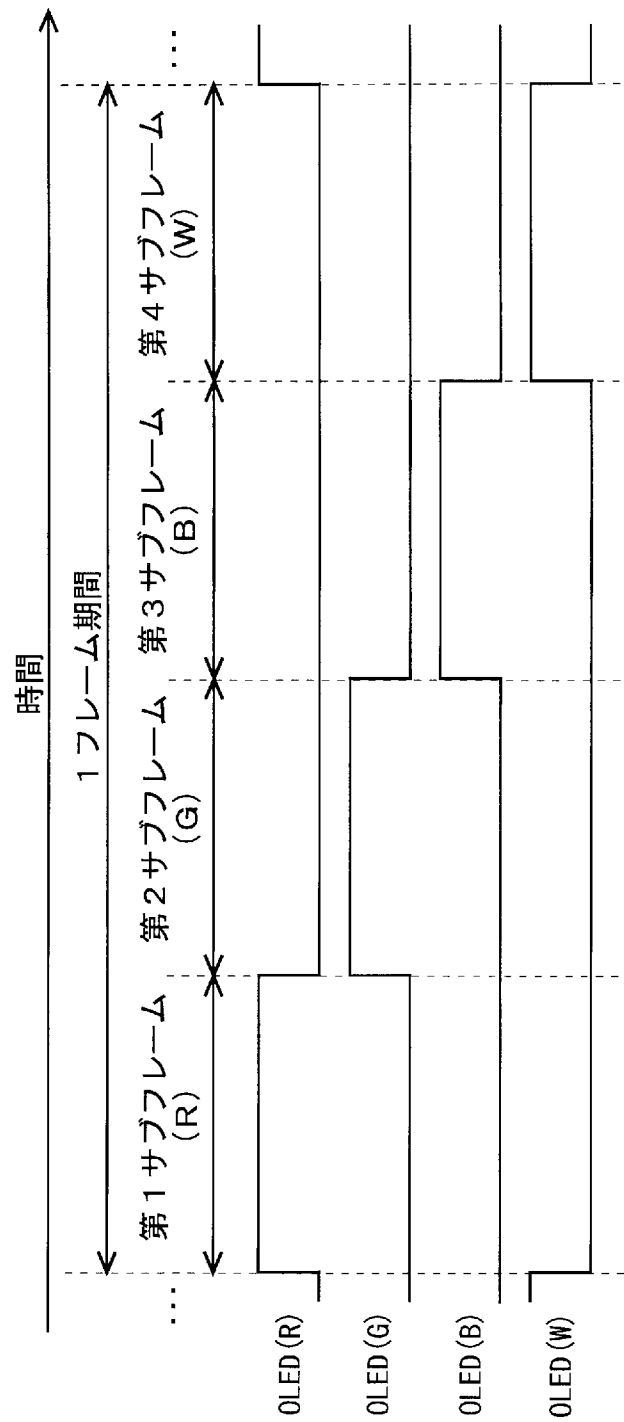
2



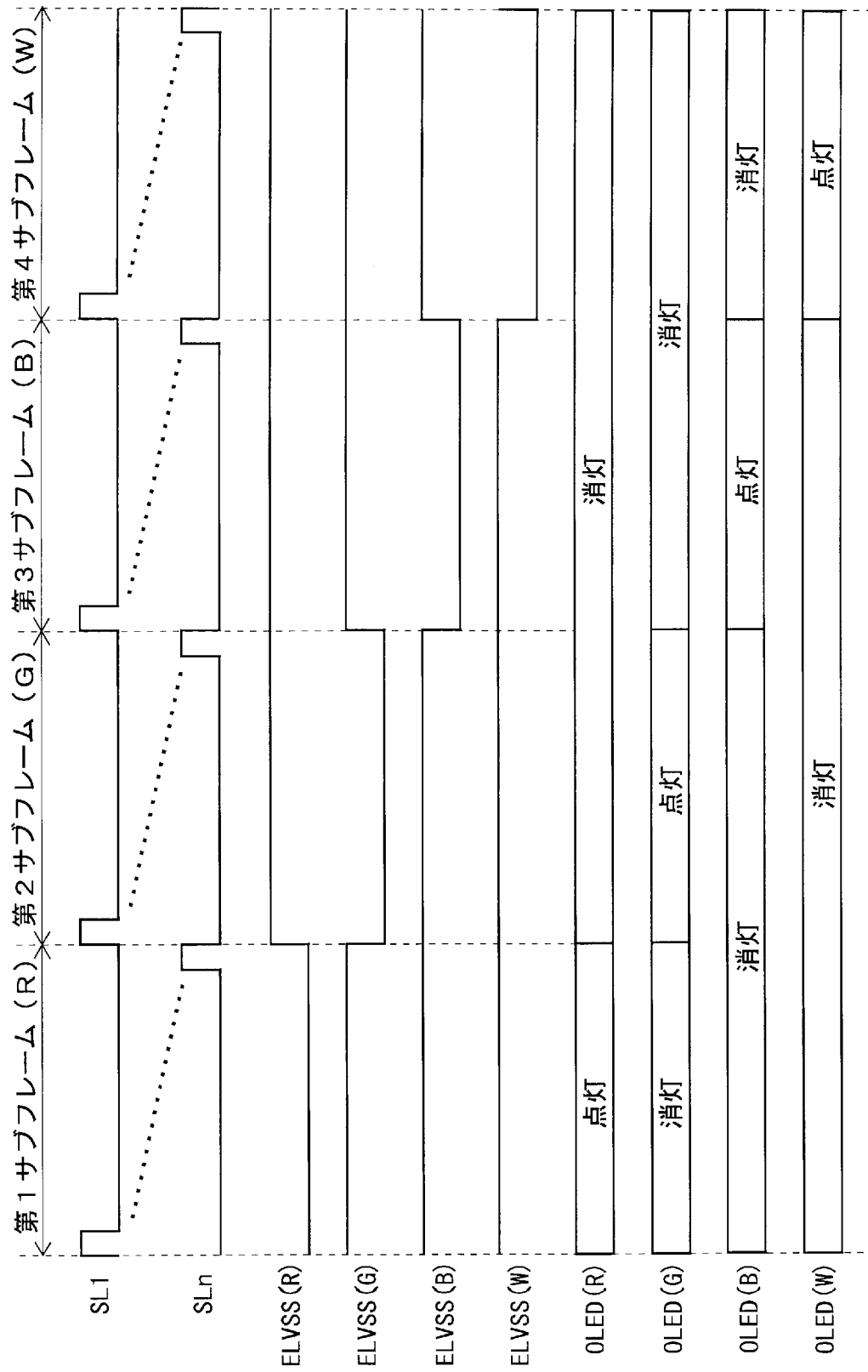
[図17]



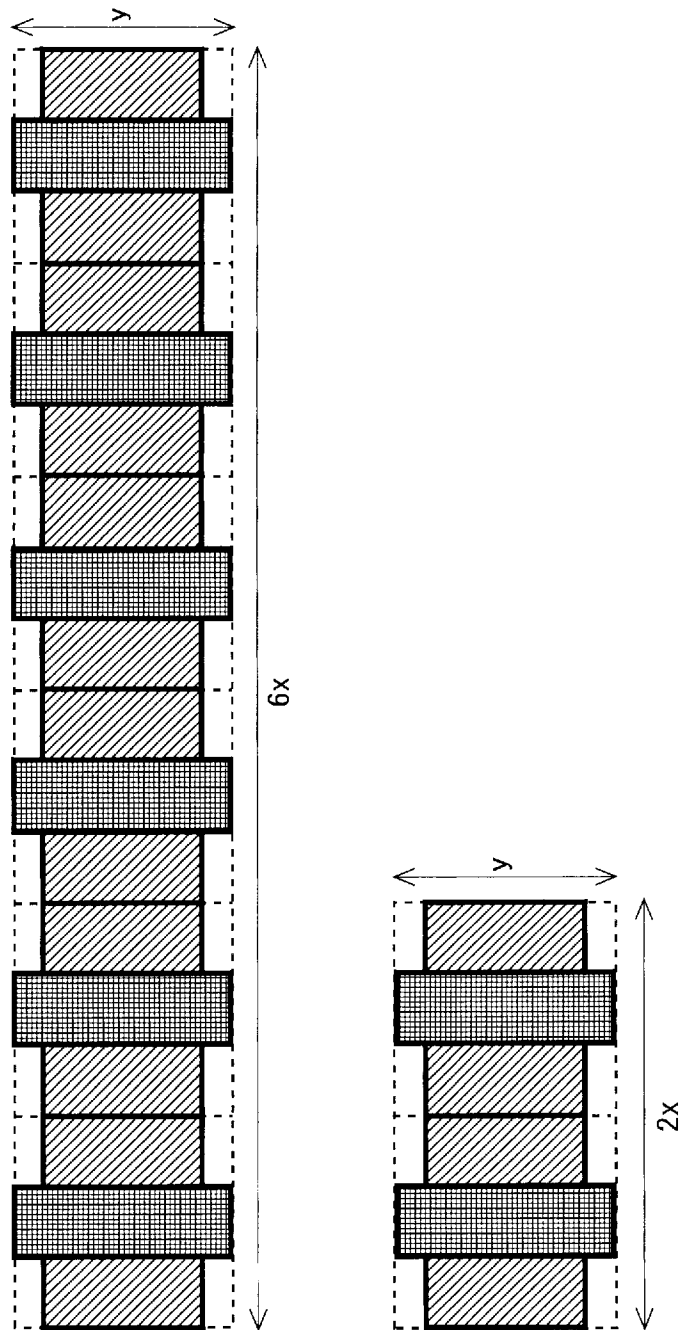
[図18]



[図19]



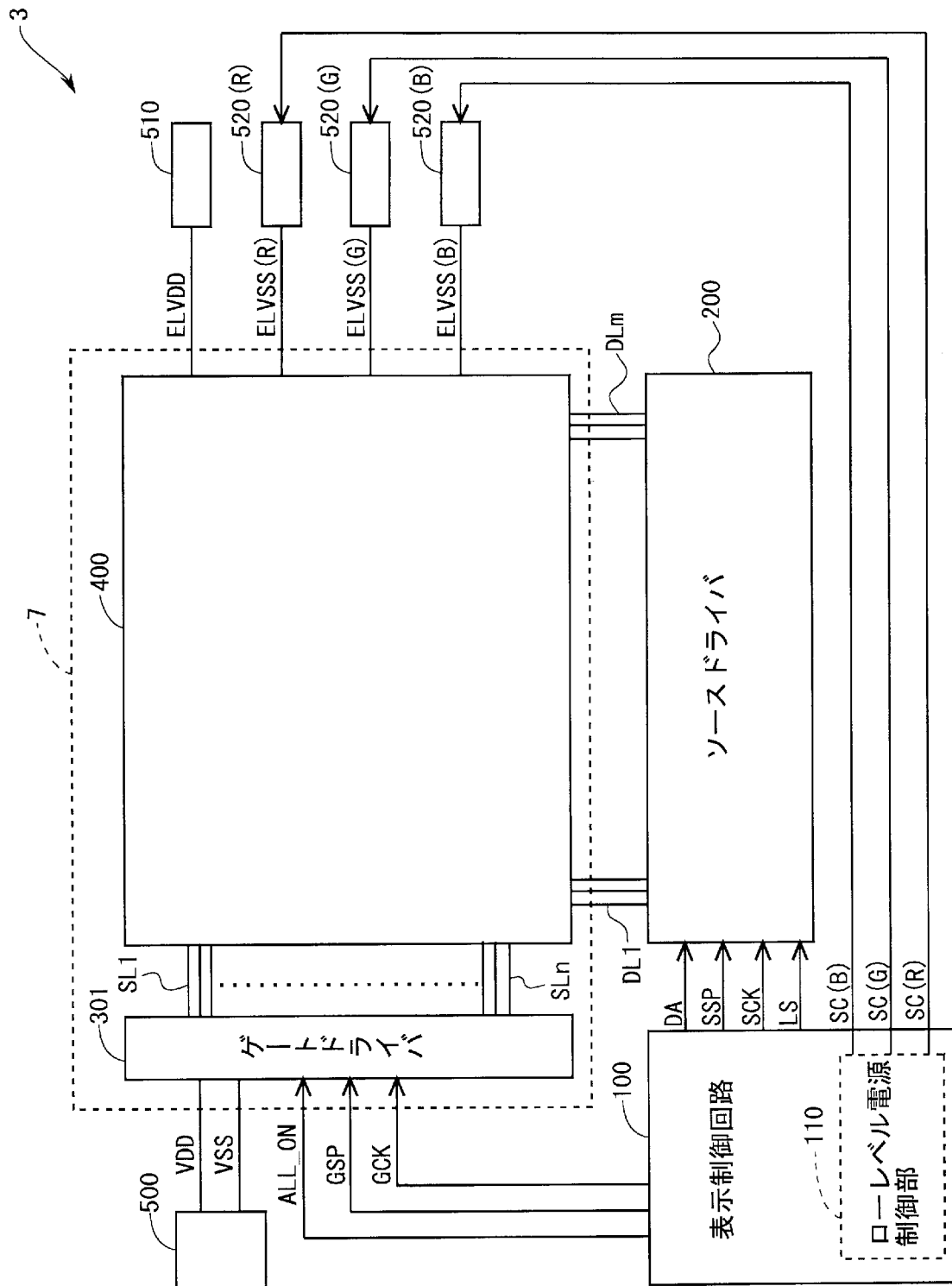
[図20]



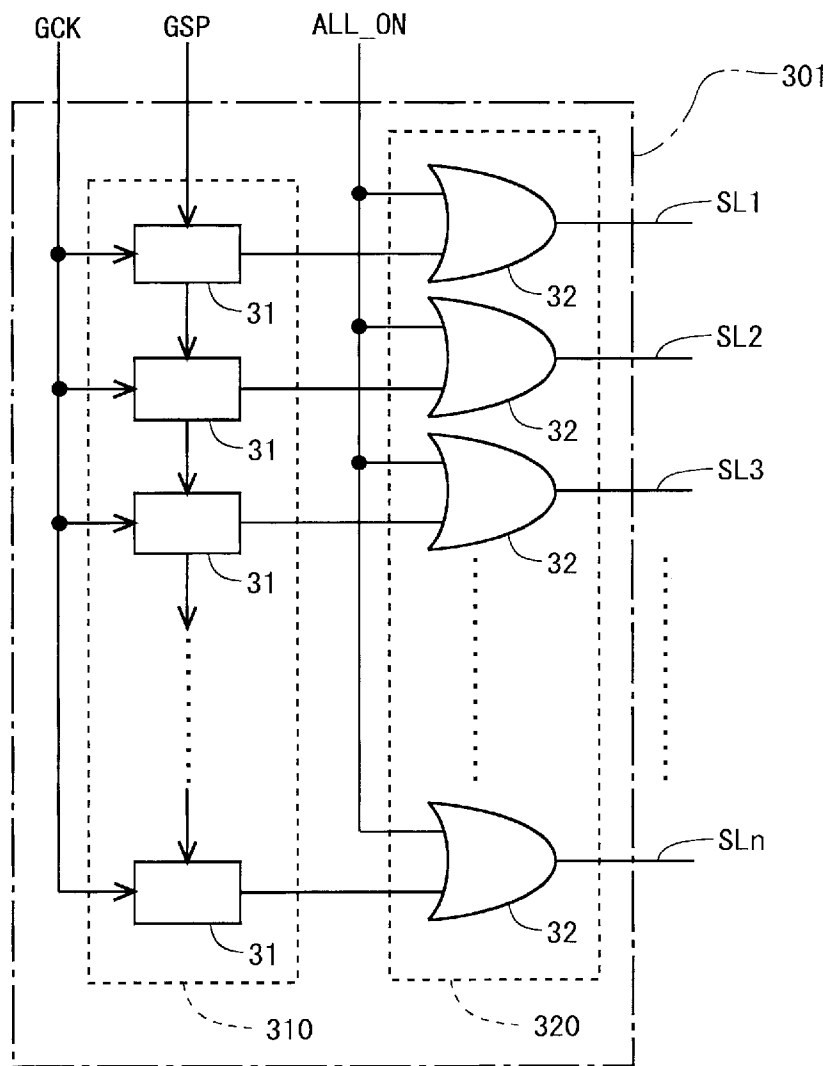
第2の従来例

本発明の
第2の実施形態

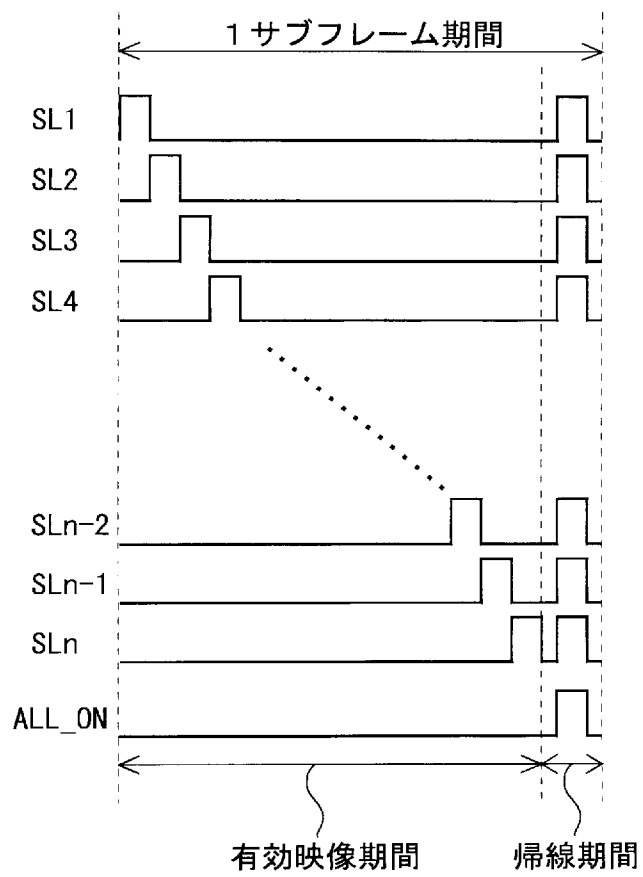
[図21]



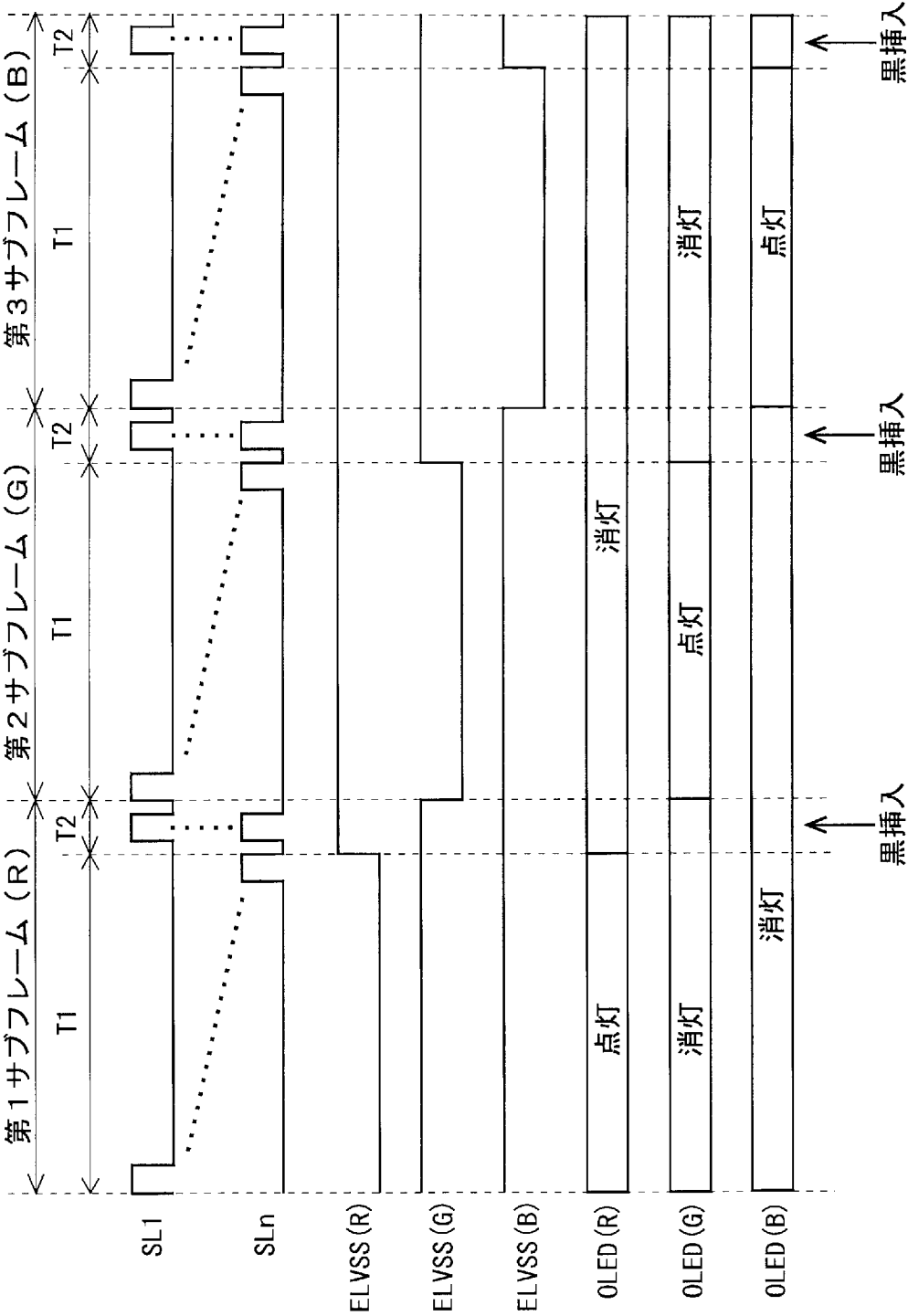
[図22]



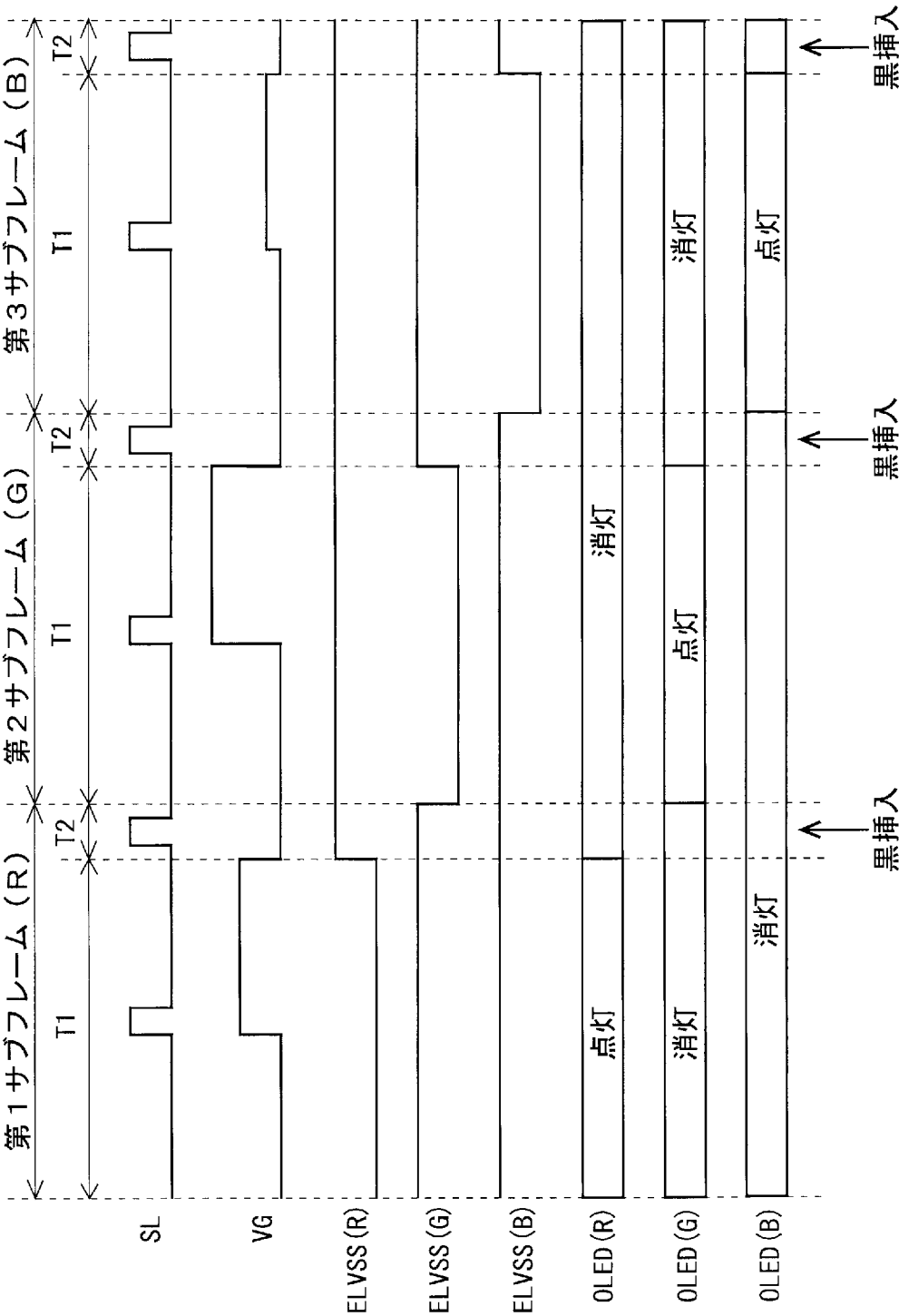
[図23]



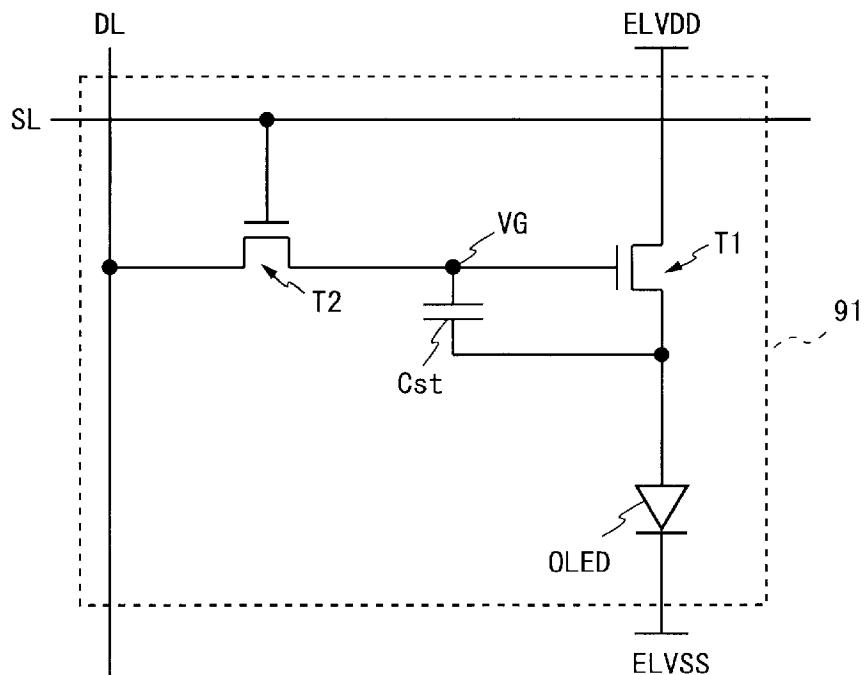
[図24]



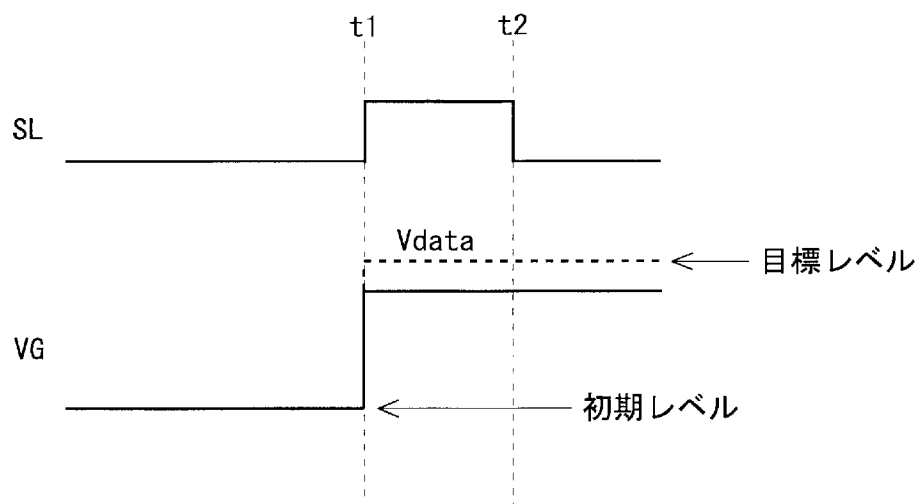
[図25]



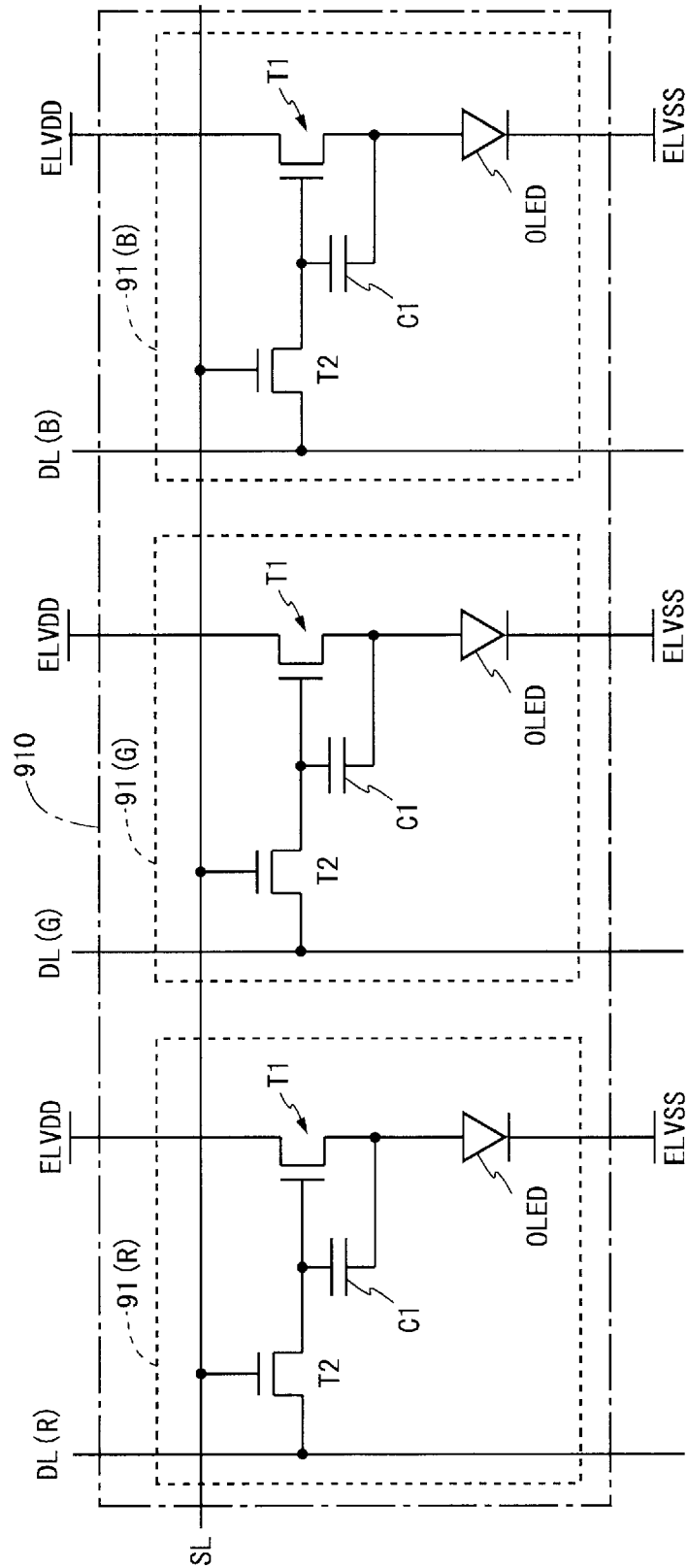
[図26]



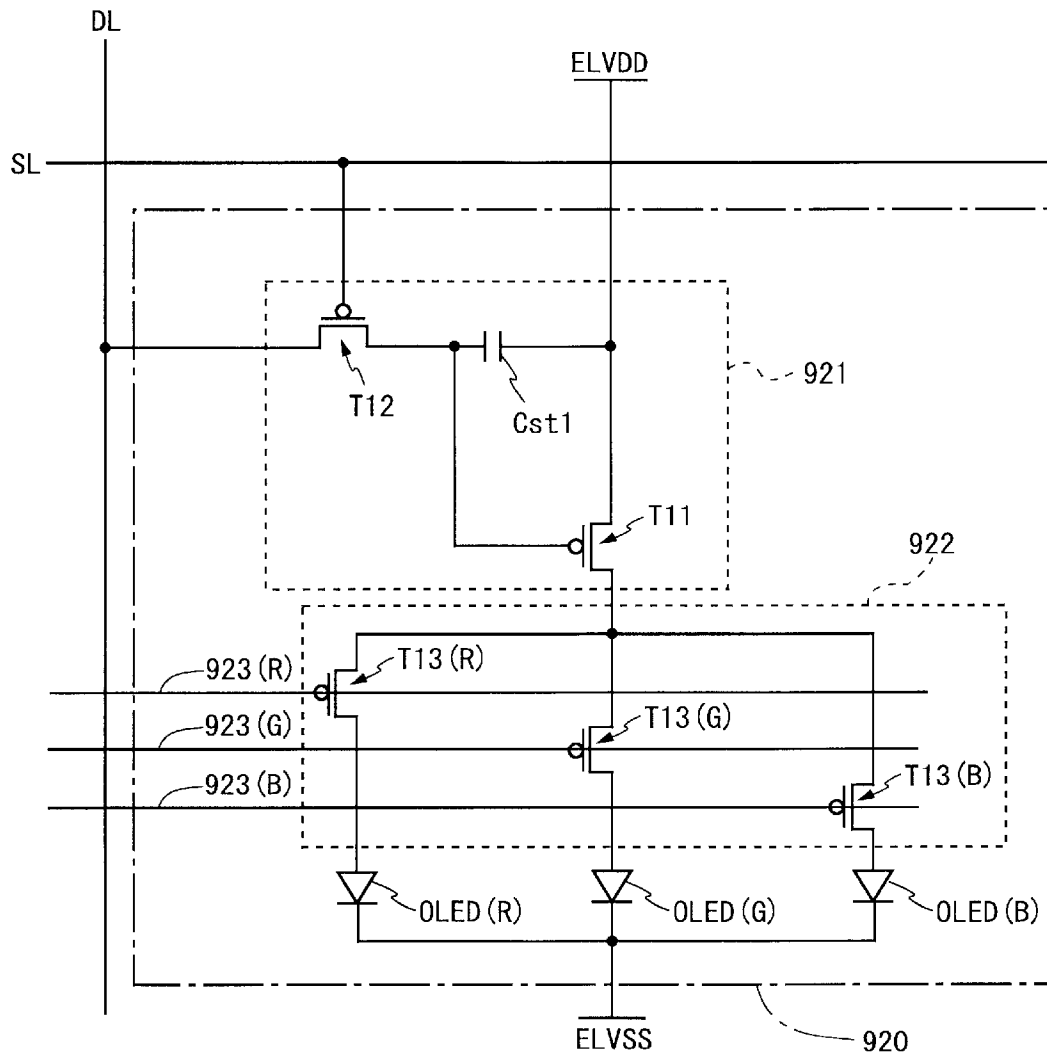
[図27]



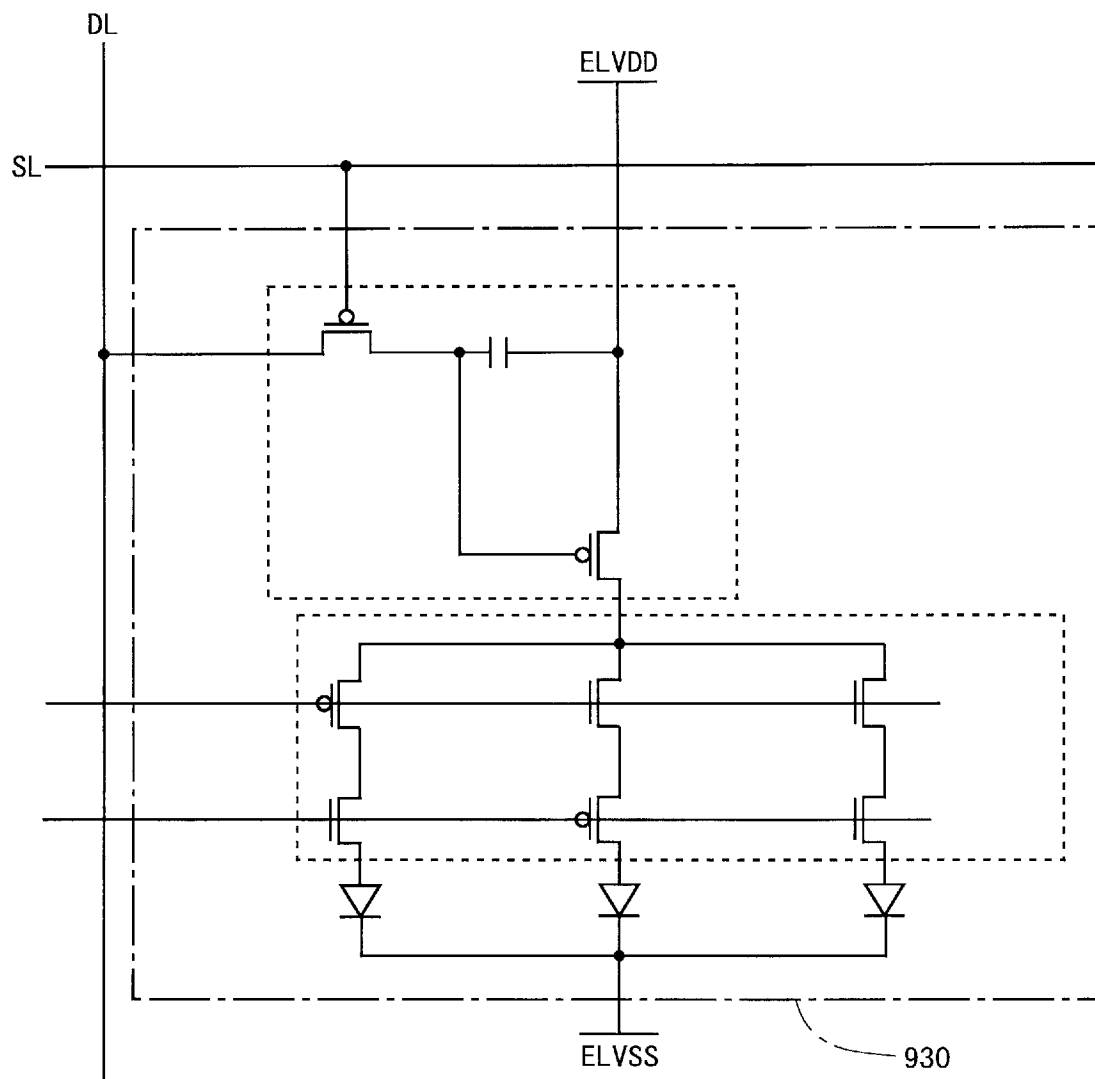
[図28]



[図29]



[図30]



[図31]

解像度	パネルサイズ (inch)	精細度 (ppi)	画素サイズ(一辺) (μm)	画素面積 (μm^2)	HDを基準とする画素面積比 (%)
HD	5.0	293	86.5	7482	100
FHD	5.0	440	57.75	3335	45
WQHD	5.0	564	45	2025	27
2k4k	5.0	883	28.75	826	11

↓
画素数

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/085097

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-148751 A (Samsung SDI Co., Ltd.), 09 June 2005 (09.06.2005), paragraphs [0148] to [0169]; fig. 11B to 11D & US 2005/0104818 A1 & US 2010/0328367 A1 & EP 1538594 A2 & KR 10-2005-0046462 A & CN 1617208 A	1, 3-7
X Y	JP 9-138659 A (Motorola, Inc.), 27 May 1997 (27.05.1997), paragraphs [0019] to [0027]; fig. 3 to 4 & US 5748160 A & EP 762374 A1 & DE 69637005 D	1, 3-7 2
X	JP 2010-61172 A (Sony Corp.), 18 March 2010 (18.03.2010), paragraphs [0086] to [0128]; fig. 11 to 12 (Family: none)	1, 4-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 March, 2014 (24.03.14)

Date of mailing of the international search report
08 April, 2014 (08.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/085097

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-42446 A (Epson Imaging Devices Corp.), 26 February 2009 (26.02.2009), paragraphs [0019] to [0047], [0057] to [0060]; fig. 1 to 4 (Family: none)	2
Y	JP 11-237606 A (NEC Corp.), 31 August 1999 (31.08.1999), paragraphs [0023] to [0027]; fig. 1 to 2 & US 2005/0225545 A1 & US 7161573 B1 & TW 428158 B	2
A	JP 2010-2755 A (Canon Inc.), 07 January 2010 (07.01.2010), paragraphs [0071] to [0079]; fig. 7 to 8 (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-148751 A（三星エスディアイ株式会社）2005.06.09, 段落【0148】－【0169】、【図11B】－【図11D】 & US 2005/0104818 A1 & US 2010/0328367 A1 & EP 1538594 A2 & KR 10-2005-0046462 A & CN 1617208 A	1, 3-7
X Y	JP 9-138659 A（モトローラ・インコーポレイテッド）1997.05.27, 段落【0019】－【0027】、【図3】－【図4】 & US 5748160 A & EP 762374 A1 & DE 69637005 D	1, 3-7 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 3 . 2 0 1 4

国際調査報告の発送日

0 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-61172 A (ソニー株式会社) 2010.03.18, 段落【0086】 －【0128】, 【図11】－【図12】 (ファミリーなし)	1, 4-7
Y	JP 2009-42446 A (エプソンイメージングデバイス株式会社) 2009.02.26, 段落【0019】－【0047】, 【0057】－【0060】, 【図1】－【図4】 (ファミリーなし)	2
Y	JP 11-237606 A (日本電気株式会社) 1999.08.31, 段落【0023】 －【0027】, 【図1】－【図2】 & US 2005/0225545 A1 & US 7161573 B1 & TW 428158 B	2
A	JP 2010-2755 A (キヤノン株式会社) 2010.01.07, 段落【0071】 －【0079】, 【図7】－【図8】 (ファミリーなし)	1-7