

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7527755号
(P7527755)

(45)発行日 令和6年8月5日(2024.8.5)

(24)登録日 令和6年7月26日(2024.7.26)

(51)国際特許分類

F I

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/146 D

H 0 4 N 25/70 (2023.01)

H 0 4 N 25/70

請求項の数 15 (全31頁)

(21)出願番号	特願2018-22022(P2018-22022)	(73)特許権者	000001007
(22)出願日	平成30年2月9日(2018.2.9)		キヤノン株式会社
(65)公開番号	特開2019-140237(P2019-140237 A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和1年8月22日(2019.8.22)	(74)代理人	100126240
審査請求日	令和3年2月5日(2021.2.5)		弁理士 阿部 琢磨
審判番号	不服2023-10688(P2023-10688/J 1)	(74)代理人	100223941
審判請求日	令和5年6月27日(2023.6.27)		弁理士 高橋 佳子
		(74)代理人	100159695
			弁理士 中辻 七朗
		(74)代理人	100172476
			弁理士 富田 一史
		(74)代理人	100126974
			弁理士 大朋 靖尚
		(72)発明者	小林 昌弘
			東京都大田区下丸子3丁目30番2号キ
			最終頁に続く

(54)【発明の名称】 光電変換装置および撮像システム

(57)【特許請求の範囲】

【請求項1】

複数の光電変換部が二次元状に設けられた第1半導体層と、
前記複数の光電変換部から出力された信号を処理する信号処理回路が設けられた第2半導体層と、
前記第1半導体層と前記第2半導体層の間に設けられた第1配線構造と、
前記第1配線構造と前記第2半導体層の間に設けられた第2配線構造と、を有し、
前記複数の光電変換部と、前記複数の光電変換部に入射される光が通過する複数のマイクロレンズと、が設けられた撮像領域の、前記複数のマイクロレンズが配された領域と平面視で重なる領域において、前記第1配線構造が有する第1接続部と、前記第2配線構造が有する第2接続部は、前記第1配線構造と前記第2配線構造の接合面において接触し、
平面視において前記撮像領域とパッド電極が配されたパッド領域との間に設けられ、前記撮像領域に設けられた画素トランジスタを駆動するためのパルス信号を伝達するトランジスタが設けられた周辺領域において、前記第1配線構造が有する第3接続部と、前記第2配線構造が有する第4接続部は、前記接合面において接触し、
前記第3接続部および前記第4接続部は、前記第1半導体層の前記撮像領域に設けられたトランジスタの電源線または駆動線と電気的に接続しており、
平面視において、前記第1接続部および前記第2接続部の接触する面積は、前記第3接続部および前記第4接続部の接触する面積よりも小さいことを特徴とする光電変換装置。

【請求項2】

前記第 1 半導体層に比較器の第 1 入力ノードを有し、
前記第 2 半導体層に前記比較器の出力ノードを有し、
前記第 1 入力ノードは、前記光電変換部で生じた信号電荷に基づく信号が入力されるノードであり、

前記第 1 接続部および前記第 2 接続部は、前記比較器の前記第 1 入力ノードと前記比較器の出力ノードとの間に設けられていることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記第 2 半導体層に比較器の第 1 入力ノードと出力ノードを有し、
前記第 1 入力ノードは、前記光電変換部で生じた信号電荷に基づく信号が入力されるノードであり、

10

前記第 1 接続部および前記第 2 接続部は、前記比較器の前記第 1 入力ノードと前記光電変換部の間に設けられていることを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

前記第 1 配線構造が有する第 3 絶縁部と、前記第 2 配線構造が有する第 4 絶縁部は、前記接合面において接触することを特徴とする請求項 1 から 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

複数の光電変換部が二次元状に設けられた第 1 半導体層と、
前記複数の光電変換部から出力された信号を処理する信号処理回路が設けられた第 2 半導体層と、

20

第 3 半導体層と、
前記第 1 半導体層と前記第 2 半導体層の間に設けられた第 1 配線構造と、
前記第 1 配線構造と前記第 2 半導体層の間に設けられた第 2 配線構造と、
前記第 2 半導体層と前記第 3 半導体層の間に設けられた第 3 配線構造と、
前記第 3 配線構造と前記第 2 半導体層との間に設けられた第 4 配線構造と、を有し、
前記複数の光電変換部と平面視で重なる領域において、前記第 1 配線構造が有する第 1 接続部と、前記第 2 配線構造が有する第 2 接続部は、前記第 1 配線構造と前記第 2 配線構造の接合面において接触し、
平面視において前記領域とパッド電極が配されたパッド領域との間に設けられ、前記第 1 半導体層に設けられた画素トランジスタを駆動するためのパルス信号を伝達するトランジスタが設けられた周辺領域において、前記第 1 配線構造が有する第 3 接続部と、前記第 2 配線構造が有する第 4 接続部は、前記接合面において接触し、
前記第 3 接続部および前記第 4 接続部は、前記第 1 半導体層に設けられたトランジスタの電源線または駆動線と電気的に接続しており、
平面視において、前記第 1 接続部および前記第 2 接続部の接触する面積と、前記第 3 接続部および前記第 4 接続部の接触する面積とが異なり、

30

前記領域において、前記第 3 配線構造が有する第 7 接続部と、前記第 4 配線構造が有する第 8 接続部は、前記第 3 配線構造と前記第 4 配線構造の接合面において接触することを特徴とする光電変換装置。

【請求項 6】

前記第 1 接続部および前記第 2 接続部の接触する面積は、前記第 3 接続部および前記第 4 接続部の接触する面積よりも小さいことを特徴とする請求項 5 に記載の光電変換装置。

40

【請求項 7】

前記第 1 接続部および前記第 2 接続部の接触する面積は、前記第 3 接続部および前記第 4 接続部の接触する面積よりも大きいことを特徴とする請求項 5 に記載の光電変換装置。

【請求項 8】

前記第 7 接続部および前記第 8 接続部の少なくとも一方の面積は、前記第 1 接続部または前記第 2 接続部の面積と異なることを特徴とする請求項 5 から 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

50

前記第 7 接続部および前記第 8 接続部の接触する面積は、前記第 1 接続部または前記第 2 接続部の面積よりも小さいことを特徴とする請求項 5 から 8 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

前記第 3 半導体層には、前記第 2 半導体層からの出力を記録するメモリが設けられていることを特徴とする請求項 5 から 9 のいずれか 1 項のいずれか 1 項に記載の光電変換装置。

【請求項 11】

平面視において前記パッド電極と前記第 3 接続部とは重ならないことを特徴とする請求項 1 から 10 のいずれか 1 項に記載の光電変換装置。

【請求項 12】

前記第 1 接続部の面積と、前記第 3 接続部の面積とが異なることを特徴とする請求項 1 から 11 のいずれか 1 項に記載の光電変換装置。

【請求項 13】

前記第 2 接続部の面積と、前記第 4 接続部の面積とが異なることを特徴とする請求項 1 から請求項 12 のいずれか 1 項に記載の光電変換装置。

【請求項 14】

請求項 1 から 13 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置から出力される信号を処理する処理装置と、
を有することを特徴とする撮像システム。

【請求項 15】

移動体であって、
請求項 1 から 13 のいずれか 1 項に記載の光電変換装置と、
移動装置と、
前記光電変換装置から出力される信号から情報を取得する処理装置と、
前記情報に基づいて前記移動装置を制御する制御装置と、
を有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体層を積層した光電変換装置および撮像システムに関する。

【背景技術】

【0002】

光電変換装置において、複数の半導体層を積層することで、光電変換装置を小型化したり、大型化を抑制しつつ高性能化したりすることが可能となる。特許文献 1 には、第 1 半導体層を有する第 1 チップと、第 2 半導体層を有する第 2 チップとを積層した光電変換装置が記載されている。また、特許文献 1 には、第 1 チップの最上層の配線層に設けられた第 1 接続部と、第 2 チップの最上層の配線層に設けられた第 2 接続部を接合面で接触させ、第 1 チップと第 2 チップの電氣的な接続を行うことも記載されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2012 - 33894 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載の技術では、半導体層間の接続について十分に検討されておらず、光電変換装置の特性や信頼性について、改善の余地がある。

【0005】

本発明は、複数の半導体層を積層した光電変換装置において、より特性や信頼性を改善した光電変換装置を提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0006】

本発明に係る光電変換装置の第1観点は、複数の光電変換部が二次元状に設けられた第1半導体層と、前記複数の光電変換部から出力された信号を処理する信号処理回路が設けられた第2半導体層と、前記第1半導体層と前記第2半導体層の間に設けられた第1配線構造と、前記第1配線構造と前記第2半導体層の間に設けられた第2配線構造と、を有し、前記複数の光電変換部が設けられた撮像領域において、前記第1配線構造が有する第1接続部と、前記第2配線構造が有する第2接続部は、前記第1配線構造と前記第2配線構造の接合面において接触し、前記撮像領域の周辺に設けられている周辺領域において、前記第1配線構造が有する第3接続部と、前記第2配線構造が有する第4接続部は、前記接合面において接触し、前記第3接続部および前記第4接続部は、前記第1半導体層の前記撮像領域に設けられたトランジスタの電源線または駆動線と電氣的に接続しており、平面視において、前記第1接続部および前記第2接続部の少なくとも一方の面積は、前記第3接続部および前記第4接続部の少なくとも一方の面積とは異なることを特徴とする。

10

【0007】

また、本発明に係る光電変換装置の第2観点は、複数の光電変換部が二次元状に設けられた第1半導体層と、前記複数の光電変換部から出力された信号を処理する信号処理回路が設けられた第2半導体層と、前記第1半導体層と前記第2半導体層の間に設けられた第1配線構造と、前記第1配線構造と前記第2半導体層の間に設けられた第2配線構造と、を有し、前記複数の光電変換部が設けられた撮像領域において、前記第1配線構造が有する第1接続部と、前記第2配線構造が有する第2接続部は、前記第1配線構造と前記第2配線構造の接合面において接触し、かつ、前記第1配線構造が有する第5接続部と、前記第2配線構造が有する第6接続部は、前記接合面において接触し、前記第1接続部および前記第2接続部の少なくとも一方の面積は、前記第5接続部および前記第6接続部の少なくとも一方の面積よりも小さいことを特徴とする。

20

【発明の効果】

【0008】

本発明によれば、複数の半導体層を積層した光電変換装置において、より特性や信頼性を改善した光電変換装置を提供することができる。

【図面の簡単な説明】

30

【0009】

【図1】第1実施形態に係る光電変換装置の断面図および平面図である。

【図2】第1実施形態の効果の説明するための説明図である。

【図3】第1実施形態に係る光電変換装置の断面図および平面図である。

【図4】第1実施形態に係る光電変換装置の断面図および平面図である。

【図5】第1実施形態に係る光電変換装置の接続部の変形例を示す図である。

【図6】第1実施形態に係る光電変換装置の接続部の変形例を示す図である。

【図7】第1実施形態に係る光電変換装置の接続部の変形例を示す図である。

【図8】第1実施形態に係る光電変換装置の接続部の変形例を示す図である。

【図9】実施例1に係る光電変換装置の等価回路図である。

40

【図10】実施例2に係る光電変換装置の等価回路図である。

【図11】実施例3に係る光電変換装置の等価回路図である。

【図12】実施例4に係る光電変換装置の等価回路図である。

【図13】実施例5に係る光電変換装置の等価回路図である。

【図14】実施例6に係る光電変換装置の等価回路図である。

【図15】実施例7に係る光電変換装置の等価回路図である。

【図16】実施例8に係る光電変換装置の等価回路図である。

【図17】実施例9に係る光電変換装置の等価回路図である。

【図18】実施例10に係る光電変換装置の等価回路図である。

【図19】第2実施形態に係る光電変換装置の断面図である。

50

【図 2 0】第 2 実施形態に係る光電変換装置の平面図である。

【図 2 1】第 2 実施形態に係る光電変換装置の断面図である。

【図 2 2】実施例 1 1 に係る光電変換装置の等価回路図である。

【図 2 3】第 3 実施形態に係る撮像システムの構成図である。

【図 2 4】第 4 実施形態に係る撮像システムおよび移動体の構成図である。

【発明を実施するための形態】

【0010】

(第 1 実施形態：2 層構成の光電変換装置)

(1 - 1：撮像領域の接続部の面積<周辺領域の接続部の面積)

図 1 (A) は、本実施形態に係る光電変換装置の断面図である。本実施形態において、第 1 半導体層 104 を有する第 1 チップ 101 と、第 2 半導体層 204 を有する第 2 チップ 201 が積層されている。第 1 チップ 101 と第 2 チップが積層された方向を積層方向、積層方向に直交する方向を面内方向と称する。以下の説明で、平面視で 2 つの要素が重複するとは、2 つの要素の一方の射影が、2 つの要素の他方に投影される関係にあることを意味し、このときの投影は積層方向における投影であるものとする。

10

【0011】

(第 1 チップ)

第 1 チップ 101 は、撮像領域 401、撮像領域 401 のチップ端部に近い位置に設けられた周辺領域 402、周辺領域よりも更にチップ端部に近い位置に設けられたパッド領域 403 を有する。すなわち、撮像領域 401、周辺領域 402、パッド領域 403 の順で、チップ端部に近くなっている。

20

【0012】

第 1 半導体層 104 は、例えば、シリコンからなる層である。第 1 半導体層 104 には、素子分離領域 115 が設けられており、素子分離領域 115 によって、活性領域と非活性領域（フィールド領域）とが区分されている。ウエル 117 の中には、複数のトランジスタが設けられている。

【0013】

第 1 半導体層 104 には、複数の画素が二次元状に配置されている。各画素は、少なくとも 1 つの光電変換部 112 を有する。図 1 においては、複数の画素のそれぞれに対して、光電変換部 112、ゲート電極 114、フローティング・ディフュージョン（以下、FD という）113 が設けられている。ゲート電極 114 に制御信号が与えられることにより、光電変換部 112 で蓄積された電荷は FD 113 に転送される。このため、このトランジスタを転送トランジスタということもある。

30

【0014】

FD 113 は、複数の光電変換部 112 で共有されていてもよい。例えば、4 つの光電変換部で、1 つの FD 113 を共有していてもよい。

【0015】

不図示であるが、第 1 半導体層 104 の撮像領域 401 には、光電変換部 112 で蓄積した電荷を排出する電荷排出トランジスタ（オーバーフロートランジスタ）を設けてもよい。また、同様に、撮像領域 401 には、FD 113 に接続するリセットトランジスタ、増幅トランジスタ、選択トランジスタ等のトランジスタを設けてもよい。これらのトランジスタを画素トランジスタということもある。

40

【0016】

撮像に用いる複数の光電変換部 112 および複数の画素トランジスタが設けられている領域を撮像領域 401 という。あるいは、複数のマイクロレンズ 131 が設けられている領域のことを撮像領域 401 という。

【0017】

撮像領域 401 と第 1 チップ 101 の端部との間には、周辺領域 402 が設けられている。図 1 (A) に示すように、周辺領域 402 における第 1 半導体層 104 には、トランジスタを設けることができる。ただし、第 1 チップ 101 の周辺領域 402 には、トラン

50

ジスタを設けなくてもよい。

【 0 0 1 8 】

第 1 半導体層 1 0 4 の表面 1 0 5 側には、第 1 配線構造 1 0 7 が設けられている。すなわち、第 1 半導体層 1 0 4 と第 2 半導体層 1 0 4 の間に、第 1 配線構造 1 0 7 が設けられている。第 1 配線構造 1 0 7 は、複数の絶縁層と、複数の配線層からなる。本実施形態では、複数の配線層として、配線層 1 2 1 と配線層 1 2 2 が設けられている。配線層 1 2 2 には、配線 1 2 2 a と 1 2 2 b が設けられている。このように、ある配線層に設けられている配線のうち、特定の配線に着目する場合には、数字にアルファベットを付する。

【 0 0 1 9 】

配線 1 2 2 a は撮像領域 4 0 1 に設けられている配線であり、配線 1 2 2 b は周辺領域 4 0 2 に設けられている配線である。配線層 1 2 1 と各トランジスタとの電気的接続を行うために、コンタクトプラグが設けられている。また、各配線層間、例えば、配線層 1 2 1 と配線層 1 2 2 との間の電気的接続を行うために、ビアプラグが設けられている。さらに、配線層 1 2 1 とウエル 1 1 7 との電気抵抗を低くするために、ウエル 1 1 7 の導電型と同じ導電型の半導体からなるウエルコンタクト部 1 1 6 が第 1 半導体層 1 0 4 に設けられている。

10

【 0 0 2 0 】

第 1 半導体層 1 0 4 と第 1 配線構造 1 0 7 の一部には、パッド開口 1 4 3 が形成され、配線層 1 2 1 と同じ層にパッド電極 1 4 1 が配されている。パッド電極 1 4 1 には、ボンディングワイヤ 1 4 2 が接続されている。ボンディングワイヤ 1 4 2 はバンプであってもよい。パッド電極 1 4 1 が設けられている領域をパッド領域 4 0 3 という。あるいは、パッド電極 1 4 1 が設けられた領域およびパッド電極 1 4 1 と直接的に接続されているトランジスタが設けられている領域をパッド領域 4 0 3 という。

20

【 0 0 2 1 】

第 1 半導体層 1 0 4 の裏面 1 0 6 側には、遮光部材 1 3 3、誘電体膜 1 3 4、カラーフィルタ 1 3 2、マイクロレンズ 1 3 1 が設けられている。このような構成により、外部からの光は第 1 半導体層の裏面 1 0 6 側から入射されるように構成されており、いわゆる裏面照射型の光電変換装置となっている。

【 0 0 2 2 】

(第 2 チップ)

30

第 2 チップ 2 0 1 も、第 1 チップ 1 0 1 と同様に、撮像領域 4 0 1、周辺領域 4 0 2、パッド領域 4 0 3 を有する。第 2 チップ 2 0 1 は、光電変換部 1 1 2 から出力された信号を処理する信号処理回路を有する。信号処理回路としては、例えば、アナログ - デジタル変換部 (A D 変換部) がある。また、例えば、A D 変換部の一部である比較器も、信号処理回路に相当する。

【 0 0 2 3 】

第 2 チップ 2 0 1 において、撮像領域 4 0 1 とは、第 1 チップ 1 0 1 に設けられている複数の光電変換部と平面視で重複する領域のことをいう。あるいは、第 1 チップ 1 0 1 に設けられているマイクロレンズ 1 3 1 と平面視で重複する領域のことをいう。

【 0 0 2 4 】

40

また、第 2 チップ 2 0 1 において、パッド領域 4 0 3 とは、第 1 チップ 1 0 1 に設けられているパッド電極 1 4 1 と重複する領域である。また、第 2 チップ 2 0 1 にパッド電極が設けられている場合には、第 2 チップ 2 0 1 に配されているパッド電極が設けられている領域である。あるいは、パッド電極と直接的に接続されているトランジスタが設けられているか、または、このトランジスタが設けられた領域と重複する領域である。

【 0 0 2 5 】

さらに、第 2 チップ 2 0 1 において、周辺領域 4 0 2 とは、撮像領域 4 0 1 とパッド領域 4 0 3 の間の領域である。

【 0 0 2 6 】

第 2 半導体層 2 0 4 は、例えば、シリコンであり、表面 2 0 5 と裏面 2 0 6 を有する。

50

第2半導体層204の表面205側には、素子分離領域215が設けられており、第1チップ101と同様に、活性領域と非活性領域とが区分されている。第2半導体層204には、複数のトランジスタが設けられている。撮像領域401に設けられているトランジスタの構成要素として、ソース/ドレイン領域212a、213a、ゲート電極214a、ウエル領域216aを図示している。また、周辺領域402に設けられているトランジスタの構成要素として、ソース/ドレイン領域212b、213b、ゲート電極214a、ウエル領域216aを図示している。

【0027】

第2半導体層204の表面205側には、第2配線構造207が設けられている。すなわち、第1配線構造107と第2半導体層204の間に、第2配線構造207が設けられている。第2配線構造207は、複数の絶縁層と、複数の配線層からなる。本実施形態では、複数の配線層として、配線層221と、配線層222と、配線層223が設けられている。

10

【0028】

ここで、配線223aは撮像領域401に設けられている配線であり、配線223bは周辺領域402に設けられている配線である。配線層221と各トランジスタとの電氣的接続を行うために、コンタクトプラグが設けられている。各配線層間、例えば、配線層221と配線層222との間の電氣的接続を行うために、ビアプラグが設けられている。

【0029】

(第1チップと第2チップの接続)

20

第1チップ101の第1配線構造107の最上層の配線層122には、配線122aおよび122bが配されている。また、第2チップ201の第2配線構造207の最上層の配線層223には、配線223aおよび223bが配されている。接合面100において、第1配線構造107の配線122a(第1接続部)は、第2配線構造207の配線223a(第2接続部)と接触している。また、接合面100において、第1配線構造107の配線122b(第3接続部)は、第2配線構造207の配線223b(第4接続部)と接触している。

【0030】

図1(B)は、図1(A)における接合面100に関して、第2チップ201から第1チップ101を観察した場合の平面図であり、第1配線構造107の配線122aと、配線122bが図示されている。このように、平面視において、配線122a(第1接続部)の面積は、配線122b(第3接続部)の面積よりも小さくなるように構成されている。また、不図示であるが、第1チップ101から第2チップ201を観察した場合には、第2配線構造207の配線223a(第2接続部)の面積は、配線223b(第4接続部)の面積よりも小さくなるように構成されている。

30

【0031】

なお、図1では、第1接続部の面積および第2接続部の面積が等しく、第3接続部の面積と第4接続部の面積が等しい例を示したが、これらのペアは必ずしも面積が等しくなくてもよい。

【0032】

40

第2チップ201の周辺領域402に設けられたトランジスタは、例えば、第1チップ101の撮像領域401に設けられた画素トランジスタを駆動するためのパルス信号を伝達するためのトランジスタである。例えば、撮像領域401に設けられた画素トランジスタとしては、転送トランジスタ、リセットトランジスタ、オーバーフロートランジスタ、選択トランジスタなどが挙げられる。例えば、配線223bと配線122bに伝達された駆動パルス信号は、第1チップ101の撮像領域の行方向に延在し、かつ、画素行ごとに配置されている制御線に伝達される。制御線に伝達された駆動パルス信号は、撮像領域401に設けられた画素トランジスタのゲートに入力される。

【0033】

また、配線223bと配線122bは、第1チップ101の撮像領域401に設けられ

50

たトランジスタの電源線と電氣的に接続する場合もある。例えば、ウエルコンタクト部 1 1 6 を介して、ウエル 1 1 7 と電氣的に接続するコンタクトプラグと、配線 2 2 3 b および配線 1 2 2 b が電氣的に接続する。また、例えば、リセットトランジスタやオーバーフロートランジスタを介して、電圧が供給される電源線と、配線 2 2 3 b と配線 1 2 2 b が電氣的に接続する。

【 0 0 3 4 】

(撮像領域の接続部の面積 < 周辺領域の接続部の面積の効果 (1))

本実施形態では、撮像領域に設けられている接続部の面積が、周辺領域に設けられている接続部の面積よりも小さい構成になっている。以下、この構成を採用することによる効果について説明する。

10

【 0 0 3 5 】

図 2 (A) は、比較例を示した図である。第 1 チップ 1 0 1 の第 1 配線構造 1 0 7 と、第 2 チップ 2 0 1 の第 2 配線構造 2 0 7 を接合するに際しては、第 1 配線構造 1 0 7 の表面と、第 2 配線構造 2 0 7 の表面を平滑化しておく必要がある。そこで、CMP (Chemical Mechanical Polishing) が用いられる。ここで、図 2 (A) に示すように、撮像領域 4 0 1 と周辺領域 4 0 2 とで、平面視で同じ面積を有する配線 1 2 2 c、1 2 2 d、2 2 3 c、2 2 3 d を設けることを想定する。この場合、CMP 工程において、周辺部に比較して中央部の方が研磨される量が多くなり、いわゆるディッシング 4 0 4 が発生してしまう。

【 0 0 3 6 】

20

他方、図 2 (B) は、撮像領域に設けられている配線 1 2 2 a、2 2 3 a の面積を、配線 1 2 2 b、2 2 3 b よりも小さくした構成である。絶縁膜は、配線を構成する材料よりも削れにくいいため、配線の面積を小さくすれば、中央部の研磨量は低減される。この構成によれば、CMP 工程において、ディッシング 4 0 4 の発生を抑制することができるという効果がある。この結果、撮像領域 4 0 1 における配線同士 (接続部同士) の接触不良などを低減することが可能となる。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 3 7 】

(撮像領域の接続部の面積 < 周辺領域の接続部の面積の効果 (2))

上記のとおり、配線 2 2 3 b と配線 1 2 2 b が、第 1 チップ 1 0 1 の撮像領域 4 0 1 に設けられたトランジスタの電源線と電氣的に接続している場合がある。例えば、パッド電極 1 4 1 に直接的に接続している場合には、駆動力が大きいいため、配線の抵抗はさほど問題にならない。しかし、パッド電極 1 4 1 と直接接続しておらず、トランジスタ等を介して、第 1 チップ 1 0 1 の撮像領域の電源線と接続する場合には、駆動力は相対的に小さくなる。この場合、電源線と接続する配線 2 2 3 b と配線 1 2 2 b の電気抵抗はできるだけ下げることが好ましい。配線の電気抵抗が高い場合には、電源線の電圧値が所定の値になるまでに時間がかかり、画質に影響を与える可能性があるからである。そこで、本実施形態では、平面視において、配線 1 2 2 b と 2 2 3 b の面積を、配線 1 2 2 a と 2 2 3 a の面積よりも大きくしている。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

30

40

【 0 0 3 8 】

(撮像領域の接続部の面積 < 周辺領域の接続部の面積の効果 (3))

上記のとおり、第 2 チップ 2 0 1 の周辺領域 4 0 2 に設けられたトランジスタは、例えば、第 1 チップ 1 0 1 の撮像領域 4 0 1 に設けられた画素トランジスタを駆動するためのパルス信号を伝達するためのトランジスタである。例えば、画素トランジスタとしては、転送トランジスタ、リセットトランジスタ、オーバーフロートランジスタ、選択トランジスタなどが挙げられる。配線 2 2 3 b と配線 1 2 2 b を介して、第 2 チップ 2 0 1 から第 1 チップ 1 0 1 に伝達されたパルス信号は、撮像領域に設けられた画素行に対応して設けられた複数の駆動線に分配される。この駆動線となる配線は、第 1 配線構造 1 0 7 に設けられる。このため、ある箇所の配線 2 2 3 b と配線 1 2 2 b に接触不良が生じると、少な

50

くとも 1 行分の画素に影響を及ぼすことになる。配線 1 2 2 b と配線 2 2 3 b の面積を、配線 1 2 2 a や 2 2 3 a の面積よりも大きくすれば、接触不良を低減することができる。この結果、信頼性を向上させた光電変換装置を提供することができる。

【 0 0 3 9 】

なお、図 1 (B) では、撮像領域 4 0 1 には小さい面積の配線 (配線 1 2 2 a) のみが配されており、周辺領域 4 0 2 には大きい面積の配線 (配線 1 2 2 b) のみが配されている例を示した。しかし、撮像領域 4 0 1 には、配線 1 2 2 a よりも面積が大きい配線が混在して配されていていてもよい。また、周辺領域 4 0 2 には、配線 1 2 2 b よりも面積が小さい配線が混在して配されていていてもよい。以下で説明する実施形態でも同様である。

【 0 0 4 0 】

(1 - 2 : 撮像領域の接続部の面積 > 周辺領域の接続部の面積)

図 3 は、本実施形態に係る光電変換装置の断面図と平面図である。同じ符号を付した要素は、同じ機能を奏する要素である。図 1 と異なるところは、平面視において、配線 1 2 2 e (第 1 接続部) および配線 2 2 3 e (第 2 接続部) の面積が、配線 1 2 2 f (第 3 接続部) および配線 2 2 3 f (第 4 接続部) の面積よりも、大きくなっている点である。つまり、接続部の面積の関係が図 1 とは逆になっている。

【 0 0 4 1 】

図 3 (A) は、本実施形態に係る光電変換装置の断面図であり、上記条件を満たしている。また、図 3 (B) は、第 2 チップ 2 0 1 側から第 1 チップ 1 0 1 側を観察した場合の、図 3 (A) の接合面 1 0 0 における平面図である。配線 1 2 2 f (第 3 接続部) の面積は、第 1 配線構造 1 0 7 の配線 1 2 2 e (第 1 接続部) の面積よりも小さくなるように構成されている。また、不図示ではあるが、第 1 チップ 1 0 1 から第 2 チップ 2 0 1 を観察した場合には、配線 2 2 3 f (第 4 接続部) の面積は、配線 2 2 3 e (第 2 接続部) の面積よりも小さくなるように構成されている。

【 0 0 4 2 】

(撮像領域の接続部の面積 > 周辺領域の接続部の面積の効果 (1))

第 2 チップ 2 0 1 の周辺領域 4 0 2 に設けられたトランジスタは、例えば、第 1 チップ 1 0 1 の撮像領域 4 0 1 に設けられた画素トランジスタを駆動するためのパルス信号を伝達するためのトランジスタである。例えば、画素トランジスタとしては、転送トランジスタ、リセットトランジスタ、オーバーフロートランジスタ、選択トランジスタなどが挙げられる。そのため、配線 2 2 3 f と配線 1 2 2 f を大きくすると、これらの配線の上下、あるいは、左右に配置されている配線との容量カップリングにより、配線容量 (寄生容量) が大きくなる。この結果、画素トランジスタのゲートに入力される駆動線の配線容量も大きくなり、各駆動パルスに伝搬遅延が生じる可能性があり、画質に劣化が生じうる。そこで、本実施形態では、周辺領域 4 0 2 に設けられた配線 2 2 3 f (第 3 接続部) および 1 2 2 f (第 4 接続部) の面積を、撮像領域に設けられた配線 1 2 2 e (第 1 接続部) および 2 2 3 e (第 2 接続部) の面積よりも小さくしている。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 4 3 】

(撮像領域の接続部の面積 > 周辺領域の接続部の面積の効果 (2))

また、配線 2 2 3 f および 1 2 2 f の面積を小さくすることにより、配線 2 2 3 f および 1 2 2 f 以外の配線レイアウトの自由度を確保することもできる。例えば、画素の各トランジスタを駆動するための複数の駆動線は画素のピッチにあわせて第 1 チップ 1 0 1 に配置する必要がある。複数の配線 2 2 3 f および 1 2 2 f が、第 1 チップ 1 0 1 に設けられた複数の駆動線と電氣的に接続する場合、画素のピッチが相対的に小さくなったときには、配線 2 2 3 f および 1 2 2 f 同士のピッチも相対的に小さくせざるを得ない。そこで、配線 2 2 3 f および 1 2 2 f の面積を小さくすることにより、画素間の間隔と配線 2 2 3 f 同士や 1 2 2 f 同士の間隔を等間隔とすることができる。仮に、配線 2 2 3 f および 1 2 2 f の面積を小さくしない場合には、配線 2 2 3 f および 1 2 2 f は、行毎にジグザ

10

20

30

40

50

グのような配列にせざるを得なくなる。ジグザグ配置としてしまうと、配線 2 2 3 f および 1 2 2 f と、例えば転送トランジスタとの距離も行毎に異なってしまい、信号の伝搬遅延の程度が行毎に異なる可能性もあり、画像にムラが生じうる。このような構成によれば、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 4 4 】

(撮像領域の接続部の面積 > 周辺領域の接続部の面積の効果 (3))

さらに、撮像領域 4 0 1 に対する周辺領域 4 0 2 が占める面積が相対的に大きい光電変換装置の場合、図 2 を用いて説明したディッシング 4 0 4 が、周辺領域 4 0 2 で生じることもありうる。この場合、配線 2 2 3 f および 1 2 2 f の面積を小さくすることにより、ディッシング 4 0 4 を抑制することも可能である。この結果、周辺領域 4 0 2 における配線同士 (接続部同士) の接触不良などを低減することが可能となる。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

10

【 0 0 4 5 】

(変形例)

図 3 (B) では、撮像領域 4 0 1 には大きい面積の配線 (配線 1 2 2 e) のみが配されており、周辺領域 4 0 2 には小さい面積の配線 (配線 1 2 2 f) のみが配されている例を示した。しかし、撮像領域 4 0 1 には、配線 1 2 2 e よりも面積が小さい配線が混在して配されていてもよい。また、周辺領域 4 0 2 には、配線 1 2 2 f よりも面積が大きい配線が混在して配されていてもよい。

20

【 0 0 4 6 】

(1 - 3 : 撮像領域に面積の異なる接続部が混在)

図 4 は、本実施形態に係る光電変換装置の断面図と平面図である。同じ符号を付した要素は、同じ機能を奏する要素である。図 1 および図 3 と異なるところは、平面視において、撮像領域 4 0 1 に面積の異なる複数の配線が配されている点である。

【 0 0 4 7 】

図 4 (A) は、本実施形態に係る光電変換装置の断面図であり、図 4 (B) は第 2 チップ 2 0 1 側から第 1 チップ 1 0 1 側を観察した場合の図 4 (A) の接合面 1 0 0 における平面図である。撮像領域 4 0 1 において、配線 1 2 2 h (第 1 接続部) の面積は配線 1 2 2 g (第 5 接続部) の面積よりも小さい。また、配線 2 2 3 h (第 2 接続部) の面積は、配線 2 2 3 g (第 6 接続部) の面積よりも小さい。

30

【 0 0 4 8 】

(撮像領域に面積の異なる接続部が混在の効果 (1))

上記のとおり、第 1 チップ 1 0 1 の撮像領域 4 0 1 には、複数の画素トランジスタが配されている。各画素トランジスタへの入力または出力に用いる配線は、各画素トランジスタに要求される特性に応じて、適宜変更することが好ましい。

【 0 0 4 9 】

例えば、F D 1 1 3 は、低ノイズとするために、容量を小さくした方がよい。また、各画素トランジスタのゲート電極に接続される駆動用の配線は、駆動信号の遅延を抑制するために、配線容量を小さくした方がよい。さらに、比較器を構成するトランジスタ間に第 1 チップと第 2 チップの接続部を設ける場合には、画素出力に余計な負荷を付けないように、配線容量を小さくした方がよい。

40

【 0 0 5 0 】

他方、画素トランジスタの電源線に関する接続部は、外部からの電圧変動があったとしても、所定の電圧に短時間に戻すことができるように、電気抵抗を下げた方がよい。また、場合によっては、容量を大きくした方が、画質を改善しうる配線もありうる。

【 0 0 5 1 】

そこで、容量を小さくすべき配線については、配線 1 2 2 h と配線 2 2 3 h で接続し、電気抵抗を低くすべき配線あるいは容量を大きくすべき配線については、配線 1 2 2 g と

50

2 2 3 gで接続すればよい。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【0052】

また、図4では、周辺領域402に配されている配線122iと配線223iの面積は、撮像領域401に配されている配線122hと配線223hの面積よりも小さい。これにより、図3に対応する記載で説明したように、周辺領域402に設けられた配線122iと配線223iの容量を小さくすることができ、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【0053】

なお、図4では、周辺領域402には、撮像領域401の配線122gおよび122hよりも小さい面積の配線（配線122i）のみが配されている例を示した。しかし、周辺領域402には、配線122hよりも面積が大きい配線が混在して配されていてもよい。また、周辺領域402には、配線122gよりも面積が大きい配線が混在して配されていてもよい。

【0054】

（混在配置のバリエーション）

図5から図7は、撮像領域401に面積の異なる配線122gと122hを配する場合のバリエーションの例を示したものである。

【0055】

図5において、「P」は1画素に対応した領域を示している。例えば、1画素に対応した領域とは、1つの光電変換部112に対応した領域である。あるいは、1画素に対応した領域とは、1つのマイクロレンズ131に対応した領域である。

【0056】

図5（A）では、1画素に対して1つの配線が対応している例を示している。隣り合う画素間において、各配線間の重心ピッチが等しくなっている。具体的には、g11、g12、g21、g22が等しい間隔になっている。各配線に流れる電流によって、各配線には発熱が生じるため、各配線は発熱体と考えることができる。配線間の重心ピッチを等間隔とすれば、発熱体も等間隔となるため、接合面100での発熱ムラを抑制することができる。

【0057】

図5（B）は、図5（A）の変形例である。図5（A）では、同じ列では同じ面積の配線のみが配置されており、隣り合う列間で面積の異なる配線が配置されていた。しかし、図5（B）では、上下左右で面積の異なる配線が配置されている。ただし、隣り合う画素間において、各配線間の重心ピッチが等しいピッチとなっている点において、図5（A）と（B）は共通する。この構成によれば、図5（A）に加えて、さらに撮像領域401内における平面均一性を向上させることができる。

【0058】

図5（C）は、1画素に対して、面積の大きな配線122gは1つ配置されており、面積の小さな配線122hは4つ配置されている。また、配線122g同士の間隔、配線122h同士の間隔、配線122gと配線122hの間の間隔は、全て等しくなっている。具体的には、間隔s11、s12、s21、s22が等しい間隔となっている。この構成によれば、配線間の間隔が等しいため、配線間に生じる寄生容量も概ね等しくすることが可能である。例えば、各画素トランジスタを駆動する配線などで、寄生容量をそろえてパルス波形をそろえたい場合などに有用である。

【0059】

図5（D）は、図5（C）の変形例である。図5（C）では、1画素に対応した領域に着目すると、同じ列では同面積の配線が同じ数配置されており、隣り合う列間で面積の異なる配線が配列されていた。他方、図5（D）では、上下左右で面積の異なる配線が配置されている。ただし、隣り合う各配線間において、等しい間隔で配置されている点において、図5（C）と（D）は共通する。この構成によれば、図5（C）に加えて、さらに撮

10

20

30

40

50

像領域 4 0 1 内における平面均一性を向上させることができる。

【 0 0 6 0 】

図 6 (A) は、1 画素に対する、配線の占める密度が一定である例を示している。例えば、配線 1 2 2 g の面積は、配線 1 2 2 h の面積よりも 4 倍大きい。また、1 画素に対応した領域において、配線 1 2 2 g は 1 つ設けられており、配線 1 2 2 h は 4 つ設けられている。すなわち、(配線密度) = (1 画素に対応した領域における各配線の総面積) / (1 画素に対応した領域の面積) は、一定になっている。この構成によれば、図 2 を用いて説明した C M P 工程において、配線密度が一定であるため、局所的なディッシングの影響を低減しうる。

【 0 0 6 1 】

図 6 (B) は、図 6 (A) の変形例である。図 6 (A) では、同じ列では同じ面積の配線が配置されており、隣り合う列間で異なる面積の配線を配置していた。他方、図 6 (B) では、上下左右で配線の面積が異なっている。ただし、隣り合う領域間において、それぞれが等しい配線密度となっている点において、図 6 (A) と (B) は共通する。

【 0 0 6 2 】

図 7 (A) は、図 5 (A) の変形例である。図 5 (A) では、1 画素に対応した領域に 1 つの配線が設けられていた。他方、図 7 (A) では、1 画素に対応した領域に面積の異なる複数の配線が配置されている例を示している。具体的には、1 画素に対応した領域に、2 つの配線 1 2 2 g と、2 つの配線 1 2 2 h が配置されている。ここで、第 1 画素に対応した領域に配置されている配線間の重心ピッチと、第 1 画素に対応した領域に配置されている配線と第 2 画素に対応した領域に配置されている配線との間の重心ピッチは等しい。具体的には、g 1 1、g 1 2、g 2 1、g 2 2 が等しい間隔になっている。各配線に流れる電流によって、各配線には発熱が生じるため、各配線は発熱体と考えることができる。配線間の重心ピッチを等間隔とすれば、発熱体も等間隔となるため、接合面 1 0 0 での発熱ムラを抑制することができる。

【 0 0 6 3 】

同様に、図 7 (B) は図 5 (B) の変形例、図 7 (C) は図 5 (C) の変形例、図 7 (D) は図 5 (D) の変形例、図 8 (A) は図 6 (A) の変形例、図 8 (B) は図 6 (B) の変形例となっている。この構成によれば、さらに平面均一性を向上しうる。

【 0 0 6 4 】

なお、上記では、「等しい」という表現を用いたが、「等しい」という文言は厳密に同一である必要はない。例えば、ある数値に対して、9 0 % から 1 1 0 % の数値範囲までを「等しい」ということができる。あるいは、9 5 % から 1 0 5 % の数値範囲までを「等しい」ということができる。あるいは、効果を奏する限りにおいては、設計誤差や製造誤差などのバラツキがあったとしても、「等しい」ということができる。この点は、以下で説明する実施形態および実施例でも同じである。

【 0 0 6 5 】

また、撮像領域 4 0 1 における接合面 1 0 0 の全てにおいて、上記条件を満たす必要はなく、特定の領域において上記条件を満たしていればよい。例えば、1 0 行 1 0 列分の画素アレイにおいて上記条件を満たしていればよい。

【 0 0 6 6 】

以上の点は、以下の実施例および実施形態においても適用される。

【 0 0 6 7 】

(実施例 1)

以下の実施例では、第 1 チップ 1 0 1 と第 2 チップ 2 0 1 とを接続する接続部の具体的な構成例を説明する。

【 0 0 6 8 】

図 9 は、撮像領域に設けられている画素の等価回路を示す図である。信号電荷処理回路 1 0 は、電荷排出トランジスタ 1 2 0、転送トランジスタ 1 4 0、リセットトランジスタ 1 5 0 を含む。これらのトランジスタが画素トランジスタともいう。図 9 では、ゲートに

10

20

30

40

50

丸を付することにより、PMOSトランジスタであることを示し、ゲートに丸を付さないことで、NMOSトランジスタであることを示す。

【0069】

電荷排出トランジスタ120は、光電変換部130に接続される。電荷排出トランジスタ120は、駆動線OFGからゲートに入力される制御信号に応じて、光電変換部130で生じた信号電荷を電源線5（電源線VDD1）に排出する。

【0070】

転送トランジスタ140は、光電変換部130および差動対回路11の入力ノードに接続される。転送トランジスタ140は、駆動線TXからゲートに入力される制御信号に応じて、光電変換部130で生じた信号電荷を差動対回路11の入力ノードに転送する。

10

【0071】

リセットトランジスタ150は、差動対回路11の入力ノードに接続される。リセットトランジスタ150は、駆動線RESから入力される制御信号に応じて、差動対回路11の入力ノードの電圧を初期値にリセットする。本実施例では、リセットトランジスタ150のドレインは、差動対回路11の入力トランジスタ160のドレインに接続されている。

【0072】

差動対回路11は、入力トランジスタ160および参照トランジスタ170を含む。

【0073】

入力トランジスタ160および参照トランジスタ170は、いずれもNMOSトランジスタである。入力トランジスタ160のソース、および、参照トランジスタ170のソースは、電流源180（負荷トランジスタ180）に接続される。負荷トランジスタ180は、電源線4（電源線GND）と接続され、ゲートには所定の電圧が配線BIASを介して入力される。このような接続により、入力トランジスタ160および参照トランジスタ170は差動対を構成する。

20

【0074】

入力トランジスタ160は、光電変換部130で生じた信号電荷に基づく信号を受ける。つまり、入力トランジスタ160のゲートが、差動対回路11の入力ノードである。参照トランジスタ170のゲートには、制御ランプ信号発生回路（不図示）から、配線RAMPを介して、ランプ信号が供給される。

【0075】

30

カレントミラー回路13は、トランジスタ400およびトランジスタ410を含む。トランジスタ400およびトランジスタ410は、いずれもPMOSトランジスタである。トランジスタ400のゲートとトランジスタ410のゲートは互いに接続されている。トランジスタ400のドレインは参照トランジスタ170に、そして、トランジスタ410のドレインは入力トランジスタ160にそれぞれ接続される。また、トランジスタ400のゲートとドレインとが接続される。さらに、トランジスタ400のソースと、トランジスタ410のソースは、電源線VDD2に接続される。

【0076】

図9に示す接続により、差動対回路11およびカレントミラー回路13は、比較器を構成する。入力トランジスタ160のゲートの電位と、参照トランジスタ170のゲートの電位との大小関係が反転すると、比較器の出力ノードPixOut（トランジスタ410のドレイン）の電位が変化する。入力トランジスタ160のゲートの電位が参照トランジスタ170のゲートの電位より高いときは、比較器の出力ノードの電位は低いレベルである。一方、入力トランジスタ160のゲートの電位が参照トランジスタ170のゲートの電位より低いときは、比較器の出力ノードの電位は高いレベルである。

40

【0077】

参照トランジスタ170のゲートに入力されるランプ信号は、高い電圧から低い電圧へ変化する。そのため、ある時点で比較器の出力ノードの電位は高いレベルから低いレベルへ変化する。入力トランジスタ160のゲートの電位の高さ、つまり、光電変換部130で生じた電荷に基づく信号のレベルに応じて、ランプ信号が変化を開始してから比較器の

50

出力ノードの電位が変化するまでの時間が決まる。このため、この時間をカウントすることにより、光電変換部 130 で生じた電荷に基づく信号をデジタル信号に変換することができる。

【0078】

リセットトランジスタ 150 がオン状態のときは、差動対回路 11 およびカレントミラー回路 13 はボルテージフォロア回路として機能する。そのため、入力トランジスタ 160 のゲートの電位を、ランプ信号の電位に応じた任意の値にリセットすることができる。

【0079】

図9においては、差動対回路 11 が第1チップ 101 に設けられており、カレントミラー回路 13 が第2チップ 102 に設けられている。また、差動対回路 11 とカレントミラー回路 13 の間に、チップ間の接続部 1A と 1B が設けられている。

10

【0080】

例えば、図1を参照すると、接続部 1A は、撮像領域 401 に設けられる配線 122a と 223a である。同様に、接続部 1B は、撮像領域 401 に設けられる配線 122a と 223a である。このように、「接続部」とは、接合面 100 で接触している片方の配線だけを意味する場合もあるし、あるいは、接合面 100 で接触している両方の配線を意味する場合もある。本実施例の説明では、後者を採用している。

【0081】

接続部 1A および 1B の面積は、周辺領域 402 に設けられる接続部の面積よりも小さい。このように構成することにより、画素出力に関する配線に余計な負荷（寄生容量）がつかず、パルス信号の遅延が生じないという効果がある。

20

【0082】

また、本実施例において、周辺領域 402 に設けられる接続部としては、第2チップ 201 に供給されている電圧、または、第2チップ 201 で生成された信号を、第1チップ 101 に伝達するために用いられる接続部が挙げられる。例えば、図9では駆動線 OFG、TX、RESなどは、第1チップ 101 において行方向に配置されているが、これらの駆動線で伝達される信号パルスは、第2チップ 201 で生成されることがある。この場合、第2チップ 201 で生成された信号パルスを、図1の配線 122b、223b のような接続部を介して、第1チップ 101 に伝達される。

【0083】

30

また、第2チップ 201 に入力された電圧、あるいは、第2チップ 201 で生成された電圧を、第1チップ 101 に設けられた電源線 VDD1 や電源線 GND に供給する場合もある。この場合、図1の配線 122b、223b のような接続部を介して、第2チップ 201 側から、第1チップ 101 に設けられた電源線 VDD1 や電源線 GND に電圧が供給される。チップ間の接続部を電源線の供給に用いる場合には、電気抵抗は低い方が望ましい。そのため、周辺領域 402 に配置されている接続部の面積は、撮像領域 401 に配置されている接続部の面積よりも大きくした方がよい。

【0084】

ところで、図1は模式図であるが、1つの画素に対して、1つの接続部（配線 122a と 223a）が設けられている例を示している。すなわち、画素ピッチと接続部のピッチは等しくなっている。ここで、2つの光電変換部で1つのFDを共有する場合、2つの光電変換部に対して、FDからの出力の経路は1つである。そのため、FDの直後で、第1チップと第2チップを接続する場合には、接続部のピッチは、画素のピッチの半分とすることができる。FDの直後で第1チップと第2チップを接続しない場合も、同様のことがいえる。すなわち、図9では、1つの光電変換部 130 に対して、2つの接続部 1A と 1B を有しているが、2つの光電変換部 130 で1つのFD 145 を共有すれば、第1画素に対して、接続部 1A を設け、第2画素に対して接続部 1B を設けることができる。このように構成すれば、画素ピッチと接続部 1A と 1B のピッチを等しくすることも可能となる。

40

【0085】

50

本実施例では、第 1 チップと第 2 チップの接続部に関して、撮像領域の接続部の面積を、周辺領域の接続部の面積よりも小さく構成している。これにより、撮像領域の接続部では、配線容量を小さくし、周辺領域の接続部では、電気抵抗を低くしている。これにより、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 8 6 】

(実施例 2)

図 1 0 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 と同じであるため説明を省略する。

【 0 0 8 7 】

実施例 1 では、両方の接続部は、差動対回路 1 1 とカレントミラー回路 1 3 の間に設けられていた。本実施例は、一方の接続部は、差動対回路 1 1 とカレントミラー回路 1 3 の間に設けられている点では、実施例 1 と共通する。しかし、図 1 0 に示すように、他方の接続部は、差動対回路 1 1 を構成する入力トランジスタ 1 6 0 と参照トランジスタ 1 7 0 との間に設けられている点異なる。このため、実施例 1 では、配線 R A M P と配線 B I A S は、第 1 チップ 1 0 1 の撮像領域に延在して配置されていたのに対して、本実施例では、これらの配線が第 2 チップ 2 0 1 の撮像領域に延在して配置されることになる。

【 0 0 8 8 】

ここで、本実施例においては、撮像領域に配置される接続部 1 B と 1 C の面積は、周辺領域に配置される接続部の面積よりも小さい。これにより、画素出力に余計な負荷がつかないという効果がある。また、実施例 1 と同様に、第 1 チップ 1 0 1 の画素トランジスタの電源線の電圧を、周辺領域に配置される接続部を介して、第 2 チップ 2 0 1 から供給する場合もありうる。この場合、周辺領域の接続部の電気抵抗を低くすることができる。以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 8 9 】

(実施例 3)

図 1 1 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 および 1 0 と同じであるため説明を省略する。

【 0 0 9 0 】

実施例 1 および 2 では、少なくとも一方の接続部が、差動対回路 1 1 とカレントミラー回路 1 3 の間に設けられていた。しかし、本実施例では、両方の接続部が F D 1 4 5 と差動対回路 1 1 との間に設けられている点で、上記の実施例とは異なる。

【 0 0 9 1 】

本実施例においては、撮像領域に配置される接続部 1 D と 1 E は、周辺領域に配置される接続部の面積よりも小さくする。これにより、画素出力に余計な負荷がつかないという効果がある。また、特に、接続部 1 E は、F D 1 4 5 と直接接続している接続部であり、低ノイズ化を図るためには、配線容量をできるだけ小さくすべきである。したがって、本実施例によれば、低ノイズ化を図ることができるという効果がある。また、実施例 1 および実施例 2 と同様に、第 1 チップ 1 0 1 の画素トランジスタの電源線の電圧を、周辺領域に配置される接続部を介して、第 2 チップ 2 0 1 から供給する場合もありうる。この場合、周辺領域の接続部の電気抵抗を低くすることができる。以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 9 2 】

(実施例 4)

図 1 2 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 から図 1 1 と同じであるため説明を省略する。

【 0 0 9 3 】

本実施例では、リセットトランジスタ 1 5 0 を第 1 チップ 1 0 1 側ではなく、第 2 チッ

10

20

30

40

50

プ 2 0 1 側に設けている。この結果、実施例 3 では、2 つの接続部を設けていたのに対して、本実施例では 1 つの接続部を設けるだけでよい。すなわち、接続部が低減でき、製造上の接触不良等を抑制することのできる光電変換装置を提供することができる。

【 0 0 9 4 】

また、本実施例では、実施例 3 では、駆動線 R E S が第 1 チップ 1 0 1 の撮像領域に延在して配置されていたのに対して、本実施例では、駆動線 R E S が第 2 チップ 2 0 1 の撮像領域に延在して配置されることになる。

【 0 0 9 5 】

本実施例においては、撮像領域に配置される接続部 1 E は、周辺領域に配置される接続部の面積よりも小さくしている。接続部 1 E は、F D 1 4 5 と直接接続している接続部であり、低ノイズ化を図るためには、配線容量をできるだけ小さくすべきである。したがって、本実施例によれば、低ノイズ化を図ることができるという効果がある。また、実施例 1 から実施例 3 と同様に、第 1 チップ 1 0 1 の画素トランジスタの電源線の電圧を、周辺領域に配置される接続部を介して、第 2 チップ 2 0 1 から供給する場合もありうる。この場合、周辺領域の接続部の電気抵抗を低くすることができる。以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 0 9 6 】

(実施例 5)

図 1 3 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 から図 1 2 と同じであるため説明を省略する。

【 0 0 9 7 】

本実施例では、第 1 チップと第 2 チップの接続部を介して、信号電荷処理回路 1 0 に設けられている全てのトランジスタのゲートに制御信号が入力されるように構成される点が、実施例 1 から実施例 4 と異なる点である。具体的には、電荷排出トランジスタ 1 2 0、転送トランジスタ 1 4 0、リセットトランジスタ 1 5 0 のゲートへの入力信号は、第 2 チップ 2 0 1 の撮像領域に配された駆動線 R E S、駆動線 T X、駆動線 O F G から、接続部 2 C から 2 F を介して与えられる。

【 0 0 9 8 】

また、差動対回路 1 1 に設けられた負荷トランジスタ 1 8 0 と参照トランジスタ 1 7 0 のゲートに入力される電圧を供給する配線 B I A S と配線 R A M P も、第 2 チップ 2 0 1 の撮像領域に延在して配置される。配線 B I A S と配線 R A M P の電圧は、接続部 2 A および 2 B を介して、負荷トランジスタ 1 8 0 と参照トランジスタ 1 7 0 のそれぞれに入力されるように構成される。

【 0 0 9 9 】

さらに、差動対回路 1 1 とカレントミラー回路 1 3 との間の接続には、実施例 1 と同様に、接続部 1 A と 1 B が用いられている。

【 0 1 0 0 】

本実施例においては、接続部 1 A および 1 B の面積は、周辺領域 4 0 2 に設けられる接続部の面積よりも小さくする。これにより、画素出力に余計な負荷がつかないという効果がある。

【 0 1 0 1 】

また、本実施例においては、接続部 2 C から 2 F の面積は、周辺領域 4 0 2 に設けられる接続部の面積よりも小さくする。これにより、配線容量を低減することができ、信号の伝搬遅延を抑制することができる。

【 0 1 0 2 】

さらに、本実施例においては、接続部 2 D と 2 E の面積を等しくするとよい。接続部 2 D は駆動線 T X と接続し、転送トランジスタ 1 4 0 を動作させるための配線である。また、接続部 2 E は駆動線 O F G と接続し、電荷排出トランジスタ 1 2 0 を動作させるための配線である。光電変換装置においては、電荷蓄積時間は、転送トランジスタ 1 4 0 と電荷

10

20

30

40

50

排出トランジスタ 1 2 0 によって制御される。そのため、接続部 2 D と 2 E の面積をそろえることにより、電気抵抗や配線容量をそろえることが可能となる。

【 0 1 0 3 】

加えて、本実施例においては、接続部 1 A および 1 B の面積を、接続部 2 D および 2 E の面積よりも小さくすることが好ましい。上記のとおり、画素出力には、接続部 1 A および 1 B の面積の寄与が大きいからである。

【 0 1 0 4 】

加えて、本実施例においては、接続部 2 F の面積を、接続部 1 A と 1 B の面積よりも、大きくすることが好ましい。また、接続部 2 F の面積を、接続部 2 A から 2 E の面積よりも大きくすることが好ましい。接続部 2 F は、電源線 V D D 1 に接続する配線であり、電気抵抗を低くした方が良いからである。

10

【 0 1 0 5 】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 1 0 6 】

(実施例 6)

図 1 4 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 から図 1 3 と同じであるため説明を省略する。

【 0 1 0 7 】

実施例 2 および実施例 5 と比較して、本実施例が異なる点は、電源線 G N D の電圧が接続部を介して、第 2 チップ 2 0 1 から第 1 チップ 1 0 1 に供給される点である。

20

【 0 1 0 8 】

本実施例においては、接続部 1 B および 1 C の面積は、周辺領域 4 0 2 に設けられる接続部の面積よりも小さくすることが好ましい。あるいは、接続部 1 B および 1 C の面積は、接続部 2 F および 2 G の面積よりも小さくすることが好ましい。これにより、画素出力に余計な負荷がつかないという効果がある。

【 0 1 0 9 】

また、接続部 2 F および 2 G の面積を、接続部 2 C から 2 E の面積よりも大きくすることが好ましい。あるいは、接続部 2 F および 2 G の面積を、接続部 1 B および 1 C の面積よりも大きくすることが好ましい。接続部 2 F は、電源線 V D D 1 に接続する配線であり、接続部 2 G は、電源線 G N D に接続する配線である。そのため、これらの配線の面積を大きくすることにより、配線抵抗を低減することができるという効果がある。

30

【 0 1 1 0 】

さらに、実施例 5 と同様に、接続部 2 D と 2 E の面積を等しくするとよい。

【 0 1 1 1 】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 1 1 2 】

(実施例 7)

図 1 5 は、本実施例に係る等価回路図であり、回路図および動作は、図 9 から図 1 4 と同じであるため説明を省略する。

40

【 0 1 1 3 】

本実施例は、実施例 6 をベースとしたものである。ただし、実施例 6 の接続部 1 B と 1 C の箇所で両チップを接続するのではなく、実施例 3 で説明した接続部 1 D と 1 E の箇所で両チップを接続している点が、実施例 6 と異なる点である。

【 0 1 1 4 】

本実施例においては、接続部 1 D と 1 E の面積は、周辺領域に設けられる接続部の面積よりも小さくすることが好ましい。あるいは、接続部 1 D と 1 E の面積は、接続部 2 F および 2 G の面積よりも小さくすることが好ましい。あるいは、接続部 1 D と 1 E の面積は、接続部 2 C から 2 F の面積よりも小さくすることが好ましい。これにより、画素出力に

50

余計な負荷がつかないというという効果がある。

【0115】

また、接続部2Fおよび2Gの面積を、接続部1Dと1Eの面積よりも大きくすることが好ましい。これらの配線の面積を大きくすることにより、配線抵抗を低減することができるという効果がある。

【0116】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【0117】

(実施例8)

図16は、本実施例に係る等価回路図であり、回路図および動作は、図9から図15と同じであるため説明を省略する。

【0118】

実施例7ではリセットトランジスタと差動対回路11との間で両チップを接続しているのに対して、本実施例では、FD145と差動対回路11との間で両チップを接続している点異なる。

【0119】

本実施例では、接続部1Eの面積を、周辺領域に配置される接続部の面積よりも小さくする。あるいは、接続部1Eの面積を、接続部2Dから2Fの面積よりも小さくする。あるいは、接続部1Eの面積を、接続部2Gの面積よりも小さくする。これにより、低ノイズ化を図ることができるという効果がある。

【0120】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【0121】

(実施例9)

図17は、本実施例に係る等価回路図である。図9から図16と同じ符号を付した要素は、同じ機能を奏する要素である。図17では、第2チップ201に設けられたトランジスタを駆動するための駆動線は、省略している。

【0122】

本実施例では、リセットトランジスタ125、増幅トランジスタ135、選択トランジスタ155、電流源185(負荷トランジスタ185)が追加的に設けられている。リセットトランジスタ125は、FD145と電源線5(電源線VDD1)に接続されている。リセットトランジスタ125は、駆動線RES2から入力される制御信号に応じて、FD145の電位をリセットする。増幅トランジスタ135はFD145の電位に応じた信号を出力する。選択トランジスタ155は、増幅トランジスタ135と入力トランジスタ160と接続されており、駆動線SELから入力される制御信号に応じて、入力トランジスタ160に出力する画素行を選択する。負荷トランジスタ185は、電源線4(電源線GND)に接続されており、増幅トランジスタ135の電流源として機能する。

【0123】

本実施例においては、接続部1Fは、選択トランジスタ155と入力トランジスタ160を接続する箇所に設けられている。このため、本実施例においては、接続部1Fの面積は、周辺領域に設けられる接続部の面積よりも小さくすることが好ましい。これにより、画素出力に余計な負荷がつかないというという効果がある。また、第1チップ101の画素トランジスタの電源線の電圧を、周辺領域に配置される接続部を介して、第2チップ201から供給する場合もありうる。この場合、周辺領域の接続部の電気抵抗を低くすることができる。

【0124】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

10

20

30

40

50

【 0 1 2 5 】

(実施例 1 0)

図 1 8 は、本実施例に係る等価回路図であり、回路図および動作は、図 1 7 と同じであるため説明を省略する。

【 0 1 2 6 】

本実施例では、第 1 チップ 1 0 1 に設けられている各トランジスタのゲートと、各ゲートに入力する制御信号を伝達する各駆動線との間に、接続部 2 C、2 D、2 E、2 H が設けられている。また、電荷排出トランジスタ 1 2 0 と電源線 5 (電源線 V D D 1) との間と、増幅トランジスタ 1 3 5 と電源線 V D D 1 との間に、接続部 2 F が設けられている。さらに、第 1 チップ 1 0 1 に配置されている電源線 4 (電源線 G N D) と、第 2 チップ 2 0 1 に配置されている電源線 G N D との間に、接続部 2 G が設けられている。

10

【 0 1 2 7 】

本実施例においても、接続部 1 F の面積は、周辺領域に設けられる接続部の面積よりも小さくすることが好ましい。これにより、画素出力に余計な負荷がつかないというという効果がある。

【 0 1 2 8 】

また、接続部 2 F および 2 G の面積を、接続部 1 F の面積よりも大きくすることが好ましい。あるいは、接続部 2 F および 2 G の面積を、接続部 2 C、2 D、2 E、2 H の面積よりも大きくすることが好ましい。これらの配線の面積を大きくすることにより、配線抵抗を低減することができるという効果があるからである。

20

【 0 1 2 9 】

さらに、接続部 2 D と 2 E の面積を等しくするとよい。光電変換装置においては、電荷蓄積時間は、転送トランジスタ 1 4 0 と電荷排出トランジスタ 1 2 0 によって制御される。そのため、接続部 2 D と 2 E の面積をそろえることにより、電気抵抗や配線容量をそろえることが可能となる。

【 0 1 3 0 】

以上により、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【 0 1 3 1 】

(第 2 実施形態： 3 層構成の光電変換装置)

30

本実施形態は、第 1 チップ 1 0 1 と第 2 チップ 2 0 1 に加えて、第 3 チップ 3 0 1 も積層している点で、上記の実施形態および実施例とは異なる。

【 0 1 3 2 】

図 1 9 は、本実施形態に係る光電変換装置の断面図である。本実施形態においては、図 1 と同様に、第 1 チップ 1 0 1 と第 2 チップ 2 0 1 とが積層されている。

【 0 1 3 3 】

第 3 チップ 3 0 1 の第 3 半導体層 3 0 4 には、複数のトランジスタが設けられている。撮像領域 4 0 1 に設けられているトランジスタの構成要素として、ソース/ドレイン領域 3 1 2 a、3 1 3 a、ゲート電極 3 1 4 a、ウエル領域 3 1 6 a を図示している。また、周辺領域 4 0 2 に設けられているトランジスタの構成要素として、ソース/ドレイン領域 3 1 2 b、3 1 3 b、ゲート電極 3 1 4 a、ウエル領域 3 1 6 a を図示している。

40

【 0 1 3 4 】

第 3 半導体層 3 0 4 の表面 3 0 5 側には、第 3 配線構造 3 0 7 が設けられている。すなわち、第 2 配線構造 2 0 7 と第 3 半導体層 3 0 4 の間に、第 3 配線構造 3 0 7 が設けられている。第 3 配線構造 3 0 7 は、複数の絶縁層と、複数の配線層からなる。本実施形態では、複数の配線層として、配線層 3 2 1 と、配線層 3 2 2 と、配線層 3 2 3 が設けられている。ここで、配線 3 2 3 a は撮像領域 4 0 1 に設けられている配線であり、配線 3 2 3 b は周辺領域 4 0 2 に設けられている配線である。配線層 3 2 1 と各トランジスタとの電氣的接続を行うために、コンタクトプラグが設けられている。各配線層間、例えば、配線層 3 2 1 と配線層 3 2 2 との間の電氣的接続を行うために、ビアプラグが設けられている。

50

【0135】

また、第2半導体層204の裏面206と第3配線構造307の間には、第4配線構造210が設けられている。第4配線構造210は、絶縁層と配線層とからなる。撮像領域401に配線225aが設けられており、周辺領域402に配線225bが設けられている。第2配線構造207の配線221bと配線225bの間には、貫通電極224bが設けられている。貫通電極224bは、シリコン層からなる第2半導体層204を貫通するため、TSV(Through Silicon Via)ともいわれる。第2チップ201と第3チップ301の接合面200において、配線225aは配線323aと接触し、配線225bは配線323bと接触している。

【0136】

図20(A)は、図19における接合面100に関して、第2チップ201から第1チップ101を観察した場合の平面図であり、第1配線構造107の配線122aと、配線122bが図示されている。このように、平面視において、配線122aの面積は、配線122bの面積よりも小さくなるように構成されている。また、不図示であるが、第1チップ101から第2チップ201を観察した場合には、第2配線構造207の配線223aの面積は、配線223bの面積よりも小さくなるように構成されている。すなわち、平面視において、配線122a(第1接続部)と配線223a(第2接続部)の面積は、配線122b(第3接続部)と配線223b(第4接続部)の面積よりも小さい。この条件が満たされることによる効果は、第1実施形態で説明した効果と同様である。

【0137】

また、図20(B)は、図19における接合面200に関して、第3チップ301から第2チップ201を観察した場合の平面図であり、第4配線構造210の配線225aと、配線225bが図示されている。このように、平面視において、配線225aの面積と、配線225bの面積は等しくなるように構成されている。また、不図示であるが、第2チップ201から第1チップ101を観察した場合には、第3配線構造307の配線323aの面積は、配線323bの面積と等しくなるように構成されている。このように構成することにより、第2チップ201と第3チップ301との接合面における配線工での発熱について、チップ全体で均一化を図ることができる。このため、局所的な発熱が生じにくく、画質の劣化を軽減することが可能となる。特に、一般的に3チップ以上を積層した場合には、挟まれるチップは薄く形成されるため、チップ全体で発熱の均一化を図ることは好ましい形態である。

【0138】

さらに、図20(A)および(B)に示すように、配線225aおよび配線225bの面積は、配線122aよりも大きく、配線122bよりも小さい。このように構成することにより、配線に流れる電流の電流密度を低く抑え、より局所的な発熱を軽減しつつ、より多くの接続部を形成することができる。必要な接続部の数と電流密度から、適宜接続部の大きさを選択してもよい。

【0139】

(変形例)

図21は、本実施形態に係る光電変換装置の断面図であり、図19および図20に示した形態の変形例である。本変形例は、第1チップ101、第2チップ201、第3チップ301が積層されている点では、上記説明した形態と共通する。

【0140】

図21において、第2半導体層204の裏面206側には、第5配線構造220が設けられている。すなわち、第5配線構造220は、第1配線構造107と第2半導体層204との間に設けられた配線構造である。そのため、位置関係としては、図19の第2配線構造207と、図21の第5配線構造220は等価である。第5配線構造220は、絶縁層と配線層とからなる。

【0141】

撮像領域401には配線226aが設けられており、周辺領域402には配線226b

10

20

30

40

50

が設けられている。接合面 100 において、配線 226a は第 1 配線構造 107 の配線 122e と接触している。また、接合面 100 において、配線 226b は第 1 配線構造 107 の配線 122f と接触している。貫通電極 228b を介して、第 5 配線構造 220 の配線 226b は、第 2 配線構造 207 の配線 221b と電氣的に接続している。ここで、第 2 配線構造 207 は、第 2 半導体層 204 と第 3 配線構造 307 との間に設けられている。そのため、位置関係としては、図 19 の第 4 配線構造 210 と、図 21 の第 2 配線構造 207 は等価である。

【0142】

また、図 19 から図 21 では、第 1 チップ 101 と第 2 チップ 201 の接続部に関して、撮像領域の接続部の面積が、周辺領域の接続部の面積よりも小さい例を説明した。しかし、逆に、撮像領域の接続部の面積が、周辺領域の接続部の面積よりも大きくてもよい。この構成による効果は、第 1 実施形態および上記実施例で説明した効果と同様である。本実施形態によれば、複数の半導体層を積層した光電変換装置において、より特性を改善した光電変換装置を提供することができる。

【0143】

(実施例 11)

図 22 は、第 2 実施形態に係る光電変換装置に関する等価回路図である。図 9 と比較すると、追加的にデジタルデータを記録するメモリを有する第 3 チップ 301 が設けられている。具体的には、メモリとして、DRAM (Dynamic Random Access Memory) が設けられている。図 22 において、容量 453 にトランジスタ 450 が接続されており、トランジスタ 450 のゲートにはワードライン 451 が接続されている。また、トランジスタ 450 のドレインはビットライン 452 に接続されており、ワードライン 451 とビットライン 452 の電圧を変化させることにより、容量 453 への書き込みや容量 453 からの読み出しを行う。また、図 9 と比較すると、図 22 では、第 2 チップのカレントミラー回路 13 からの出力が増幅部 440 に入力されている点も異なる。

【0144】

図 22 では、図 9 と同様に、差動対回路 11 が第 1 チップ 101 に設けられており、カレントミラー回路 13 が第 2 チップ 102 に設けられている。また、差動対回路 11 とカレントミラー回路 13 の間に、チップ間の接続部 1A と 1B が設けられている。接続部 1A と 1B は、図 19 の配線 122a および配線 223a から構成される接続部に相当し、また、図 21 の配線 122e および配線 226a から構成される接続部に相当する。

【0145】

また、図 22 では、第 3 チップ 301 に設けられているワードライン 451 と、第 2 チップ 201 に設けられている増幅部 440 との間に、接続部 3A を設けている。接続部 3A は、図 19 の配線 225a および配線 323a から構成される接続部に相当し、また、図 21 の配線 227a および配線 323a から構成される接続部に相当する。

【0146】

接続部 1A および 1B の面積は、周辺領域 402 に設けられる接続部の面積よりも小さくすることが好ましい。あるいは、接続部 1A および 1B の面積は、接続部 3A の面積よりも小さくすることが好ましい。このように構成することにより、画素出力に余計な負荷がつかないという効果がある。

【0147】

(第 3 実施形態：撮像システム)

本実施形態に係る撮像システムについて、図 23 を用いて説明する。図 23 は、本実施形態による撮像システムの概略構成を示すブロック図である。

【0148】

上記実施形態で述べた光電変換装置は、種々の撮像システムに適用可能である。適用可能な撮像システムとしては、特に限定されるものではないが、例えば、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、

10

20

30

40

50

観測衛星、医療用カメラなどの各種の機器が挙げられる。また、レンズなどの光学系と光電変換装置とを備えるカメラモジュールも、撮像システムに含まれる。図 23 にはこれらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

【0149】

撮像システム 500 は、光電変換装置 1000、撮像光学系 502、CPU 510、レンズ制御部 512、撮像装置制御部 514、画像処理部 516、絞りシャッター制御部 518、表示部 520、操作スイッチ 522、記録媒体 524 を備える。

【0150】

撮像光学系 502 は、被写体の光学像を形成するための光学系であり、レンズ群、絞り 504 等を含む。絞り 504 は、その開口径を調節することで撮影時の光量調節を行なう機能を備えるほか、静止画撮影時には露光秒時調節用シャッターとしての機能も備える。レンズ群及び絞り 504 は、光軸方向に沿って進退可能に保持されており、これらの連動した動作によって変倍機能（ズーム機能）や焦点調節機能を実現する。撮像光学系 502 は、撮像システムに一体化されていてもよいし、撮像システムへの装着が可能な撮像レンズでもよい。

10

【0151】

撮像光学系 502 の像空間には、その撮像面が位置するように光電変換装置 1000 が配置されている。光電変換装置 1000 は、第 1 実施形態および第 2 実施形態で説明した光電変換装置である。光電変換装置 1000 は、撮像光学系 502 により結像された被写体像を光電変換し、画像信号や焦点検出信号として出力する。

20

【0152】

レンズ制御部 512 は、撮像光学系 502 のレンズ群の進退駆動を制御して変倍操作や焦点調節を行うためのものであり、その機能を実現するように構成された回路や処理装置により構成されている。絞りシャッター制御部 518 は、絞り 504 の開口径を変化して（絞り値を可変として）撮影光量を調節するためのものであり、その機能を実現するように構成された回路や処理装置により構成される。

【0153】

CPU 510 は、カメラ本体の種々の制御を司るカメラ内の制御装置であり、演算部、ROM、RAM、A/D コンバータ、D/A コンバータ、通信インターフェイス回路等を含む。CPU 510 は、ROM 等に記録されたコンピュータプログラムに従ってカメラ内の各部の動作を制御し、撮像光学系 502 の焦点状態の検出（焦点検出）を含む AF、撮像、画像処理、記録等の一連の撮影動作を実行する。CPU 510 は、信号処理部でもある。

30

【0154】

撮像装置制御部 514 は、光電変換装置 1000 の動作を制御するとともに、光電変換装置 1000 から出力された信号を A/D 変換して CPU 510 に送信するためのものであり、それら機能を実現するように構成された回路や制御装置により構成される。A/D 変換機能は、光電変換装置 1000 が備えていてもかまわない。画像処理部 516 は、A/D 変換された信号に対して変換やカラー補間等の画像処理を行って画像信号を生成するためのものであり、その機能を実現するように構成された回路や制御装置により構成される。表示部 520 は、カメラの撮影モードに関する情報、撮影前のプレビュー画像、撮影後の確認用画像、焦点検出時の合焦状態等を表示する。操作スイッチ 522 は、電源スイッチ、レリーズ（撮影トリガ）スイッチ、ズーム操作スイッチ、撮影モード選択スイッチ等で構成される。記録媒体 524 は、撮影済み画像等を記録するためのものであり、撮像システムに内蔵されたものでもよいし、メモリカード等の着脱可能なものでもよい。

40

【0155】

このようにして、上記実施形態で説明した光電変換装置 1000 を適用した撮像システム 500 を構成することにより、高性能の撮像システムを実現することができる。

【0156】

（第 4 実施形態：撮像システムおよび移動体）

50

本実施形態に係る撮像システム及び移動体について、図 2 4 (A) 及び図 2 4 (B) を用いて説明する。図 2 4 (A) 及び図 2 4 (B) は、本実施形態による撮像システム及び移動体の構成を示す図である。

【 0 1 5 7 】

図 2 4 (A) は、車載カメラに関する撮像システム 1 4 0 0 の一例を示したものである。撮像システム 1 4 0 0 は、光電変換装置 1 4 1 0 を有する。光電変換装置 1 4 1 0 は、上記実施形態に記載の光電変換装置のいずれかである。撮像システム 1 4 0 0 は、光電変換装置 1 4 1 0 により取得された複数の画像データに対し、画像処理を行う処理装置である画像処理部 1 4 1 2 を有する。また、撮像システム 1 4 0 0 は、光電変換装置 1 4 1 0 により取得された複数のデータから視差の算出を行う処理装置である視差取得部 1 4 1 4 を有する。また、撮像システム 1 4 0 0 は、算出された視差に基づいて対象物までの距離を算出する処理装置である距離取得部 1 4 1 6 と、算出された距離に基づいて衝突可能性があるか否かを判定する処理装置である衝突判定部 1 4 1 8 と、を有する。ここで、視差取得部 1 4 1 4 や距離取得部 1 4 1 6 は、対象物までの距離情報等の情報を取得する情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 1 4 1 8 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。上述した各種の処理装置は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールに基づいて演算を行う汎用のハードウェアによって実現されてもよい。また、処理装置は、FPGA (Field Programmable Gate Array)、ASIC (Application Specific Integrated Circuit) 等によって実現されてもよい。また、これらの組合せによって実現されてもよい。

【 0 1 5 8 】

撮像システム 1 4 0 0 は、車両情報取得装置 1 4 2 0 と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム 1 4 0 0 は、衝突判定部 1 4 1 8 での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御 ECU 1 4 3 0 が接続されている。すなわち、制御 ECU 1 4 3 0 は、距離情報に基づいて移動体を制御する移動体制御手段の一例である。また、撮像システム 1 4 0 0 は、衝突判定部 1 4 1 8 での判定結果に基づいて、ドライバーへ警報を発する警報装置 1 4 4 0 とも接続されている。例えば、衝突判定部 1 4 1 8 の判定結果として衝突可能性が高い場合、制御 ECU 1 4 3 0 はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置 1 4 4 0 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【 0 1 5 9 】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム 1 4 0 0 で撮像する。図 2 4 (B) に、車両前方 (撮像範囲 1 4 5 0) を撮像する場合の撮像システム 1 4 0 0 を示した。車両情報取得装置 1 4 2 0 は、撮像システム 1 4 0 0 を動作させ撮像を実行させるように指示を送る。上述の実施形態に記載した光電変換装置を光電変換装置 1 4 1 0 として用いることにより、本実施形態の撮像システム 1 4 0 0 は、測距の精度をより向上させることができる。また、測距を行わずに、画像認識に基づいて、車両を制御してもよい。

【 0 1 6 0 】

以上の説明では、他の車両と衝突しないように制御する例を述べたが、他の車両に追従して自動運転する制御、車線からはみ出さないように自動運転する制御等にも適用可能である。更に、撮像システムは、自動車等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体 (輸送機器) に適用することができる。移動体 (輸送機器) における移動装置はエンジン、モーター、車輪、プロペラなどの各種の移動手段である。加えて、移動体に限らず、高度道路交通システム (ITS) 等、広く物体認識を利用する機器に適用することができる。

10

20

30

40

50

【 0 1 6 1 】

その他、上記で説明した実施形態および実施例は、本発明の課題解決原理を満たす範囲内において、相互に置換することができる。

【 符号の説明 】

【 0 1 6 2 】

- 1 0 0 接合面
 - 1 0 1 第 1 チップ
 - 2 0 1 第 2 チップ
 - 1 2 2 a、b 配線（接続部）
 - 2 2 3 a、b 配線（接続部）
- 10

20

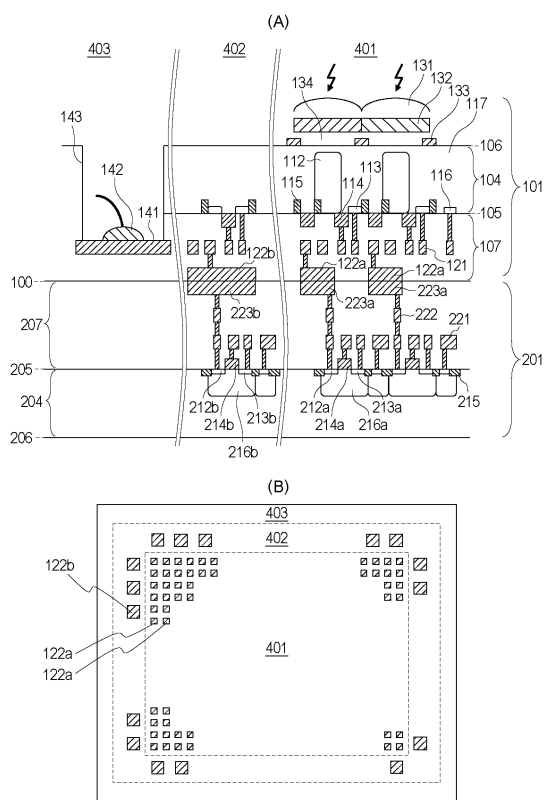
30

40

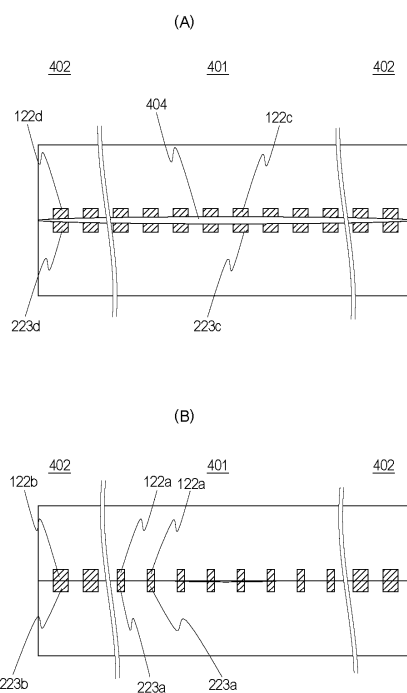
50

【図面】

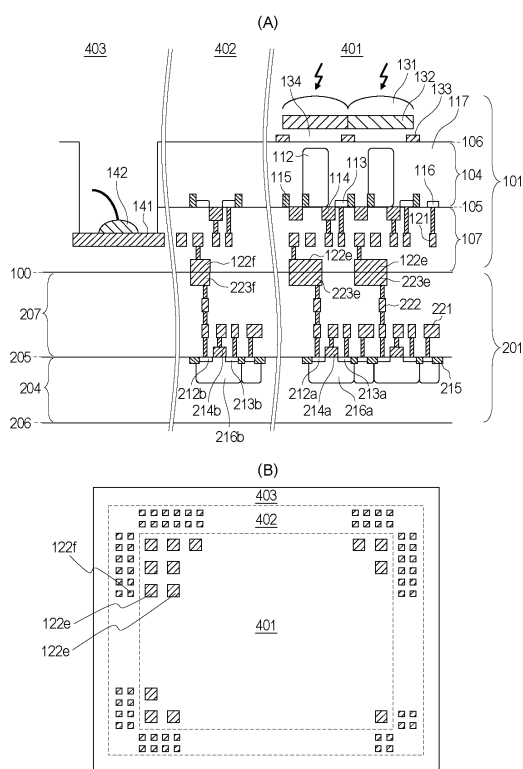
【 図 1 】



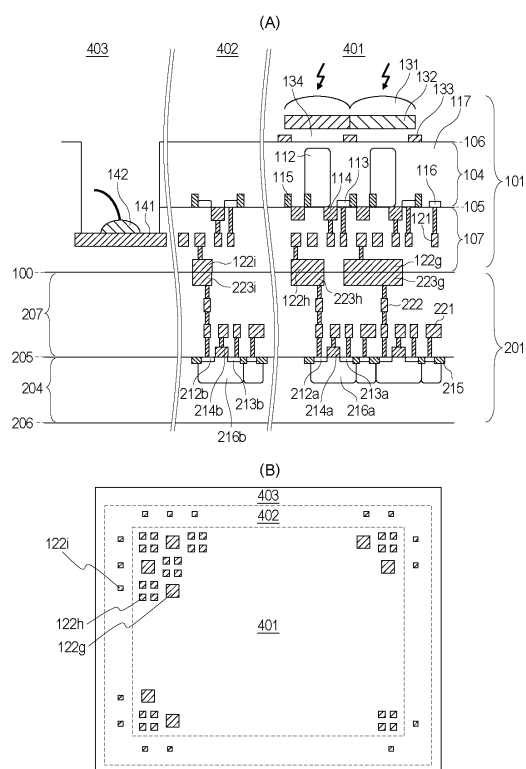
【圖 2】



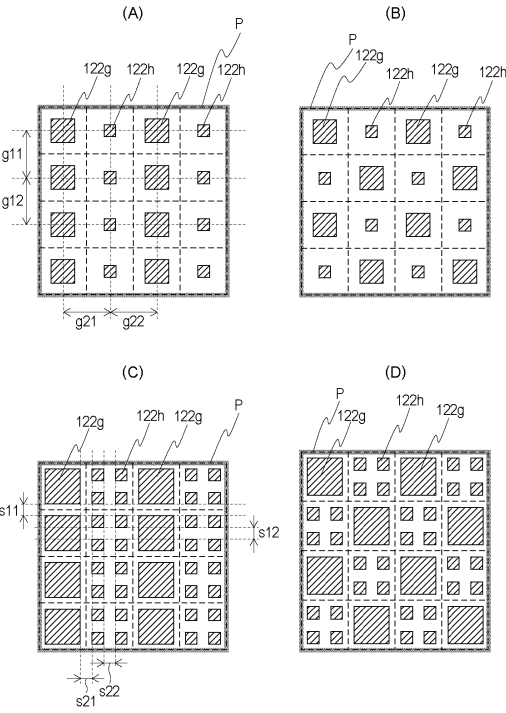
【 図 3 】



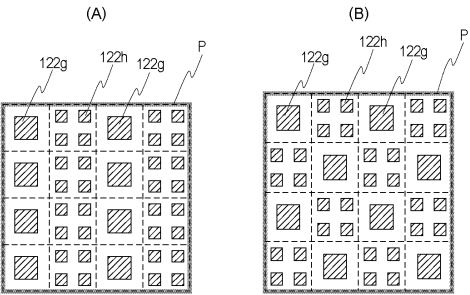
【圖 4】



【図 5】



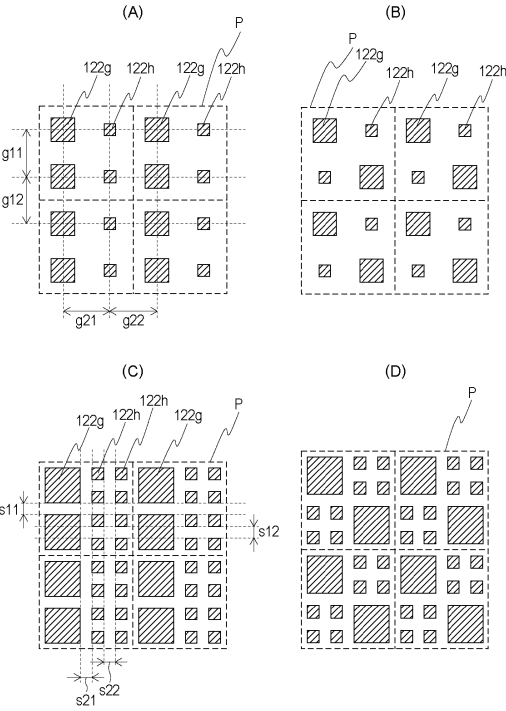
【図 6】



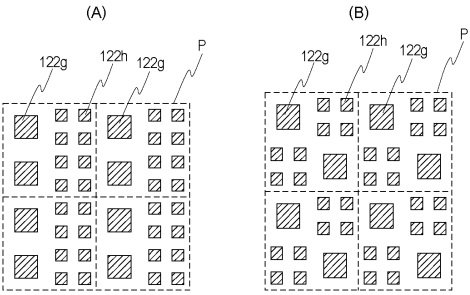
10

20

【図 7】



【図 8】

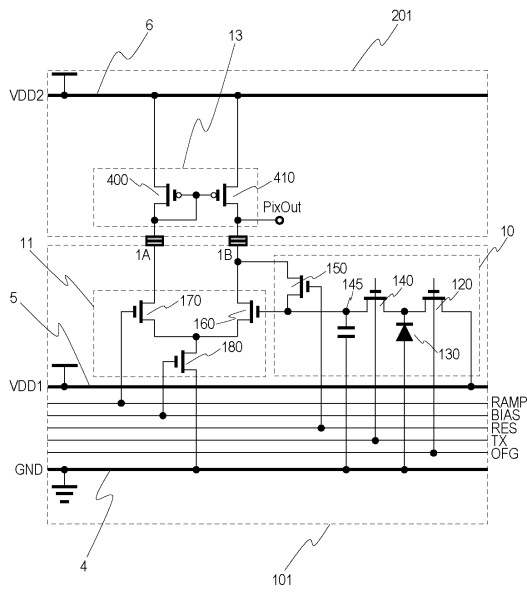


30

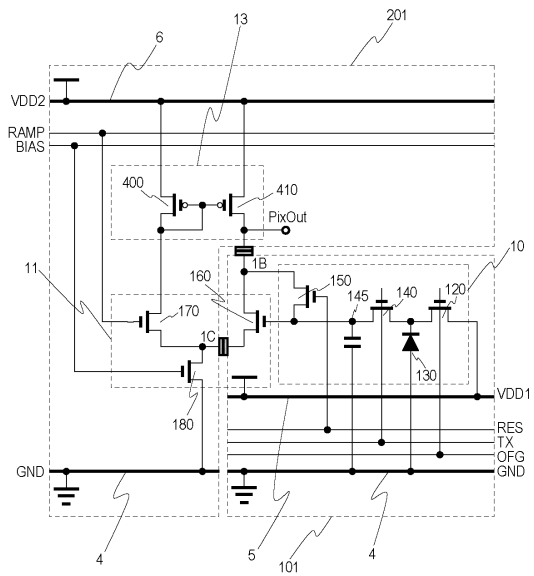
40

50

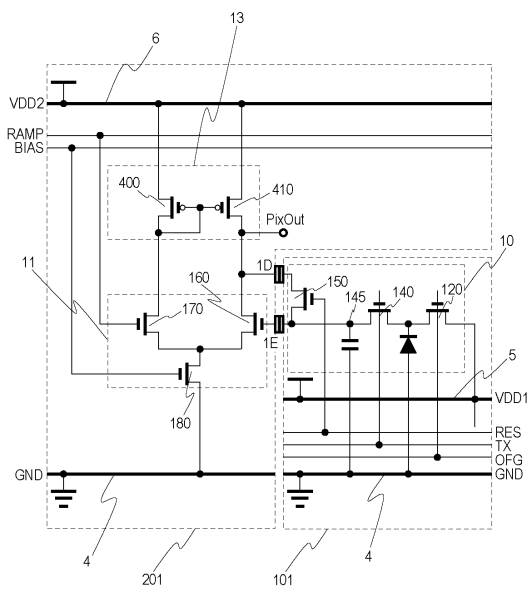
【圖 9】



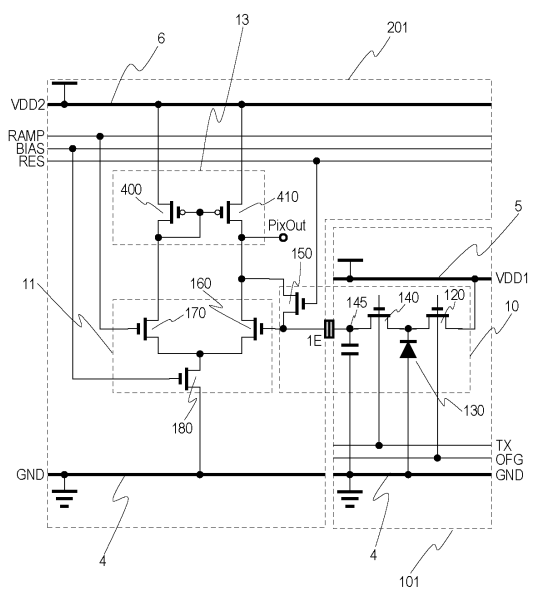
【 図 1 0 】



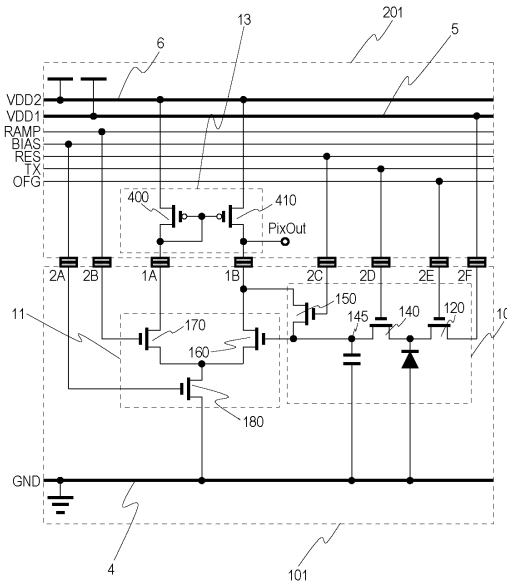
【 図 1 1 】



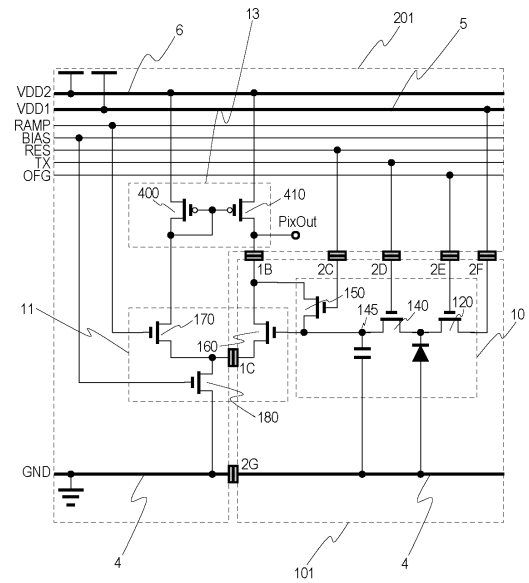
【 図 1 2 】



【 図 1 3 】



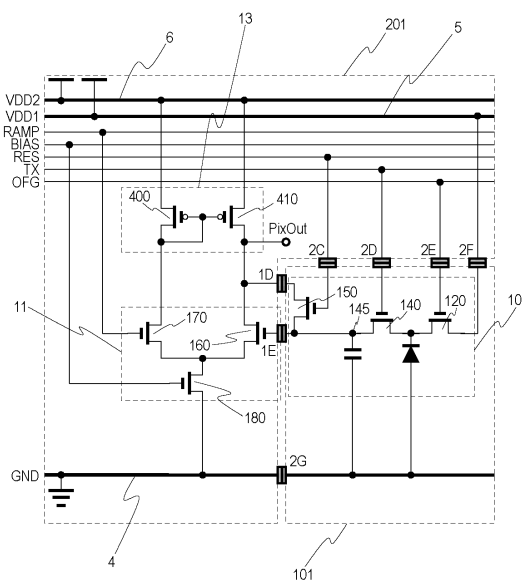
【圖 14】



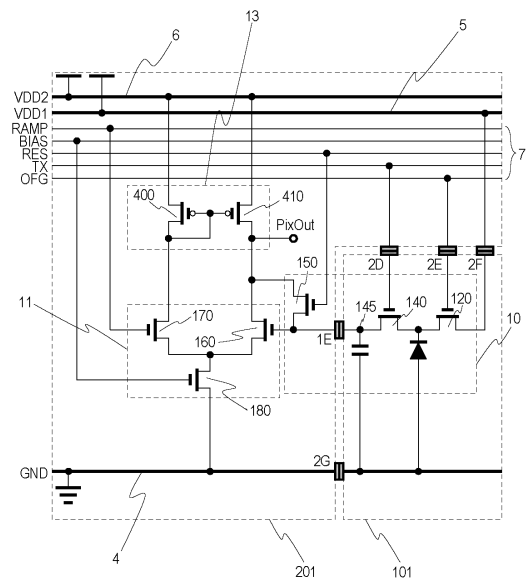
10

20

【 図 1 5 】



【 図 1 6 】

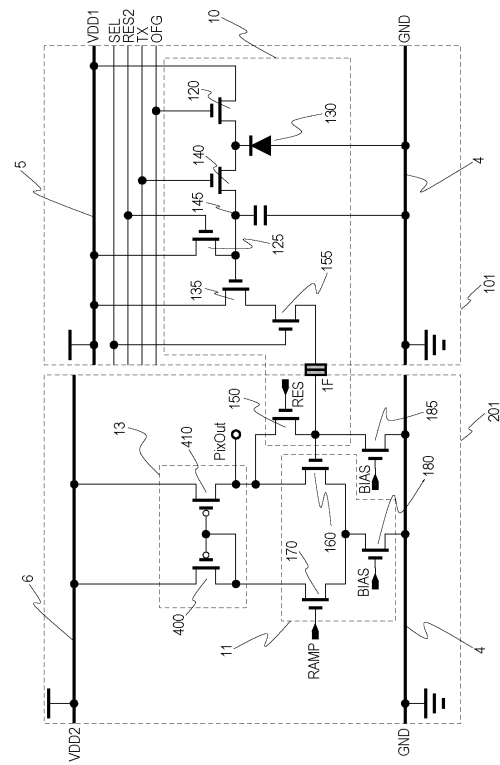


30

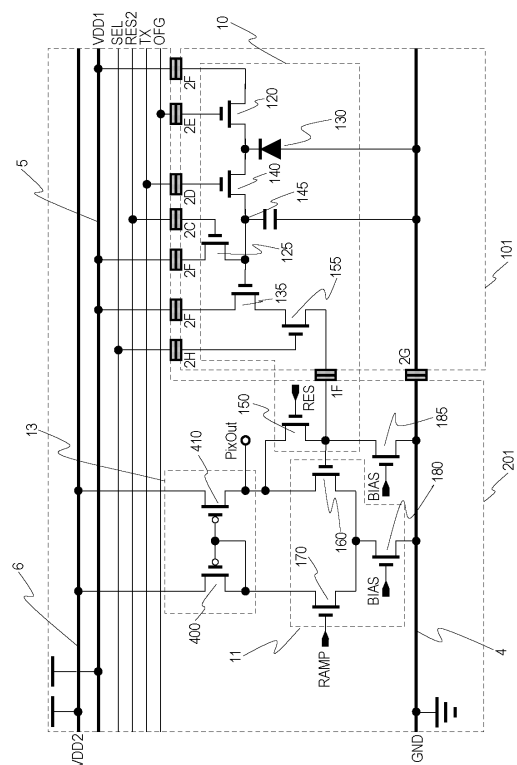
40

50

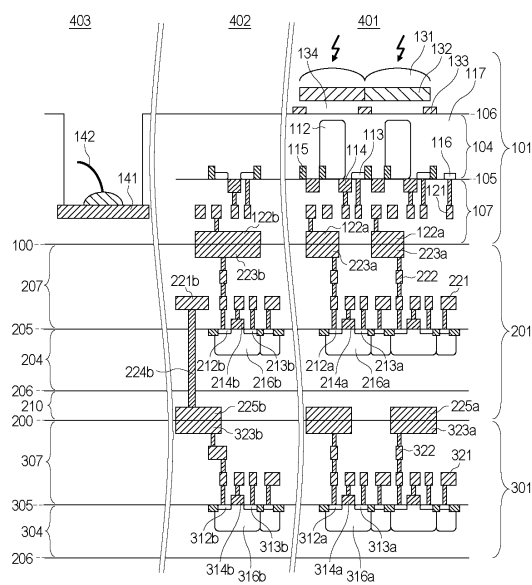
【図 17】



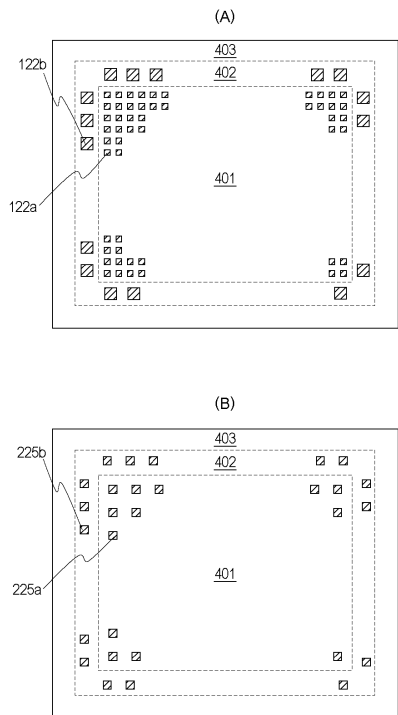
【図 18】



【図 19】



【図 20】



10

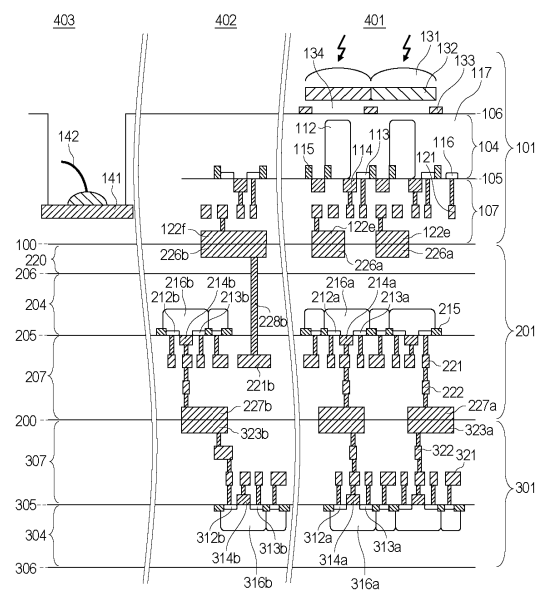
20

30

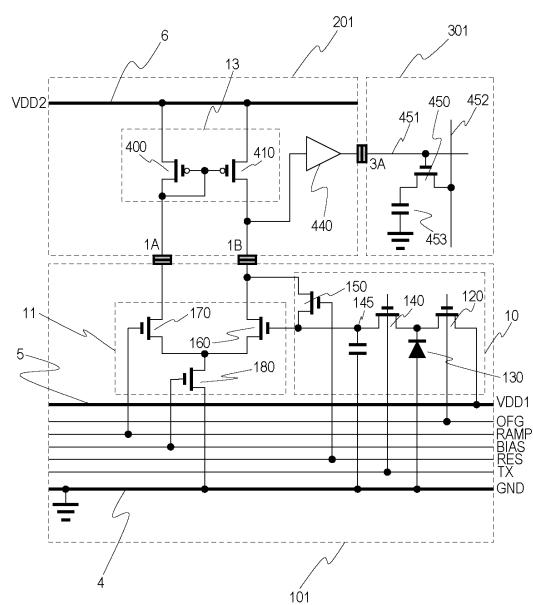
40

50

【 図 2 1 】



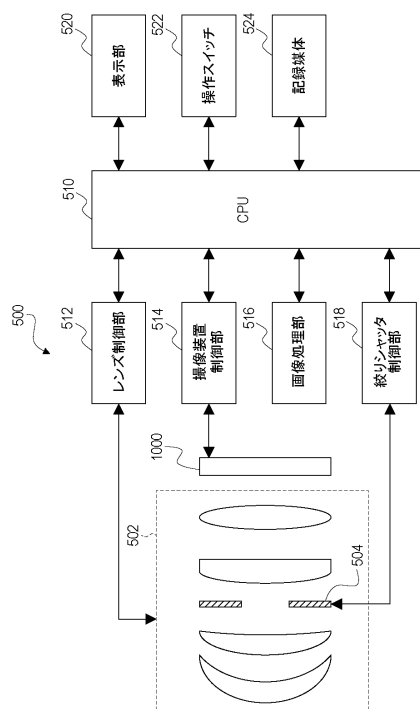
【圖 2 2】



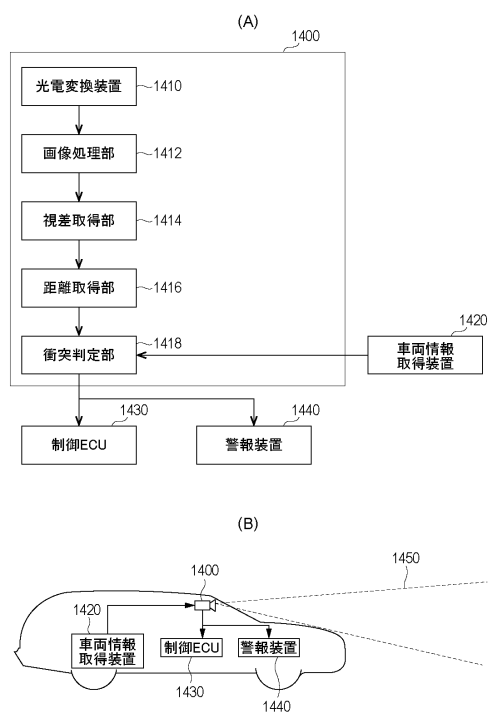
10

20

【 図 2 3 】



【圖 24】



30

40

50

フロントページの続き

ヤノン株式会社内

合議体

審判長 瀧内 健夫

審判官 河本 充雄

審判官 松永 稔

- (56)参考文献 特開 2 0 1 0 - 2 4 5 5 0 6 (J P , A)
特開 2 0 0 6 - 0 4 9 3 6 1 (J P , A)
国際公開第 2 0 1 7 / 1 4 5 5 3 7 (W O , A 1)
国際公開第 2 0 1 6 / 0 0 9 8 3 2 (W O , A 1)
特開 2 0 1 5 - 2 2 6 2 5 5 (J P , A)
特開 2 0 1 6 - 1 7 8 5 2 3 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H01L27/146
H04N25/70