(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 13/00

(45) 공고일자 2004년11월03일
(11) 등록번호 10-0424509
(24) 등록일자 2004년03월15일

(21) 출원번호 10-1996-0044231
(22) 출원일자 1996년10월07일

(65) 공개번호 10-1997-0022770
(43) 공개일자 1997년05월30일

(30) 우선권주장 95-261180 1995년10월09일 일본(JP)
96-236140 1996년09월06일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 기우치 아츠시
일본국 도쿄도 고쿠분지시 히가시코이가쿠보 1-217 덴노우에사택A-1

하타노 유지
일본국 도쿄도 고쿠분지시 히카리쵸 1-1-29

바지 도루
일본국 도쿄도 이나기시 고요다이 4-2, C-608

노구치 고키
일본국 도쿄도 세카가야구 가미키타자와 3-23-18

아카오 야스시
일본국 도쿄도 고쿠분지시 히가시코이가쿠보 6-14-39

바바 시로
일본국 도쿄도 고쿠분지시 도쿠라 4-9-17

(74) 대리인 백남기

심사관 : 김근모

(54) 데이타처리장치

요약

중앙처리장치와 디지탈신호처리유닛을 갖는 반도체집적회로화된 논리LSI(Large Scale Integrated Circuit)에 관한 것으로서, 시스템전체를 제어하기 위해 필요한 범용연산처리유닛과 디지탈신호를 효율적으로 처리하기 위해 필요한 곱합연산기능을 구비한 디지탈신호처리유닛을 동일칩상에 탑재한 마이크로컴퓨터나 디지탈신호프로세서에 있어서 연산기에서 취급하는 데이타형식의 차이에 의한 처리스텝수의 증대를 방지하고 디지탈신호처리의 고효율화를 도모하기 위해, 디지탈신호처리유닛을 고정소수점데이타를 취급하는 연산유닛으로 하고, 고정소수점데이타연산을 실행하는 명령을 종래의 정수연산명령과는 별도로 마련하고, 또 디지탈신호처리유닛과 메모리 또는 외부와의 데이타전송동작에 있어서 연산정밀도보다 짧은 비트길이의 데이타를 전송하는 경우에는 데이타를 저장하는 레지스터의 상위측의 데이타를 입출력하는 기능을 갖게 하고, 고정소수점데이타로서의 데이타전송명령을 종래의 정수데이타를 전제로 한 전송명령과는 별도로 마련하는 구성으로 하였다.

이러한 구성에 의해, 정수데이타처리유닛에서 디지탈신호처리를 실행시킨 경우에 발생하는 여분의 보정처리를 삭감할 수 있다는 효과가 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 정수데이타와 고정소수점데이타의 관계를 도시한 도면,
도 2는 본 발명의 1실시예에 있어서의 마이크로컴퓨터의 전체적인 블럭도,
도 3은 본 발명의 1실시예에 있어서의 시프터(107)의 상세한 1실시예를 도시한 도면,
도 4는 본 발명의 1실시예에 있어서의 디지탈신호처리유닛(104)의 레지스터 파일(108)의 보다 상세한 블럭도 및 데이타버스와의 접속예를 도시한 도면,
도 5는 버퍼 & 드라이버회로의 도면,
도 6은 제어신호(305) 및 제어신호(306)과 취급데이타의 관계를 도시한 도면,
도 7은 본 발명의 1실시예에 있어서의 범용연산처리유닛(101)의 레지스터 파일(103)의 보다 상세한 블럭도 및 데이타버스와의 접속예를 도시한 도면.
※ 부호의 설명 ※
100 : 정수연산 처리기능을 갖는 범용연산처리유닛(CPU)
101 : 범용연산처리유닛내의 산술논리연산기(ALU)
102 : 범용연산처리유닛내의 제2 어드레스연산을 실행하는 정수연산기(PAU)
103 : 범용연산처리유닛내의 레지스터 파일
104 : 고정소수점데이타 연산처리기능을 갖는 디지탈신호처리유닛(DSP)
105 : 디지탈신호처리유닛내의 산술논리연산기
106 : 디지탈신호처리유닛내의 승산기
107 : 디지탈신호처리유닛내의 시프터
108 : 디지탈신호처리유닛내의 레지스터 파일
109 : 32비트길이의 어드레스버스
110 111 : 16비트길이의 어드레스버스
112 : 32비트길이의 데이타버스
113 114 : 16비트길이의 데이타버스
115 116 : 온칩메모리 (X메모리, Y메모리)
117 : 주변회로 또는 외부와의 인터페이스를 실행하는 모듈(I/O)
200 : 인버터회로
201 : 논리곱회로
202 : 논리합회로
203 : 시프터(107)에 있어서 시프트를 실행할지 실행하지 않을지를 제어하는 제어신호
300a, 300b, 300c, 300d : 레지스터 파일내의 개개의 레지스터
301 302 : 로컬버스
303 304 : 버퍼 & 드라이버
305 306 : 데이타전송용 제어신호
112a : 데이타버스(112)의 하위워드(하위데이타버스)
112b : 데이타버스(112)의 상위워드(상위데이타버스)
400a, 400b, 400c, 400d : 레지스터 파일내의 개개의 레지스터
401 402 : 로컬버스
403 404 : 버퍼 & 드라이버
405 406 : 데이타전송용 제어신호
501, 503, 505, 507 : 입력버퍼
502, 504, 506 : 출력버퍼
510 : 부호확장회로
512 : 올제로(all-zero)회로
305a, 305b, 305c, 305d, 305e : 제어신호
306a, 306b, 306c : 제어신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 중앙처리장치와 디지탈신호처리유닛을 갖는 반도체집적회로화된 논리LSI(Large Scale Integrated Circuit)에 관한 것으로서, 고속연산처리를 필요로 하는 마이크로컴퓨터, 디지탈신호프로세서 등의 데이타처리장치에 적용해서 유효한 기술에 관한 것이다.
시스템전체를 제어하기 위해 필요한 범용연산처리유닛(CPU: Central Processing Unit)과 디지탈신호를 효율적으로 처리하기 위해 필요한 곱합연산기능을 구비한 디지탈신호처리유닛(DSP : Digital Signal Processor)를 동일칩상에 탑재한 마이크로컴퓨터의 예로서는 「가와자끼 외, 「DSP기능을 내장한 SH시리즈」, 닛케이 일렉트로닉스, 1992년 11월23일 호, No. 568, pp. 99-112」가 있다.
이것에 의하면, 곱합연산기능을 구비한 디지탈신호처리유닛은 디지탈 필터링 등의 디지탈신호처리의 대표적인 연산처리를 적은 스텝수로 효율좋게 실행하는 것이 가능하다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 기술에 기재된 디지탈신호처리유닛은 곱합연산기를 구비하고 있지만, 연산을 실행하는 데이타를 상기 범용연산처리유닛과 마찬가지로 정수데이타로서 취급하고 있다. 통상, 디지탈신호처리의 세계에서 취급하는 데이타는 고정소수점 또는 부동소수점데이타가 일반적이다. 부동소수점데이타는 가수부데이타와 지수부데이타가 세트로 된 데이타형식으로서 완전히 다른 수치체계이지만, 고정소수점데이타는 소수점의 위치가 다를뿐, 정수데이타와 유사하다. 사실, 가감산에서는 기본적으로 정수데이타와 처리내용은 동일하다.
그러나, 도 1의 (a)에 도시한 바와 같이 승산에서는 정수데이타의 경우 소오스데이타는 지정된 레지스터의 하위측의 워드를 연산에 사용하는 것에 반해 고정소수점데이타의 경우는 지정된 레지스터의 상위측을 사용한다. 도 1의 (b)에 도시한 바와 같이 정수데이타는 소수점이 최하위비트의 우측에 위치하고 있다고 간주되는 것에 반해 고정소수점데이타에서는 통상 최상위비트의 바로 우측에 있고 소수점에 가까운 부분이 보다 중요하기 때문이다. 그 때문에 정수승산기에 의해 고정소수점연산을 실행시키기 위해서는 미리 소오스데이타를 상위측에서 하위측으로 시프트 해 두지 않으면 안 된다. 또, 도 1의 (c)에 도시한 바와 같이 소수점위치에 따라서 얼라이닝(자리수맞춤)이 실행되고, 연산결과는 양자에서 1비트분의 어긋남이 발생한다. 그 결과, 실제의 처리프로그램에서는 양자의 어긋남을 보정하기 위한 시프트처리가 필요하게 되는 경우가 있다는 문제가 발생하고 있다.
또, 디지탈신호처리에서는 메모리에서 리드되는 데이타나 연산결과를 메모리 또는 외부로 출력하거나 하는 경우의 데이타의 비트길이는 연산중의 비트정밀도에 비해 적어도 좋은 경우가 많다. 그 때문에, 실제의 디지탈신호처리유닛에서는 메모리 또는 외부와의 데이타전송은 단(單)정밀도의 워드데이타(예를 들면 16비트)로 실행하고, 연산은 배(倍)정밀도(예를 들면 32비트)이상으로 실행하는 것이 일반적이다. 이 연산정밀도보다 비트길이가 짧은 데이타를 전송하는 경우 정수데이타와 고정소수점데이타에서 동작내용이 크게 다르다.
정수데이타를 취급하는 것을 전제로 하고 있는 연산유닛은 워드데이타나 비트길이가 더 짧은 바이트데이타(8비트)의 데이타전송을 실행하는 경우에는 데이타를 유지하는 레지스터의 하위측을 입출력한다. 그러나, 고정소수점데이타를 취급하는 것을 전제로 하고 있는 연산유닛은 데이타의 상위측을 입출력한다. 이 차이가 생기는 원인은 상술한 소수점위치의 차이에서 기인하는 것이다. 즉, 전송하는 데이타의 비트길이가 저장할 오퍼랜드의 비트길이보다 짧은 경우는 데이타의 정밀도나 레인지의 점에서 소수점에 가까운 부분이 보다 중요하지만, 정수데이타는 소수점이 최하위비트의 우측에 위치하고 있다고 간주되는 것에 반해 고정소수점데이타에서는 통상 최상위비트의 바로 우측에 있으므로, 이와 같은 어긋남이 발생한다. 그 결과, 정수데이타를 취급하는 것을 전제로 한 연산유닛에서 연산정밀도보다 짧은 비트길이의 데이타전송을 실행하는 경우는 일일이 시프트처리를 실행하지 않으면 안된다고 하는 문제가 발생한다.
전송시의 데이타의 비트길이를 연산시의 데이타의 비트길이와 동일하게 하고 있으면 이와 같은 문제는 발생하지 않지만, 용장인 비트의 전송을 실행하기 위한 불필요한 버스폭이 필요하게 되거나 데이타를 저장하는 메모리도 여분의 용량을 필요로 하게 되는 문제가 있다.
본 발명의 목적은 중앙처리장치와 고정소수점데이타를 처리하는 디지탈신호처리유닛을 내장하는 마이크로컴퓨터, 디지탈신호프로세서 등의 데이타처리장치를 제공하는 것이다.
또, 본 발명의 목적은 시스템전체를 제어하기 위해 필요한 범용연산처리유닛과 디지탈신호를 효율적으로 처리하기 위해 필요한 곱합연산기능을 구비한 디지탈신호처리유닛을 동일칩상에 탑재한 마이크로컴퓨터나 디지탈신호프로세서에 있어서 연산기에서 취급하는 데이타형식의 차이에 의한 처리스텝수의 증대를 방지하여 디지탈신호처리의 고효율화를 도모하는 것이다.
또, 본 발명의 목적은 승산결과의 비트위치보정이나 데이타전송에 따른 여분의 시프트동작을 생략하여 디지탈신호처리를 고속화하는 것이다.
본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면에서 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.
(a) 데이타처리장치(1)은 CPU(100)과 CPU(100)이 명령을 해독하는 것에 의해서 동작이 제어되는 디지탈신호처리유닛(104)를 1개의 반도체기판상에 구비하고, 상기 디지탈신호처리유닛(104)는 고정소수점데이타를 처리하는 가감산회로(105)와 고정소수점데이타를 처리하는 승산회로(106)을 구비한다.
(b) 데이타처리장치(1)은 제1 레지스터(103)과 이 제1 레지스터(103)내의 데이타를 연산하는 제1 연산기(101, 102)를 갖는 제1 처리유닛(100) 및 제2 레지스터(108)과 이 제2 레지스터(108)내의 데이타를 연산하는 제2 연산기(105, 106)을 갖는 제2 처리유닛(104)를 구비하고, 상기 제1 처리유닛(100)은 정수데이타를 처리하고, 상기 제2 처리유닛(104)는 고정소수점데이타를 처리한다.
(c) 데이타처리장치(104)는 레지스터(108)과 이 레지스터(108)내의 데이타를 연산하는 연산기(105, 106)을 갖고, 상기 레지스터의 비트길이보다 짧은 비트길이의 데이타를 이 데이타처리장치(104)의 외부에서 상기 레지스터(108)로 전송하는 제1 명령을 실행하는 경우에는 상기 데이타를 상기 레지스터(108)의 상위측에 채워서 입력하고, 상기 레지스터(108)의 여분의 하위측에는 0을 입력하고, 상기 레지스터(108)의 비트길이보다 짧은 비트길이의 데이타를 상기 레지스터(108)에서 이 데이타처리장치(104)의 외부로 전송하는 제2 명령을 실행하는 경우에는 상기 레지스 터(108)의 상위측에서 필요한 비트길이의 데이타를 외부로 출력한다.
(d) 데이타처리장치(1)은 산술연산 또는 논리연산을 실행하는 연산회로(101)을 구비하는 중앙처리장치(100), 상기 중앙처리장치(100)에서 선택적으로 어드레스가 전송되는 제1, 제2 및 제3 어드레스버스(109, 110, 111), 상기 제1 어드레스버스(109) 및 제2 어드레스버스(110)에 접속되고 상기 중앙처리장치(100)으로부터의 어드레스에 의해서 액세스되는 제1 메모리(115), 상기 제1 어드레스버스(109) 및 제3 어드레스버스(111)에 접속되고 상기 중앙처리장치(100)으로부터의 어드레스에 의해서 액세스되는 제2 메모리(116), 상기 제1 및 제2 메모리(115, 116)과 상기 중앙처리장치(100)에 접속되어 데이타가 전달되는 제1 데이타버스(112), 상기 제1 메모리(115)에 접속되어 데이타가 전달되는 제2 데이타버스(113), 상기 제2 메모리(116)에 접속되어 데이타가 전달되는 제3 데이타버스(114), 상기 제1, 제2 및 제3 데이타버스(112, 113, 114)에 접속되고 상기 중앙처리장치(100)과 동기동작하는 디지탈신호처리유닛(104)를 구비하고, 상기 디지탈신호처리유닛(104)는 고정소수점데이타를 처리하는 가감산회로(105)와 고정소수점데이타를 처리하는 승산회로(106)을 구비한다.
(e) 데이타처리장치는 승수와 피승수를 입력하고, 승수와 피승수의 승산결과를 출력하는 승산기(106)과 상기 승산기의 출력을 시프트하는 시프터(107)을 구비하고, 정수데이타를 연산하는 경우 상기 시프터는 상기 승산기의 출력을 시프트하지 않고 출력하고, 고정소수점데이타를 승산하는 경우 상기 시프터는 상기 승산기의 출력을 좌측으로 1비트시프트하고, 최하위비트에 0을 입력한다.
즉, 상기 디지탈신호처리유닛과 메모리 또는 외부와의 데이타전송동작에 있어서 연산정밀도보다 짧은 비트길이의 데이타를 전송하는 경우에는 데이타를 저장하는 레지스터의 상위측의 데이타를 입출력하는 기능을 갖게 하고, 고정소수점데이타로서의 데이타전송명령을 종래의 정수데이타를 전제로 한 전송명령과는 별도로 마련하는 것에 의해 해결할 수 있다.
고정소수점데이타 전송명령이 발행되고, 디스티네이션 레지스터보다 비트길이가 짧은 데이타가 전송되어 온 경우에는 디스티네이션 레지스터의 상위측에 채워서 데이타를 저장하고, 여분의 하위비트는 클리어해 둔다. 반대로, 소오스 레지스터에서 데이타를 출력하는 경우에는 역시 소오스 레지스터의 상위에서 필요한 비트수의 데이타를 출력한다. 그 결과, 여분의 시프트동작을 실행할 필요가 없어진다.
또, 시스템전체를 제어하기 위해 필요한 범용연산처리유닛과 디지탈신호를 효율적으로 처리하기 위해 필요한 곱합연산기능을 구비한 디지탈신호처리유닛을 동일칩상에 탑재한 마이크로컴퓨터나 디지탈신호프로세서에 있어서 상기 디지탈신호처리유닛을 고정소수점데이타를 취급하는 연산유닛으로 하고, 고정소수점데이타연산을 실행하는 명령을 종래의 정수연산명령과는 별도로 마련하도록 하면 좋다.
즉, 승산동작을 실행하는 연산회로에서는 고정소수점 승산명령이 발행되었을 때, 소오스데이타는 레지스터의 상위측에서 출력되고, 종래의 정수데이타의 승산회로의 출력에 대해서 1비트분 산술적으로 좌측방향으로 시프트된 형태의 데이타를 지정된 디스티네이션 레지스터에 저장하도록 제어한다.
[발명의 실시형태]
〈전체구성〉
도 2는 본 발명의 1실시예에 관한 마이크로컴퓨터의 전체적인 블럭도이다. 동일도면에 도시되는 마이크로컴퓨터(1)은 반도체집적회로 제조기술에 의해서 단결정실리콘과 같은 1개의 반도체기판상에 형성되어 있다. 도면중, (100)은 정수연산처리기능을 갖는 범용연산처리유닛(중앙처리장치 : CPU), (101)은 상기 범용연산처리유닛내의 산술논리연산기(ALU), (102)는 상기 범용연산처리유닛내의 제2 어드레스연산을 실행하는 정수연산기(PAU), (103)은 상기 각 연산기의 소오스 또는 디스티네이션 오퍼랜드로 되는 레지스터 파일, (104)는 고정소수점데이타 연산처리기능을 갖는 디지탈신호처리유닛(DSP), (105)는 상기 디지탈신호처리유닛내의 산술논리연산기(ALU), (106)은 상기 디지탈신호처리유닛내의 승산기, (107)은 시프터, (108)은 상기 각 연산기의 소오스 또는 디스티네이션 오퍼랜드로 되는 레지스터 파일, (109)는 전체 어드레스 공간을 서포트하는 32비트길이의 어드레스버스(IAB[31 : 0]), (110) 및 (111)은 일부의 어드레스공간만 서포트하는 워드데이타(16비트길이의 데이타)액세스전용의 16비트길이의 어드레스버스(XAB, [16 : 1], YAB, [16 : 1]), (112)는 32비트길이의 데이타버스(IDB[31 : 0]), (113), (114)는 16비트길이의 데이타버스(XDB [15 : 0], YDB[15 : 0]), (115) 및 (116)은 온칩메모리 (X메모리, Y메모리), (117)은 주변회로 또는 외부와의 인터페이스를 실행하는 모듈(I/O)이다. 또한, 본래의 데이타처리장치에 당연히 포함되는 다른 요소회로, 즉 주변

회로나 명령의 디코드회로, 플로제어회로 등은 본 발명과 직접 관계가 없으므로, 여기서는 생략하고 있다. 또한, 마이크로컴퓨터(1)의 상세한 것에 대해서는 본원 발 명자들의 선출원(특원평7-132906호)에 기재되어 있다.
우선, 본 실시예의 기본적인 동작, 기능을 설명한다. 마이크로컴퓨터(1)은 CPU명령과 DSP명령의 2종류의 명령을 서포트하고 있다. CPU명령이라고 하는 것은 디지탈신호처리유닛(DSP)(104)를 동작시키지 않고 오로지 범용연산처리유닛(CPU)(100)에 의해서 실행되는 명령이다. DSP명령이라고 하는 것은 CPU(100)이 일부의 처리를 분담해서 DSP(104)가 실행하는 명령이다. DSP명령으로서는 정수연산명령과 고정소수점데이타를 취급하는 명령이 포함된다.
CPU(100)이 명령을 온칩메모리(115), 온칩메모리(116) 또는 도시되어 있지 않는 외부부착 메모리에서 페치하고 디코드하여 CPU명령인지 DSP명령인지를 판정한다. 디코드의 결과, DSP명령이면 CPU(100)은 DSP제어신호를 DSP(104)로 공급한다. DSP(104)는 상기 DSP제어신호를 디코드해서 DSP(104)내부의 제어신호를 생성한다. 즉, 정수연산명령과 고정소수점데이타를 취급하는 명령에서는 다른 제어신호가 생성된다.
범용연산처리유닛(100)은 통상의 원칩마이컴LSI의 핵심으로 되는 중앙처리장치(CPU)가 구비하고 있는 기본적인 기능을 갖고 있다. 산술논리연산기(ALU)(101)은 데이타 및 어드레스 연산처리를 실행한다. 어드레스연산을 실행하는 정수연산기(PAU)(102)는 산술논리연산기(101)과 함께 상기 디지탈신호처리유닛(104)가 곱합연산처리를 위해 여러개의 소오스 데이타를 메모리에서 리드하는 것이 필요한 경우, 어드레스를 생성하는 연산기이다. 각 연산기(101), (102)에 필요한 소오스 오퍼랜드 데이타는 레지스터 파일(103)에서 선택되고 공급된다. 그리고, 연산결과는 레지스터 파일(103)중의 선택된 디스티네이션 레지스터에 저장된다.
범용연산처리유닛(100)에서 생성된 어드레스를 어드레스버스(109), (110) 또는 (111)로 출력한다. 어드레스버스(IAB)(109)는 전체 어드레스공간을 서포트하고 있고, 온칩메모리(115), (116) 및 인터페이스 모듈(I/O)(117)을 통해서 각 주변회로, 외부 어드레스공간을 액세스한다. 어드레스버스(109)에 의해서 액세스된 어드레스영역의 데이타 라이트/리드할 데이타는 데이타버스(IDB)(112)에 의해서 실행된다. 어드레스버스(XAB)(110)은 온칩메모리(X메모리)(115)만 액세스한다. 어드레스버스(110)에 의해서 액세스된 어드레스영역의 데이타 라이트/리드할 데이타는 데이타버스(113)에 의해서 실행된다. 어드레스버스(YAB)(111)은 온칩메모리(Y메모리)(116)만 액세스한다. 어드레스버스(111)에 의해서 액세스된 어드레스영역의 데이타 라이트/리드할 데이타는 데이타버스(YDB)(114)에 의해서 실행된다.
디지탈신호처리유닛(104)는 고정소수점데이타를 처리하는 기능을 갖는다. 정수데이타를 처리하는 기능을 갖는 것은 본 발명의 실시를 방해하지 않는다. 산술논리연산기(105)는 가산기나 논리산술처리를 실행한다. 승산기(106)은 2개의 16비트길이의 워드데이타를 승산하고, 32비트길이의 결과를 출력한다. 정수연산인 경우는 소오스 레지스터의 하위워드(0비트째에서 15비트째)를 소오스데이타로서 입력하고, 고정소수점승산인 경우는 소오스 레지스터의 상위워드(16비트째에서 31비트째)를 소오스 데이타로서 입력한다. 또한, (106)은 곱합연산기에서도 본 발명의 실시를 방해하는 것이 아닌 것은 명백하므로, 여기서는 승산기의 경우에 있어서 설명한다. 시프터(107)은 승산기(106)의 출력을 1비트 좌측으로 시프트하는 기능을 갖는다. 각 연산기(105), (106)에 필요한 소오스 오퍼랜드 데이타는 레지스터 파일(108)에서 선택되고 공급된다. 그리고, 연산결과는 레지스터 파일(108)중의 선택된 디스티네이션 레지스터에 저장된다.
디지탈신호처리유닛(104)에서 처리하는 데이타는 데이타버스(112)를 거쳐서 온칩메모리(115), (116) 또는 인터페이스모듈(117)을 통해서 각 주변회로, 외부에서 레지스터 파일(108)에 공급된다. 처리된 데이타는 데이타버스(112), (113) 및 (114)를 거쳐서 레지스터파일(108)에서 온칩메모리(115), (116) 또는 인터페이스모듈(117)을 통해서 각 주변회로, 외부로 출력된다. 디지탈신호처리유닛(104)에서 처리하는 데이타는 데이타버스(113) 및 (114)를 거쳐도 데이타전송을 실행할 수 있지만, 데이타버스(113)에서는 레지스터 파일(108)과 온칩메모리(115) 사이에서만 전송할 수 있다. 데이타버스(114)에서는 레지스터 파일(108)과 온칩메모리(116) 사이에서만 전송할 수 있다. 데이타버스(113) 및 (114)를 사용한 데이타전송에서는 리소오스가 모두 따로따로이므로, 병렬로 실행하는 것이 가능하다. 레지스터 파일(108)과 그 이외의 것과의 데이타전송이 실행될 때 필요한 어드레스는 범용연산처리유닛(100)에서 생성된다.
온칩메모리(115) 및 (116)은 각각 다른 어드레스에 맵핑되어 있다. 메모리의 종류는 특히 한정되지 않고, SRAM(Static RAM)이나 DRAM(Dynamic RAM) 등의 RAM(Random Access Memory)라도 좋고, LSI의 제조공정중에 프로그램되는 마스크ROM 이나 플래쉬메모리(Flash Memory) 등의 ROM(Read Only Memory)라도 좋다. 즉, 휘발성의 메모리라도 불휘발성의 메모리라도 좋다. 온칩메모리(115)는 레지스터 파일(109) 및 (110)에서 어드레스공급을 받고, 데이타버스(112) 및 (113)을 거쳐서 데이타의 라이트/리드를 실행한다. 한편, 온칩메모리(116)은 어드레스버스(109) 및 (111)에서 어드레스공급을 받고, 데이타버스(112) 및 (114)를 거쳐서 데이타의 라이트/리드를 실행한다. 그 결과, 상술한 바와 같이 동일 오퍼레이션 사이클에 의해 병렬로 데이타의 라이트/리드동작을 실행하는 것이 가능하다.
〈시프터의 구성〉
시프터(107)의 상세한 1실시예를 도 3에 도시한다. 도면에 있어서, (200)은 인버터, (201)은 논리곱회로, (202)는 논리합회로, (203)은 시프터(107)에 있어서 시프트를 실행할지 실행하지 않을지를 제어하는 제어신호이다. 논리합회로(202)와 2개의 논리곱회로(201)은 선택회로를 구성한다. 승산기(106)의 출력에 붙여져 있는 숫자는 비트위치를 나타내고 있다. 31비트길이가 최상위비트이고, 0비트째가 최하위비트이다. 다른 기호는 도 2와 동일하다. 시프터의 본 실시예는 데이타처리장치가 정수승산과 고정소수점승산의 쌍방을 서포트하고 있는 경우의 실시예이다. 여기서, 승산기(106)은 항상 정수승산을 실행한다. 그 결과, 정수승산명령이 실행되고 있는 경우는 제어신호(203)이 Low상태로 되어 승산기(106)의 출력결과를 그대로 통과시킨다. 고정소수점승산명령이 실행되고 있는 경우는 제어신호(203)이 High상태로 되어 승산기(106)의 출력결과를 1비트 좌측으로 시프트해서 출력한다. 0비트째에는 0이 출력된다. 이와 같이 해서 고정소수점연산이 실현된다. 정수연산명령이 서포트되지 않는 경우 시프터(107)에 스루기능은 불필요하게 되어 항상 1비트 시프트해서 출력하면 좋으므로, 제어신호(203)도 불필요하게 되고 시프트기능자체도 실제로 필요없고 단지 결과의 저장지에서 저장비트위치를 1비트 좌측으로 어긋나게 해서 접속해 두면 좋다. 따라서, 본 발명은 (10

7)과 같은 시프트회로를 갖는 것이 필요조건은 아니고 어디까지나 디지탈신호처리유닛(104)내에 고정소수점연산기능을 적어도 구비하고 있는 것이 본 발명의 중요한 포인트이다.
정수연산만을 실행하는 승산기에 명령에 따라서 시프트기능이 다른 시프트회로를 구비하는 것에 의해 고정소수점연산과 정수연산의 양쪽을 실행할 수 있다. 따라서, 적은 하드웨어양으로 고기능을 실현할 수 있으므로, 칩면적의 증가가 억제된다. 또, 승산실행후에 시프트조작 등의 CPU명령을 실행할 필요도 없다.
〈DSP와 데이타버스의 접속〉
레지스터 파일(108)의 보다 상세한 블럭도 및 데이타버스의 접속예를 도 4에 도시한다. 단, 이 도면에서는 설명의 간략화를 위해 데이타버스(112)와 레지스터 파일(108)의 접속에 관련된 부분의 구성만을 도시하고 있고, 다른 데이타버스나 각 연산기의 접속구조는 생략하고 있다.
도면에 있어서, (300a), (300b), (300c), (300d)는 각각 개개의 레지스터, (301)은 각 레지스터의 상위워드(16비트째에서 31비트째)와 버퍼 & 드라이버(303)을 접속하는 로컬버스, (302)는 각 레지스터의 하위워드(0비트째에서 15비트째)와 버퍼 & 드라이버(304)를 접속하는 로컬버스, (303)은 상기 각 레지스터의 상위워드와 데이타버스(112) 사이에서 데이타의 수수의 중계를 실행하는 버퍼 & 드라이 버, (304)는 상기 각 레지스터의 하위워드와 데이타버스(112) 사이에서 데이타의 수수의 중계를 실행하는 버퍼 & 드라이버, (305)는 데이타버스(112)의 상위워드, 하위워드 중 어느쪽에 접속할지를 선택하여 데이타의 전송방향을 제어하는 신호, (306)은 데이타버스(112)의 하위워드에 접속하고 데이타의 전송방향을 제어하는 신호이다. 또한, 도 4, 도 5 및 도 7에 있어서 데이타버스(112)는 설명을 위해 하위데이타버스(112a)와 상위데이타버스(112b)로 분할해서 기술하고 있다. 도 5에는 버퍼 & 드라이버(303), (304)의 회로도를 도시한다. 도 6에는 버퍼 & 드라이버(303)의 제어신호(305)((305a), (305b), (305c), (305d), (305e)) 및 버퍼 & 드라이버(304)의 제어신호(306)((306a), (306b), (306c))와 취급데이타의 관계를 도시한다.
여기서, 설명의 간략화를 위해 16비트길이의 데이타를 워드데이타, 32비트길이의 데이타를 롱워드데이타라고 한다.
[1] 롱워드데이타의 입출력
롱워드데이타의 데이타버스(112)를 거쳐서 입력되는 경우(도 6에서는 롱워드로드라고 기재되어 있음), 데이타의 성질(정수데이타 또는 고정소수점데이타)에 관계없이 동작은 동일하다. 즉, 제어신호(306a)가 '1'(High레벨)로 되면 입력버퍼(505)가 인에이블로 되어 하위데이타버스(112a)와 로컬버스(302)가 전기적으로 접속된다. 따라서, 하위데이타버스(112a)상의 데이타는 버퍼 & 드라이버(304), 로컬버스(302)를 거쳐서 지정된 디스티네이션 레지스터((300a) (300d)중 하나)의 하위워드에 저장된다. 동시에 제어신호(305a) 가 '1'(High레벨)로 되면 입력버퍼(501)이 인에이블로 되어 상위데이타버스(112b)와 로컬버스(301)이 전기적으로 접속된다. 따라서, 상위데이타버스(112b)상의 데이타는 버퍼 & 드라이버(303), 로컬버스(301)을 거쳐서 지정된 디스티네이션 레지스터(하위워드와 동일한 레지스터)의 상위워드에 저장된다.
롱워드데이타가 데이타버스(112)로 출력되는 경우(도 6에서는 롱워드스토어라고 기재되어 있음)도 데이타의 성질(정수데이타 또는 고정소수점데이타)에 관계없이 동작은 동일하다. 즉, 제어신호(306b)가 '1'(High레벨)로 되면 입력버퍼(506)이 인에이블로 되어 로컬데이타버스(302)와 하위데이타버스(112a)가 전기적으로 접속된다. 따라서, 지정된 소오스 레지스터((300a) (300d)중 하나)의 하위워드에서 출력된 워드데이타는 로컬버스(302), 버퍼 & 드라이버(304)를 거쳐서 하위데이타버스(112a)로 출력된다. 동시에 제어신호(305b)가 '1'(High레벨)로 되면 출력버퍼(502)가 인에이블로 되어 로컬데이타버스(301)과 상위데이타버스(112b)가 전기적으로 접속된다. 따라서, 지정된 소오스 레지스터(하위워드와 동일한 레지스터)의 상위워드에서 출력된 워드데이타는 로컬버스(301), 버퍼 & 드라이버(303)을 거쳐서 상위데이타버스(112b)로 출력된다.
[2] 워드데이타의 입출력
워드데이타의 전송에서는 항상 하위데이타버스(112a)를 사용해서 전송되지만, 레지스터 파일(108)내부의 동작은 데이타의 성질에 따라서 다르다.
[i] 정수데이타
우선, 정수데이타의 경우에 대해서 설명한다. 워드데이타가 데이타버스(112) 를 거쳐서 입력되는 경우(도 6에서는 정수데이타 워드 로드라고 기재되어 있음)은 제어신호(306a)가 '1'(High레벨)로 되면 입력버퍼(505)가 인에이블로 되어 하위데이타버스(112a)와 로컬버스(302)가 전기적으로 접속된다. 따라서, 하위데이타버스(112a)상의 데이타는 버퍼 & 드라이버(304), 로컬버스(302)를 거쳐서 지정된 디스티네이션 레지스터((300a) (300d)중의 하나)의 하위워드에 저장된다. 동시에 제어신호(305e)가 '1'(High레벨)로 되면 입력버퍼(507)이 인에이블로 되어 하위데이타버스(112a)의 15비트째와 로컬버스(301)이 부호확장회로(510)을 거쳐서 전기적으로 접속된다. 따라서, 버퍼 & 드라이버(303)은 하위데이타버스(112a)의 15비트째의 데이타만을 페치해서 16비트분 확장복사하고, 로컬버스(301)을 거쳐서 지정된 디스티네이션 레지스터(하위워드와 동일한 레지스터)의 상위워드에 저장한다. 이것에 의해서 디스티네이션 레지스터의 상위워드에는 전송되어 온 워드데이타의 부호데이타가 복사된 것으로 된다.
워드데이타가 데이타버스(112)로 출력되는 경우(도 6에서는 정수데이타 워드 스토어라고 기재되어 있음), 제어신호(306b)가 '1'(High레벨)로 되면, 출력버퍼(506)이 인에이블로 되어 로컬데이타버스(302)와 하위데이타버스(112a)가 전기적으로 접속된다. 따라서, 지정된 소오스 레지스터((300a) (300d)중의 하나)의 하위워드에서 출력된 워드 데이타는 로컬버스(302), 버퍼 & 드라이버(304)를 거쳐서 하위데이타버스(112a)로 출력된다. 이 때, 버퍼 & 드라이버(303)측은 어떠한 동작도 하지 않는다. 즉, 제어신호(305a), (305b), (305c), (305d), (305e)는 모두 '0'(Low레벨)이고, 입력버퍼(501), (504), (507) 및 출력버퍼(502), (503)은 디스에이블로 된다.
[ii] 고정소수점데이타
다음에, 고정소수점데이타의 경우에 대해서 설명한다. 워드데이타가 데이타버스(112)를 거쳐서 입력되는 경우(도 6에서는 고정소수점데이타 워드 로드라고 기재되어 있음)는 제어신호(305c)가 '1'(High레벨)로 되면, 입력버퍼(503)

이 인에이블로 되어 하위데이타버스(112a)와 로컬버스(301)이 전기적으로 접속된다. 따라서, 하위데이타버스(112a)상의 데이타는 버퍼 & 드라이버(303), 로컬버스(301)을 거쳐서 지정된 디스티네이션 레지스터((300a) (300d)중의 하나)의 상위워드에 저장된다. 동시에 제어신호(306c)가 '1'(High레벨)로 되면 버퍼 & 드라이버(304)의 올제로회로(512)는 16비트분의 올제로데이타를 생성하고, 로컬버스(301)을 거쳐서 지정된 디스티네이션 레지스터(상위워드와 동일한 레지스터)의 하위워드에 저장한다. 이것에 의해서 디스티네이션 레지스터의 하위워드에는 자동적으로 클리어되는 것으로 된다. 또한, 하위워드의 클리어는 버퍼 & 드라이버(304)에서 올제로를 생성하는 것 대신에 디스티네이션 레지스터에 의해 직접 클리어하는 회로를 마련해도 좋다.

워드데이타가 데이타버스(112)로 출력되는 경우(도 6에서는 고정소수점데이타 워드 스토어라고 기재되어 있음), 제어신호(306d)가 '1'(High 레벨)로 되면, 출력버퍼(504)가 인에이블로 되어 로컬데이타버스(301)과 하위데이타버스(112a)가 전기적으로 접속된다. 따라서, 지정된 소오스 레지스터((300a) (300d)중의 하나)의 상위워드에서 출력된 워드데이타는 로컬버스(301), 버퍼 & 드라이버(303)을 거쳐 서 하위데이타버스(112a)로 출력된다. 이 때, 버퍼 & 드라이버(304)측은 어떠한 동작도 하지 않는다. 즉, 제어신호(306a), (306b), (306c)는 모두 '0'(Low레벨)이고, 입력버퍼(505), 출력버퍼(506) 및 올제로회로(512)는 디스에이블로 된다.

정수데이타 전송명령과 고정소수점데이타 전송명령의 차에 의해서 제어신호(305)((305a), (305b), (305c), (305d), (305e)), (306)((306a), (306b), (306c))의 상태가 다르고, 제어신호(305), (306)에 의해서 버퍼 & 드라이버(303), (304)를 각각 제어하는 것에 의해서 상위워드에서 상위워드, 상위워드에서 하위워드 또는 하위워드에서 상위워드로의 전송이 가능하게 된다. 이것에 의해서 고정소수점 승산실행전에 소오스 데이타를 하위측으로 시프트하는 등의 조작은 CPU명령에 의해서 실행할 필요가 없어 연산시간을 단축할 수 있다.

〈CPU와 데이타버스의 접속〉

범용연산처리유닛(100)의 레지스터 파일(103)의 보다 상세한 블럭도 및 데이타버스의 접속예를 도 7에 도시한다. 단, 이 도면에서도 데이타버스(112)와 레지스터 파일(103)의 접속에 관련된 부분의 구성만을 도시하고 있고, 다른 데이타버스나 각 연산기의 접속구조는 생략하고 있다. 또한, 도 7에서도 도 4와 마찬가지로 데이타버스(112)는 하위데이타버스(112a)와 상위데이타버스(112b)로 분할해서 기술하고 있다. 도면에 있어서, (400a), (400b), (400c), (400d)는 각각 개개의 레지스터, (401)은 각 레지스터의 상위워드(16비트째에서 31비트째)와 버퍼 & 드라이버(403)을 접속하는 로컬버스, (402)는 각 레지스터의 하위워드(0비트째에서 15비트째)와 버퍼 & 드라이버(404)를 접속하는 로컬버스, (403)은 상기 각 레지스터의 상위워 드와 상위데이타버스(112b) 사이에서 데이타의 수수의 중계를 실행하는 버퍼 & 드라이버, (404)는 상기 각 레지스터의 하위워드와 하위데이타버스(112a) 사이에서 데이타의 수수의 중계를 실행하는 버퍼 & 드라이버, (405)는 상위데이타버스(112b)에 접속하여 데이타의 전송방향을 제어하는 제어신호, (406)은 하위데이타버스(112a)에 접속하여 데이타의 전송방향을 제어하는 신호이다.

본 레지스터 파일(103)에서는 모든 데이타는 정수데이타로서 취급한다. 따라서, 데이타전송동작은 상술한 디지탈신호처리유닛(104)의 레지스터 파일(108)에 있어서의 정수데이타인 경우의 동작 및 타이밍 또는 파이프라인동작은 다른 경우가 있지만, 기본적으로는 동일하다.

즉, 버퍼 & 드라이버(403)에는 버퍼 & 드라이버(303)중 입력버퍼(501), (507), 출력버퍼(502) 및 부호확장회로(510)에 상당하는 회로가 있다.

버퍼 & 드라이버(404)에는 버퍼 & 드라이버(304) 중 입력버퍼(505) 및 출력버퍼(506)에 상당하는 회로가 있다. 따라서, 제어신호(405)에는 제어신호(305a), (306b), (306e)에 상당하는 제어신호가 있다. 제어신호(406)에는 제어신호(306a), (306b)에 상당하는 제어신호가 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 기본적으로 설명했지만, 본 발명은 이것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다. 예를 들면, 마이크로컴퓨터에 한정되지 않고 디지탈신호 프로세서에도 적용된다.

또, 본 실시예에서는 레지스터 파일(108)이라도 정수데이타와 고정소수점데 이타의 쌍방의 데이타전송명령을 서포트하는 경우를 도시했지만, 본 발명에서는 디지탈신호처리유닛(104)를 위한 데이타전송에 정수데이타용의 워드데이타 전송명령을 서포트하는 것을 반드시 필요로 하는 것은 아니고, 적어도 고정소수점데이타용의 전송명령만의 서포트라도 관계없다. 또, 데이타의 비트길이는 반드시 16비트, 32비트일 필요는 없는 것은 물론이다. 또, 본 실시예에서는 워드데이타의 전송시에는 데이타버스의 하위워드만을 사용하는 것을 전제로 해서 설명했지만, 고정소수점데이타의 워드데이타를 전송할 때에는 역시 데이타버스의 상위워드를 사용하는 것으로 하고 상대측에서 데이타의 성질에 따라서 접속하는 워드를 전환하도록 하면 동일한 기능을 실현할 수 있다.

이 경우, 버퍼 & 드라이버(303)은 언제라도 데이타버스의 상위워드측에 접속하면 좋으므로, 하위데이타버스(112a)와 접속할 필요는 없어진다. 또, 본 실시예에서는 고정소수점이 30비트째와 31비트째 사이에 있고 실현할 수 있는 수치범위는 -1.0이상, +1.0미만을 가정하였지만, 가드비트라고 일반적으로 불리우는 오버플로 방지의 비트가 더욱 확장되어 소프트된 레지스터라도 관계없다. 이 경우, 워드데이타의 전송명령 실행시에는 16비트째에서 31비트째의 워드데이타가 전송되며 가드비트 부분은 데이타입력시에는 부호확산되고, 데이타출력시에는 무시하면 좋다.

발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.

즉, 시스템전체를 제어하기 위해 필요한 범용연산처리유닛, 디지탈신호를 효 율적으로 처리하기 위해 필요한 곱합연산기능을 구비한 디지탈신호처리유닛을 동일칩상에 탑재한 마이크로컴퓨터나 디지탈신호프로세서에 있어서 상기 디지탈신호처리유닛이 고정소수점데이타를 취급하는 것이 가능하게 되어 있으므로, 보다 복잡한 디지탈신호처리가 가

능하다.
또, 상기 디지탈신호처리유닛과 메모리 또는 외부와의 데이타전송동작에 있어서 연산정밀도보다 짧은 비트길이의 데이타를 전송하는 경우에는 데이타를 저장하는 레지스터의 상위측의 데이타를 입출력하는 기능을 갖게 하고, 역시 고정소수점데이타로서의 데이타전송명령을 종래의 정수데이타를 전제로 한 전송명령과는 별도로 마련하는 것에 의해 데이타전송에 따른 여분의 시프트동작 등을 생략할 수 있어 고속성능을 향상시킬 수 있다.
상기 디지탈신호처리유닛에 있어서 고정소수점데이타연산을 실행하는 명령을 종래의 정수연산명령과는 별도로 마련하는 것에 의해 승산결과의 비트위치 보정이 자동적으로 실행되어 고속성능을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.
중앙처리장치;
상기 중앙처리장치가 명령을 해독하는 것에 의해서 그의 동작이 제어되는 디지탈신호처리유닛;
상기 중앙처리장치로부터의 어드레스가 전달되는 제1, 제2 및 제3 어드레스버스;
상기 제1 및 제2 어드레스버스에 접속되지만 상기 제3 어드레스버스에는 접속되지 않는 제1 메모리;
상기 제1 및 제3 어드레스버스에 접속되지만 상기 제2 어드레스버스에는 접속되지 않는 제2 메모리;
상기 제1 및 제2 메모리, 상기 중앙처리장치 및 상기 디지탈신호처리유닛에 접속되는 제1 데이타버스;
상기 제1 메모리와 상기 디지탈신호처리유닛에 접속되지만 상기 제2 메모리에는 접속되지 않는 제2 데이타버스 및;
상기 제2 메모리와 상기 디지탈신호처리유닛에 접속되지만 상기 제1 메모리에는 접속되지 않는 제3 데이타버스를 1개의 반도체기판상에 구비하는 데이타처리장치로서,
상기 디지탈신호처리유닛은 고정소수점데이타를 유지하는 레지스터, 고정소수점데이타를 처리하는 가감산회로 및 고정소수점데이타를 처리하는 승산회로를 포 함하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 데이타를 상기 디지탈신호처리유닛의 외부에서 상기 레지스터로 전송하는 제1 명령을 실행하는 경우, 상기 디지탈신호처리유닛은 상기 데이타를 상기 레지스터의 상위측에 채워서 입력하고, 상기 레지스터의 여분의 하위측에는 0을 입력하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 데이타를 상기 레지스터에서 상기 디지탈신호처리유닛의 외부로 전송하는 제2 명령을 실행하는 경우, 상기 디지탈신호처리유닛은 상기 레지스터의 상위측에서 필요한 비트길이의 데이타를 외부로 출력하는 것을 특징으로 하는 데이타처리장치.

청구항 2.
산술연산 또는 논리연산을 실행하는 연산회로를 구비하는 중앙처리장치;
상기 중앙처리장치에서 선택적으로 어드레스가 전달되는 제1, 제2 및 제3 어드레스버스;
상기 제1 및 제2 어드레스버스에 접속되지만 상기 제3 어드레스버스에는 접속되지 않고, 상기 중앙처리장치로부터의 어드레스에 의해서 액세스되는 제1 메모리,
상기 제1 및 제3 어드레스버스에 접속되지만 상기 제2 어드레스버스에 접속되지 않고, 상기 중앙처리장치로부터의 어드레스에 의해서 액세스되는 제2 메모리,
상기 제1 및 제2 메모리와 상기 중앙처리장치에 접속되어 데이타가 전달되는 제1 데이타버스,
상기 제1 메모리에 접속되어 데이타가 전달되지만 상기 제2 메모리에는 접속되지 않는 제2 데이타버스;
상기 제2 메모리에 접속되어 데이타가 전달되지만 상기 제1 메모리에는 접속되지 않는 제3 데이타버스 및;
상기 제1, 제2 및 제3 데이타버스에 접속되고 상기 중앙처리장치와 동기동작하는 디지탈신호처리유닛을 구비하는 데이타 처리장치로서,
상기 디지탈신호처리유닛은
고정소수점데이타를 처리하는 가감산회로 및
고정소수점데이타를 처리하는 승산회로를 구비하는 것을 특징으로 하는 데이타처리장치.

청구항 3.
제2항에 있어서,
상기 중앙처리장치는 연산에 필요한 데이타 및 연산결과를 유지하기 위한 제1 레지스터 파일을 더 구비하고,
상기 디지탈신호처리유닛은 처리에 필요한 데이타 및 처리결과를 유지하기 위한 제2 레지스터 파일을 더 구비하고,
상기 제1 레지스터 파일의 비트길이보다 짧은 데이타가 상기 제1 데이타버스에서 상기 제1 레지스터 파일중의 1개의 레지스터에 입력되는 경우 상기 데이타를 이 레지스터의 하위측에 채워서 입력하고, 이 레지스터의 여분의 상위측에는 이 데이타의 최상위비트의 값을 확장해서 입력하는 수단,
상기 제1 레지스터 파일의 비트길이보다 짧은 데이타가 상기 제1 레지스터 파일중의 1개에서 상기 제1 데이타버스로 출력되는 경우 이 레지스터의 하위측에서 필요한 비트길이의 데이타를 출력하는 수단,
상기 제2 레지스터 파일의 비트길이보다 짧은 데이타가 상기 제1, 제2 또는 제3 데이타버스 중의 1개에서 상기 제2 레지스터 파일중의 1개에 입력되는 경우 상기 데이타를 이 레지스터의 상위측에 채워서 입력하고, 이 레지스터의 여분의 하위측에는 0을 입력하는 수단 및
상기 제2 레지스터 파일의 비트길이보다 짧은 데이타가 상기 제2 레지스터 파일중의 1개에서 상기 제1, 제2 또는 제3 데이타버스 중의 1개로 출력되는 경우, 이 레지스터의 상위측에서 필요한 비트길이의 데이타를 출력하는 수단을 구비하는 것을 특징으로 하는 데이타처리장치.

청구항 4.
제2항에 있어서,
정수데이타연산과 고정소수점데이타연산을 각각 실행시키는 명령이 각각 마련되는 것을 특징으로 하는 데이타처리장치.

청구항 5.
제2항에 있어서,
정수데이타의 전송동작과 고정소수점데이타의 전송동작을 각각 실행시키는 명령이 각각 마련되는 것을 특징으로 하는 데이타처리장치.

청구항 6.
제3항에 있어서,
정수데이타의 전송동작과 고정소수점데이타의 전송동작을 각각 실행시키는 명령이 각각 마련되는 것을 특징으로 하는 데이타처리장치.

청구항 7.
제2항에 있어서,
상기 데이타처리장치는 1개의 반도체기판상에 형성되는 것을 특징으로 하는 데이타처리장치.

청구항 8.
제3항에 있어서,
상기 데이타처리장치는 1개의 반도체기판상에 형성되는 것을 특징으로 하는 데이타처리장치.

청구항 9.
제2항에 있어서,
상기 제1 데이타버스는 32비트 데이타버스이고,
상기 제2 데이타버스는 16비트 데이타버스인 것을 특징으로 하는 데이타처리장치.

청구항 10.
중앙처리장치 및;
레지스터와 상기 레지스터에 포함되는 데이타의 연산을 실행하는 연산회로를 포함하는 디지탈신호처리유닛을 구비하는 데이타처리장치로서,
상기 디지탈신호처리유닛은 정수데이타와 고정소수점데이타를 처리하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 정수데이타를 상기 디지탈신호처리유닛의 외부에서 상기 레지스터로 전송하는 경우, 상기 디지탈신호처리유닛은 상기 정수데이타를 상기 레지스터의 하위측에 채워서 입력하고, 상기 레지스터의 여분의 상위측에는 상기 정수데이타의 최상위비트의 값을 확장해서 입력하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 정수데이타를 상기 레지스터에서 상기 디지탈신호처리유닛의 외부로 전송하는 경우, 상기 디지탈신호처리유닛은 상기 레지스터의 하위측에서 상기 정수데이타에 필요한 비트길이의 데이타를 출력하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 고정 소수점데이타를 상기 디지탈신호처리유닛의 외부에서 상기 레지스터로 전송하는 경우, 상기 디지탈신호처리유닛은 상기 정수데이타를 상기 레지스터의 상위측에 채워서 입력하고, 상기 레지스터의 여분의 하위측에는 0을 입력하고,
상기 레지스터의 비트길이보다 짧은 비트길이의 고정 소수점데이타를 상기 레지스터에서 상기 디지탈신호처리유닛의 외부로 전송하는 경우, 상기 디지탈신호처리유닛은 상기 레지스터의 상위측에서 상기 고정 소수점데이타에 필요한 비트길이의 데이타를 출력하는 것을 특징으로 하는 데이타처리장치.

청구항 11.
제1 레지스터 및 상기 제1 레지스터에 포함되는 데이타의 연산을 실행하는 제1 연산회로를 포함하는 제1 처리유닛;
제2 레지스터 및 상기 제2 레지스터에 포함되는 데이타의 연산을 실행하는 제2 연산회로를 포함하는 제2 처리유닛;
상기 제1 처리유닛에서 어드레스가 전달되는 제1, 제2 및 제3 어드레스버스;
상기 제1 및 제2 어드레스버스에 접속되지만 상기 제3 어드레스버스에는 접속되지 않는 제1 메모리;
상기 제1 및 제3 어드레스버스에 접속되지만 상기 제2 어드레스버스에는 접속되지 않는 제2 메모리;
상기 제1 및 제2 메모리와 상기 제1 및 제2 처리유닛에 접속되는 제1 데이타버스;
상기 제1 메모리 및 제2 처리유닛에 접속되지만 상기 제2 메모리에는 접속되지 않는 제2 데이타버스 및;
상기 제2 메모리 및 제2 처리유닛에 접속되지만 상기 제1 메모리에는 접속되지 않는 제3 데이타버스를 구비하는 데이타처리장치로서,
상기 제1 처리유닛은 정수데이타를 처리하고,
상기 제2 처리유닛은 고정 소수점데이타를 처리하고,
상기 제2 레지스터의 비트길이보다 짧은 비트길이의 데이타를 상기 제2 처리유닛의 외부에서 상기 제2 레지스터로 전송하는 제1 명령을 실행하는 경우, 상기 제2 처리유닛은 상기 데이타를 상기 제2 레지스터의 상위측에 채워서 입력하고, 상기 제2 레지스터의 여분의 하위측에는 0을 입력하고,
상기 제2 레지스터의 비트길이보다 짧은 비트길이의 데이타를 상기 제2 레지스터에서 상기 제2 처리유닛의 외부로 전송하는 제2 명령을 실행하는 경우, 상기 제2 처리유닛은 상기 제2 레지스터의 상위측에서 필요한 비트길이의 데이타를 외부로 출력하는 것을 특징으로 하는 데이타처리장치.

청구항 12.

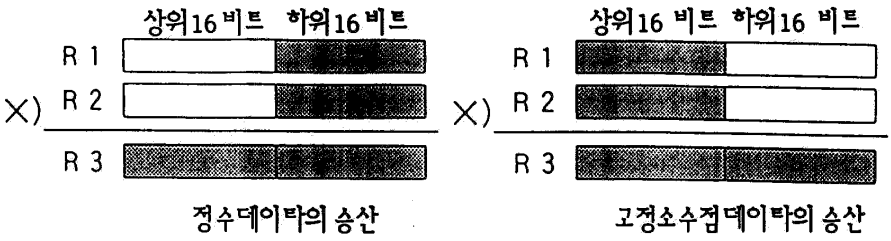
제11항에 있어서,
상기 제1 처리유닛은 중앙처리장치이고,
상기 제2 처리유닛은 디지탈신호처리유닛인 것을 특징으로 하는 데이타처리장치.

청구항 13.

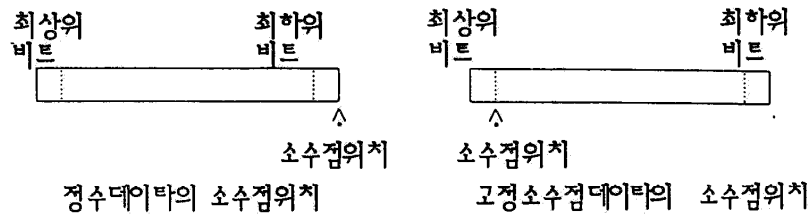
제12항에 있어서,
상기 데이타처리장치는 1개의 반도체기판상에 형성되는 것을 특징으로 하는 데이타처리장치.

도면

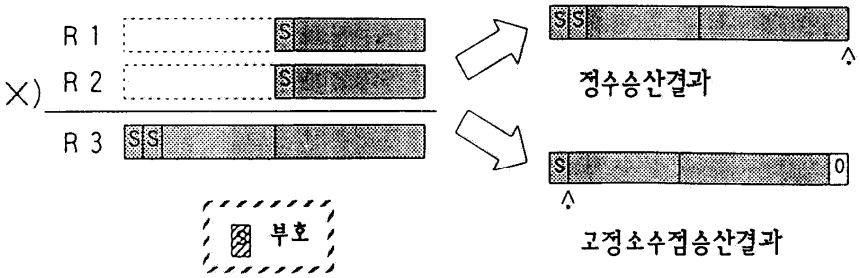
도면1a



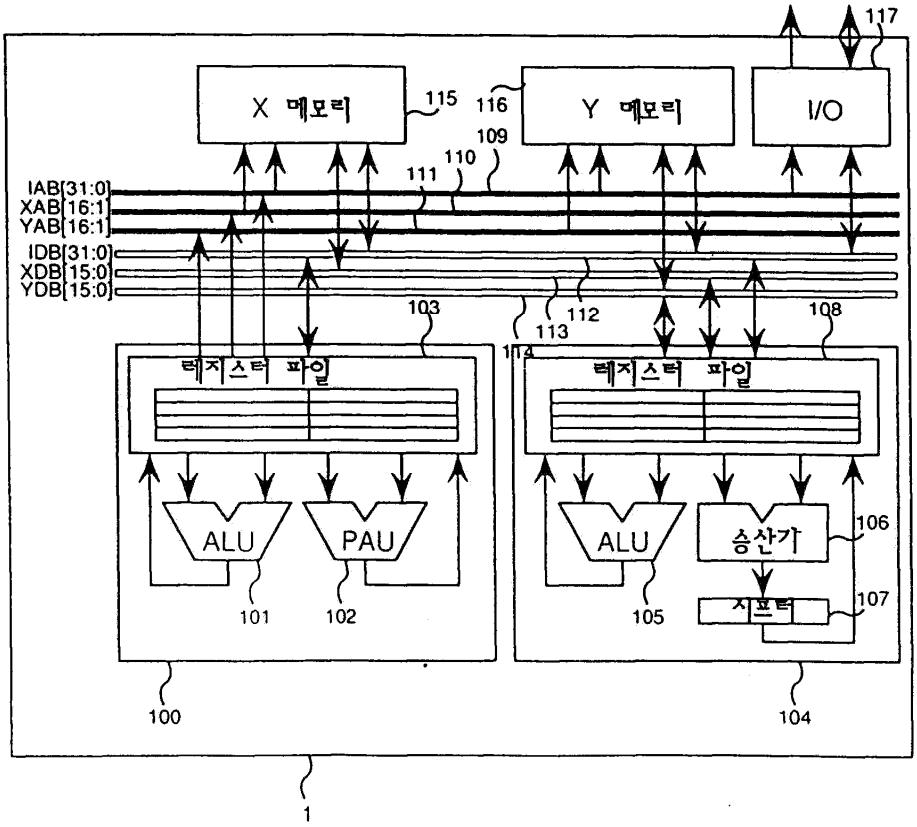
도면1b



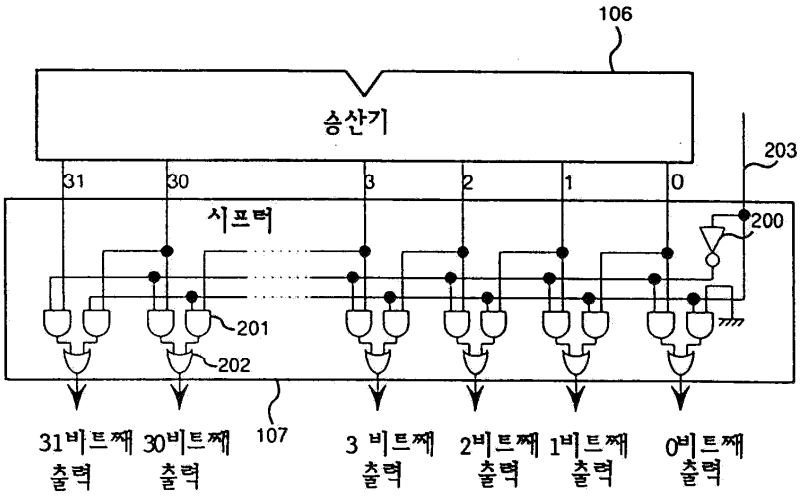
도면1c



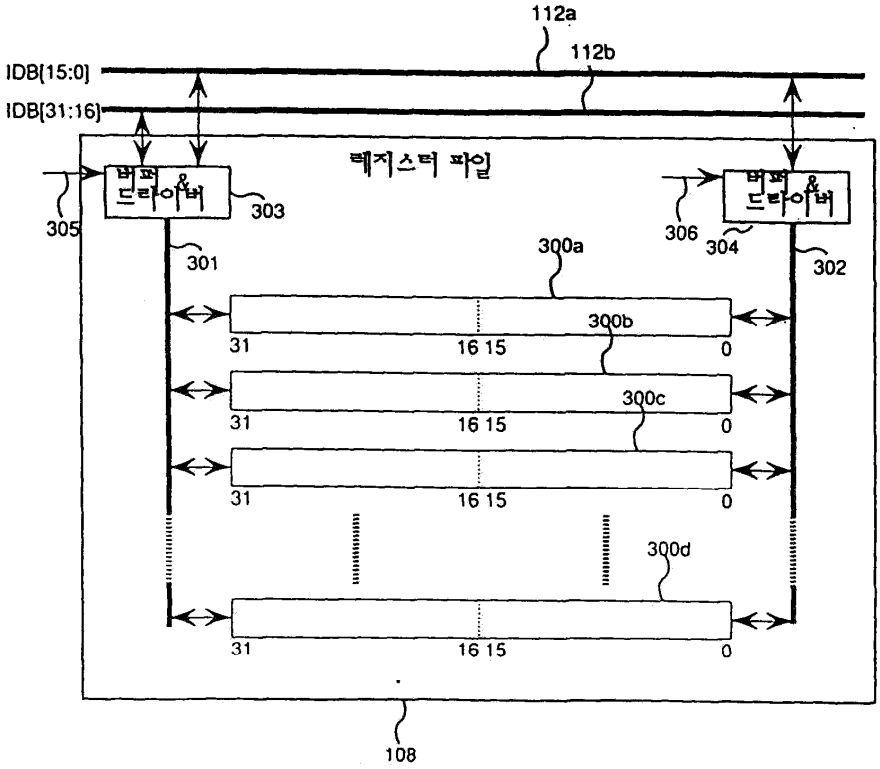
도면2


X 메모리
115
116
Y 메모리
I/O
117
109
110
111
IAB[31:0]
XAB[16:1]
YAB[16:1]
IDB[31:0]
XDB[15:0]
YDB[15:0]
103
112
113
114
108
레지스터 파일
레지스터 파일
ALU
PAU
ALU
승산가
106
107
시프터
101
102
105
100
104
1

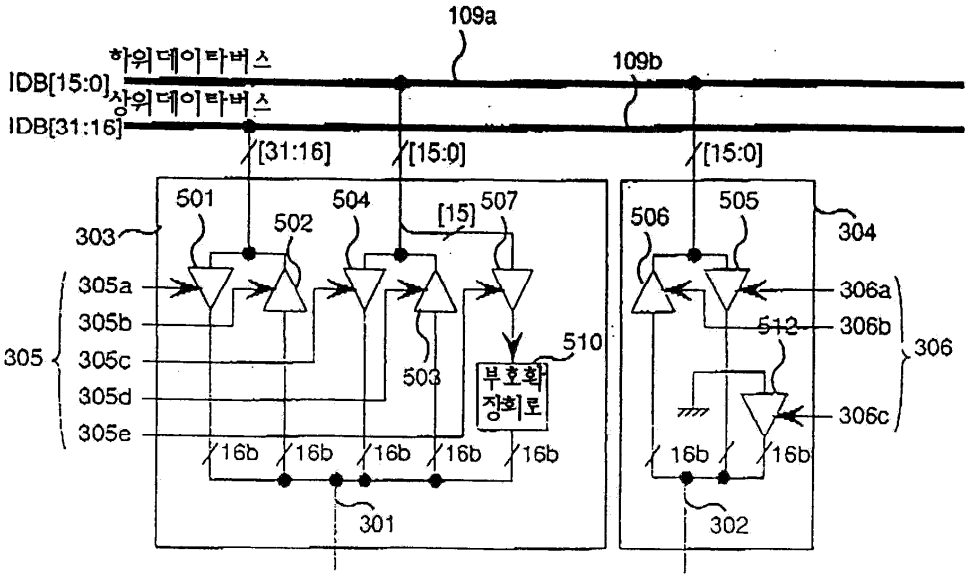
도면3


106
승산기
203
31
30
3
2
1
0
시프터
200
201
202
107
31비트째 출력
30비트째 출력
3 비트째 출력
2비트째 출력
1비트째 출력
0비트째 출력

도면4



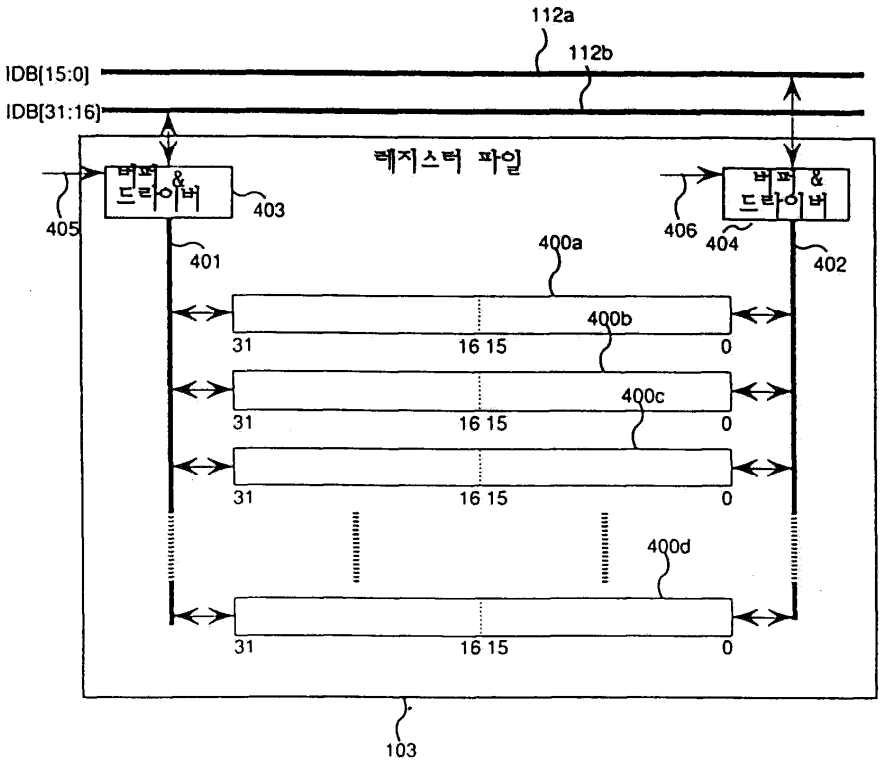
도면5



도면6

		305a	305b	305c	305d	305e	306a	306b	306c
롱워드 로드		1	0	0	0	0	1	0	0
롱워드 스토어		0	1	0	0	0	0	1	0
정수 데이타	워드 로드	0	0	0	0	1	1	0	0
	워드 스토어	0	0	0	0	0	0	1	0
고정소수점 데이타	워드 로드	0	0	1	0	0	0	0	1
	워드 스토어	0	0	0	1	0	0	0	0

도면7


112a
112b
IDB[15:0]
IDB[31:16]
레지스터 파일
버퍼 & 드라이버
403
405
401
406
404
402
400a
400b
400c
400d
31
16 15
0
103