



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0037332
(43) 공개일자 2009년04월15일

(51) Int. Cl.

H01L 21/20 (2006.01) *H01L 21/324* (2006.01)

(21) 출원번호 10-2008-0099136

(22) 출원일자 2008년10월09일
심사청구일자 없음

(30) 우선권주장
JP-P-2007-264912 2007년10월10일 일본(JP)
(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 준페이

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
모모 준페이

일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인

황의만

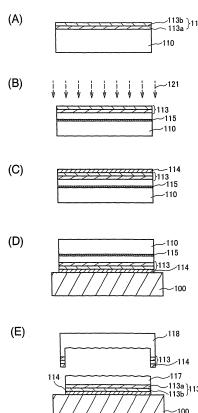
전체 청구항 수 : 총 46 항

(54) 반도체장치의 제조방법

(57) 요 약

유리 기판 등의 내열성이 낮은 지지 기판에 버퍼층을 사이에 두고 단결정 반도체층이 고정된 반도체 기판을 제조 한다. 이온 도핑 장치에 의하여, 수소 가스를 여기(勵起)하여 생성한 이온을 가속하여 단결정 반도체 기판에 조 사하여, 수소를 다량으로 포함하는 손상 영역을 형성한다. 단결정 반도체 기판과 지지 기판을 접합시킨 후, 단 결정 반도체 기판을 가열하여, 손상 영역에서 단결정 반도체 기판을 분리한다. 단결정 반도체 기판으로부터 분 리된 단결정 반도체층을 가열하면서, 이 단결정 반도체층에 레이저 빔을 조사한다. 레이저 빔의 조사에 의해 단 결정 반도체층을 용융시킴으로써, 재(再)단결정화하여, 그의 결정성을 회복시키고, 또한 단결정 반도체층의 표면 을 평탄화한다.

대 표 도 - 도4



(72) 발명자

이사카 후미토

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

히가 에이지

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

쿄야마 마사키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

시모무라 아키히사

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2007-267265 2007년10월12일 일본(JP)

JP-P-2007-285598 2007년11월01일 일본(JP)

특허청구의 범위

청구항 1

반도체장치를 제조하는 방법으로서,

이온 도핑 장치에 의해 가속된 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판의 표면으로부터 소정의 깊이의 영역에 손상 영역을 형성하는 공정;

지지 기판과 상기 단결정 반도체 기판 중 적어도 하나 위에 버퍼층을 형성하는 공정;

상기 지지 기판과 상기 단결정 반도체 기판 사이에 상기 버퍼층을 끼운 채 상기 지지 기판과 상기 단결정 반도체 기판을 밀착시켜, 상기 지지 기판과 상기 단결정 반도체 기판을 접합하는 공정;

상기 단결정 반도체 기판을 가열하여 상기 손상 영역에 균열을 발생시켜, 상기 지지 기판으로부터 상기 단결정 반도체 기판을 분리함으로써, 상기 단결정 반도체 기판으로부터 분리된 단결정 반도체층이 고정된 지지 기판을 형성하는 공정; 및

상기 지지 기판에 고정된 상기 단결정 반도체층을 가열하면서 상기 단결정 반도체층에 레이저 빔을 조사하여, 상기 단결정 반도체층을 용융시킴으로써, 상기 단결정 반도체층을 재(再)단결정화시키는 공정을 포함하는, 반도체장치 제조방법.

청구항 2

제 1 항에 있어서, 상기 단결정 반도체층을 가열하면서 상기 단결정 반도체층에 레이저 빔을 조사함으로써, 상기 단결정 반도체층의 상기 레이저 빔이 조사된 영역의 표면 및 그 표면 근방이 용융되는, 반도체장치 제조방법.

청구항 3

제 1 항에 있어서, 상기 단결정 반도체층을 가열하면서 상기 단결정 반도체층에 레이저 빔을 조사함으로써, 상기 레이저 빔이 조사된 영역의 깊이방향으로 상기 단결정 반도체층의 일부가 용융되는, 반도체장치 제조방법.

청구항 4

제 1 항에 있어서, 상기 단결정 반도체층을 가열하면서 상기 단결정 반도체층에 레이저 빔을 조사함으로써, 상기 단결정 반도체층의 상기 레이저 빔이 조사된 영역이 깊이방향으로 모두 용융되는, 반도체장치 제조방법.

청구항 5

제 1 항에 있어서, 상기 단결정 반도체층에 레이저 빔이 조사될 때, 상기 단결정 반도체층이 400°C 이상 상기 지지 기판의 왜곡점 이하의 온도로 가열되는, 반도체장치 제조방법.

청구항 6

제 1 항에 있어서, 상기 단결정 반도체층에 레이저 빔이 조사될 때, 상기 단결정 반도체층이 400°C 이상 650°C 이하의 온도로 가열되는, 반도체장치 제조방법.

청구항 7

제 1 항에 있어서, 상기 레이저 빔의 조사에 의해 상기 단결정 반도체층이 200 나노초~1000 나노초 동안 용융되는, 반도체장치 제조방법.

청구항 8

제 1 항에 있어서, 상기 단결정 반도체층이 고정된 상기 지지 기판을 400°C 이상 상기 지지 기판의 왜곡점 이하의 온도로 가열하면서, 상기 지지 기판에 고정된 상기 단결정 반도체층에 레이저 빔이 조사되는, 반도체장치 제조방법.

청구항 9

제 1 항에 있어서, 상기 단결정 반도체층이 고정된 상기 지지 기판을 400°C 이상 650°C 이하의 온도로 가열하면서, 상기 지지 기판에 고정된 상기 단결정 반도체층에 레이저 빔이 조사되는, 반도체장치 제조방법.

청구항 10

제 1 항에 있어서, 불활성 가스 분위기 중에서 상기 단결정 반도체층에 상기 레이저 빔이 조사되는, 반도체장치 제조방법.

청구항 11

제 10 항에 있어서, 상기 불활성 가스가 질소 가스 또는 희가스인, 반도체장치 제조방법.

청구항 12

제 10 항에 있어서, 상기 불활성 가스가 30 ppm 이하의 산소 가스 농도를 가지는, 반도체장치 제조방법.

청구항 13

제 1 항에 있어서, 상기 손상 영역은, 수소 가스를 여기(勵起)하여 H_3^+ 를 포함하는 플라즈마를 생성하고, 그 플라즈마에 포함된 이온을 가속하여 상기 단결정 반도체 기판에 조사함으로써 형성되는, 반도체장치 제조방법.

청구항 14

제 1 항에 있어서, 상기 지지 기판이 650°C~690°C의 왜곡점을 가지는, 반도체장치 제조방법.

청구항 15

제 1 항에 있어서, 상기 지지 기판이 유리 기판인, 반도체장치 제조방법.

청구항 16

제 1 항에 있어서, 상기 지지 기판이, 무(無)알칼리 유리 기판(상품명: AN100), 무알칼리 유리 기판(상품명: EAGLE 2000 (등록상표)), 및 무알칼리 유리 기판(상품명: EAGLE XG (등록상표)) 중 하나인, 반도체장치 제조방법.

청구항 17

제 1 항에 있어서, 상기 레이저 빔이, 피조사면에서 선형, 정사각형, 및 직사각형 중 하나의 단면 형상을 가지는, 반도체장치 제조방법.

청구항 18

제 1 항에 있어서, 상기 베퍼층이 다층 구조를 가지고, 상기 단결정 반도체층과 접하는 절연막을 포함하며, 그 절연막이 할로겐을 포함하는, 반도체장치 제조방법.

청구항 19

반도체장치를 제조하는 방법으로서,

베퍼층을 사이에 두고 유리 기판에 단결정 반도체 기판을 고정시키는 공정과;

상기 유리 기판의 왜곡점 이하의 온도로, 상기 유리 기판에 고정된 상기 단결정 반도체층을 가열하면서, 상기 단결정 반도체층의 일부에 레이저 빔을 조사하여, 하부 부분에 단결정 영역을 남긴 채 상부 부분을 용융시킴으로써, 상기 하부 부분의 단결정 영역과 동일한 결정 방위를 가지는 단결정 상태로 상기 상부 부분을 재(再)단결정화시키는 공정을 포함하는, 반도체장치 제조방법.

청구항 20

제 19 항에 있어서, 상기 레이저 빔이, 정사각형, 직사각형, 및 선형 중 하나의 단면 형상을 가지고,

상기 단결정 반도체층이 고정된 상기 유리 기판을 이동시키면서, 상기 단결정 반도체층의 상기 일부에 상기 레

이저 빔이 조사되는, 반도체장치 제조방법.

청구항 21

제 19 항에 있어서, 상기 단결정 반도체층에 상기 레이저 빔을 조사함으로써, 용융된 부분의 재단결정화가 행해지는 것과 함께, 상기 용융된 부분의 결함이 수복(修復)되는, 반도체장치 제조방법.

청구항 22

제 19 항에 있어서, 상기 유리 기판이, 무(無)알칼리 유리 기판(상품명: AN100), 무알칼리 유리 기판(상품명: EAGLE 2000 (등록상표)), 및 무알칼리 유리 기판(상품명: EAGLE XG (등록상표)) 중 하나인, 반도체장치 제조방법.

청구항 23

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하는, 반도체장치 제조방법.

청구항 24

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 질화규소막 또는 질화산화규소막을 포함하는, 반도체장치 제조방법.

청구항 25

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판 또는 상기 단결정 반도체층에 접합되는 접합층을 포함하는, 반도체장치 제조방법.

청구항 26

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층을 산화하여 얻어지는 산화물 막을 포함하는, 반도체장치 제조방법.

청구항 27

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판 또는 상기 단결정 반도체층에 접합되는 접합층과, 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하는, 반도체장치 제조방법.

청구항 28

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판 또는 상기 단결정 반도체층에 접합되는 접합층과, 상기 단결정 반도체층에 접하는 절연막, 및 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하고, 상기 배리어층은 상기 접합층과 상기 절연막 사이에 형성되는, 반도체장치 제조방법.

청구항 29

제 28 항에 있어서, 상기 단결정 반도체층에 접하는 상기 절연막이 산화규소막 또는 산화질화규소막인, 반도체장치 제조방법.

청구항 30

제 28 항에 있어서, 상기 단결정 반도체층에 접하는 상기 절연막이 상기 단결정 반도체층을 산화하여 얻어지는 산화물 막인, 반도체장치 제조방법.

청구항 31

제 28 항에 있어서, 상기 배리어층이 질화규소막 또는 질화산화규소막인, 반도체장치 제조방법.

청구항 32

제 19 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층과 접하는 절연막을 포함하며, 그 절연막이 할로겐을 포함하는, 반도체장치 제조방법.

청구항 33

반도체장치를 제조하는 방법으로서,

버퍼층을 사이에 두고 유리 기판에 단결정 반도체 기판을 고정시키는 공정과;

상기 유리 기판의 왜곡점 이하의 온도로, 상기 유리 기판에 고정된 상기 단결정 반도체층을 가열하면서, 상기 단결정 반도체층의 일부에 레이저 빔을 조사하여, 상기 단결정 반도체층의 상기 레이저 빔이 조사된 영역을 용융시킴으로써, 상기 레이저 빔이 조사된 상기 영역에 인접한 영역의 단결정 상태와 동일한 결정 방위를 가지는 단결정 상태로 재(再)단결정화시키는 공정을 포함하는, 반도체장치 제조방법.

청구항 34

제 33 항에 있어서, 상기 레이저 빔이, 피조사면에서 정사각형, 직사각형, 및 선형 중 하나의 단면 형상을 가지고,

상기 단결정 반도체층이 고정된 상기 유리 기판을 이동시키면서, 상기 단결정 반도체층의 상기 일부에 상기 레이저 빔이 조사되는, 반도체장치 제조방법.

청구항 35

제 33 항에 있어서, 상기 단결정 반도체층에 상기 레이저 빔을 조사함으로써, 용융된 부분의 재단결정화가 행해지는 것과 함께, 상기 용융된 부분의 결함이 수복(修復)되는, 반도체장치 제조방법.

청구항 36

제 33 항에 있어서, 상기 유리 기판이, 무(無)알칼리 유리 기판(상품명: AN100), 무알칼리 유리 기판(상품명: EAGLE 2000 (등록상표)), 및 무알칼리 유리 기판(상품명: EAGLE XG (등록상표)) 중 하나인, 반도체장치 제조방법.

청구항 37

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하는, 반도체장치 제조방법.

청구항 38

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 질화규소막 또는 질화산화규소막을 포함하는, 반도체장치 제조방법.

청구항 39

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판 또는 상기 단결정 반도체층에 접합되는 접합층을 포함하는, 반도체장치 제조방법.

청구항 40

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층을 산화하여 얻어지는 산화물 막을 포함하는, 반도체장치 제조방법.

청구항 41

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판 또는 상기 단결정 반도체층에 접합되는 접합층과, 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하는, 반도체장치 제조방법.

청구항 42

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 유리 기판에 접합되는 접합층과, 상기 단결정 반도체층에 접하는 절연막, 및 상기 단결정 반도체층에 나트륨이 침입하는 것을 방지할 수 있는 배리어층을 포함하고, 상기 배리어층은 상기 접합층과 상기 절연막 사이에 형성되는, 반도체장치 제조방법.

청구항 43

제 42 항에 있어서, 상기 단결정 반도체층에 접하는 상기 절연막이 산화규소막 또는 산화질화규소막인, 반도체장치 제조방법.

청구항 44

제 42 항에 있어서, 상기 단결정 반도체층에 접하는 상기 절연막이 상기 단결정 반도체층을 산화하여 얻어지는 산화물 막인, 반도체장치 제조방법.

청구항 45

제 42 항에 있어서, 상기 배리어층이 질화규소막 또는 질화산화규소막인, 반도체장치 제조방법.

청구항 46

제 33 항에 있어서, 상기 버퍼층이 다층 구조를 가지고, 상기 단결정 반도체층과 접하는 절연막을 포함하며, 그 절연막이 할로겐을 포함하는, 반도체장치 제조방법.

명세서**발명의 상세한 설명****기술분야**

<1> 본 발명은, 버퍼층을 사이에 두고 단결정 반도체층이 고정된 반도체 기판의 제조방법 및 반도체장치의 제조방법에 관한 것이다.

배경기술

<2> 근년, 벌크(bulk)상(狀)의 실리콘 웨이퍼 대신에, SOI(Silicon On Insulator) 기판을 사용한 집적회로가 개발되고 있다. 절연층 위에 형성된 얇은 단결정 규소층의 특장(特長)을 살림으로써, 집적회로 중의 트랜지스터의 반도체층을 완전히 절연 분리하여 형성할 수 있고, 또한, 트랜지스터를 완전 공핍형으로 할 수 있기 때문에, 고집적, 고속 구동, 저소비전력 등 부가가치가 높은 반도체 집적회로를 실현할 수 있다.

<3> SOI 기판으로서, SIMOX 기판, 접합 기판이 알려져 있다. 예를 들어, SIMOX 기판은, 단결정 규소 기판에 산소 이온을 주입하고, 1300°C 이상으로 열처리하여 매립 산화물(BOX: Buried Oxide)층을 형성함으로써, 표면에 단결정 규소 박막을 형성하여 SOI 구조를 얻고 있다.

<4> 접합 기판은, 산화막을 사이에 두고 2장의 단결정 규소 기판(베이스(base) 기판 및 본드(bond) 기판)을 접합하고, 한쪽의 단결정 규소 기판(본드 기판)을 뒷면(접합면이 아닌 면)으로부터 박막화함으로써, 단결정 규소 박막을 형성하여 SOI 구조를 얻고 있다. 연삭이나 연마에서는 균일하고 얇은 단결정 규소 박막을 형성하는 것이 어렵기 때문에, 스마트 컷(Smart-Cut)(등록상표)이라고 불리는 수소 이온 주입을 이용하는 기술이 제안되어 있다(예를 들어, 문헌 1 참조).

<5> 이 SOI 기판의 제조방법의 개요를 설명하면, 실리콘 웨이퍼에 수소 이온을 주입함으로써, 표면으로부터 소정의 깊이에 이온 주입층을 형성한다. 다음에, 베이스 기판이 되는 다른 실리콘 웨이퍼를 산화하여 산화규소막을 형성한다. 그 후, 수소 이온을 주입한 실리콘 웨이퍼와, 다른 실리콘 웨이퍼의 산화규소막을 접합시켜, 2장의 실리콘 웨이퍼를 부착시킨다. 그리고, 가열 처리에 의하여, 이온 주입층을 벽개면(劈開面)으로 하여 실리콘 웨이퍼를 벽개시킴으로써, 베이스 기판에 얇은 단결정 규소층이 접합된 기판이 형성된다.

<6> 또한, 유리 기판에 단결정 규소층이 부착된 SOI 기판을 형성하는 방법이 알려져 있다(예를 들어, 문헌 2 참조). 문헌 2에서는, 수소 이온 주입에 의하여 형성된 결합층이나, 박리면의 수 nm~수십 nm의 단차를 제거하기 위하

여, 박리면을 기계 연마하고 있다.

- <7> 또한, 본 출원인은, 문헌 3 및 문헌 4에 스마트 컷(등록상표)을 이용하여 내열성이 높은 기판을 지지 기판으로서 사용하는 반도체장치의 제조방법을 개시하고, 문헌 5에 스마트 컷(등록상표)을 이용하여 지지 기판으로서 투광성 기판을 사용한 반도체장치의 제조방법을 개시하고 있다.
- <8> [문헌 1] 일본국 공개특허공고 평5-211128호 공보
- <9> [문헌 2] 일본국 공개특허공고 평11-097379호 공보
- <10> [문헌 3] 일본국 공개특허공고 평11-163363호 공보
- <11> [문헌 4] 일본국 공개특허공고 2000-012864호 공보
- <12> [문헌 5] 일본국 공개특허공고 2000-150905호 공보

발명의 내용

해결 하고자하는 과제

- <13> 유리 기판은 실리콘 웨이퍼보다 대면적이고, 저렴하기 때문에, 유리 기판을 지지 기판으로서 사용함으로써, 대면적이고 저렴한 SOI 기판을 제조하는 것이 가능하게 된다. 그러나, 유리 기판은, 왜곡점이 700°C 이하이고, 내열성이 낮다. 따라서, 유리 기판의 내열 온도를 넘는 온도로 가열할 수 없고, 프로세스 온도는 700°C 이하로 제한되게 된다. 즉, 박리면에서의 결정 결합의 제거, 표면의 평탄화의 공정에도, 프로세스 온도의 제약이 있다.
- <14> 종래, 실리콘 웨이퍼에 부착된 반도체층의 결정 결합의 제거는, 1000°C 이상의 온도로 가열함으로써 실현할 수 있지만, 왜곡점이 700°C 이하인 유리 기판에 부착된 반도체층의 결정 결합의 제거에는, 이와 같은 고온 프로세스는 사용할 수가 없다. 즉, 종래에는, 왜곡점이 700°C 이하인 유리 기판에 부착된 단결정 반도체층을, 가공하기 전의 단결정 반도체 기판과 동일한 정도의 결정성을 가지는 단결정 반도체층으로 회복시키는 재(再)단결정화 방법은 확립되어 있지 않았다.
- <15> 또한, 유리 기판은 실리콘 웨이퍼보다 휙기 쉽고, 표면에 굴곡이 있다. 특히 한 변이 30 cm를 넘는 대면적의 유리 기판에 대하여 기계 연마에 의한 처리를 행하는 것은 곤란하다. 따라서, 가공 정밀도나 제품 수율 등의 관점에서, 박리면의 기계 연마에 의한 처리는, 지지 기판에 부착된 반도체층의 평탄화 처리에 사용하는 것은 추천될 수 없다. 한편, 고성능의 반도체소자를 제조하기 위해서는, 박리면에서의 표면의 요철을 억제하는 것이 요구되고 있다. 그것은, SOI 기판으로부터 트랜ジ스터를 제조하는 경우, 반도체층 위에 게이트 절연층을 사이에 두고 게이트 전극이 형성되기 때문이다. 따라서, 반도체층의 요철이 크면, 절연 내압성이 높은 게이트 절연층을 제조하는 것이 곤란하다. 그 때문에, 절연 내압성을 높이기 위해 두꺼운 게이트 절연층이 필요하게 된다. 따라서, 반도체층의 표면의 요철이 크면, 전계효과 이동도가 저하하거나 스레시홀드 전압의 크기가 증가하는 등, 반도체소자의 성능이 저하하는 원인이 된다.
- <16> 이와 같이, 내열성이 낮고 휙기 쉬운 유리 기판과 같은 기판이 지지 기판에 사용되면, 실리콘 웨이퍼로부터 박리되어 지지 기판 위에 고정된 반도체층의 표면 요철을 개선하는 것이 곤란하다는 문제가 표면화한다.
- <17> 이와 같은 문제점을 감안하여, 본 발명은, 내열성이 낮은 기판이 지지 기판에 사용되었다고 하더라도, 고성능의 반도체소자를 형성하는 것을 가능하게 하는 반도체 기판 제조방법을 제공하는 것을 과제의 하나로 한다.

과제 해결수단

- <18> 본 발명의 반도체장치 제조방법의 하나는, 단결정 반도체 기판 및 지지 기판을 준비하고, 이온 도핑 장치에 의해, 가속된 이온을 단결정 반도체 기판에 조사함으로써, 단결정 반도체 기판의 표면으로부터 소정의 깊이의 영역에 손상 영역을 형성하고, 지지 기판과 단결정 반도체 기판 중 적어도 한쪽에 버퍼층을 형성하고, 지지 기판과 단결정 반도체 기판을 버퍼층을 사이에 두고 밀착시켜, 지지 기판과 단결정 반도체 기판을 접합하고, 단결정 반도체 기판의 가열에 의해 손상 영역에 균열을 발생시켜, 단결정 반도체 기판을 지지 기판으로부터 분리함으로써, 단결정 반도체 기판으로부터 분리된 단결정 반도체층이 고정된 지지 기판을 형성하고, 지지 기판에 고정된 단결정 반도체층을 가열하면서 단결정 반도체층에 레이저 빔을 조사하여, 단결정 반도체층을 용융시킴으로써, 단결정 반도체층을 재(再)단결정화시킨다.

- <19> 여기서는, 단결정이란, 어느 결정축에 주목한 경우, 그 결정축의 방향이 시료의 어느 부분에서 같은 방향을 향하고 있는 결정을 말하고, 또한, 결정립계가 존재하지 않는 결정이다. 또한, 본 명세서에서는, 결정 결합이나 댕글링 본드(dangling bond)를 포함하고 있어도, 상기와 같이 결정축의 방향이 정렬되어 있고 입계가 존재하지 않는 결정인 것은 단결정으로 한다.
- <20> 또한, 단결정 반도체층의 재단결정화란, 단결정 구조의 반도체층이 그 단결정 구조와 다른 상태(예를 들어, 액상(液相) 상태)를 거쳐, 다시 단결정 구조로 되는 것을 말한다. 또는, 단결정 반도체층의 재단결정화는, 단결정 반도체층을 재결정화하여 단결정 반도체층을 형성하는 것도 가능하다.
- <21> 레이저 범의 조사에 의해, 단결정 반도체층의 레이저 범이 조사되어 있는 영역의 표면으로부터 깊이 방향의 일부를 용융한다. 예를 들어, 표면 및 그 표면 근방을 용융한다. 또는, 단결정 반도체층의 레이저 범이 조사되어 있는 영역의 깊이 방향의 전부를 용융한다.
- <22> 레이저 범의 조사는, 400°C 이상 지지 기판의 왜곡점 이하의 온도로, 단결정 반도체층이 고정된 지지 기판을 가열하면서 행할 수 있다. 이 가열 온도는 400°C 이상 670°C 이하로 할 수 있다. 이 가열 온도는, 450°C 이상 650°C 이하가 바람직하고, 500°C 이상이 보다 바람직하다.
- <23> 지지 기판에는 왜곡점이 650°C 이상 690°C 이하인 기판을 사용하는 것이 바람직하다. 지지 기판에는 유리 기판을 사용할 수 있다. 예를 들어, 무(無)알칼리 유리 기판을 사용할 수 있다.
- <24> 또한, 단결정 반도체 기판으로부터 분리되는 단결정 반도체층의 두께는 20 nm 이상 200 nm 이하가 바람직하다.
- <25> 베퍼층은 1층 또는 2층 이상의 막으로 형성할 수 있다. 베퍼층에는, 지지 기판측으로부터 나트륨이 확산하는 것을 방지할 수 있는 배리어층을 포함하는 것이 바람직하다. 레이저 범을 조사할 때, 단결정 반도체층과 함께 지지 기판은 가열되고, 또한, 용융한 단결정 반도체층으로부터의 열이 전도함으로써도 지지 기판이 가열된다. 지지 기판에 알칼리 금속 또는 알칼리토류 금속 등의 불순물(대표적으로는, 나트륨)이 포함되어 있는 경우, 지지 기판의 온도 상승에 의하여, 이와 같은 불순물이 지지 기판으로부터 단결정 반도체층으로 확산할 우려가 있다. 배리어층을 형성함으로써, 단결정 반도체층은 불순물이 확산하는 것을 방지할 수 있다.
- <26> 또한, 베퍼층은, 단결정 반도체층에 밀착하고, 또한, 염소 또는 불소 등의 할로겐을 포함하는 절연막을 가지는 것이 바람직하다.
- <27> 단결정 반도체층이 고정된 지지 기판을 가열하면서 레이저 범을 조사함으로써, 단결정 반도체층이 용융하여 있는 시간을 연장시킬 수 있다. 실온에서 레이저 범을 조사한 경우, 용융하여 있는 시간은 약 100 나노초 정도 이하이지만, 가열된 기체를 내뿜는 것에 의해, 용융하여 있는 시간을 연장시킬 수 있다. 용융하여 있는 시간을 200 나노초 이상 1000 나노초 이하로 하는 것이 바람직하다. 이것은, 용융 시간이 1000 나노초를 넘으면, 열이 전도되어 지지 기판인 유리 기판이 용융하는 등의 기판에 데미지(damage)를 줄 우려가 있기 때문이다.
- <28> 본 발명의 반도체장치 제조방법에서, 불활성 기체 분위기 중에서 반도체층에 레이저 범을 조사하는 것이 바람직하다. 또는, 레이저 범의 조사는, 단결정 반도체층의 상면에서의 레이저 범의 조사 영역에 불활성 기체를 내뿜으면서 행하는 것이 바람직하다. 불활성 기체에는, 질소 가스 또는 희ガ스를 사용할 수 있다. 불활성 기체란, 레이저 범의 조사 공정에서 단결정 반도체층의 표면과 반응하여 산화막을 형성하지 않는 분자 또는 원자의 기체이다. 예를 들어, 불활성 기체에는, 질소 가스(N_2 가스), 아르곤이나 크세논 등의 희ガ스 등이 있다.
- <29> 본 발명의 반도체장치 제조방법에서, 단결정 반도체층에 조사하는 레이저 범의 범 형상(단면 형상)을 선형, 정사각형, 또는 직사각형으로 할 수 있다. 이와 같은 단면 형상을 가지는 레이저 범을 주사함으로써, 용융되어 재결정화가 일어나는 장소를 이동시킬 수 있다.
- <30> 지지 기판에 고정된 단결정 반도체층을 가열하면서 레이저 범을 단결정 반도체층에 조사하여, 단결정 반도체층을 용융시킴으로써, 이하의 많은 효과를 얻을 수 있다. 또한, 본 발명의 반도체장치 제조방법은, 이들 효과 중 적어도 하나의 효과를 얻을 수 있으면 좋다.
- <31> 단결정 반도체층을 가열함으로써, 가열하지 않을 때보다 단결정 반도체층이 용융하여 있는 시간이 연장된다. 이것에 의하여, 표면장력의 작용으로 피조사면의 평탄성이 현격히 향상된다.
- <32> 단결정 반도체층을 가열함으로써, 단결정 반도체층 중의 댕글링 본드나, 단결정 반도체층과 하지막과의 계면의 결합 등의 마이크로(micro) 결합을 제거할 수 있어, 보다 좋은 단결정 반도체층을 얻을 수 있다. 가열하면서 레이저 범이 조사된 단결정 반도체층의 피조사 영역은 융점 이상의 온도로 상승하기 때문에 용융한다. 그리고,

용융 부분은 응고함으로써 재결정화한다. 이와 같이 재단결정화되는 결과, 우수한 특성을 가지는 단결정 반도체층을 얻을 수 있다.

<33> 용융하여 있는 시간을 연장시킴으로써, 단결정 반도체층이 레이저 빔의 조사에 의해 용융하고 나서 고화하기까지, 다음의 레이저 빔을 조사할 수 있기 때문에, 쇼트(shot)수를 저감할 수 있다. 쇼트수를 저감하는 것은 생산성의 향상에 기여한다. 레이저 빔의 주사에서, 1회의 쇼트와 다음의 쇼트를 일부 겹쳐 오버랩시키는 비율을 오버랩률이라고도 부르는데, 용융하여 있는 시간을 연장시킴으로써, 오버랩률을 가열하지 않는 경우의 10분의 1 정도까지 저감할 수 있고, 0%로 할 수도 있다.

<34> 레이저 빔 조사 시에 단결정 반도체층이 고정된 지지 기판을 가열함으로써, 단결정 반도체층의 용융에 필요한 레이저 빔의 에너지를 저감할 수 있다. 필요한 레이저 빔의 에너지를 저감할 수 있다면, 소비전력의 삭감에 더하여 레이저 발진기의 수명을 늘릴 수 있다. 레이저 발진기의 수명을 늘림으로써, 부품의 교환 시기의 간격을 길게 할 수 있으므로 생산성이 향상된다.

<35> 레이저 빔 조사 시에 단결정 반도체층을 가열함으로써, 단결정 반도체층의 표면을 평탄화하기 위해 조사하는 레이저 빔의 쇼트수를 저감할 수 있다. 쇼트수를 저감하는 것은 생산성의 향상에 기여한다.

<36> 또한, 단결정 반도체층이 용융하여 있는 시간을 연장시키는 것에 더하여, 용융한 단결정 반도체층의 냉각 속도를 자연 냉각에 비하여 저감시킬 수 있다. 용융한 단결정 반도체층의 냉각 속도를 자연 냉각에 비하여 저감시킬 수 있다면, 용융하여 있는 시간의 연장에 의해 재단결정화가 순조롭게 진행되어, 입계가 없는 단결정 반도체층을 얻을 수 있다.

<37> 또한, 선형, 정사각형, 또는 직사각형의 조사 영역을 가지는 레이저 빔을 주사함으로써, 용융되어 재결정화가 일어나는 장소를 이동시킬 수 있고, 또한, 용융하여 있는 시간을 연장시킴으로써, 단결정 반도체층에서 부분적으로 단결정의 정제(精製)가 행해져, 포함되는 불순물도 저감된 단결정 반도체층을 얻을 수 있다.

<38> 또한, 단결정 반도체층에 접하는 절연막에 할로겐을 포함시켜 둠으로써, 레이저 빔의 조사에 의해 그 절연막도 가열되기 때문에, 절연막으로부터 할로겐이 확산하여, 단결정 반도체층과 절연막 계면에 할로겐을 편석(偏析)시킬 수 있다. 할로겐을 단결정 반도체층과 절연막과의 계면에 편석시킴으로써, 할로겐에 의해 이 계면에 존재하는 나트륨 등의 가동(可動) 이온을 포획할 수 있다. 따라서, 지지 기판에 유리 기판을 사용하는 경우는, 할로겐을 포함하는 절연막을 형성하고, 가열하면서의 레이저 빔의 조사 처리는, 나트륨 등의 불순물 오염을 방지하는데 매우 효과적이다.

<39> 상술한 문헌 1~5는, 단결정 반도체층의 평탄화에는 기계 연마를 행하는 것을 주된 프로세스로 하고 있기 때문에, 본 발명의 왜곡점이 700°C 이하인 유리 기판을 사용하는 것의 과제, 용융하여 있는 시간을 연장시키는 구성, 및 효과에 관하여 전혀 상정되지 않고, 크게 상이하다.

<40> 또한, 단결정 반도체층에 대하여 레이저 빔을 조사하여, 단결정 반도체층의 일부 또는 전부를 용융시켜, 재결정화시켜 보다 좋은 단결정을 얻는 방법에 관하여, 지금까지 없는 혁신적인 기술이다. 또한, 이와 같은 레이저 빔의 이용 방법은, 종래의 기술에서는 전혀 상정되지 않고, 매우 새로운 개념이다.

효과

<41> 본 발명의 반도체장치 제조방법은, 프로세스 온도 700°C 이하에서, 단결정 반도체 기판으로부터 분리된 단결정 반도체층을 용융함으로써, 재결정화하여, 결정성을 회복시키는 것이 가능하다. 또한, 프로세스 온도 700°C 이하에서, 단결정 반도체 기판으로부터 분리된 단결정 반도체층을 평탄화하는 것이 가능하다. 따라서, 내열성이 낮은 기판이 지지 기판에 사용되었다고 하더라도, 반도체 기판을 사용하여 고성능의 반도체소자를 형성하는 것이 가능하게 된다. 예를 들어, 대면적을 가지는 투광성 유리 기판을 사용하여, 고성능의 표시장치를 제조하는 것이 가능하게 된다.

발명의 실시를 위한 구체적인 내용

<42> 이하에 본 발명을 설명한다. 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 다른 도면간에 같은 참조 부호가 붙어 있는 요소는 같은 요소를 나타내고, 재료, 형상, 제조방법 등에 대하여 반복되는 설명은 생략하였다.

<43> [실시형태 1]

<44> 본 실시형태에서는, 벼퍼층을 사이에 두고 단결정 반도체층이 지지 기판에 고정되어 있는 반도체 기판 및 그의 제조방법에 대하여 설명한다.

<45> 도 1은 반도체 기판의 구성예를 나타내는 사시도이다. 반도체 기판(10)은, 벼퍼층(111)을 사이에 두고 단결정 반도체층(112)이 지지 기판(100)에 고정되어 있는 기판이다. 단결정 반도체 기판을 얇게 함으로써 형성되는 층이다. 벼퍼층(111)의 표면과 지지 기판(100)의 표면이 접합함으로써, 단결정 반도체층(112)이 지지 기판(100)에 고정되어 있다. 반도체 기판(10)은 소위 SOI 구조의 기판이고, 절연층 위에 단결정 반도체층이 형성되어 있는 기판이다.

<46> 벼퍼층(111)은 단층 구조이어도 좋고, 막을 2층 이상 격층한 다층 구조이어도 좋다. 벼퍼층(111)을 구성하는 막은 단결정 반도체 기판의 표면에 성막 처리에 의하여 형성된 막으로 이루어진다. 본 실시형태에서는 벼퍼층(111)은 3층 구조이고, 지지 기판(100)측으로부터, 제2 절연층(114), 제1 절연층(113b), 제1 절연층(113a)이 격층되어 있다.

<47> 도 1의 반도체 기판(10)에서, 제2 절연층(114)은 접합층으로서 기능하고 있는 막이다. 즉, 제2 절연층(114)의 표면과 지지 기판(100)의 표면이 접합함으로써, 단결정 반도체층(112)이 지지 기판(100)에 고정되어 있다.

<48> 또한, 제1 절연층(113a)은 배리어층으로서 기능하는 절연막이다. 배리어층은, 반도체 기판의 제조 시, 및 이 반도체 기판을 사용한 반도체장치의 제조 시에, 알칼리 금속 또는 알칼리토류 금속 등의, 반도체장치의 신뢰성을 저하시키는 불순물(대표적으로는, 나트륨)이 지지 기판(100)측으로부터 단결정 반도체층(112)에 침입하는 것을 방지하는 막이다. 배리어층을 형성함으로써, 반도체 기판 및 반도체장치가 불순물에 의해 오염되는 것을 방지할 수 있기 때문에, 그의 신뢰성을 향상시킬 수 있다.

<49> 단결정 반도체층(112)은 단결정 반도체 기판을 박막화함으로써 형성되는 층이다. 단결정 반도체 기판에는, 시판되는 반도체 기판을 사용할 수 있고, 예를 들어, 단결정 규소 기판, 단결정 게르마늄 기판, 단결정 규소 게르마늄 기판 등, 제 14족 원소로 이루어지는 단결정 반도체 기판을 사용할 수 있다. 또한, 갈륨 비소나 인듐 인 등의 화합물 반도체 기판도 사용할 수 있다.

<50> 지지 기판(100)에는, 절연 표면을 가지는 기판을 사용한다. 구체적으로는, 알루미노 실리케이트 유리, 알루미노 봉규산 유리, 바륨 봉규산 유리와 같은, 전자 공업용으로 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판을 들 수 있다. 지지 기판(100)으로서 유리 기판을 사용하는 것이 바람직하다. 유리 기판에는, 열팽창 계수가 $25 \times 10^{-7} / ^\circ\text{C}$ 이상 $50 \times 10^{-7} / ^\circ\text{C}$ 이하(바람직하게는, $30 \times 10^{-7} / ^\circ\text{C}$ 이상 $40 \times 10^{-7} / ^\circ\text{C}$ 이하)이고, 왜곡점이 580°C 이상 700°C 이하, 바람직하게는, 650°C 이상 690°C 이하인 기판을 사용하는 것이 바람직하다. 또한, 반도체장치의 오염을 억제하기 위해, 유리 기판은 무알칼리 유리 기판이 바람직하다. 무알칼리 유리 기판의 재료에는, 예를 들어, 알루미노 실리케이트 유리, 알루미노 봉규산 유리, 바륨 봉규산 유리 등의 유리 재료 등이 있다. 예를 들어, 지지 기판(100)으로서, 무알칼리 유리 기판(상품명: AN100), 무알칼리 유리 기판(상품명: EAGLE 2000(등록상표)) 또는 무알칼리 유리 기판(상품명: EAGLE XG(등록상표))을 사용하는 것이 바람직하다.

<51> 무알칼리 유리 기판(상품명: AN100)은 다음의 물성 값을 가지는 무알칼리 유리 기판이다. 비중 2.51 g/cm^3 , 푸와송비(Poisson's ratio) 0.22, 영률(Young's module) 77 GPa, 열팽창률 $38 \times 10^{-7} / ^\circ\text{C}$.

<52> 무알칼리 유리 기판(상품명: EAGLE 2000(등록상표))은 다음의 물성 값을 가지는 무알칼리 유리 기판이다. 비중 2.37 g/cm^3 , 푸와송비 0.23, 영률 70.9 GPa, 열팽창률 $31.8 \times 10^{-7} / ^\circ\text{C}$.

<53> 또한, 지지 기판(100)에는, 유리 기판 외에, 세라믹 기판, 석영 기판이나 사파이어 기판 등의, 절연체로 이루어지는 절연성 기판, 금속이나 스테인리스 강(鋼) 등의 도전체로 이루어지는 도전성 기판, 실리콘이나 갈륨 비소 등 반도체로 이루어지는 반도체 기판 등을 사용할 수 있다. 또한, 지지 기판(100)에는, 유리 기판, 석영 기판 등의 투광성 기판이 바람직하다. 투광성 기판을 사용함으로써, 표시장치의 제조에 적합한 반도체 기판(10)을 제조할 수 있다.

<54> 이하, 도 3~도 5를 참조하여, 도 1에 나타내는 반도체 기판(10)의 제조방법을 설명한다.

<55> 먼저, 단결정 반도체 기판(110)을 준비한다. 단결정 반도체 기판(110)은 소망의 크기 및 형상으로 가공되어 있

다. 도 3은, 단결정 반도체 기판(110)의 구성의 일례를 나타내는 외관도이다. 사각형의 지지 기판(100)에 부착시키는 것, 및 축소 투영형 노광 장치 등의 노광 장치의 노광 영역이 사각형인 것 등을 고려하면, 도 3에 나타내는 바와 같이 단결정 반도체 기판(110)의 형상은 사각형인 것이 바람직하다. 또한, 본 명세서에서, 특별한 언급이 없는 경우, 사각형에는 정사각형 및 직사각형을 포함한다.

<56> 물론, 단결정 반도체 기판(110)에는, 도 3의 형상의 기판에 한정되는 것은 아니고, 다양한 형상의 단결정 반도체 기판을 사용할 수 있다. 예를 들어, 원형, 5각형, 6각형 등의 다각형의 기판을 사용할 수 있다. 물론, 시판되는 원 형상의 단결정 반도체 웨이퍼를 단결정 반도체 기판(110)에 사용하는 것도 가능하다.

<57> 원 형상의 단결정 반도체 웨이퍼에는, 실리콘이나 게르마늄 등의 반도체 웨이퍼, 갈륨 비소나 인듐 인 등의 화합물 반도체 웨이퍼 등이 있다. 단결정 반도체 웨이퍼의 대표예는 단결정 실리콘 웨이퍼이고, 직경 5 인치(125 mm), 직경 6 인치(150 mm), 직경 8 인치(200 mm), 직경 12 인치(300 mm), 직경 400 mm, 직경 450 mm의 원형의 웨이퍼가 알려져 있다.

<58> 사각형의 단결정 반도체 기판(110)은, 원 형상의 단결정 반도체 웨이퍼를 절단함으로써 형성할 수 있다. 기판의 절단에는, 다이서(dicer) 또는 와이어 톱 등의 절단 장치, 레이저 절단, 플라즈마 절단, 전자빔 절단, 그 외 임의의 절단 수단을 사용할 수 있다. 또한, 기판으로서 박편화하기 전의 반도체 기판 제조용의 잉곳(ingot)을, 그의 단면이 사각형인 되도록 직방체 형상으로 가공하고, 이 직방체 형상의 잉곳을 박편화하는 것에 의해서도, 사각형의 단결정 반도체 기판(110)을 제조할 수 있다.

<59> 또한, 단결정 반도체 기판(110)의 두께는 특별히 한정되지 않지만, 단결정 반도체 기판(110)을 재이용하는 것을 고려하면, 두꺼운 것이 1장의 원료 웨이퍼로부터 보다 많은 단결정 반도체층(112)을 형성할 수 있으므로 바람직하다. 시장에 유통되고 있는 단결정 실리콘 웨이퍼의 두께는, 그 사이즈는 SEMI 규격에 준하고 있고, 예를 들어, 직경 6 인치의 웨이퍼는 막 두께 625 μm , 직경 8 인치의 웨이퍼는 막 두께 725 μm , 직경 12 인치의 웨이퍼는 775 μm 로 되어 있다. 또한, SEMI 규격의 웨이퍼의 두께는 공차 $\pm 25 \mu\text{m}$ 를 포함하고 있다. 물론, 원료가 되는 단결정 반도체 기판(110)의 두께는 SEMI 규격에 한정되는 것은 아니고, 잉곳을 슬라이스할 때 그 두께를 적절히 조절할 수 있다. 물론, 재이용된 단결정 반도체 기판(110)을 사용할 때는, 그의 두께는 SEMI 규격보다 얇아진다.

<60> 또한, 단결정 반도체 기판(110)에, 단결정 규소 기판과 같은 결정 구조가 다이아몬드 구조인 제 14족 원소로 이루어지는 기판을 사용하는 경우에는, 그의 주 표면의 면방위는 (100)이어도 좋고, (110)이어도 좋고, (111)이어도 좋다. (100)의 단결정 반도체 기판(110)을 사용함으로써, 단결정 반도체층(112)과 그의 표면에 형성되는 절연층과의 계면 준위 밀도를 작게 할 수 있으므로, 전계효과형 트랜지스터의 제조에 매우 적합하다.

<61> 주 표면이 (110)인 단결정 반도체 기판(110)을 사용함으로써, 제2 절연층(114)과 단결정 반도체층(112)과의 접합면에서, 제2 절연층(114)을 구성하는 원소와 단결정 반도체층(112)을 구성하는 제 14족 원소(예를 들어, 실리콘 원소)와의 결합이 밀접하게 형성되기 때문에, 제2 절연층(114)과 단결정 반도체층(112)의 결합력이 향상된다.

<62> 주 표면이 (110)면인 단결정 반도체 기판(110)을 사용함으로써, 그 주 표면에는, 다른 면방위에 비하여 원자가 조밀하게 배열되어 있기 때문에, 단결정 반도체층(112)의 평탄성이 향상된다. 따라서, 주 표면이 (110)면인 단결정 반도체층(112)을 사용하여 제조한 트랜지스터는, 작은 S값, 높은 전계효과 이동도 등의 우수한 전기적 특성을 가진다. 또한, 주 표면이 (110)면인 단결정 반도체 기판은, (100)면인 단결정 반도체 기판과 비교하여 영률이 크고, 벽개하기 쉽다는 장점이 있다.

<63> 먼저, 단결정 반도체 기판(110)을 세정하여 청정하게 한다. 다음에, 도 4(A)에 나타내는 바와 같이, 단결정 반도체 기판(110) 위에 제1 절연층(113)을 형성한다. 제1 절연층(113)은 단층 구조, 또는 2층 이상의 다층 구조로 할 수 있다. 제1 절연층(113)의 두께는 5 nm 이상 400 nm 이하로 할 수 있다. 제1 절연층(113)을 구성하는 막에는, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화게르마늄, 질화게르마늄막, 산화질화게르마늄막, 질화산화게르마늄막 등의 규소 또는 게르마늄을 조성에 포함하는 절연막을 사용할 수 있다. 또한, 산화알루미늄, 산화탄탈, 산화하프늄 등의 금속의 산화물로 이루어지는 절연막, 질화알루미늄 등의 금속의 질화물로 이루어지는 절연막, 산화질화알루미늄막 등의 금속의 산화질화물로 이루어지는 절연막, 질화산화알루미늄막 등의 금속의 질화산화물로 이루어지는 절연막을 사용할 수도 있다.

<64> 제1 절연층(113)을 구성하는 절연막은, 화학 기상 성장법(CVD법), 스퍼터링법, 원자층 에피탁시법(ALE법), 단결정 반도체 기판(110)을 산화하거나 질화하는 등의 방법에 의하여 형성할 수 있다. CVD법에는, 감압 CVD법, 열

CVD법, 플라즈마 여기 CVD법(이하, PECVD법이라고 한다) 등이 있다. PECVD법은, 350°C 이하의 저온 처리이고, 또한, 다른 CVD법보다 성막 속도가 크기 때문에, 바람직하다.

<65> 또한, 본 명세서에서, 산화질화물이란, 그의 조성으로서, 질소 원자보다 산소 원자의 수가 많은 물질로 하고, 또한, 질화산화물이란, 그의 조성으로서, 산소 원자보다 질소 원자의 수가 많은 물질로 한다. 예를 들어, 산화질화규소는, 산소, 질소, 규소, 수소를 조성으로 하고, 산소 농도가 50 원자%~70 원자%, 질소 농도가 0.5 원자%~20 원자%, Si 농도가 25 원자%~35 원자%, 수소 농도가 0.1 원자%~10 원자%인 물질을 들 수 있다. 또한, 예를 들어, 질화산화규소에는, 산소, 질소, 규소, 수소를 조성으로 하고, 산소보다 질소를 많이 포함하고, 또한, 산소 농도가 5 원자%~30 원자%, 질소 농도가 20 원자%~55 원자%, Si 농도가 25 원자%~35 원자%, 수소 농도가 10 원자%~30 원자%인 물질을 들 수 있다.

<66> 제1 절연층(113)은, 나트륨이 단결정 반도체층(112)에 침입하는 것을 방지하기 위한 배리어층이 되는 절연막을 적어도 1층 포함하는 것이 바람직하다. 제1 절연층(113) 중의 배리어층은 1층이어도 좋고 2층 이상이어도 좋다. 예를 들어, 지지 기판(100)에, 알칼리 금속 또는 알칼리토류 금속 등의 반도체장치의 신뢰성을 저하시키는 불순물을 포함하는 기판(대표적으로는, 유리 기판)을 사용한 경우, 지지 기판(100)이 가열되면, 이러한 불순물이 지지 기판(100)으로부터 단결정 반도체층(112)으로 확산할 우려가 있다. 따라서, 배리어층을 형성함으로써, 이와 같은 알칼리 금속 또는 알칼리토류 금속 등의 반도체장치의 신뢰성을 저하시키는 불순물이 단결정 반도체층(112)으로 이동하는 것을 방지할 수 있다. 배리어층으로서 기능하는 막에는, 질화규소막, 질화산화규소막, 질화알루미늄막, 및 질화산화알루미늄막 등이 있다. 이러한 막을 포함시킴으로써, 제1 절연층(113)을 배리어층으로서 기능시킬 수 있다.

<67> 예를 들어, 제1 절연층(113)을 단층 구조로 하는 경우에는, 배리어층으로서 기능하는 막으로 제1 절연층(113)을 형성하는 것이 바람직하다. 이 경우, 두께 5 nm 이상 200 nm 이하의 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막으로, 단층 구조의 제1 절연층(113)을 형성할 수 있다.

<68> 제1 절연층(113)을, 배리어층을 1층 포함하는 2층 구조의 막으로 하는 경우에는, 상층은 나트륨 등의 불순물을 블로킹하기 위한 배리어층으로 구성한다. 상층은, 두께 5 nm~200 nm의 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막으로 형성할 수 있다. 배리어층으로서 기능하는 이들 막은, 불순물의 확산을 방지하는 블로킹 효과가 높지만, 내부 응력이 높다. 그 때문에, 단결정 반도체 기판(110)과 접하는 하층의 절연막에는, 상층의 절연막의 응력을 완화하는 효과가 있는 막을 선택하는 것이 바람직하다. 이와 같은 절연막에는, 산화규소막, 산화질화규소막, 및 단결정 반도체 기판(110)을 열산화하여 형성한 열산화막 등이 있다. 하층의 절연막의 두께는 5 nm 이상 300 nm 이하로 할 수 있다.

<69> 본 실시형태에서는, 제1 절연층(113)을 제1 절연층(113a)과 제1 절연층(113b)으로 이루어지는 2층 구조로 한다. 제1 절연층(113)을 블로킹막으로서 기능시키는 제1 절연층(113a)과 제1 절연층(113b)의 조합은, 예를 들어, 산화규소막과 질화규소막, 산화질화규소막과 질화규소막, 산화규소막과 질화산화규소막, 산화질화규소막과 질화산화규소막 등이 있다.

<70> 예를 들어, 하층의 제1 절연층(113a)으로서, 프로세스 가스에 SiH₄ 및 N₂O를 사용하여 PECVD법으로 형성한 산화질화규소막을 형성할 수 있다. 또한, 제1 절연층(113a)으로서, 프로세스 가스에 유기 실란 가스와 산소를 사용하여, PECVD법으로 산화규소막을 형성할 수도 있다. 또한, 단결정 반도체 기판(110)을 산화한 산화막으로 제1 절연층(113a)을 형성할 수도 있다.

<71> 유기 실란은, 테트라에톡시실란(TEOS: 화학식 Si(OC₂H₅)₄), 테트라메틸실란(TMS: 화학식 Si(CH₃)₄), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(화학식 SiH(OC₂H₅)₃), 트리스디메틸아미노실란(화학식 SiH(N(CH₃)₂)₃) 등의 화합물이다.

<72> 상층의 제1 절연층(113b)은, 프로세스 가스에 SiH₄, N₂O, NH₃ 및 H₂를 사용하여 PECVD법으로 형성한 질화산화규소막으로, 또는, 프로세스 가스에 SiH₄, N₂, NH₃ 및 H₂를 사용하여 PECVD법으로 형성한 질화규소막으로 형성할 수 있다.

<73> 예를 들어, PECVD법으로, 산화질화규소로 이루어지는 제1 절연층(113a), 질화산화규소로 이루어지는 제1 절연층(113b)을 형성하는 경우, 단결정 반도체 기판(110)을 PECVD 장치의 체임버에 반입한다. 그리고, 제1 절연층(113a) 형성용의 프로세스 가스로서 SiH₄ 및 N₂O를 체임버에 공급하고, 이 프로세스 가스의 플라즈마를

생성하여, 산화질화규소막을 단결정 반도체 기판(110) 위에 형성한다. 다음에, 체임버에 도입하는 가스를 제1 절연층(113b) 형성용의 프로세스 가스로 변경한다. 여기서는, SiH₄, NH₃ 및 H₂ 및 N₂O를 사용한다. 이들 혼합 가스의 플라즈마를 생성하여, 산화질화규소막 위에 질화산화규소막을 연속하여 형성한다. 또한, 다수의 체임버를 가지는 PECVD 장치를 사용하는 경우에는, 산화질화규소막과 질화산화규소막을 다른 체임버로 형성할 수도 있다. 물론, 체임버에 도입하는 가스를 변경함으로써, 하층에 산화규소막을 형성할 수도 있고, 상층에 질화규소막을 형성할 수도 있다.

<74> 상기와 같이 제1 절연층(113a) 및 제1 절연층(113b)을 형성함으로써, 스루풋(throughput) 좋게, 단결정 반도체 기판(110)에 제1 절연층(113)을 형성할 수 있다. 또한, 대기에 노출되지 않고 제1 절연층(113a) 및 제1 절연층(113b)을 형성할 수 있으므로, 제1 절연층(113a)과 제1 절연층(113b)의 계면이 대기에 의해 오염되는 것을 방지 할 수 있다.

<75> 또한, 제1 절연층(113a)으로서, 단결정 반도체 기판(110)을 열산화 처리하여 산화막을 형성할 수 있다. 이 산화막을 형성하기 위한 열산화 처리에는, 건식 산화이어도 좋지만, 산화 분위기 중에 할로겐을 포함하는 가스를 첨가하는 것이 바람직하다. 할로겐을 포함한 분위기 중에서 단결정 반도체 기판(110)을 산화함으로써, 할로겐을 포함하는 산화막을 제1 절연층(113a)으로서 형성할 수 있다. 할로겐을 포함하는 가스로서, HCl, HF, NF₃, HBr, Cl₂, ClF, BC₁₃, F₂, Br₂ 등에서 선택된 1 종류 또는 다수 종류의 가스를 사용할 수 있다.

<76> 예를 들어, 산소에 대하여 HCl를 0.5~10 체적%(바람직하게는 3 체적%)의 비율로 포함하는 분위기 중에서 700°C 이상의 온도로 단결정 반도체 기판(110)의 열처리를 행한다. 950°C 이상 1100°C 이하의 가열 온도로 열산화를 행하면 좋다. 처리 시간은 0.1~6 시간, 바람직하게는 0.5~1 시간으로 하면 좋다. 단결정 반도체 기판(110)에 형성되는 산화막의 막 두께는 10 nm~1000 nm(바람직하게는 50 nm~200 nm), 예를 들어, 100 nm의 두께로 할 수 있다.

<77> 이와 같은 온도 범위에서 산화 처리를 행함으로써, 할로겐 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서는, 특히, 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의해, 금속 등의 불순물이 휘발성의 염화물이 되어 기상(氣相) 중으로 이탈하여, 단결정 반도체 기판(110)으로부터 제거된다. 또한, 산화 처리에 포함되는 할로겐 원소에 의해, 단결정 반도체 기판(110)의 표면의 미결합수가 종단되기 때문에, 산화막과 단결정 반도체 기판(110)과의 계면의 국재(局在) 준위 밀도가 저감될 수 있다.

<78> 이 할로겐을 포함하는 분위기에서의 열산화 처리에 의하여, 산화막에 할로겐을 포함시킬 수 있다. 할로겐 원소를 1×10^{17} atoms/cm³ ~ 5×10^{20} atoms/cm³의 농도로 포함시킴으로써, 반도체 기판(10)에서, 금속 등의 불순물을 포획하여 단결정 반도체층(112)의 오염을 방지하는 보호막으로서 기능시킬 수 있다.

<79> 또한, 제1 절연층(113a)에 할로겐을 포함시키기 위해서는, 불화물 가스 또는 불소 가스를 포함하는 PECVD 장치의 체임버에서, 제1 절연층(113a)을 형성하는 것으로도 실현할 수 있다. 이와 같은 체임버에 제1 절연층(113a) 형성용 프로세스 가스를 도입하고, 이 프로세스 가스를 여기하여 플라즈마를 생성하고, 이 플라즈마에 포함되는 활성종(種)의 화학 반응에 의하여, 단결정 반도체 기판(110) 위에 제1 절연층(113a)을 형성한다.

<80> PECVD 장치의 체임버에 불소 화합물 가스를 포함시키기 위해서는, 불화물 가스를 사용한 플라즈마 가스 에칭에 의해 체임버를 클리닝함으로써 실현할 수 있다. PECVD 장치로 막을 형성하면, 기판 표면뿐만 아니라, 체임버의 내벽, 전극, 기판 홀더 등에도 원료가 반응한 생성물이 퇴적한다. 이 퇴적물은 파티클(particle)이나 더스트(dust)의 원인이 된다. 따라서, 이러한 퇴적물을 제거하는 클리닝 공정이 정기적으로 행해진다. 체임버의 클리닝 방법의 대표적인 하나로서, 플라즈마 가스 에칭에 의한 방법이 있다. 체임버에 NF₃ 등의 불화물 가스를 도입하여, 불화물 가스를 여기하고 플라즈마화함으로써, 불소 라디칼을 생성하고, 퇴적물을 에칭하여 제거하는 방법이다. 불소 라디칼과 반응하여 생성된 불화물은 중기압이 높기 때문에, 배기계에 의해 체임버로부터 제거된다.

<81> 플라즈마 가스 에칭에 의한 클리닝을 행함으로써, 클리닝 가스로서 사용하여 불화물 가스가 체임버의 내벽이나, 체임버에 설치되어 있는 전극, 각종 지그(jig)에 흡착한다. 즉, 체임버에 불화물 가스를 포함시킬 수 있다. 또한, 불화물 가스를 체임버에 포함시키는 방법에는, 체임버를 불화물 가스에 의해 클리닝하여, 체임버에 불화물 가스를 잔류시키는 방법 외에, 트레이에 배치한 단결정 반도체 기판(110)을 체임버에 설치한 후에, 체임버에 불화물 가스를 도입하는 방법을 이용할 수 있다.

- <82> 예를 들어, SiH₄ 및, N₂O로부터, PECVD법으로 산화질화규소막을 제1 절연층(113a)에 형성하는 경우, 체임버에 SiH₄ 및 N₂O를 공급하고, 이들 가스를 여기하여 플라즈마를 생성함으로써, 체임버에 잔존하고 있는 불화물 가스도 여기하여, 불소 라디칼이 생성된다. 따라서, 산화질화규소막에 불소를 포함시킬 수 있다. 또한, 체임버에 잔존하고 있는 불화물은 미량이고, 산화질화규소막의 형성 중에, 불화물 가스를 공급하지 않기 때문에, 산화질화규소막 형성의 초기 단계에 불소가 도입되게 된다. 따라서, 제1 절연층(113a)에서, 단결정 반도체 기판(110)과 제1 절연층(113a)의 계면 또는 그 근방의 불소 농도를 높게 할 수 있다. 즉, 도 1의 반도체 기판(10)의 제1 절연층(113)에서, 단결정 반도체층(112)과의 계면 또는 그 계면의 근방의 불소 농도를 높게 할 수 있다.
- <83> 이러한 영역에 불소를 포함시킴으로써, 단결정 반도체층(112)과의 계면에서의 반도체의 미결합수를 불소로 종단할 수 있으므로, 단결정 반도체층(112)과 제1 절연층(113)과의 계면 준위 밀도를 저감할 수 있다. 또한, 지지 기판(100)으로부터 나트륨 등의 불순물이 제1 절연층(113)으로 확산한 경우에도, 불소가 존재함으로써, 불소에 의해 금속을 포획할 수 있으므로, 단결정 반도체층(112)의 금속 오염을 방지할 수 있다.
- <84> 불화물 가스 대신에 불소(F₂) 가스를 체임버에 포함시킬 수도 있다. 불화물이란, 조성에 불소(F)를 포함하는 화합물이다. 불화물 가스에는, OF₂, ClF₃, NF₃, FNO, F₃NO, SF₆, SF₅NO, SOF₂ 등에서 선택된 가스를 사용할 수 있다.
- <85> 또한, 단결정 반도체 기판(110)의 산화막을 형성하는 방법은, 700°C 이상의 온도로 가열하는 열산화 처리 외의 방법을 이용할 수도 있다. 예를 들어, 산소 라디칼(O 라디칼) 또는 수산화 라디칼(OH 라디칼)을 포함하는 플라즈마에 의한 플라즈마 처리, 또는 고밀도 플라즈마 처리, 오존 첨가수(水)(O₃ 수)에 의한 산화 처리 등에 의하여, 단결정 반도체 기판(110)에 산화막을 형성할 수 있다.
- <86> 또한, 열산화 처리는 고온 프로세스이기 때문에, 열응력이 발생하기 쉽고, 그 때문에 단결정 반도체 기판(110)에 미끄럼 전위(轉位) 등의 결정 결함이 발생하기 쉬워진다. 따라서, 제1 절연층(113)을 형성하기 위해, 단결정 반도체 기판(110)을 산화 처리하는 경우는, 열산화 처리보다, 오존 첨가수에 의한 산화 처리 등, 700°C 이하의 저온 프로세스의 처리를 행하는 것이 바람직하다.
- <87> 다음에, 운동 에너지를 가지는 이온을 단결정 반도체 기판(110)에 조사함으로써, 단결정 반도체 기판(110)의 소정의 깊이에 결정 구조가 손상된 손상 영역(115)을 형성한다. 도 4(B)는 손상 영역(115)을 형성하는 공정을 설명하는 단면도이다. 도 4(B)에 나타내는 바와 같이, 제1 절연층(113)을 통하여, 가속된 이온(121)을 단결정 반도체 기판(110)에 조사함으로써, 단결정 반도체 기판(110)의 표면으로부터 소정의 깊이의 영역에 이온이 첨가되어, 손상 영역(115)을 형성할 수 있다. 이온(121)은, 소스 가스를 여기하여, 소스 가스의 플라즈마를 생성하고, 이 플라즈마에 포함되는 이온을 전계의 작용에 의해 플라즈마로부터 인출하여 가속한 이온이다. 따라서, 이온(121)을 단결정 반도체 기판(110)에 조사하면, 가속된 이온(121)의 충격에 의해 단결정 반도체 기판(110)의 소정의 깊이에 결정 구조가 취약화된 취화층(脆化層)이 형성된다. 이 층이 손상 영역(115)이다.
- <88> 손상 영역(115)이 형성되는 영역의 깊이는, 이온(121)의 가속 에너지와 이온(121)의 입사각에 의해 조절할 수 있다. 가속 에너지는 가속 전압, 도즈량 등에 의해 조절할 수 있다. 이온(121)의 평균 침입 깊이와 거의 같은 깊이의 영역에 손상 영역(115)이 형성된다. 그 때문에, 이온(121)을 첨가하는 깊이로, 단결정 반도체 기판(110)으로부터 분리되는 단결정 반도체층(117)의 두께가 결정된다. 이 단결정 반도체층의 두께가 20 nm 이상 200 nm 이하, 바람직하게는 50 nm 이상 200 nm 이하가 되도록, 손상 영역(115)이 형성되는 깊이를 조절한다.
- <89> 손상 영역(115)의 형성은 이온 도핑 처리로 행할 수 있다. 이온 도핑 처리는 이온 도핑 장치를 사용하여 행할 수 있다. 이온 도핑 장치의 대표적인 장치는, 프로세스 가스를 여기하여 생성된 플라즈마 중의 모든 이온종(種)을 체임버 내에 배치된 피처리체에 조사하는 비(非)질량 분리형 장치이다. 비질량 분리형 장치는, 플라즈마 중의 이온종을 질량 분리하지 않고, 모든 이온종을 피처리체에 조사하는 장치이다. 이것에 대하여, 이온 주입 장치는 질량 분리형 장치이다. 이온 주입 장치는, 플라즈마 중의 이온종을 질량 분리하여, 어느 특정의 질량의 이온종을 피처리체에 조사하는 장치이다.
- <90> 이온 도핑 장치의 주요한 구성은, 피처리물을 배치하는 체임버, 소망의 이온을 발생시키는 이온원, 및 이온을 가속하여 조사하기 위한 가속 기구이다. 이온원은, 소망의 이온종을 생성하기 위한 소스 가스를 공급하는 가스 공급 장치, 소스 가스를 여기하여 플라즈마를 생성시키기 위한 전극 등이다. 플라즈마를 형성하기 위한 전극으로서, 필라멘트형 전극이나 용량 결합 고주파 방전용 전극 등이 사용된다. 가속 기구는, 인출 전극, 가속 전극, 감속 전극, 접지 전극 등의 전극, 및 이들 전극에 전력을 공급하기 위한 전원 등으로 구성된다. 가속 기

구를 구성하는 전극에는 다수의 개구나 슬릿이 형성되어 있고, 이온원에서 생성된 이온은 전극에 형성된 개구나 슬릿을 통과함으로써 가속된다. 또한, 이온 도핑 장치의 구성은 상술한 것에 한정되지 않고, 필요에 따른 기구가 설치된다.

<91> 본 실시형태에서는, 이온 도핑 장치로 수소를 반도체 웨이퍼에 첨가하는 것으로 한다. 플라즈마 소스로서 수소를 포함하는 가스를 공급한다. 예를 들어, H₂를 공급한다. 수소 가스를 여기하여 플라즈마를 생성하고, 질량 분리하지 않고, 플라즈마 중에 포함되는 이온을 가속하고, 가속된 이온을 단결정 반도체 기판(110)에 조사한다.

<92> 이온 도핑 장치에서, 수소 가스로부터 생성되는 이온종(H⁺, H₂⁺, H₃⁺)의 총량에 대하여 H₃⁺의 비율을 50% 이상으로 한다. 보다 바람직하게는, 그 H₃⁺의 비율을 80% 이상으로 한다. 이온 도핑 장치는 질량 분리를 행하지 않기 때문에, 플라즈마 중에 생성되는 다수 종류의 이온종 중 1 종류를 50% 이상으로 하는 것이 바람직하고, 80% 이상으로 하는 것이 더 바람직하다. 같은 질량의 이온종을 조사함으로써, 단결정 반도체 기판(110)의 같은 깊이에 집중시켜 이온을 첨가할 수 있다.

<93> 손상 영역(115)을 얇은 영역에 형성하기 위해서는, 이온(121)의 가속 전압을 낮게 할 필요가 있지만, 플라즈마 중의 H₃⁺ 이온의 비율을 높게 함으로써, 원자상(狀) 수소(H)를 효율 좋게 단결정 반도체 기판(110)에 첨가할 수 있다. H₃⁺ 이온은 H⁺ 이온의 3배의 질량을 가지기 때문에, 같은 깊이에 수소 원자를 하나 첨가하는 경우, H₃⁺ 이온의 가속 전압은 H⁺ 이온의 가속 전압의 3배로 하는 것이 가능하게 된다. 이온의 가속 전압을 크게 할 수 있다면, 이온 조사 공정의 택트 타임(tact time)을 단축하는 것이 가능하게 되어, 생산성이거나 스루풋의 향상을 도모할 수 있다.

<94> 또한, 가속된 이온(121)을 단결정 반도체 기판(110)에 조사하는 공정은 이온 주입 장치로 행할 수도 있다. 이온 주입 장치는, 체임버 내에 배치된 피처리체에, 소스 가스를 플라즈마 여기하여 생성된 다수의 이온종을 질량 분리하여, 특정의 이온종을 조사하는 질량 분리형 장치이다. 따라서, 이온 주입 장치를 사용하는 경우는, 수소 가스를 여기하여 생성된 H⁺ 이온 및 H₂⁺ 이온을 질량 분리하여, H⁺ 이온과 H₂⁺ 이온 중 한쪽의 이온을 가속하여, 단결정 반도체 기판(110)에 조사한다.

<95> 손상 영역(115)에는, 5×10^{20} atoms/cm³ 이상의 수소(H)를 포함시키는 것이 바람직하다. 단결정 반도체 기판(110)에 고농도의 수소 첨가 영역을 국소적으로 형성하면, 결정 구조가 없어지고 미소한 공동(空洞)이 형성되기 때문에, 손상 영역(115)은 다공질 구조로 되어 있다. 그 때문에, 비교적 저온(600°C 이하)의 열처리에 의해 손상 영역(115)에 형성된 미소한 공동의 체적 변화가 일어나, 손상 영역(115)을 따라 단결정 반도체 기판(110)을 벽개할 수 있다. 또한, 손상 영역(115)에 포함되는 수소 농도는 이온(121)의 도즈량이나 가속 전압 등에 의해 제어된다.

<96> 수소 가스를 사용하여, 이온 도핑 장치로 이온을 단결정 반도체 기판(110)에 첨가하는 경우, 가속 전압 10 kV 이상 200 kV 이하, 도즈량 1×10^{16} ions/cm² 이상 6×10^{16} ions/cm² 이하로 할 수 있다. 이 조건으로 수소 이온을 첨가함으로써, 이온(121)에 포함되는 이온종 및 그 비율에도 따라 좌우지만, 손상 영역(115)을 단결정 반도체 기판(110)의 깊이 50 nm 이상 500 nm 이하의 영역에 형성할 수 있다.

<97> 예를 들어, 단결정 반도체 기판(110)이 단결정 규소 기판이고, 제1 절연층(113a)이 두께 50 nm의 산화질화규소막이고, 제1 절연층(113b)이 두께 50 nm의 질화산화규소막인 경우, 소스 가스가 수소이고, 가속 전압 40 kV, 도즈량 2.2×10^{16} ions/cm²의 조건에서는, 단결정 반도체 기판(110)으로부터 두께 100 nm 정도의 단결정 반도체층을 박리할 수 있다. 또한, 제1 절연층(113a)을 두께 100 nm의 산화질화규소막으로 하고, 그 외는 같은 조건으로 하여 수소 이온을 도핑하면, 단결정 반도체 기판(110)으로부터 두께 70 nm 정도의 단결정 반도체층을 박리할 수 있다.

<98> 이온(121)의 소스 가스에 헬륨(He)을 사용할 수도 있다. 헬륨을 여기하여 생성되는 이온종은 He⁺가 대부분이기 때문에, 질량 분리를 수반하지 않는 이온 도핑법으로도, He⁺를 주된 이온(121)으로 하여 단결정 반도체 기판(110)에 조사할 수 있다. 따라서, 이온 도핑법으로 미소한 공공을 손상 영역(115)에 효율 좋게 형성할 수

있다. 헬륨을 사용하여 이온 도핑법으로 이온을 단결정 반도체 기판(110)에 조사하는 경우, 가속 전압 10 kV 이상 200 kV 이하, 도즈량 1×10^{16} ions/cm² 이상 6×10^{16} ions/cm² 이하로 할 수 있다.

<99> 소스 가스에 염소 가스(Cl₂ 가스), 불소 가스(F₂ 가스) 등의 할로겐 가스를 사용할 수도 있다.

<100> 이온 주입 장치와 이온 도핑 장치에서는, 수소 가스로부터 생성되는 수소 이온종 H⁺, H₂⁺, 및 H₃⁺의 비율은 크게 다르다. 도 41은, 이온 도핑 장치로 100% 수소 가스(이온원(源)의 압력: 4.7×10^{-2} Pa)로부터 생성되는 이온종의 질량 분석 결과를 나타내는 그래프이다. 종축은 스펙트럼의 강도이고, 이온의 양에 대응한다. 횡축은 이온 종의 질량이다. 질량 1, 2, 3의 스펙트럼은 각각 H⁺, H₂⁺, H₃⁺에 대응한다. 도 41에서는, 질량 3의 이온의 수를 100으로 한 경우의 상대비로, 다른 질량을 가지는 이온종의 수량을 나타내고 있다. 도 41로부터, 플라즈마 중에 생성되는 수소 이온종의 비율은, H⁺ : H₂⁺ : H₃⁺ = 1 : 1 : 8 정도가 되는 것을 알 수 있다. 이온 도핑 장치로 수소 이온을 주입한 단결정 실리콘 웨이퍼에 대하여, 수소 농도 분포를 2차 이온 질량 분석한 결과로부터도, 단결정 실리콘 웨이퍼에 조사되는 수소 이온종 중 H₃⁺가 약 80%를 차지하는 것을 확인할 수 있다.

<101> 도 42는, 이온 주입 장치로, 이온원의 압력이 대략 3×10^{-3} Pa일 때의, PH₃로부터 생성한 이온종의 질량 분석 결과를 나타내는 그래프이다. 도 41과 마찬가지로, 종축은 이온의 양에 대응하는 스펙트럼의 강도이다. 횡축은 이온종의 질량을 나타내고, 질량 1, 2, 3의 스펙트럼은 각각 H⁺, H₂⁺, H₃⁺에 대응한다. 도 42로부터는, 플라즈마 중의 수소 이온종의 비율은 H⁺ : H₂⁺ : H₃⁺ = 37 : 56 : 7이다. 또한, 도 42는 소스 가스가 PH₃인 경우의 데이터 이지만, 소스 가스에 100% H₂ 가스를 사용했을 때도, 수소 이온종의 비율은 마찬가지가 된다. 즉, 수소 가스로부터 생성되는 이온종의 비율은 H⁺ : H₂⁺ : H₃⁺ = 37 : 56 : 7이다.

<102> 따라서, 이온 주입 장치에서는, 수소 이온종 H⁺, H₂⁺, 및 H₃⁺ 중 H₃⁺는 7% 정도 밖에 생성되지 않고, 한편, 이온 도핑 장치에서는 H₃⁺의 비율을 50% 이상, 80% 정도로 하는 것이 가능하다. 이하에, 이온 도핑 장치와 이온 주입 장치로 H₃⁺가 생성되는 비율이 크게 다른 이유를 고찰한다.

<103> [수소 플라즈마 중의 이온]

<104> 수소 플라즈마 중에는, H⁺, H₂⁺, H₃⁺와 같은 수소 이온종이 존재한다. 이하에, 각 수소 이온종의 반응 과정(생성 과정, 소멸 과정)을 나타내는 반응식을 열거한다. 또한, 도 43에, 이들 반응의 일부를 모식적으로 나타낸 에너지 다이어그램을 나타낸다. 또한, 도 43에 나타내는 에너지 다이어그램은 모식도에 지나지 않고, 반응에 관한 에너지의 관계를 염밀하게 규정하는 것이 아닌 점에 유의하기 바란다.



- <112> $e + H_3^+ \rightarrow H_2 + H$ (8)
- <113> $e + H_3^+ \rightarrow H + H + H$ (9)
- <114> [H₃⁺의 생성 과정]
- <115> 상기와 같이, H₃⁺는, 주로 반응식 (5)에 의해 나타내어지는 반응 과정에 의해 생성된다. 한편, 반응식 (5)와 경합하는 반응으로서, 반응식 (6)에 의해 나타내어지는 반응 과정이 존재한다. H₃⁺가 증가하기 위해서는, 적어도, 반응식 (5)의 반응이 반응식 (6)의 반응보다 많이 일어날 필요가 있다(또한, H₃⁺가 감소하는 반응으로서는 그 외에도 (7), (8), (9)가 존재하기 때문에, (5)의 반응이 (6)의 반응보다 많다고 하여, 반드시 H₃⁺가 증가한다고는 할 수 없다). 반대로, 반응식 (5)의 반응이 반응식 (6)의 반응보다 적은 경우에는, 플라즈마 중에서의 H₃⁺의 비율은 감소한다. 각 반응식에서, 우변(최우변)의 생성물의 증가량은, 그 좌변(최좌변)에 나타내는 원료의 농도나, 그 반응에 관련된 속도 계수 등에 의존한다. 여기서, H₂⁺의 운동 에너지가 약 11 eV보다 작은 경우에는, (5)의 반응이 주요가 되고(즉, 반응식 (5)에 관한 속도 계수가 반응식 (6)에 관한 속도 계수와 비교하여 충분히 크게 되고), H₂⁺의 운동 에너지가 약 11 eV보다 큰 경우에는, (6)의 반응이 주요가 되는 것이 실험적으로 확인되었다.
- <116> 하전 입자는 전장(電場)으로부터 힘을 받아서 운동 에너지를 얻는다. 이 운동 에너지는, 전장에 의한 포텐셜 에너지의 감소량에 대응하고 있다. 예를 들어, 어떤 하전 입자가 다른 입자와 충돌할 때까지의 사이에 얻는 운동 에너지는, 하전 입자가 이동함으로써 잃어버리는 포텐셜 에너지와 같다. 즉, 전장 중에서, 다른 입자와 충돌하지 않고 긴 거리를 이동할 수 있는 상황에서는, 그렇지 않은 상황과 비교하여, 하전 입자의 운동 에너지(의 평균)는 커지는 경향이 있다. 이와 같이, 하전 입자의 운동 에너지가 증대하는 경향은, 입자의 평균 자유 행정(行程)이 큰 상황, 즉, 압력이 낮은 상황에서 생길 수 있다. 또한, 평균 자유 행정이 작아도, 충돌까지 큰 운동 에너지를 얻을 수 있는 상황이라면, 하전 입자의 운동 에너지는 커진다. 즉, 평균 자유 행정이 작아도, 전위차가 큰 상황이면, 하전 입자가 가지는 운동 에너지는 커진다고 할 수 있다.
- <117> 이것을 H₂⁺에 적용하여 본다. 플라즈마의 생성에 관련되는 체임버 내와 같이 전장의 존재를 전제로 하면, 이 체임버 내의 압력이 낮은 상황에서는 H₂⁺의 운동 에너지는 커지고, 이 체임버 내의 압력이 높은 상황에서는 H₂⁺의 운동 에너지는 작아진다. 즉, 체임버 내의 압력이 낮은 상황에서는, (6)의 반응이 주요가 되기 때문에, H₃⁺는 감소하는 경향이 되고, 체임버 내의 압력이 높은 상황에서는, (5)의 반응이 주요가 되기 때문에, H₃⁺는 증가하는 경향이 된다. 또한, 플라즈마 생성 영역에서의 전장(또는 전계)이 강한 상황, 즉, 어느 2점 사이의 전위차가 큰 상황에서는, H₂⁺의 운동 에너지는 커진다. 반대인 상황에서는, H₂⁺의 운동 에너지는 작아진다. 즉, 전장이 강한 상황에서는, (6)의 반응이 주요가 되기 때문에, H₃⁺는 감소하는 경향이 되고, 전장이 약한 상황에서는, (5)의 반응이 주요가 되기 때문에, H₃⁺는 증가하는 경향이 된다.
- <118> 예를 들어, 도 42의 데이터를 얻은 이온원의 경우에는, H⁺, H₂⁺ 및 H₃⁺ 중, H₃⁺이 7% 정도밖에 생성되지 않는다. 한편, 도 41의 데이터를 얻은 이온원의 경우에는, H₃⁺의 비율을 50% 이상(도 41의 데이터에서는 80% 정도)로 하는 것이 가능하다. 이것은, 상술한 바와 같이, 체임버 내의 압력 및 전장에 기인하는 것이라고 생각된다.
- <119> [H₃⁺의 조사 메카니즘]
- <120> 도 41과 같은 다수의 이온종을 포함하는 플라즈마를 생성하고, 생성된 이온종을 질량 분리하지 않고 반도체 기

판에 조사하는 경우, 반도체 기판의 표면에는, H^+ , H_2^+ , H_3^+ 의 각 이온이 조사된다. 이온 조사로부터 이온 주입 층 형성까지의 메카니즘을 고찰하기 위하여, 다음의 5 종류의 모델(모델 1~5)을 고려한다.

모델 1, 조사되는 이온종이 H^+ 이고, 조사 후에도 $H^+(H)$ 인 경우

모델 2. 조사되는 이온종이 H_2^+ 이고, 조사 후에도 $H_2^+(H_2)$ 인 경우

모델 3. 조사되는 이온종이 H_2^+ 이고, 조사 후에 2개의 $H(H^+)$ 로 분열되는 경우

모델 4. 조사되는 이온종이 H_3^+ 이고, 조사 후에도 $H_3^+(H_3)$ 인 채인 경우

모델 5. 조사되는 이온종이 H_3^+ 이고, 조사 후에 3개의 $H(H^+)$ 로 분열되는 경우

[시뮬레이션 결과와 실측값과의 비교]

상기의 모델 1~5를 기초로 하여, 수소 이온종을 실리콘 기판에 조사하는 시뮬레이션을 행하였다. 시뮬레이션 용의 소프트웨어로서, SRIM(the Stopping and Range of Ions in Matter)을 사용하였다. SRIM은, 몬테카를로(Monte Carlo)법에 의한 이온 도입 과정의 시뮬레이션 소프트웨어이고, TRIM(the Transport of Ions in Matter)의 개량판이다. 또한, SRIM은 비정질 구조를 대상으로 하는 소프트웨어이지만, 고에너지, 고도즈의 조건으로 수소 이온종을 실리콘 기판에 조사하는 경우에는, SRIM을 적용하는 것이 가능하다. 그것은, 수소 이온종과 Si 원자의 충돌에 의해 실리콘 기판의 결정 구조가 비(非)단결정 구조로 변화하기 때문이다.

이하에, 시뮬레이션 결과에 대하여 설명한다. 또한, 본 실시형태의 시뮬레이션에서는, 모델 2를 사용한 계산에서는 H_2^+ 를 질량 2배의 H^+ 로 치환하고 있다. 또한, 모델 3에서는 H_2^+ 를 운동 에너지 1/2의 H^+ 로 치환하고, 모델 4에서는 H_3^+ 를 질량 3배의 H^+ 로 치환하고, 모델 5에서는 H_3^+ 를 운동 에너지 1/3의 H^+ 로 치환하고 있다.

상기의 모델 1~모델 5를 사용하여, 가속 전압 80 kV로 수소 이온종을 Si 기판에 조사한 경우(H 환산으로 10만 개 조사 시)에 대하여, 각각, 실리콘 기판 중의 수소 원소(H)의 깊이 방향 분포를 계산하였다. 도 44에 그 계산 결과를 나타낸다. 또한, 도 44에, Si 기판 중의 수소 원소(H)의 깊이 방향 분포의 실측값도 나타낸다. 이 실측값은, SIMS(Secondary Ion Mass Spectroscopy)에 의해 측정한 데이터(이하, SIMS 데이터라고 부른다)이다. SIMS으로 측정한 시료는, 도 41의 데이터를 측정한 조건에서 생성한 수소 이온종(H , H_2^+ , H_3^+)을 가속 전압 80 kV로 조사한 Si 기판이다.

도 44에서, 모델 1~모델 5를 사용한 계산값의 그래프의 종축 각각은, 수소 원자의 수를 나타내는 우종축이다. SIMS 데이터의 그래프의 종축은 수소 원자의 농도를 나타내는 좌종축이다. 계산값 및 SIMS 데이터 모두의 그래프의 횡축은 Si 기판 표면으로부터의 깊이를 나타내고 있다. 실측값인 SIMS 데이터와 계산값을 비교하면, 모델 2 및 모델 4는 명확히 SIMS 데이터의 그래프로부터 벗어나 있고, 또한, SIMS 데이터에는 모델 3에 대응하는 피크는 존재하지 않는다. 이것으로부터, 모델 2~모델 4의 기여는 모델 1 및 모델 5의 기여보다도 상대적으로 작다는 것을 알 수 있다. 이온의 운동 에너지의 단위가 keV인 것에 대하여, H-H의 결합 에너지는 수 eV 정도에 지나치지 않는 것을 고려하면, 모델 2 및 모델 4의 기여가 작은 것은, Si 원소와의 충돌에 의해 대부분의 H_2^+ 나 H_3^+ 가 H^+ 나 H로 분리하고 있기 때문이라고 예상된다. 따라서, 모델 2~모델 4는 이하의 고찰에서는 고려하지 않기로 한다. 다음에, 모델 1 및 모델 5를 사용하고, 가속 전압 80 kV, 60 kV, 및 40 kV로 수소 이온종을 Si 기판에 조사한 경우(H 환산으로 10만 개 조사 시)를 시뮬레이션한 결과를 설명한다.

도 45~도 47에, Si 기판 중의 수소(H)의 깊이 방향 분포를 계산한 결과를 나타낸다. 도 45, 도 46 및 도 47에는, 각각, 가속 전압이 80 kV, 60 kV, 및 40 kV인 경우의 계산 결과를 나타내고 있다. 또한, 도 45~도 47에는, 실측값인 SIMS 데이터 및 SIMS 데이터에 피팅한 커브(이하, 피팅(fitting) 함수라고 부른다)도 나타내고 있다. SIMS로 측정한 시료는, 도 41의 데이터를 측정한 조건에서 생성한 수소 이온종 (H^+ , H_2^+ , H_3^+)을 가속 전압 80 kV, 60 kV, 또는 40 kV로 가속하여 조사한 Si 기판이다. 또한, 모델 1 및 모델 5를 사용한 계산값의 그래프의 종축은 우종축의 수소 원자의 수이고, SIMS 데이터 및 피팅 함수의 그래프의 종축은 좌종축의 수소 원

자의 농도이다. 또한, 각 그래프의 횡축은 Si 기판 표면으로부터의 깊이를 나타낸다.

<132> 여기서는, 피팅 함수는 모델 1 및 모델 5를 고려하여 이하의 계산식 (f1)에 의해 구한다. 계산식 (f1) 중의 X, Y는 피팅에 관한 파라미터이고, V는 체적이다.

<133> [피팅 함수]

<134> = X/V × [모델 1의 데이터] + Y/V × [모델 5의 데이터] …… (f1)

<135> 피팅 함수의 결정에는, 실제로 조사되는 이온종의 비율($H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 정도, 도 41 참조)을 고려하면, H_2^+ 의 기여 (즉, 모델 3)에 대해서도 고려해야 하지만, 이하에 나타내는 이유에 의해, 여기서는, H_2^+ 의 기여를 제외하고 있다.

<136> · 모델 3에 나타내는 조사 과정에 의해 도입되는 수소는, 모델 5의 조사 과정과 비교하여 얼마 안되기 때문에, 제외하여도 큰 영향은 없다 (SIMS 데이터에 모델 3에 대응하는 피크가 나타나지 않는다. 도 44 참조).

<137> · 모델 3에 의한 Si 기판 중의 수소 원소의 깊이 방향 프로파일은 모델 5의 깊이 방향 프로파일과 피크 위치가 가깝기 때문에(도 44 참조), 모델 3의 기여는, 모델 5의 조사 과정에서 생기는 채널링(channeling)(결정의 격자 구조에 기인하는 원자의 이동)에 의해 숨겨질 가능성이 높다. 즉, 모델 3의 피팅 파라미터를 추측하는 것은 곤란하다. 이것은, 본 시뮬레이션이 비정질 Si를 전제로 하고 있고, 결정성에 기인하는 영향을 고려하지 않은 것에 의한 것이다.

<138> 도 48에, 계산식 (f1)의 피팅 파라미터를 나타낸다. 어느 가속 전압에서도, Si 기판에 도입되는 H의 수의 비(比)는, [모델 1] : [모델 5] = 1 : 42 내지 1 : 45 정도 (모델 1에서의 H의 수를 1로 한 경우, 모델 5에서의 H의 수는 42 이상 45 이하 정도)이고, 조사되는 이온종의 수의 비는, [H^+ (모델 1)] : [H_3^+ (모델 5)] = 1 : 14 내지 1 : 15 정도 (모델 1에서의 H^+ 의 수를 1로 한 경우, 모델 5에서의 H_3^+ 의 수는 14 이상 15 이하 정도)이다. 모델 3을 고려하지 않고 있는 것이나, 비정질 Si라고 가정하여 계산하고 있는 것 등을 고려하면, 도 45에 나타내는 비는, 실제의 조사에 관한 수소 이온종의 비($H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 정도, 도 41 참조)에 가까운 값이 얻어진다고 할 수 있다.

<139> [H_3^+ 을 사용하는 효과]

<140> 도 41에 나타내는 바와 같은 H_2^+ 의 비율을 높인 수소 이온종을 기판에 조사함으로써, H_3^+ 에 기인하는 다수의 이점 (利點)을 누릴 수 있다. 예를 들어, H_3^+ 는 H^+ 나 H 등으로 분리하여 기판 내에 도입되기 때문에, 주로 H^+ 나 H_2^+ 를 조사하는 경우와 비교하여, 이온 도입 효율을 향상시킬 수 있다. 이것에 의해, SOI 기판의 생산성 향상을 도모할 수 있다. 또한, 마찬가지로, H_3^+ 가 분리한 후의 H^+ 나 H의 운동 에너지는 작아지는 경향에 있기 때문에, 얇은 반도체층의 제조에 적합하다. 또한, 여기서는, H_3^+ 를 효율적으로 조사하기 위해, 도 41에 나타내는 바와 같은 수소 이온종을 조사할 수 있는 이온 도핑 장치를 사용하는 방법에 대하여 설명하고 있다. 이온 도핑 장치는 저렴하고, 대면적 처리에 뛰어나기 때문에, 이와 같은 이온 도핑 장치를 사용하여 H_3^+ 를 조사함으로써, 반도체 특성의 향상, 및 SOI 기판의 대면적화, 저비용화 및 생산성 향상 등의 현저한 효과를 얻을 수 있다.

<141> 이상의 고찰에 의해, H_3^+ 를 보다 많이 단결정 반도체 기판(110)에 주입하기 위해서는, 이온 주입 장치보다 이온 도핑 장치를 사용하는 것이 바람직하다. 또한, 이온 도핑 장치로는, 생성된 이온종의 질량 분리를 행하지 않기 때문에, 소스 가스의 이용 효율이 높다. 또한, 가속화된 이온을 면 형상 또는 선 형상으로 조사할 수 있으므로, 택트 타임을 단축하는 것이 용이하다. 이것에 대하여, 이온 주입 장치는, 생성한 이온을 질량 분리하여 특정한 이온종만을 기판에 주입하는 특징이 있다. 그러나, 질량 분리를 행함으로써, 소스 가스로부터 생성되는 이온의 이용 효율이 이온 도핑 장치보다 낮아진다. 또한, 이온 주입 장치에서는 범 형상이 점 형상의 이온 범을 주사함으로써 이온을 주입하기 때문에, 대면적 처리하는데는 스루풋에 문제가 생긴다. 따라서, 소스 가스의 이용 효율, 및 대면적 처리의 점에서, 이온 도핑 장치로 이온(121)을 조사하여 단결정 반도체 기판

(110) 중에 손상 영역(115)을 형성하는 것이 바람직하다.

<142> 손상 영역(115)을 형성한 후, 도 4(C)에 나타내는 바와 같이, 제1 절연층(113)의 상면에 제2 절연층(114)을 형성한다. 제2 절연층(114)을 형성하는 공정에서는, 단결정 반도체 기판(110)의 가열 온도는 손상 영역(115)에 첨가한 원소 또는 분자가 석출하지 않는 온도로 하고, 그 가열 온도는 350°C 이하가 바람직하다. 바꿔 말하면, 이 가열 온도는 손상 영역(115)으로부터 가스가 빠지지 않는 온도이다. 또한, 손상 영역(115)을 형성하기 전에 제2 절연층(114)을 형성할 수도 있다. 이 경우, 제2 절연층(114)을 형성할 때의 프로세스 온도는 350°C 이상으로 할 수 있다.

<143> 제2 절연층(114)은, 평활하고 친수성의 접합면을 단결정 반도체 기판(110)의 표면에 형성하기 위한 층이다. 따라서, 제2 절연층(114)의 평균 면 조도(粗度)(Ra)는 0.7 nm 이하가 바람직하고, 0.4 nm 이하가 보다 바람직하다. 또한, 제2 절연층(114)의 두께는 10 nm 이상 200 nm 이하로 할 수 있다. 바람직한 두께는 5 nm 이상 500 nm 이하이고, 보다 바람직하게는 10 nm 이상 200 nm 이하이다.

<144> 제2 절연층(114)에는, 화학적 기상 반응에 의하여 형성되는 절연막이 바람직하다. 예를 들어, 산화규소막, 산화질화규소막, 질화산화규소막, 질화규소막 등을 제2 절연층(114)으로서 형성할 수 있다. 제2 절연층(114)으로서, PECVD법으로 산화규소막을 형성하는 경우에는, 소스 가스에 유기 실란 가스 및 산소(O₂) 가스를 사용하는 것이 바람직하다. 소스 가스에 유기 실란을 사용함으로써, 프로세스 온도 350°C 이하로, 평활한 표면을 가지는 산화규소막을 형성할 수 있다. 또한, 열 CVD법으로, 가열 온도 500°C 이하 200°C 이상으로 형성되는 LTO(저온 산화물, Low Temperature Oxide)로 형성할 수 있다. LTO의 형성에는, 실리콘 소스 가스에 모노실란(SiH₄) 또는 디실란(Si₂H₆) 등을 사용하고, 산소 소스 가스에 NO₂ 등을 사용할 수 있다.

<145> 예를 들어, 소스 가스에 TEOS와 O₂를 사용하여, 산화규소막으로 이루어지는 제2 절연층(114)을 형성하기 위한 조건예로서는, 체임버에, 유량 15 sccm으로 TEOS를 도입하고, 유량 750 sccm으로 O₂를 도입한다. 성막 압력은 100 Pa, 성막 온도 300°C, RF 출력 300 W, 전원 주파수 13.56 MHz를 들 수 있다.

<146> 또한, 도 4(B)의 공정과 도 4(C)의 공정의 순서를 반대로 할 수도 있다. 즉, 단결정 반도체 기판(110)에, 제1 절연층(113) 및 제2 절연층(114)을 형성한 후, 손상 영역(115)을 형성할 수도 있다. 이 경우, 제1 절연층(113)과 제2 절연층(114)을 같은 성막 장치로 형성할 수 있는 경우에는, 제1 절연층(113)과 제2 절연층(114)의 형성을 연속하여 행하는 것이 바람직하다.

<147> 또한, 도 4(B)의 공정을 행한 후, 도 4(A)의 공정과 도 4(C)의 공정을 행할 수도 있다. 즉, 단결정 반도체 기판(110)에 이온(121)을 조사하여 손상 영역(115)을 형성한 후, 제1 절연층(113) 및 제2 절연층(114)을 형성할 수도 있다. 이 경우, 제1 절연층(113)과 제2 절연층(114)을 같은 성막 장치로 형성할 수 있는 경우에는, 제1 절연층(113)과 제2 절연층(114)의 형성을 연속하여 행하는 것이 바람직하다. 또한, 손상 영역(115)을 형성하기 전에, 단결정 반도체 기판(110)의 표면을 보호하기 위해, 단결정 반도체 기판(110)을 산화 처리하여 표면에 산화막을 형성하고, 산화막을 통하여 이온을 단결정 반도체 기판(110)에 조사할 수도 있다. 손상 영역(115)을 형성한 후에는 이 산화막을 제거한다. 또한, 산화막을 남긴 상태에서 제1 절연층(113)을 형성할 수도 있다.

<148> 다음에, 제1 절연층(113), 손상 영역(115) 및 제2 절연층(114)이 형성된 단결정 반도체 기판(110)과 지지 기판(100)을 세정한다. 이 세정 공정은, 순수(純水) 중에서의 초음파 세정으로 행할 수 있다. 초음파 세정은 메가 헤르츠 초음파 세정(메가소닉(megasonic) 세정)이 바람직하다. 초음파 세정 후, 단결정 반도체 기판(110)과 지지 기판(100) 중의 한쪽 또는 양쪽 모두를 오존 첨가수로 세정하는 것이 바람직하다. 오존 첨가수로 세정함으로써, 유기물의 제거와, 제2 절연층(114)의 표면 및 지지 기판(100)의 친수성을 향상시키는 표면 활성화 처리를 행할 수 있다. 또한, 오존 첨가수 외에, 산소 첨가수, 수소 첨가수, 또는 순수 등으로 세정 처리하여도 좋다. 이러한 세정 처리를 함으로써, 접합면을 친수성으로 할 수 있고, 접합면의 OH기를 증대시킬 수 있다. 그 결과, 수소 결합에 의한 접합을 보다 강고하게 할 수 있다.

<149> 또한, 제2 절연층(114)의 표면 및 지지 기판(100)의 활성화 처리에는, 오존 첨가수에 의한 세정 외에, 원자 빔 또는 이온 빔 조사 처리, 플라즈마 처리, 또는 라디칼 처리로 행할 수 있다. 원자 빔 또는 이온 빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔을 사용할 수 있다. 이러한 표면 처리에 의하여, 400°C 이하의 온도라고 하더라도 이종(異種) 재료 간을 접합하는 것이 용이하게 된다.

<150> 도 4(D)는 접합 공정을 설명하는 단면도이다. 제2 절연층(114)을 사이에 두고 지지 기판(100)과 단결정 반도체 기판(110)을 밀접시킨다. 본 실시형태의 경우는, 지지 기판(100)의 표면과 제2 절연층(114)의 표면이

밀접되고, 밀접된 부분이 접합된다. 지지 기판(100)의 표면과 제2 절연층(114)의 표면과의 접합력은, 초기의 단계에서 반 데르 وال스(Van der Waals)력이 작용하는 것이라고 생각되고, 제2 절연층(114)의 표면과 지지 기판(100)의 표면에 압력을 가하는 것으로, 밀접 부분에 수소 결합이 형성되고, 제2 절연층(114)의 표면과 지지 기판(100)의 표면이 보다 강고하게 접합될 수 있다.

<151> 따라서, 단결정 반도체 기판(110)의 엣지(edge)의 일 개소에 $300\sim15000\text{ N/cm}^2$ 정도의 압력을 가한다. 이 압력은 $1000\sim5000\text{ N/cm}^2$ 가 바람직하다. 압력을 가한 부분으로부터 제2 절연층(114)과 지지 기판(100)이 접합하기 시작하고, 접합 부분이 제2 절연층(114)의 전면(全面)에 미친다. 그 결과, 지지 기판(100)에 단결정 반도체 기판(110)이 고정된다. 이 접합 공정은 가열 처리를 수반하지 않고 상온에서 행할 수 있기 때문에, 지지 기판(100)에, 유리 기판과 같이 내열 온도가 700°C 이하인 저내열성 기판을 사용하는 것이 가능하다.

<152> 지지 기판(100)에 단결정 반도체 기판(110)을 접합시킨 후, 지지 기판(100)과 제2 절연층(114)과의 결합력을 증가시키기 위해, 가열 처리 또는 가압 처리를 행하는 것이 바람직하다. 이 처리 온도는, 손상 영역(115)에 균열을 발생시키지 않는 온도로 하고, 실온 이상 400°C 미만의 온도 범위에서 처리할 수 있다. 또한, 이 온도 범위에서 가열하면서 지지 기판(100)에 단결정 반도체 기판(110)을 부착시킴으로써, 지지 기판(100)과 제2 절연층(114)과의 접합 계면에서의 결합력을 강고하게 할 수 있다. 또한, 가압 처리에서는, 접합면에 수직인 방향으로 압력이 가해지도록 행하는 것이 바람직하다. 이 가열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다.

<153> 다음에, 가열 처리를 행하여, 손상 영역(115)에서 박리를 일으켜, 단결정 반도체 기판(110)으로부터 단결정 반도체층(117)을 분리한다. 도 4(E)는, 단결정 반도체 기판(110)으로부터 단결정 반도체층(117)을 분리하는 분리 공정을 설명하는 도면이다. 부호 116을 붙인 요소는 단결정 반도체층(117)이 분리된 단결정 반도체 기판(110)을 나타내고 있다.

<154> 가열 처리를 행함으로써, 온도 상승에 의해 손상 영역(115)에 형성되어 있는 미소한 구멍에는, 이온 도핑으로 첨가한 원소가 석출하여, 내부의 압력이 상승한다. 압력의 상승에 의하여, 손상 영역(115)의 미소한 구멍에 체적 변화가 일어나고, 손상 영역(115)에 균열이 생기므로, 손상 영역(115)을 따라 단결정 반도체 기판(110)이 벽개된다. 제2 절연층(114)은 지지 기판(100)에 접합하여 있으므로, 지지 기판(100) 위에는 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(117)이 고정된다. 단결정 반도체층(117)을 단결정 반도체 기판(110)으로부터 분리하기 위한 가열 처리의 온도는, 지지 기판(100)의 왜곡점을 넘지 않는 온도로 한다.

<155> 이 가열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다.

<156> 가열로는, 저항 발열체 등에 의해 가열된 노(爐)로부터의 복사(輻射)를 주로 하여 피처리물을 가열하는 장치이다.

<157> RTA 장치는 램프광을 이용한 가열 장치이다. RTA 장치로서, LRTA(Lamp Rapid Thermal Anneal) 장치, GRTA(Gas Rapid Thermal Anneal) 장치가 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는, 상기의 램프로부터 발하는 광에 의한 열복사, 및 상기의 램프로부터 발하는 광(전자파)으로 기체를 가열하고, 가열된 기체로부터의 열전도에 의해 피처리물을 가열하는 장치이다. 기체에는, 질소, 아르곤 등의 희가스와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, LRTA 장치, GRTA 장치에는, 램프뿐만 아니라, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하고 있어도 좋다.

<158> 마이크로파 가열 장치는 마이크로파의 복사에 의해 피처리물을 가열하는 장치이다. 마이크로파 가열 장치에는, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하고 있어도 좋다.

<159> GRTA 장치를 사용하는 경우는, 가열 온도 550°C 이상 650°C 이하, 처리 시간 0.5분 이상 60분 이내로 할 수 있다. 저항 가열 장치를 사용하는 경우는, 가열 온도 550°C 이상 650°C 이하, 처리 시간 2시간 이상 4시간 이내로 할 수 있다. 마이크로파 가열 장치를 사용하는 경우는, 예를 들어, 주파수 2.45 GHz의 마이크로파의 조사로 처리 시간 10분 이상 20분 이내로 할 수 있다.

<160> 저항 가열을 가지는 종형로(縱型爐)를 사용한 가열 처리의 구체적인 처리 방법을 설명한다. 단결정 반도체 기

판(110)이 부착된 지지 기판(100)을 종형로의 보트(boat)에 탑재한다. 보트를 종형로의 체임버에 반입한다. 단결정 반도체 기판(110)의 산화를 억제하기 위해, 먼저, 체임버 내를 배기하여 진공 상태로 한다. 진공도는 5×10^{-3} Pa 정도로 한다. 진공 상태로 한 후, 질소를 체임버 내에 공급하여, 체임버 내를 대기압의 질소 분위기로 한다. 이 동안, 온도를 200°C로 상승시킨다.

<161> 체임버 내를 대기압의 질소 분위기로 한 후, 온도 200°C에서 2시간 가열한다. 그 후, 1시간에 걸쳐 400°C로 온도를 상승시킨다. 가열 온도 400°C의 상태가 안정되면, 1시간에 걸쳐 600°C로 온도를 상승시킨다. 가열 온도 600°C의 상태가 안정되면, 600°C에서 2시간 가열 처리한다. 그 후, 1시간에 걸쳐 가열 온도를 400°C로 낮추고, 10분~30분간 후에, 체임버 내로부터 보트를 반출한다. 대기 분위기하에서, 보트 위의 단결정 반도체 기판(118), 및 단결정 반도체층(117)이 부착된 지지 기판(100)을 냉각시킨다.

<162> 상기의 저항 가열로를 사용한 가열 처리는, 제2 절연층(114)과 지지 기판(100)과의 결합력을 강화하기 위한 가열 처리와, 손상 영역(115)에 분리를 발생시키는 가열 처리가 연속하여 행해진다. 이 2개의 가열 처리를 다른 장치에서 행하는 경우는, 예를 들어, 저항 가열로에서 처리 온도 200°C, 처리 시간 2시간의 가열 처리를 행한 후, 부착된 지지 기판(100)과 단결정 반도체 기판(110)을 노로부터 반출한다. 다음에, RTA 장치로 처리 온도 600°C 이상 700°C 이하, 처리 시간 1분 이상 30분 이하의 가열 처리를 행하여, 단결정 반도체 기판(110)을 손상 영역(115)에서 분할시킨다.

<163> 700°C 이하의 저온 처리로 제2 절연층(114)과 지지 기판(100)을 강고하게 접합시키기 위해서는, 제2 절연층(114)의 표면, 및 지지 기판의 표면에 OH기, 물 분자(H₂O)가 존재하는 것이 바람직하다. 이것은, 제2 절연층(114)과 지지 기판(100)과의 접합이, OH기나 물 분자가 공유 결합(산소 분자와 수소 분자의 공유 결합)이나 수소 결합을 형성함으로써 개시하기 때문이다.

<164> 따라서, 제2 절연층(114) 및 지지 기판(100)의 표면을 활성화하여 친수성으로 하는 것이 바람직하다. 또한, 산소 또는 수소를 포함시키는 방법으로, 제2 절연층(114)을 형성하는 것이 바람직하다. 예를 들어, 처리 온도 400°C 이하의 PECVD법에 의해, 산화규소막, 산화질화규소막, 또는 질화산화규소막, 질화규소막 등을 형성함으로써 수소를 막에 포함시킬 수 있다. 산화규소막 또는 산화질화규소막을 형성하기 위해서는, 예를 들어, 프로세스 가스에 SiH₄ 및 N₂O를 사용하면 좋다. 질화산화규소막을 형성하기 위해서는, 예를 들어, 프로세스 가스에 SiH₄, 및 NH₃를 사용하면 좋다. 또한, PECVD법으로 형성할 때의 원료에, TEOS(화학식 Si(OC₂H₅)₄)와 같은 OH기를 가지는 화합물을 사용하는 것이 바람직하다.

<165> 또한, 프로세스 온도가 700°C 이하인 것을 저온 처리라고 하는 것은, 프로세스 온도가 유리 기판의 왜곡점 이하의 온도가 되기 때문이다. 대조적으로, 스마트 컷(등록상표)으로 형성되는 SOI 기판에서는 단결정 규소층과 단결정 실리콘 웨이퍼를 부착시키기 위해 800°C 이상의 가열 처리를 행하고 있고, 유리 기판의 왜곡점을 넘는 온도에서의 가열 처리를 필요로 한다.

<166> 또한, 도 4(E)에 나타내는 바와 같이, 단결정 반도체 기판(110)의 주변부가 지지 기판(100)에 접합하지 않는 경우가 많다. 이것은, 단결정 반도체 기판(110)의 주변부가 모파기되어 있기 때문에, 또는, 단결정 반도체 기판(110)을 이동했을 때에 제2 절연층(114)의 주변부가 손상되거나 더러워지거나 했기 때문에, 지지 기판(100)과 제2 절연층(114)이 밀착하지 않는 단결정 반도체 기판(110)의 주변부에서는 손상 영역(115)이 분리되기 어렵기 때문, 등의 이유에 의한 것이다. 따라서, 지지 기판(100)에는, 단결정 반도체 기판(110)보다 사이즈가 작은 단결정 반도체층(117)이 부착되고, 또한, 단결정 반도체 기판(118)의 주위에는 볼록부가 형성되고, 그 볼록부 위에, 지지 기판(100)에 부착되지 않은, 제1 절연층(113b), 제1 절연층(113a) 및 제2 절연층(114)의 부분이 남는 경우가 있다.

<167> 지지 기판(100)에 밀착된 단결정 반도체층(117)은, 손상 영역(115)의 형성, 및 손상 영역(115)에서의 벽개 등에 의하여 결정성이 손상되어 있다. 즉, 가공 전의 단결정 반도체 기판(110)에는 없었던 전위(轉位) 등의 결정 결함이나, 데그리드 본드와 같은 마이크로 결정 결함이 단결정 반도체층(117)에 형성되어 있다. 또한, 단결정 반도체층(117)의 표면은 단결정 반도체 기판(110)으로부터의 분리면이고, 평탄성이 손상되어 있다. 단결정 반도체층(117)의 결정성을 회복시키기 위해, 단결정 반도체층(117)을 용융시켜 재결정화시키기 위해 레이저 빔을 조사한다. 또한, 단결정 반도체층(117)의 표면을 평탄화하기 위해 레이저 빔을 조사한다. 도 5(A)는 레이저 조사 처리 공정을 설명하기 위한 도면이다.

- <168> 도 5(A)에 나타내는 바와 같이, 레이저 빔(122)을 단결정 반도체층(117)에 대하여 주사하면서, 레이저 빔(122)을 단결정 반도체층(117)의 분리면의 전면(全面)에 조사한다. 레이저 빔(122)의 주사는, 예를 들어, 레이저 빔(122)을 이동시키지 않고, 단결정 반도체층(117)이 고정된 지지 기판(100)을 이동시킨다. 화살표(123)는 지지 기판(100)의 이동 방향을 나타낸다.
- <169> 레이저 빔(122)을 조사하면, 단결정 반도체층(117)이 레이저 빔(122)을 흡수하여, 레이저 빔(122)이 조사된 부분의 온도가 상승한다. 이 부분의 온도가 단결정 반도체 기판(110)의 융점 이상의 온도가 되면, 용융한다. 레이저 빔(122)이 조사되지 않게 되면, 단결정 반도체층(117)의 용융 부분의 온도는 내려가고, 이어서, 용융 부분은 응고하여 재결정화한다. 레이저 빔(122)을 주사함으로써, 단결정 반도체층(117)의 전면에 레이저 빔(122)을 조사한다. 또는, 단결정 반도체층(117)의 재단결정화할 영역만 선택적으로 레이저 빔(122)을 조사할 수도 있다.
- <170> 도 5(B)는 레이저 조사 공정 후의 반도체 기판(10)을 나타내는 단면도이고, 단결정 반도체층(112)은 재단결정화된 단결정 반도체층(117)이다. 또한, 도 5(B)의 외관도가 도 1이다.
- <171> 레이저 조사 처리된 단결정 반도체층(112)은 단결정 반도체층(117)보다 결정성이 향상된다. 또는, 레이저 조사 처리에 의해 평탄화를 향상할 수 있다. 단결정 반도체층의 결정성은, 전자 후방 산란 회절상(EBSP: Electron Back Scatter Diffraction Pattern)의 측정, X선 회절상의 측정, 광학 현미경 또는 전자 현미경에 의한 관찰, 및 라만 분광 스펙트럼의 측정 등에 의해 평가할 수 있다. 또한, 단결정 반도체층 표면의 평탄성은 원자간력 현미경에 의한 관찰 등에 의해 평가할 수 있다.
- <172> 레이저 빔(122)의 조사에 의하여, 단결정 반도체층(117)의 레이저 빔(122)이 조사되어 있는 영역을, 부분 용융 또는 완전 용융시킨다. 또한, 단결정 반도체층(117)이 완전 용융 상태라는 것은, 막의 표면으로부터 하면까지의 층 전체가 용융되어 있는 것을 말한다. 도 5(A)의 적층 구조에서는, 완전 용융 상태란, 단결정 반도체층(117)의 상면으로부터 제1 절연층(113)과의 계면까지 용융되어, 액체 상태가 되어 있는 것을 말한다. 한편, 단결정 반도체층(117)을 부분 용융시킨다는 것은, 용융되어 있는 깊이가 제1 절연층(113)과의 계면(단결정 반도체층(117)의 두께)보다도 얕아지도록, 단결정 반도체층(117)을 용융시키는 것이다. 즉, 단결정 반도체층(117)이 부분 용융 상태라는 것은, 상층은 용융되어 액상이 되고, 하층은 녹지 않고, 고상의 단결정 반도체인 채의 상태를 말한다.
- <173> 레이저 빔(122)의 조사에 의하여, 단결정 반도체층(117)이 부분 용융하면, 액상이 된 반도체의 표면장력에 의해 평탄화가 진행한다. 동시에, 지지 기판(100)에의 열의 확산에 의해 단결정 반도체층(117)의 냉각이 진행하여, 단결정 반도체층(117) 중에는 깊이 방향으로 온도 구배가 생기고, 지지 기판(100)측으로부터 단결정 반도체층(117)의 표면으로 고액 계면이 이동하여 재결정화한다. 소위 종(縱) 성장이 일어난다. 또한, 이 결정화는 하층의 용융하지 않는 영역을 종(種)으로 하여 재결정화가 진행한다.
- <174> 하층의 고상 부분은 단결정이고, 결정 방위가 정렬되어 있기 때문에, 결정립계가 형성되지 않고, 레이저 조사 처리 후의 단결정 반도체층(112)은, 결정립계가 없는 단결정 반도체층으로 할 수 있다. 또한, 용융된 상층은, 응고함으로써 재결정화하지만, 하층의 고상인 채 남은 단결정 반도체와 결정 방위가 정렬된 단결정 반도체가 형성된다. 따라서, 주 표면의 면방위가 (100)인 단결정 실리콘 웨이퍼를 단결정 반도체 기판(110)에 사용한 경우, 단결정 반도체층(117)의 주 표면의 면방위는 (100)이고, 레이저 조사 처리에 의해 부분 용융하여 재결정화된 단결정 반도체층(112)의 주 표면의 면방위는 (100)이 된다.
- <175> 또한, 레이저 빔(122)의 조사에 의하여, 단결정 반도체층(117)이 완전 용융되면, 액상이 된 반도체의 표면장력에 의해 평탄화가 진행한다. 또한, 완전 용융된 영역은, 응고하는 과정에서, 용융된 영역과 인접하여 있는 단결정 반도체로부터 결정 성장하여, 횡(橫) 성장이 일어난다. 용융되어 있지 않은 부분은 단결정이고, 결정 방위가 정렬되어 있기 때문에, 결정립계가 형성되지 않고, 레이저 조사 처리 후의 단결정 반도체층(112)을 결정립계가 없는 단결정 반도체층으로 할 수 있다. 즉, 완전 용융된 영역은, 응고함으로써 재결정화하지만, 인접한 용융하지 않은 부분의 단결정 반도체와 결정 방위가 정렬된 단결정 반도체가 형성된다. 따라서, 주 표면의 면방위가 (100)인 단결정 실리콘 웨이퍼를 단결정 반도체 기판(110)에 사용한 경우, 단결정 반도체층(117)의 주 표면의 면방위는 (100)이고, 레이저 조사 처리에 의해 완전 용융하여 재결정화된 단결정 반도체층(112)의 주 표면의 면방위는 (100)이 된다.
- <176> 레이저 빔(122)의 조사에 의해, 단결정 반도체층(117)을 부분 용융 또는 완전 용융시킴으로써, 표면이 평탄한 단결정 반도체층(112)을 형성할 수 있다. 이것은, 단결정 반도체층(117)의 용융된 부분은 액체이기 때문에, 표

면장력의 작용에 의하여, 그의 표면적이 최소로 되도록 변형한다. 즉, 액체 부분은 오목부 및 볼록부가 없어지도록 변형하고, 그리고, 이 액체 부분이 응고하여 재결정화하기 때문에, 표면이 평탄화된 단결정 반도체층(112)을 형성할 수 있다.

<177> 단결정 반도체층(112)의 표면을 평탄화함으로써, 단결정 반도체층(112) 위에 형성되는 게이트 절연막의 막 두께를 5 nm~50 nm 정도까지 얇게 하는 것이 가능하다. 따라서, 게이트 전압을 억제하면서, 높은 온(ON) 전류의 트랜지스터를 형성할 수 있다.

<178> 이와 같이, 본 실시형태에서는, 단결정 반도체층에 대하여 레이저 범을 조사하여, 단결정 반도체층의 일부 또는 전부를 용융하여 재결정화시킴으로써, 보다 좋은 단결정 반도체층을 얻는 방법에 관하여, 지금까지 없었던 혁신적인 기술을 개시하고 있다. 이러한 레이저 범의 사용 방법은, 종래의 기술에서는 전혀 상정되지 않은, 매우 새로운 개념이다.

<179> 평탄화 처리에는, 화학 기계 연마(Chemical Mechanical Polishing, 약칭: CMP)가 알려져 있지만, 유리 기판은 휘기 쉽고, 굴곡이 있기 때문에, 지지 기판(100)에 유리 기판을 사용한 경우, CMP로 단결정 반도체층(117)의 평탄화 처리를 행하는 것은 곤란하다. 본 실시형태에서는, 이 평탄화 처리를 레이저 범(122)의 조사 처리로 행하기 때문에, 지지 기판(100)을 파손하는 힘을 가하지 않고, 또한 왜곡점을 넘는 온도로 지지 기판(100)을 가열하지 않고, 단결정 반도체층(117)의 평탄화를 가능하게 한다. 따라서, 본 실시형태에서는, 지지 기판(100)에 유리 기판을 사용하는 것이 가능하게 된다. 즉, 본 실시형태는, 반도체 기판의 제조방법에서, 레이저 범의 조사 처리의 혁신적인 사용 방법을 개시하는 것이다.

<180> 레이저 범(122)을 조사할 때에, 지지 기판(100)에 고정된 단결정 반도체층(117)을 가열하여, 단결정 반도체층(117)의 온도를 상승시킨다. 가열 온도는 200°C 이상 지지 기판(100)의 왜곡점 이하로 할 수 있다. 가열 온도는 400°C 이상이 바람직하고, 450°C 이상이 보다 바람직하다. 구체적으로는, 가열 온도는 400°C 이상 670°C 이하가 바람직하고, 450°C 이상 650°C 이하가 보다 바람직하다. 단결정 반도체층(117)을 가열함으로써, 단결정 반도체층(117)의 결정성의 회복, 및 평탄화에 필요한 레이저 범(122)의 에너지를 작게 할 수 있다. 따라서, 레이저 범(122)의 범 형상의 폭(주사 방향의 길이)을 길게 할 수 있기 때문에, 또는 레이저 범(122)의 오버랩률을 작게 할 수 있기 때문에, 주사 속도를 빠르게 할 수 있다. 이것에 의하여, 1장의 기판을 처리하는 텍트 타임이 짧아지므로, 레이저 조사 처리의 스루풋이 향상된다.

<181> 레이저 조사 처리 시에 단결정 반도체층(117)을 가열함으로써, 단결정 반도체층(117) 중의 댱글링 본드나, 단결정 반도체층(117)과 하지막(여기서는, 제1 절연층(113))과의 계면의 결합 등의 마이크로 결합을 제거할 수 있어, 보다 좋은 단결정 반도체층(112)을 얻을 수 있다. 전위 등의 결정 결함이나, 댱글링 본드 등의 마이크로 결정 결함이 적은 단결정 반도체층(112)이 고정된 반도체 기판(10)으로부터, 높은 온 전류, 높은 전계효과 이동도의 트랜지스터를 형성할 수 있다. 이와 같은 효과를 얻기 위해서는, 단결정 반도체층(117)을 400°C 이상으로 가열하면 좋고, 500°C 이상으로 가열하는 것이 보다 바람직하다.

<182> 또한, 지지 기판(100)에 유리 기판을 사용한 경우, 단결정 반도체층(117)이 고정된 지지 기판(100)을 500°C 이상, 바람직하게는 550°C 이상으로 가열함으로써, 지지 기판(100)을 슈링크(shrink)시킬 수 있다. 따라서, 단결정 반도체층(112)이 고정된 유리 기판을 사용하여 트랜지스터를 제조하는 경우, 미리 반도체 기판의 제조 공정에서, 유리 기판을 슈링크시킴으로써, 트랜지스터의 제조 공정에서의 슈링크량을 억제할 수 있기 때문에, 노광 공정에서의 마스크 어긋남을 억제할 수 있다.

<183> 또한, 레이저 조사 처리로 단결정 반도체층(117)과 함께, 단결정 반도체층(117)에 접하는 제1 절연층(113a)도 가열되기 때문에, 제1 절연층(113a)에 할로겐을 포함시켜 둘으로써, 제1 절연층(113a)으로부터 할로겐이 확산하여, 재단결정화된 단결정 반도체층(112)과 제1 절연층(113a)의 계면에 할로겐을 편석시킬 수 있다. 할로겐을 단결정 반도체층(112)과 제1 절연층(113a)과의 계면에 편석시킴으로써, 할로겐에 의해 이 계면에 존재하는 나트륨 등의 가동 이온을 포획할 수 있다. 따라서, 지지 기판(100)에 유리 기판을 사용하는 경우는, 할로겐을 포함한 제1 절연층(113a)은, 가열하면서의 레이저 범 조사 처리에는, 단결정 반도체층(112)의 나트륨 등의 불순물을 오염을 막기 위해 배리어층으로서 매우 효과적이다.

<184> 또한, 단결정 반도체층(117)에 접하여, 할로겐을 포함하는 제1 절연층(113a)을 형성하고, 제1 절연층(113a)에 접하여, 불순물의 블로킹 효과가 높은 배리어층으로서 제1 절연층(113b)을 형성하는 것은, 단결정 반도체층(112)과 제1 절연층(113a)의 계면에 편석되는 할로겐의 농도를 높이는데 효과적이다. 그것은, 배리어층인 제1 절연층(113b) 중에는 할로겐이 확산하기 어렵기 때문에, 보다 많은 할로겐이 단결정 반도체층(112)측으로 확산

하기 때문이다. 이와 같은 제1 절연층(113b)으로서는, 질화규소막 또는 질화산화규소막이 있다.

<185> 이와 같은 제1 절연층(113a) 및 제1 절연층(113b)을 형성하기 위해서는, 예를 들어, NF_3 에 의한 플라즈마 클리닝한 후의 PECVD 장치의 체임버에서, 산화질화규소 또는 산화규소로 이루어지는 제1 절연층(113a)과, 질화산화규소 또는 질화규소막으로 이루어지는 제1 절연층(113b)을 연속하여 형성하는 방법이 있다. 제1 절연층(113a)과 제1 절연층(113b)을 연속하여 형성하기 위해서는, 체임버 내에 공급하는 막 형성용의 프로세스 가스를 변경함으로써 실현할 수 있다.

<186> 레이저 발진기에는, 발진의 방법에 따라, 펄스 발진, 연속 발진 레이저, 의사(疑似) 연속 발진 레이저 펄스로 나눌 수 있다. 단결정 반도체층(117)의 용융 부분을 재단결정화시키기 위해서는, 펄스 발진 레이저를 사용하는 것이 추천된다. 펄스 발진 레이저를 사용하는 경우는, 레이저 빔이 1 펄스(1 쇼트) 조사되면, 다음의 펄스가 조사될 때까지, 펄스가 조사된 영역은 용융하고, 응고하여 재결정화한다. 즉, 하나의 펄스가 조사되어 용융된 영역은, 다음의 펄스가 조사될 때에는 재결정화하고, 고상 상태로 복귀한다. 따라서, 펄스 레이저 발진으로부터 발진된 레이저 빔에 의해 용융된 영역이 응고할 때는, 용융되어 있지 않은 단결정으로부터 결정 성장하여, 단결정 구조가 되는 것이 가장 안정적인 상태가 된다.

<187> 한편, 연속 발진 레이저의 경우는, 레이저 빔이 간헐적으로 조사되는 것이 아니라 상시 조사되므로, 레이저 빔의 주사에 의하여, 용융 영역(액상 영역)과 고상 영역의 계면이 그 방향으로 이동한다. 따라서, 용융된 부분이 응고할 때에, 결정 성장이 균일하게 되기 어렵고, 결정축의 방향이 정렬되지 않고, 입계가 생기기 쉬워진다. 이것은, 의사 연속 발진 레이저에서도 마찬가지이다.

<188> 따라서, 레이저 조사 공정에서는, 펄스 발진 레이저를 사용하는 것이, 재현성 좋게 단결정 반도체층(117)을 재단결정화할 수 있다. 펄스 발진 레이저에는, 반복 주파수가 10 MHz 미만, 바람직하게는 10 kHz 이하인 레이저를 사용할 수 있다. 반복 주파수를 10 MHz 미만으로 함으로써, 레이저 빔의 1 쇼트마다, 다음의 쇼트가 조사되기 전에 조사 영역을 용융, 응고시킬 수 있다. 또한, 펄스 발진 레이저로부터 조사되는 레이저 빔의 펄스폭은 10 nsec 이상 500 nsec 이하로 할 수 있다.

<189> 도 5(A)의 레이저 조사 공정에 사용하는 펄스 발진 레이저에는, 예를 들어, XeCl 레이저, KrF 레이저 등의 엑시머 레이저, Ar 레이저, Kr 레이저 등의 기체 레이저가 있다. 또한, 고체 레이저도 사용할 수 있고, 예를 들어, YAG 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, GdVO_4 레이저, KGW 레이저, KYW 레이저, Y_2O_3 레이저 등이 있다. 레이저 빔으로서는, 이를 레이저 발진기의 기본파, 고조파(제2 고조파, 제3 고조파, 제4 고조파 등)를 사용할 수 있다. 이를 고체 레이저에는, 같은 레이저 매질을 사용하여도, 발진의 방법이 연속 발진 또는 의사 연속이 되는 발진기도 있다.

<190> 또한, 레이저 빔(122)을 발진하는 레이저 발진기는, 그의 발진 파장이 자외광역 내지 가시광역에 있는 것이 선택된다. 레이저 빔(122)의 파장은 단결정 반도체층(117)에 흡수되는 파장으로 한다. 그 파장은, 레이저광의 표피 깊이(skin depth) 등을 고려하여 결정할 수 있다. 예를 들어, 파장은 250 nm 이상 700 nm 이하의 범위로 할 수 있다.

<191> 레이저 빔(122)의 에너지는, 레이저 빔(122)의 파장, 레이저 빔(122)의 표피 깊이, 단결정 반도체층(117)의 두께 등을 고려하여 결정할 수 있다. 펄스 발진 레이저를 사용한 경우, 레이저 빔(122)의 에너지 밀도는, 예를 들어, 300 mJ/cm^2 이상 700 mJ/cm^2 이하의 범위로 할 수 있다.

<192> 레이저 빔(122)의 조사의 분위기는, 분위기를 제어하지 않은 대기 분위기와, 불활성 기체 분위기 중의 어느 것 이어도 좋다. 대기 분위기와 불활성 기체 분위기의 쌍방에서, 단결정 반도체층(117)의 결정성의 회복 및 평탄화의 효과가 있다는 것이 확인되었다. 또한, 대기 분위기보다 불활성 기체 분위기가 바람직하다는 것이 확인되었다. 질소 등의 불활성 기체 분위기의 쪽이, 대기 분위기보다도 단결정 반도체층(117)의 평탄성을 향상시키는 효과가 높고, 또한, 불활성 기체 분위기의 쪽이 대기 분위기보다도 크랙(crack)과 같은 변형이 발생하는 것이 억제되고, 결정 결합의 감소 및 평탄화를 실현하기 위한 레이저 빔(122)의 사용 가능 에너지 범위가 넓어진다.

<193> 불활성 기체 분위기 중에서 레이저 빔(122)을 조사하기 위해서는, 기밀성이 있는 체임버 내에서 레이저 빔(122)을 조사하면 좋다. 이 체임버 내에 불활성 기체를 공급함으로써, 불활성 기체 분위기 중에서 레이저 빔(122)을 조사할 수 있다. 체임버를 사용하지 않는 경우는, 단결정 반도체층(117)에서의 레이저 빔(122)의 피조사면에 불활성 기체를 불어붙이면서, 그 피조사면에 레이저 빔(122)을 조사함으로써, 불활성 기체 분위기에서의 레이저 빔(122)의 조사를 실현할 수 있다.

- <194> 불활성 기체란, 레이저 빔의 조사 공정에서 단결정 반도체층의 표면과 반응하여 산화막을 형성하지 않는 분자 또는 원자의 기체이다. 예를 들어, 불활성 기체에는, 질소 가스(N_2 가스), 아르곤이나 크세논 등의 희가스 등이 있다. 또한, 불활성 기체의 산소 농도는 30 ppm 이하인 것이 바람직하고, 10 ppm 이하가 보다 바람직하다.
- <195> 또한, 레이저 조사 처리를 기밀성이 있는 체임버 내에서 행하는 경우는, 체임버 내를 감압하여, 진공 상태로 함으로써, 불활성 기체 분위기에서 레이저 조사 처리를 행하는 것과 같은 효과를 얻을 수 있다. 체임버 내의 압력은 12 Pa 이하로 하는 것이 바람직하다. 보다 바람직하게는, 체임버 내의 압력은 4 Pa 이하로 한다.
- <196> 또한, 레이저 빔(122)을 광학계를 통과시켜, 레이저 빔(122)의 빔 형상을 선형 또는 사각형 형상으로 하는 것이 바람직하다. 이것에 의하여, 스루풋 좋게 레이저 빔(122)의 조사를 행할 수 있다.
- <197> 레이저 빔(122)을 단결정 반도체층(117)에 조사하기 전에, 단결정 반도체층(117)의 표면에 형성되어 있는 자연 산화막 등의 산화막을 제거하는 처리를 행한다. 그것은, 단결정 반도체층(117)의 표면에 산화막이 존재하는 상태에서는, 레이저 빔(122)을 조사하여도, 평탄화의 효과를 충분히 얻을 수 없는 경우가 있기 때문이다. 산화막의 제거 처리는 불산으로 단결정 반도체층(117)을 처리함으로써 행할 수 있다. 불산에 의한 처리는, 단결정 반도체층(117)의 표면이 발수성을 나타낼 때까지 행하는 것이 바람직하다. 발수성이 있는 것에 의해, 단결정 반도체층(117)으로부터 산화막이 제거된 것을 확인할 수 있다.
- <198> 도 5(A)의 레이저 빔(122)의 조사 공정은 다음과 같이 행할 수 있다. 먼저, 단결정 반도체층(117)을 1/100로 회석된 불산으로 110초간 처리하여, 표면의 산화막을 제거한다. 다음에, 단결정 반도체층(117)이 부착된 지지 기판(100)을 레이저 조사 장치의 스테이지 위에 배치한다. 스테이지에 설치된 저항 가열 장치 등의 가열 수단에 의해, 단결정 반도체층(117)을 200°C 이상 650°C 이하의 온도로 가열한다. 예를 들어, 가열 온도를 500°C로 한다.
- <199> 레이저 빔(122)의 레이저 발진기로서 XeCl 엑시머 레이저(파장: 308 nm, 펄스폭: 25 nsec, 반복 주파수 60 Hz)를 사용한다. 광학계에 의하여, 레이저 빔(122)의 단면을 300 mm × 0.34 mm의 선형으로 정형한다. 레이저 빔(122)을 단결정 반도체층(117)에 대하여 주사하면서, 레이저 빔(122)을 단결정 반도체층(117)에 조사한다. 레이저 빔(122)의 주사는, 레이저 조사 장치의 스테이지를 이동시킴으로써 행할 수 있고, 스테이지의 이동 속도가 레이저 빔의 주사 속도에 대응한다. 레이저 빔(122)의 주사 속도를 조절하여, 단결정 반도체층(117)의 같은 피조사 영역에 레이저 빔(122)이 1~20 쇼트 조사되도록 한다. 레이저 빔(122)의 쇼트수는 1 이상 11 이하가 바람직하다. 레이저 빔(122)을 1 쇼트 조사함으로써, 단결정 반도체층(117)을 용융시켜 재결정화를 하는 것, 및 그의 표면을 평탄화하는 것이 가능하다.
- <200> 단결정 반도체층(117)에 레이저 빔(122)을 조사하기 전에, 단결정 반도체층(117)을 에칭할 수 있다. 이 에칭에 의하여, 단결정 반도체층(117)의 분리면에 남아 있는 손상 영역(115)을 제거하는 것이 바람직하다. 손상 영역(115)을 제거함으로써, 레이저 빔(122)의 조사에 의한 표면 평탄화의 효과, 및 결정성 회복의 효과를 높일 수 있다.
- <201> 이 에칭에는, 건식 에칭법 또는 습식 에칭법을 이용할 수 있다. 건식 에칭법에서는, 에칭 가스에, 염화붕소, 염화규소 또는 4염화탄소 등의 염화물 가스, 염소 가스, 불화유황, 불화질소 등의 불화물 가스, 산소 가스 등을 사용할 수 있다. 습식 에칭법에서는, 에칭액에 수산화테트라메틸암모늄(tetramethylammonium hydroxide, 약칭: TMAH) 용액을 사용할 수 있다.
- <202> 이 에칭을 행하는 경우에도, 단결정 반도체층(117)에 레이저 빔(122)을 조사하기 전에, 에칭 처리된 단결정 반도체층(117)의 표면에 형성되어 있는 자연 산화막 등의 산화막을 제거하는 처리를 행하면 좋다. 산화막의 제거 처리는, 불산으로 단결정 반도체층(117)을 처리함으로써 행할 수 있다.
- <203> 단결정 반도체층(117)에 레이저 빔(122)을 조사한 후, 단결정 반도체층(112)을 에칭하여, 박막화하여도 좋다. 단결정 반도체층(112)의 두께는, 단결정 반도체층(112)으로부터 형성되는 소자의 특성에 맞추어 결정할 수 있다. 지지 기판(100)에 부착된 단결정 반도체층(112)의 표면에, 얇은 게이트 절연층을 단차 피복성 좋게 형성하기 위해서는, 단결정 반도체층(112)의 두께는 50 nm 이하로 하는 것이 바람직하고, 그 두께는 50 nm 이하 5 nm 이상으로 하면 좋다.
- <204> 단결정 반도체층(112)을 박막화하기 위한 에칭에는, 건식 에칭법 또는 습식 에칭법을 이용할 수 있다. 건식 에칭법에서는, 에칭 가스에 염화붕소, 염화규소 또는 4염화탄소 등의 염화물 가스, 염소 가스, 불화유황, 불화질소 등의 불화물 가스, 산소 가스 등을 사용할 수 있다. 습식 에칭법에서는, 에칭액에 TMAH 용액을 사용할 수

있다.

<205> 도 4(A)로부터 도 5(B)까지의 공정을 700°C 이하의 온도로 행할 수 있기 때문에, 지지 기판(100)에 내열 온도가 700°C 이하인 유리 기판을 사용하는 것이 가능하다. 따라서, 저렴한 유리 기판을 사용할 수 있기 때문에, 반도체 기판(10)의 재료 비용을 저감할 수 있다.

<206> 또한, 본 실시형태의 방법을 이용하여 1장의 지지 기판(100)에 다수의 단결정 반도체층(112)을 부착시킬 수도 있다. 지지 기판(100)에 대하여, 도 4(A)~도 4(C)의 공정을 행하여, 도 4(C)의 구조의 단결정 반도체 기판(110)을 다수장 형성한다. 그리고, 도 4(D)의 공정을 다수회 반복하여, 다수의 단결정 반도체 기판(110)을 1장의 지지 기판(100)에 부착시킨다. 그리고, 도 4(E)~도 5(B)의 공정을 행함으로써, 도 2에 나타내는 바와 같이, 다수의 단결정 반도체층(112)이 부착된 지지 기판(100)으로 이루어지는 반도체 기판(20)을 제조할 수 있다.

<207> 반도체 기판(20)을 제조하기 위해서는, 지지 기판(100)에 300 mm×300 mm 이상의 유리 기판을 사용하는 것이 바람직하다. 대면적 유리 기판으로서, 액정 패널의 제조용으로 개발된 마더(mpther) 유리 기판이 적합하다. 마더 유리 기판으로서는, 예를 들어, 제3 세대(550 mm×650 mm), 제3.5 세대(600 mm×720 mm), 제4 세대(680 mm×880 mm, 또는 730 mm×920 mm), 제5 세대(1100 mm×1300 mm), 제6 세대(1500 mm×1850 mm), 제7 세대(1870 mm×2200 mm), 제8 세대(2200 mm×2400 mm) 등의 사이즈의 기판이 알려져 있다.

<208> 마더 유리 기판과 같은 대면적 기판을 지지 기판(100)으로서 사용함으로써, SOI 기판의 대면적화를 실현할 수 있다. SOI 기판의 대면적화가 실현되면, 1장의 SOI 기판으로부터 다수의 IC, LSI 등의 칩을 제조할 수 있고, 1장의 기판으로부터 제조되는 칩수가 증가하므로, 생산성을 비약적으로 향상시킬 수 있다.

<209> 도 2의 반도체 기판(20)의 지지 기판(100)이, 유리 기판과 같은 휙기 쉽고 부서지기 쉬운 기판인 경우, 1장의 지지 기판에 부착된 다수의 단결정 반도체층(117)을 연마 처리로 평탄화하는 것은 극히 곤란하다. 본 실시형태에서는, 이 평탄화 처리를 레이저 범(122)의 조사 처리로 행하기 때문에, 지지 기판(100)을 파괴시키는 것과 같은 힘을 가하지 않고, 또한 왜곡점을 넘는 온도로 지지 기판(100)을 가열하지 않고, 1장의 지지 기판(100)에 고정된 다수의 단결정 반도체층(117)의 평탄화를 가능하게 한다. 즉, 레이저 범의 조사 처리는, 도 2와 같은 다수의 단결정 반도체층(112)을 고정한 반도체 기판(20)의 제조 공정에서는, 매우 중요한 처리이다. 즉, 본 실시형태는, 레이저 범의 조사 처리의 혁신적인 사용 방법을 개시하는 것이다.

[실시형태 2]

<211> 본 실시형태에서는, 벼퍼층을 사이에 두고 단결정 반도체층이 지지 기판에 고정되어 있는 반도체 기판 및 그의 제조방법에 대하여 설명한다. 본 실시형태에서는, 지지 기판에 벼퍼층을 형성하여, 반도체 기판을 제조하는 방법을 설명한다.

<212> 도 6은 반도체 기판의 구성예를 나타내는 사시도이다. 반도체 기판(30)은, 지지 기판(100)에 단결정 반도체층(112)이 부착되어 있다. 단결정 반도체층(112)은, 단결정 반도체 기판을 얇게 함으로써 형성된 층이고, 벼퍼층(111) 및 벼퍼층(101)을 사이에 두고 지지 기판(100)에 고정되어 있다. 반도체 기판(30)은 소위 SOI 구조의 기판이고, 절연층 위에 단결정 반도체층이 형성되어 있는 기판이다. 지지 기판(100)에 형성된 벼퍼층(101)의 표면과 단결정 반도체층(112)에 형성된 벼퍼층(111)의 표면이 접합함으로써, 단결정 반도체층(112)이 지지 기판(100)에 고정되어 있다.

<213> 벼퍼층(101)은 단층 구조의 막, 또는 막을 2층 이상 적층한 다층 구조의 막이고, 벼퍼층(101)을 구성하는 막은, 지지 기판(100)의 표면에 성막 처리에 의하여 형성된 막으로 이루어진다. 본 실시형태에서는, 벼퍼층(101)은 2층 구조의 막이고, 지지 기판(100)측으로부터 절연층(103)과 절연층(104)이 적층되어 있다. 본 실시형태에서는, 지지 기판(100)에 밀접하여 형성된 절연층(103)을 배리어층으로서 기능시키고 있다. 또한, 벼퍼층(111)은, 단층 구조의 막, 또는 막을 2층 이상 적층한 다층 구조의 막이고, 벼퍼층(111)을 구성하는 막은, 단결정 반도체 기판의 표면에 성막 처리에 의하여 형성된 막으로 이루어진다. 본 실시형태에서는, 벼퍼층(111)은 단층 구조이고, 절연층(119)으로 이루어진다.

<214> 이하, 도 8~도 10을 참조하여, 도 6에 나타내는 반도체 기판(30)의 제조방법을 설명한다.

<215> 먼저, 지지 기판(100)에 벼퍼층(101)을 형성하는 공정을 설명한다. 도 8은 벼퍼층(101)을 형성하는 공정을 설명하기 위한 단면도이다. 벼퍼층(101)을 구성하는 막에는, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화계르마늄막, 질화계르마늄막, 산화질화계르마늄막, 질화산화계르마늄막 등의, 규소 또는 게르마늄

을 조성에 포함하는 절연막을 사용할 수 있다. 또한, 산화알루미늄, 산화탄탈, 산화하프늄 등의 금속의 산화물로 이루어지는 절연막, 질화알루미늄 등의 금속의 질화물로 이루어지는 절연막, 산화질화알루미늄막 등의 금속의 산화질화물로 이루어지는 절연막, 및 질화산화알루미늄막 등의 금속의 질화산화물로 이루어지는 절연막을 사용할 수도 있다. 베피층(101)을 구성하는 절연막은, CVD법, 스퍼터링법, 단결정 반도체 기판(110)을 산화 또는 질화하는 등의 방법에 의하여 형성할 수 있다.

<216> 베피층(101)에는, 나트륨이 단결정 반도체층(112)에 침입하는 것을 막기 위한 배리어층을 포함하는 것이 바람직하다. 배리어층은 1층이어도 좋고 2층 이상이어도 좋다. 예를 들어, 지지 기판(100)에 알칼리 금속 또는 알칼리토류 금속 등의 반도체장치의 신뢰성을 저하시키는 불순물을 포함하는 기판을 사용한 경우, 지지 기판(100)이 가열되거나 하면, 이러한 불순물이 지지 기판(100)으로부터 단결정 반도체층(112)으로 확산할 우려가 있다. 따라서, 베피층(101)에 배리어층을 형성함으로써, 이와 같은 알칼리 금속 또는 알칼리토류 금속 등의 반도체장치의 신뢰성을 저하시키는 불순물이 단결정 반도체층(112)으로 이동하는 것을 방지할 수 있다. 배리어층으로서 기능하는 막에는, 질화규소막, 질화산화규소막, 질화알루미늄막, 및 질화산화알루미늄막 등이 있다. 이와 같은 막을 포함시킴으로써, 베피층(101)을 배리어층으로서 기능시킬 수 있다.

<217> 예를 들어, 베피층(101)을 단층 구조로 하는 경우는, 배리어층으로서 기능하는 막으로 베피층(101)을 형성하는 것이 바람직하다. 이 경우, 두께 5 nm 이상 200 nm 이하의 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막으로, 단층 구조의 베피층(101)을 형성할 수 있다.

<218> 베피층(101)을, 배리어층을 1층 포함하는 2층 구조의 막으로 하는 경우는, 지지 기판(100)에 밀접하여 형성되는 막에, 나트륨 등의 불순물을 블로킹하기 위한 배리어층으로 구성한다. 본 실시형태에서는, 절연층(103)을 배리어층으로서 형성하는 절연막으로 형성한다. 절연층(103)은, 두께 5 nm~200 nm의 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막으로 형성할 수 있다.

<219> 배리어층으로서 기능하는 이들 막은, 불순물의 확산을 방지하는 블로킹 효과가 높지만, 내부 응력이 높다. 그 때문에, 절연층(103)과 밀접하여 형성되는 절연층(104)은, 베피층(101)의 응력을 완화하는 효과가 있는 막을 형성하는 것이 바람직하다. 이와 같은 절연막에는, 산화규소막 및 산화질화규소막 등이 있다. 절연층(104)의 두께는 5 nm 이상 300 nm 이하로 할 수 있다. 절연층(104)의 상면은 접합면이 되기 때문에, 그의 평균 조도(Ra)가 0.7 nm 이하가 바람직하고, 0.4 nm 이하가 보다 바람직하다. 또한, 절연층(104)의 두께는 10 nm 이상 200 nm 이하로 할 수 있다. 바람직한 두께는 5 nm 이상 500 nm 이하이고, 보다 바람직하게는 10 nm 이상 200 nm 이하이다.

<220> 예를 들어, 절연층(103)은, 프로세스 가스에 SiH₄ 및, N₂O를 사용하여 PECVD법으로 형성한 산화질화규소막으로 형성할 수 있다. 또한, 절연층(104)으로서, 프로세스 가스에 유기 실란 가스와 산소를 사용하여, PECVD법으로 산화규소막을 형성할 수 있다.

<221> 예를 들어, PECVD법으로, 질화산화규소로 이루어지는 절연층(103), 산화질화규소로 이루어지는 절연층(104)을 형성하는 경우, 지지 기판(100)을 PECVD 장치의 체임버에 반입한다. 그리고, 절연층(103) 형성용의 프로세스 가스로서 SiH₄, N₂O, NH₃ 및 H₂ 및 N₂O를 체임버에 공급하고, 이 프로세스 가스의 플라즈마를 생성하여, 질화산화규소막을 단결정 반도체 기판(110) 위에 형성한다. 다음에, 체임버에 도입하는 가스를 절연층(104) 형성용의 프로세스 가스로 변경한다. 여기서는, SiH₄ 및 N₂O를 사용한다. 이들 혼합 가스의 플라즈마를 생성하여, 산화질화규소막 위에 질화산화규소막을 연속하여 형성한다. 또한, 다수의 체임버를 가지는 PECVD 장치를 사용하는 경우는, 산화질화규소막과 질화산화규소막을 다른 체임버에서 형성할 수도 있다. 물론, 체임버에 도입하는 가스를 변경함으로써, 하층에 산화규소막을 형성할 수도 있고, 상층에 질화규소막을 형성할 수도 있다.

<222> 상기와 같이 절연층(103)과 절연층(104)을 연속하여 형성함으로써, 스루풋 좋게, 다수의 지지 기판(100)에 베피층(101)을 형성할 수 있다. 또한, 대기에 접하지 않고, 절연층(103)과 절연층(104)을 형성할 수 있으므로, 절연층(103)과 절연층(104)의 계면이 대기에 의해 오염되는 것을 방지할 수 있다.

<223> 다음에, 도 9(A)~도 9(E)를 사용하여, 단결정 반도체 기판(110)을 처리하는 방법을 설명한다. 먼저, 실시형태 1과 마찬가지로, 단결정 반도체 기판(110)을 세정하여 청정하게 한다. 그리고, 도 9(A)에 나타내는 바와 같이, 단결정 반도체 기판(110)의 표면에 보호막(131)을 형성한다. 이온 조사 공정에서, 단결정 반도체 기판(110)이 금속 등의 불순물에 오염되는 것을 방지하고, 조사되는 이온의 충격으로 단결정 반도체 기판(110)의 표면이 손상되는 것을 방지하는 등의 목적을 위하여, 보호막(131)을 형성한다. 이 보호막(131)은, CVD법 등에 의하여, 산화규소막, 질화규소막, 질화산화규소막, 산화질화규소막 등의 절연 재료를 퇴적함으로써 형성할 수 있다. 또

한, 단결정 반도체 기판(110)을 산화 또는 질화함으로써, 보호막(131)을 형성할 수 있다. 예를 들어, 단결정 반도체 기판(110)을 산화하여, 산화막으로 이루어지는 보호막(131)을 형성하기 위해서는, 열산화 처리(건식 산화 처리, 수증기 산화 처리)나, 오존 첨가수에 의한 산화 처리를 행하면 좋다. 건식 산화 처리의 경우, 산화 분위기 중에 할로겐을 포함하는 가스를 첨가하는 것이 바람직하다. 할로겐을 포함하는 가스로서, HCl, HF, NF₃, HBr, Cl₂, ClF, BC1₃, F₂, Br₂ 등에서 선택된 1종류 또는 다수 종류의 가스를 사용할 수 있다.

<224> 다음에, 도 9(B)에 나타내는 바와 같이, 보호막(131)을 통하여, 전계로 가속된 이온으로 이루어지는 이온(121)을 단결정 반도체 기판(110)에 조사하여, 단결정 반도체 기판(110)의 표면으로부터 소정의 깊이의 영역에 손상 영역(115)을 형성한다. 이 공정은, 실시형태 1의 손상 영역(115)의 형성 공정과 마찬가지로 행할 수 있다.

<225> 손상 영역(115)을 형성한 후, 보호막(131)을 제거한다. 다음에, 도 9(C)에 나타내는 바와 같이, 단결정 반도체 기판(110)의 상면에 베퍼층(111)을 구성하는 절연층(119)을 형성한다. 절연층(119)은, 도 4(C)의 제2 절연층(114)과 마찬가지로 형성할 수 있다. 또한, 절연층(119)은 단결정 반도체 기판(110)을 산화 처리하여 형성할 수도 있다. 또한, 산화 처리의 프로세스 온도는, 손상 영역(115)에 첨가한 원소 또는 분자가 석출하지 않는 온도로 하고, 그 온도는 350°C 이하가 바람직하다. 이와 같은 저온의 산화 처리에는, 오존 첨가수에 의한 산화 처리, 플라즈마 처리 또는 고밀도 플라즈마 처리에 의한 산화 처리 등을 사용할 수 있다.

<226> 절연층(119)은, 평활하고 친수성의 접합면을 단결정 반도체 기판(110)의 표면에 형성하기 위한 층이다. 그 때문에, 절연층(119)의 평균 조도(Ra)는 0.7 nm 이하가 바람직하고, 0.4 nm 이하가 보다 바람직하다. 또한, 절연층(119)의 두께는 10 nm 이상 200 nm 이하로 할 수 있다. 바람직한 두께는 5 nm 이상 500 nm 이하이고, 보다 바람직하게는 10 nm 이상 200 nm 이하이다.

<227> 절연층(119)은, 화학적 기상 반응에 의하여 형성되는 절연막으로 형성할 수 있다. 예를 들어, 산화규소막, 산화질화규소막, 질화산화규소막, 질화규소막 등을 절연층(119)으로서 형성할 수 있다. 절연층(119)으로서, PECVD법으로 산화규소막을 형성하는 경우에는, 소스 가스에 유기 실란 가스 및 산소(O₂) 가스를 사용하는 것이 바람직하다. 소스 가스에 유기 실란을 사용함으로써, 프로세스 온도 350°C 이하에서, 평활한 표면을 가지는 산화규소막을 형성할 수 있다. 또한, 열 CVD법으로, 가열 온도 500°C 이하 200°C 이상에서 형성되는 LTO(저온 산화물, Low Temperature Oxide)로 형성할 수 있다. LTO의 형성에는, 실리콘 소스 가스에 모노실란(SiH₄) 또는 디실란(Si₂H₆) 등을 사용하고, 산소 소스 가스에 NO₂ 등을 사용할 수 있다.

<228> 예를 들어, 소스 가스에 TEOS와 O₂를 사용하여, 산화규소막으로 이루어지는 절연층(119)을 형성하기 위한 조건 예로서는, 체임버에, 유량 15 sccm으로 TEOS를 도입하고, 유량 750 sccm으로 O₂를 도입하고, 성막 압력은 100 Pa, 성막 온도는 300°C, RF 출력은 300 W, 전원 주파수는 13.56 MHz로 하는 예를 들 수 있다.

<229> 다음에, 손상 영역(115) 및 베퍼층(111)이 형성된 단결정 반도체 기판(110)과, 베퍼층(101)이 형성된 지지 기판(100)을 세정한다. 이 세정 공정은, 순수에 의한 초음파 세정으로 행할 수 있다. 초음파 세정은 메가헤르츠 초음파 세정(메가소닉 세정)이 바람직하다. 초음파 세정 후, 단결정 반도체 기판(110)과 지지 기판(100) 중의 한쪽 또는 양쪽 모두를 오존 첨가수로 세정하는 것은 바람직하다. 오존 첨가수로 세정함으로써, 유기물의 제거 와, 베퍼층(101) 및 베퍼층(111)의 친수성을 향상시키는 표면 활성화 처리를 행할 수 있다.

<230> 또한, 베퍼층(101) 및 베퍼층(111)의 표면 활성화 처리는, 오존 첨가수에 의한 세정 외에, 원자 빔 또는 이온 빔의 조사 처리, 플라즈마 처리, 또는 라디칼 처리로 행할 수 있다. 원자 빔 또는 이온 빔의 조사 처리를 행하는 경우에는, 아르곤 등의 희가스 중성 원자 빔 또는 희가스 이온 빔을 사용할 수 있다.

<231> 도 9(D)는 접합 공정을 설명하는 단면도이다. 이 접합 공정은, 도 4(D)의 접합 공정과 마찬가지로 실시할 수 있다. 베퍼층(101) 및 베퍼층(111)을 사이에 두고 지지 기판(100)과 단결정 반도체 기판(110)을 밀접시킴으로써, 베퍼층(101)의 표면과 베퍼층(111)의 표면을 접합시켜, 지지 기판(100)에 단결정 반도체 기판(110)을 고정 한다.

<232> 지지 기판(100)에 단결정 반도체 기판(110)을 부착시킨 후, 베퍼층(101)과 베퍼층(109)과의 접합 계면에서의 결합력을 증가시키기 위한 가열 처리를 행하는 것이 바람직하다. 이 처리 온도는, 손상 영역(115)에 균열을 발생 시키지 않는 온도로 하여, 200°C 이상 450°C 이하의 온도 범위에서 처리할 수 있다.

<233> 다음에, 가열 처리를 행하여, 손상 영역(115)에서 박리를 일으켜 단결정 반도체 기판(110)으로부터 단결정 반도체층(117)을 분리한다. 도 9(E)는, 단결정 반도체 기판(110)으로부터 단결정 반도체층(117)을 분리하는 분리

공정을 설명하는 도면이다. 이 공정은, 도 4(D)의 분리 공정과 마찬가지로 행할 수 있다.

<234> 가열 처리를 행함으로써, 손상 영역(115)의 미소한 구멍에 체적 변화가 일어나, 손상 영역(115)에 균열이 생기므로, 손상 영역(115)을 따라 단결정 반도체 기판(110)이 벽개되고, 지지 기판(100) 위에는, 도 9(E)에 나타내는 바와 같이, 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(117)이 지지 기판(100)에 고정된다.

<235> 다음에, 도 10(A)에 나타내는 바와 같이, 지지 기판(100)에 밀착된 단결정 반도체층(117)에 레이저 빔(122)을 조사한다. 이 레이저 조사 공정은 도 5(A)의 레이저 조사 공정과 마찬가지로 행할 수 있다. 단결정 반도체층(117)을 가열하면서, 또한, 레이저 빔(122)을 단결정 반도체층(117)에 대하여 주사하면서, 레이저 빔(122)을 단결정 반도체층(117)의 분리면의 전면에 조사한다.

<236> 레이저 빔(122)을 조사하면, 단결정 반도체층(117)이 레이저 빔(122)을 흡수하여, 레이저 빔(122)이 조사된 부분이 온도 상승하여 용융한다. 지지 기판(100)이 이동함으로써, 레이저 빔(122)의 조사 영역이 이동하기 때문에, 단결정 반도체층(117)의 용융 부분의 온도가 내려가고, 이 용융 부분은 응고하여 재단결정화하고, 재단결정화된 단결정 반도체층(112)이 형성된다.

<237> 레이저 빔(122)을 조사할 때에, 지지 기판(100)에 고정된 단결정 반도체층(117)을 가열하여, 단결정 반도체층(117)의 온도를 상승시킨다. 가열 온도는 250°C 이상 지지 기판(100)의 왜곡점 이하로 할 수 있다. 가열 온도는 400°C 이상이 바람직하고, 450°C 이상이 보다 바람직하다. 구체적으로는, 가열 온도는, 400°C 이상 670°C 이하가 바람직하고, 450°C 이상 650°C 이하가 보다 바람직하다.

<238> 단결정 반도체층을 가열함으로써, 단결정 반도체층 중의 댱글링 본드나, 단결정 반도체층과 하지막과의 계면의 결합 등의 마이크로 결함을 제거할 수 있어, 보다 좋은 단결정 반도체층을 얻을 수 있다. 전위 등의 결정 결합이나, 댱글링 본드 등의 마이크로 결정 결합이 적은 단결정 반도체층(112)이 고정된 반도체 기판(30)으로부터, 높은 온 전류, 높은 전계효과 이동도의 트랜지스터를 형성할 수 있다.

<239> 또한, 단결정 반도체층(117)에 접하는 절연층(119)에 할로겐을 포함시켜 둠으로써, 레이저 빔의 조사에, 그 절연막도 가열되기 때문에, 절연막으로부터 할로겐이 확산하여, 재단결정화된 단결정 반도체층(112)과 절연층(119)의 계면에 할로겐을 편석시킬 수 있다. 할로겐을 단결정 반도체층(112)과 절연층(119)과의 계면에 편석시킴으로써, 할로겐에 의해 이 계면에 존재하는 나트륨 등의 가동 이온을 포획할 수 있다. 따라서, 지지 기판(100)에 유리 기판을 사용하는 경우는, 할로겐을 포함한 절연층(119)의 형성, 및 가열하면서의 레이저 빔의 조사 처리는, 단결정 반도체층(112)의 나트륨 등에 의한 불순물 오염을 방지하기에 매우 효과적이다.

<240> 또한, 베퍼층(111)을 2층 구조로 하는 경우, 단결정 반도체층(117)에 접하여, 할로겐을 포함하는 절연층을 형성하고, 이 절연층에 접하여, 불순물의 블로킹 효과가 높은 배리어층이 되는 절연층을 형성하는 것은, 단결정 반도체층(112)과 베퍼층(111)의 계면에 편석되는 할로겐의 농도를 높이는 것에 효과적이다. 그것은, 배리어층 중에는 할로겐이 확산하기 어렵기 때문에, 보다 많은 할로겐이 단결정 반도체층(112)측으로 확산하기 때문이다. 이러한 배리어층으로서 기능하는 절연막으로서는, 질화규소막, 질화산화규소막이 있다.

<241> 이와 같은 2층 구조의 베퍼층(111)을 형성하기 위해서는, 예를 들어, NF₃에 의한 플라즈마 클리닝을 행한 후의 PECVD 장치의 체임버에서, 산화질화규소막 또는 산화규소막을 단결정 반도체 기판(110) 위에 형성한 후, 질화산화규소막 또는 질화규소막을 연속하여 형성하는 방법이 있다. 2 종류의 절연막을 연속하여 형성하기 위해서는, 체임버 내에 공급하는 막 형성용의 프로세스 가스를 변경함으로써 실현할 수 있다.

<242> 또한, 단결정 반도체층(117)에 레이저 빔(122)을 조사하기 전에, 단결정 반도체층(117)을 에칭할 수 있다. 이 에칭에 의하여, 단결정 반도체층(117)의 분리면에 남아 있는 손상 영역(115)을 제거하는 것이 바람직하다. 손상 영역(115)을 제거함으로써, 레이저 빔(122)의 조사에 의한 표면 평탄화의 효과 및 결정성 회복의 효과를 높일 수 있다.

<243> 이 에칭에는, 건식 에칭법 또는 습식 에칭법을 이용할 수 있다. 건식 에칭법에서는, 에칭 가스에, 염화붕소, 염화규소 또는 4염화탄소 등의 염화물 가스, 염소 가스, 불화유황, 불화질소 등의 불화물 가스, 산소 가스 등을 사용할 수 있다. 습식 에칭법에서는, 에칭액에 TMAH 용액을 사용할 수 있다.

<244> 단결정 반도체층(117)에 레이저 빔(122)을 조사한 후, 단결정 반도체층(112)을 에칭하여 박막화하여도 좋다. 단결정 반도체층(112)의 두께는, 단결정 반도체층(112)으로부터 형성되는 소자의 특성에 맞추어 결정할 수 있다. 지지 기판(100)에 부착된 단결정 반도체층(112)의 표면에, 얇은 게이트 절연층을 단차 피복성 좋게 형성하기 위해서는, 단결정 반도체층(112)의 두께는 50 nm 이하로 하는 것이 바람직하고, 그 두께는 50 nm 이하 5

nm 이상으로 하면 좋다.

<245> 단결정 반도체층(112)을 박막화하기 위한 에칭에는, 건식 에칭법 또는 습식 에칭법을 이용할 수 있다. 건식 에칭법에서는, 에칭 가스에, 염화붕소, 염화규소 또는 4염화탄소 등의 염화물 가스, 염소 가스, 불화유황, 불화질소 등의 불화물 가스, 산소 가스 등을 사용할 수 있다. 습식 에칭법에서는, 에칭액에 TMAH 용액을 사용할 수 있다.

<246> 도 9(A)로부터 도 10(B)까지의 공정을 700°C 이하의 온도로 행할 수 있기 때문에, 지지 기판(100)에 내열 온도가 700°C 이하인 유리 기판을 사용하는 것이 가능하다. 따라서, 저렴한 유리 기판을 사용할 수 있기 때문에, 반도체 기판(30)의 재료 비용을 저감할 수 있다.

<247> 실시형태 1의 반도체 기판(10)(도 1 참조)과 달리, 본 실시형태의 반도체 기판(30)은, 지지 기판(100)의 표면이 베퍼층(101)으로 덮여 있다. 따라서, 반도체 기판(30)의 베퍼층(101)에 배리어층을 마련함으로써, 반도체 기판(10)보다도, 단결정 반도체층(112)의 오염을 방지하는 효과를 높일 수 있다.

<248> 또한, 본 실시형태의 방법을 이용하여 1장의 지지 기판(100)에 다수의 단결정 반도체층(112)을 부착할 수도 있다. 도 8에 나타내는 바와 같이, 베퍼층(101)을 형성한 지지 기판(100)을 준비한다. 베퍼층(101)에는, 배리어층으로서 기능하는 층을 포함시키는 것이 바람직하다. 또한, 도 9(A)~도 9(C)까지의 공정을 반복하여, 베퍼층(111) 및 손상 영역(115)이 형성된 단결정 반도체 기판(110)을 다수장 준비한다. 그리고, 베퍼층(101)이 형성된 지지 기판(100)에 도 9(C)의 구조의 단결정 반도체 기판(110)을 다수장 부착한다. 다음에, 도 9(E)~도 10(B)의 공정을 행함으로써, 도 7에 나타내는 바와 같이, 다수의 단결정 반도체층(112)이 부착된 지지 기판(100)으로 이루어지는 반도체 기판(40)을 제조할 수 있다.

<249> 반도체 기판(40)을 제조하기 위해서는, 지지 기판(100)에 300 mm×300 mm 이상의 유리 기판을 사용하는 것이 바람직하다. 대면적 유리 기판으로서, 액정 패널의 제조용으로 개발된 마더 유리 기판이 매우 적합하다. 마더 유리 기판으로서는, 예를 들어, 제3 세대(550 mm×650 mm), 제3.5 세대(600 mm×720 mm), 제4 세대(680 mm×880 mm, 또는 730 mm×920 mm), 제5 세대(1100 mm×1300 mm), 제6 세대(1500 mm×1850 mm), 제7 세대(1870 mm×2200 mm), 제8 세대(2200 mm×2400 mm) 등의 사이즈의 기판이 알려져 있다.

<250> 마더 유리 기판과 같은 대면적 기판을 지지 기판(100)으로서 사용함으로써, SOI 기판의 대면적화를 실현할 수 있다. SOI 기판의 대면적화가 실현되면, 1장의 SOI 기판으로부터 다수의 IC, LSI 등의 칩을 제조할 수 있고, 1장의 기판으로부터 제조되는 칩수가 증가하므로, 생산성을 비약적으로 향상시킬 수 있다.

<251> 도 7의 반도체 기판(40)의 지지 기판이 유리 기판과 같은 휙기 쉽고 부서지기 쉬운 지지 기판인 경우, 1장의 지지 기판에 부착된 다수의 단결정 반도체층(117)을 연마 처리로 평탄화하는 것은 매우 곤란하다. 본 실시형태에서는, 이 평탄화 처리를 레이저 빔(122)의 조사 처리로 행하기 때문에, 지지 기판(100)을 파괴시키는 것과 같은 힘을 가하지 않고, 또한, 왜곡점을 넘는 온도로 지지 기판(100)을 가열하지 않고, 1장의 지지 기판(100)에 고정된 단결정 반도체층(117)의 평탄화를 가능하게 한다. 즉, 레이저 빔의 조사 처리는, 도 7과 같은 다수의 단결정 반도체층(112)을 고정한 반도체 기판(40)의 제조 공정에서는 매우 중요한 처리이다.

<252> [실시형태 3]

<253> 본 실시형태에서는, 단결정 반도체층을 가열하면서 레이저 빔을 조사하기 위한 레이저 조사 장치에 대하여 설명한다. 도 11은 레이저 조사 장치의 구성의 일례를 설명하는 도면이다.

<254> 도 11에 나타내는 바와 같이, 레이저 조사 장치는, 레이저 빔(300)을 발진하는 레이저 발진기(301)와, 피처리물(302)을 배치하는 스테이지(303)를 가진다. 레이저 발진기(301)에는 콘트롤러(304)가 접속되어 있다. 콘트롤러(304)의 제어에 의하여, 레이저 발진기(301)로부터 발진하는 레이저 빔(300)의 에너지나 반복 주파수 등을 변화시킬 수 있다. 또한, 스테이지(303)에는, 저항 가열 장치 등의 가열 장치가 설치되어, 피처리물(302)을 가열 할 수 있도록 되어 있다.

<255> 스테이지(303)는 체임버(306) 내부에서 이동 가능하게 설치되어 있다. 화살표(307)는 스테이지(303)의 이동 방향을 나타내는 화살표이다.

<256> 체임버(306)의 벽에는, 레이저 빔(300)을 체임버(306) 내부로 인도하기 위한 창(308)이 설치되어 있다. 창(308)은 석영 등의 레이저 빔(300)에 대한 투과율이 높은 재료로 형성된다. 또한, 체임버(306)의 내부의 분위기를 제어하기 위해, 기체 공급 장치에 접속되는 기체 공급구(309), 및 배기 장치에 연결된 배기구(310)가

각각, 체임버(306)에 설치되어 있다.

<257> 레이저 발진기(301)와 스테이지(303) 사이에는, 렌즈나 미러 등을 포함하는 광학계(311)가 배치되어 있다. 광학계(311)는 체임버(306) 외부에 설치되어 있다. 레이저 발진기(301)로부터 사출된 레이저 빔(300)은 광학계(311)에 의하여 그의 에너지 분포가 균일화되고, 또한, 그의 단면 형상이 선형 또는 사각형 형상으로 성형된다. 광학계(311)를 통과한 레이저 빔(300)은 창(308)을 통하여 체임버(306) 내부에 입사하여, 스테이지(303) 위의 피처리물(302)에 조사된다. 스테이지(303)의 가열 장치에 의해 피처리물(302)을 가열하고, 또한, 스테이지(303)를 이동시키면서, 레이저 빔(300)을 피처리물(302)에 조사한다. 또한, 기체 공급구(309)로부터 질소 가스 등의 불활성 기체를 공급함으로써, 불활성 기체 분위기에서의 레이저 빔(300)의 조사를 행할 수 있다.

<258> 대형의 지지 기판(100)을 사용한 경우는, 레이저 빔 조사의 처리 시간을 단축하기 위해, 1 쇼트의 레이저 빔의 조사 영역의 길이(L)를 길게 하고, 대면적 기판을 한 방향으로 이동시킴으로써 레이저 빔의 조사를 완료시키는 것이 바람직하다. 도 12(A)에, 이와 같이 대면적 기판을 처리하기 위한 레이저 조사 장치의 구성의 일례를 나타낸다. 도 12(A)는 레이저 조사 장치의 주요부를 나타내는 단면도이다. 이 레이저 조사 장치는, 체임버 내에 다수의 스테이지를 가지고, 스테이지에 설치된 유출 구멍으로부터 가열된 질소 가스를 내뿜어 기판을 부상시켜 반송하는 수단을 가진다. 또한, 도 12(A)에는 체임버를 도시하지 않는다. 또한, 도 13은 도 12(A)의 레이저 조사 장치의 주요부를 나타내는 사시도이다.

<259> 광학계(311) 등을 조절함으로써, 1회의 쇼트의 조사 면적도 확대할 수 있다. 1회의 쇼트의 조사 면적도 확대할 수 있다면, 1장 당의 레이저 조사 처리에 걸리는 시간을 단축할 수도 있다. 여기서는, 레이저 발진기(301)가 출력할 수 있는 에너지를 최대한으로 이용하여 레이저 빔의 조사 영역의 길이(L)를 길게 한다.

<260> 레이저 조사 시, 대면적 기판(1405)과 레이저 빔의 조사 영역(1411)과 단결정 반도체층(1406)과의 위치 관계를 설명하는 상면도를 도 12(B)에 나타낸다. 도 12(B)에 나타내는 바와 같이, 레이저 빔(300)의 조사 영역의 길이(L)는, 6개 나란히 배치한 단결정 반도체층(1406)의 1번의 길이의 합계보다 길다. 또한, 대면적 기판(1405)의 폭은 W로 나타내고 있다. 또한, 대면적 기판의 폭(W)과 직교하는 방향에서의 레이저 빔의 조사 영역을 레이저 빔의 폭이라고 부른다. 여기서는 대면적 기판(1405)의 사이즈를 600 mm×720 mm로 하고, 1장의 기판에 24개의 단결정 반도체층(1406)을 배치하고 있는 예이다. 단결정 반도체층(1406)은 각각 실리콘 웨이퍼로부터 분리한 층이다.

<261> 체임버 내의 산소 농도 및 수분 농도는 모두 30 ppm 이하, 바람직하게는 30 ppb 이하로 한다. 따라서, 체임버(반응 용기) 내의 산소나 H₂O 등의 가스의 잔류를 극력 저감하기 위해, 도달 최저 압력을 $1 \times 10^{-7} \sim 1 \times 10^{-10}$ Torr(약 1×10^{-5} Pa 이상 1×10^{-8} Pa)의 초고진공(UHV) 영역으로 낮춘 후, 극저 산소 분압 N₂ 가스 발생 장치를 사용하여 높은 순도의 질소 가스를 흘려, 체임버 내를 질소 분위기로 한다. 또한, 높은 순도의 질소 가스를 체임버 밖으로 배기한 후, 다시 체임버 내로 순환시키는 기구를 설치하여도 좋다.

<262> 체임버 내의 진공도를 10^{-5} Pa보다 낮게 하는 초고진공 배기를 행하는 경우, 크라이오펌프를 병용하여, 터보 분자 펌프에 의한 배기를 행하고, 또한, 크라이오펌프를 사용하여 진공 배기하는 것이 바람직하다.

<263> 체임버의 내벽을 경면(鏡面) 가공하고, 내벽으로부터의 가스 방출을 저감하기 위하여 베이킹(baking)용의 히터를 설치하여도 좋다. 체임버를 베이킹(200°C ~ 300°C)하여 체임버 내에 존재하는 수분을 주성분으로 하는 잔류 가스를 없애는 것이 바람직하다.

<264> 기체 저장 장치(1430)에 저장되어 있는 질소 가스가 튜브(1429)에 설치된 밸브를 통하여 극저 산소 분압 N₂ 가스 발생 장치(1428)에 공급한다. 그리고, 극저 산소 분압 N₂ 가스 발생 장치(1428)로부터 튜브(1427)와 기체 가열 장치(1426)와 튜브(1425)를 통하여 스테이지(1401)의 다수의 유출 구멍(1412)에 공급된다. 극저 산소 분압 N₂ 가스 발생 장치(1428)에서는, 질소 가스의 유량, 압력이 조절되고, 대면적 기판(1405)이 부상하도록 질소 가스를 공급한다.

<265> 또한, 레이저 조사 영역과 겹치지 않도록 2개의 스테이지(1401, 1402)의 간격이 띄어져 있고, 레이저 빔이 조사되어 스테이지가 가열되지 않도록 설치되어 있다. 또한, 스테이지(1402)에도 마찬가지로 다수의 유출 구멍(1412)이 설치되어 있다. 또한, 기체 저장 장치(1420)에 저장되어 있는 질소 가스가 튜브(1419)에 설치된 밸브를 통하여 극저 산소 분압 N₂ 가스 발생 장치(1418)에 공급된다. 그리고, 극저 산소 분압 N₂ 가스 발생 장치

(1418)에서, 질소 가스의 산소 농도가 저감된다. 극저 산소 분압 N₂ 가스 발생 장치(1418)에서 처리된 질소 가스는, 튜브(1417)와 기체 가열 장치(1416)와 튜브(1415)를 통하여, 스테이지(1402)의 다수의 유출 구멍(1412)에 공급된다.

<266> 체임버 내의 산소 농도 및 수분 농도는 모두 30 ppm 이하, 바람직하게는 30 ppb 이하로 하기 때문에, 다수의 유출 구멍(1412)으로부터 유출되는 질소 가스도 고순도의 가스를 사용하는 것이 바람직하다. 또한, 도 12(A)에서 는 스테이지의 하방에 기체 가열 장치나 기체 저장 장치 등을 도시하고 있지만, 설명을 위한 일례이고, 특별히 한정되지 않으며, 각 튜브를 연장시킴으로써 다른 장소에 설치할 수 있다는 것은 말할 필요도 없다.

<267> 2개의 스테이지(1401, 1402)에 설치된 다수의 유출 구멍(1412)에 의해 기판을 부상시켜, 화살표(307)로 나타낸 방향으로 대면적 기판(1405)을 반송할 수 있다.

<268> 또한, 레이저 조사 장치의 다른 구성요소에 관해서는 도 11과 같은 구성이기 때문에, 여기서는 설명을 생략한다.

<269> 도 13에 나타내는 바와 같이, 스테이지(1402)에는, 배기 구멍(1404)이 설치되고, 배기 구멍(1404)으로부터 배기하는 유량을 조절하는 유량 조절기(도시하지 않음)가 설치되어 있다. 또한, 유출 구멍은 스테이지의 중앙부보다도 단부에 많이 형성함으로써, 기판의 힘을 방지하고 있다.

<270> 도 13 중에 나타내는 레이저 조사 수단은, 레이저 발진기(301), 호모지나이저(homogenizer)가 설치되어 있는 광학 장치(1407), 반사경(1408), 더블렛(doublet) 렌즈(1409a), 및 더블렛 렌즈(1409b)를 가진다. 또한, 일반적으로 레이저 빔의 에너지 분포를 균일화시키는 것을 호모지나이즈(homogenize)라고 하고, 호모지나이즈하는 광학계를 호모지나이저라고 한다. 레이저 발진기(301)로부터 사출된 레이저 빔은, 구면(球面) 렌즈에 의해 확대된다. 또한, 구면 렌즈는, 레이저 발진기(301)로부터 나오는 빔 형상이 충분히 큰 경우에는 필요없다. 다음에, 레이저 빔이 실린드리컬 렌즈 어레이에 의해 선형 스롯의 긴 변(장축) 방향으로 분할된다. 그 후, 실린드리컬 렌즈 어레이의 후방에 놓여진 실린드리컬 렌즈에 의하여, 레이저 빔은 대면적 기판(1405)에서 하나로 합성됨으로써, 대면적 기판(1405)에는, 빔 형상이 선형인 레이저 빔이 조사된다. 또한, 이것에 의하여, 대면적 기판(1405)의 표면에서, 빔 형상의 긴 변 방향의 에너지 분포의 균일화(장축 호모지나이즈)가 이루어져 긴 변 방향의 길이가 결정된다.

<271> 도 12(A) 및 도 13에 나타내는 제조장치를 사용함으로써, 단시간에 레이저 조사 처리를 행할 수 있다.

[실시형태 4]

<273> 단결정 반도체층이 분리된 단결정 반도체 기판은 재생 처리하여, 단결정 반도체 기판(110)으로서 재이용할 수 있다. 본 실시형태에서는, 재생 처리 방법에 대하여 설명한다. 본 실시형태에서는, 실시형태 1에서 사용된 단결정 반도체 기판(118)을 예로 하여 재생 처리 방법을 설명한다.

<274> 도 4(E)에 나타내는 바와 같이, 단결정 반도체 기판(118)의 주위에는, 지지 기판(100)에 부착되지 않았던 부분이 남아 있다. 이 부분에, 지지 기판(100)에 부착되지 않았던 제1 절연층(113b), 제1 절연층(113a) 및 제2 절연층(114)이 남아 있다.

<275> 먼저, 제1 절연층(113b), 제1 절연층(113a) 및 제2 절연층(114)을 제거하는 에칭 처리를 행한다. 예를 들어, 이를 막이 산화규소, 산화질화규소, 또는 질화산화규소 등으로 형성되어 있는 경우, 불화수소 수용액(불산)을 사용한 습식 에칭 처리에 의해, 제1 절연층(113b), 제1 절연층(113a) 및 제2 절연층(114)을 제거할 수 있다.

<276> 다음에, 단결정 반도체 기판(118)을 에칭 처리하여, 그 주위의 볼록부 및 단결정 반도체층(117)의 분리면을 제거한다. 단결정 반도체 기판(118)의 에칭 처리는 습식 에칭 처리가 바람직하고, 에칭액에 수산화테트라메틸암모늄(tetramethylammonium hydroxide, 약칭: TMAH) 용액을 사용할 수 있다.

<277> 단결정 반도체 기판(118)을 에칭 처리한 후, 그의 표면을 연마하여, 표면을 평탄화한다. 연마 처리에는, 기계 연마 또는 화학 기계 연마(Chemical Mechanical Polishing, 약칭: CMP) 등을 사용할 수 있다. 단결정 반도체 기판의 표면을 평활하게 하기 위하여, 1 μm~10 μm 정도 연마하는 것이 바람직하다. 연마 후에는, 단결정 반도체 기판 표면에 연마 입자 등이 남기 때문에, 불산 세정이나 RCA 세정을 행한다.

<278> 이상의 공정을 거침으로써 단결정 반도체 기판(118)을 도 3에 나타내는 단결정 반도체 기판(110)으로서 재이용할 수 있다. 단결정 반도체 기판(118)을 재이용함으로써, 반도체 기판(10)의 재료 비용을 낙감할 수 있다.

<279> 실시형태 2의 반도체 기판(30) 및 반도체 기판(40)의 제조에 사용된 단결정 반도체 기판(118)도, 마찬가지로 재

생 처리할 수 있다.

<280> [실시형태 5]

<281> 본 실시형태에서는, 본 발명에 따른 반도체 기판을 사용한 반도체장치 및 그의 제조방법에 대하여 설명한다. 본 실시형태에서는, 본 발명에 따른 반도체 기판을 사용한 반도체장치의 일례로서 트랜지스터에 대하여 설명한다. 다수의 트랜지스터를 조합함으로써, 각종의 반도체장치가 형성된다. 이하, 도 14~도 16의 단면도를 사용하여 트랜지스터의 제조방법을 설명한다. 또한, 본 실시형태에서는, n채널형 트랜지스터와 p채널형 트랜지스터를 동시에 제조하는 방법을 설명한다.

<282> 반도체 기판을 준비한다. 본 실시형태에서는, 도 1의 반도체 기판(10)을 사용한다. 즉, 절연 표면을 가지는 지지 기판(100) 위에 베피층(111)을 사이에 두고 단결정 반도체층(112)이 고정된 반도체 기판을 사용한다. 또한, 트랜지스터를 제조하는 반도체 기판은, 도 1의 구성에 한정되는 것은 아니고, 본 발명에 따른 반도체 기판을 사용할 수 있다.

<283> 도 14(A)에 나타내는 바와 같이, 지지 기판(100) 위의 단결정 반도체층(112)을 예칭에 의해 소망의 형상으로 가공함으로써(패터닝함으로써), 단결정 반도체층(603)과 단결정 반도체층(604)을 형성한다. 단결정 반도체층(603)으로부터 p형 트랜지스터가 형성되고, 단결정 반도체층(604)으로부터 n형 트랜지스터가 형성된다.

<284> 단결정 반도체층(603)과 단결정 반도체층(604)에는, 스레시홀드 전압을 제어하기 위해, 붕소, 알루미늄, 갈륨 등의 p형 불순물, 또는 인, 비소 등의 n형 불순물 원소가 첨가되어 있어도 좋다. 예를 들어, p형을 부여하는 불순물 원소로서 붕소를 첨가하는 경우, $5 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{17} \text{ cm}^{-3}$ 이하의 농도로 첨가하면 좋다. 스레시홀드 전압을 제어하기 위한 불순물의 첨가는, 단결정 반도체층(112)에 대하여 행하여도 좋고, 단결정 반도체층(603)과 단결정 반도체층(604)에 대하여 행하여도 좋다. 또한, 스레시홀드 전압을 제어하기 위한 불순물의 첨가를, 단결정 반도체 기판(110)에 대하여 행하여도 좋다. 또는, 단결정 반도체 기판(110)에 불순물을 첨가한 후, 또한 스레시홀드 전압을 미(微)조정하기 위해, 단결정 반도체층(112)에 불순물을 첨가하여도 좋다. 또는, 단결정 반도체층(112)으로부터 단결정 반도체층(603) 및 단결정 반도체층(604)을 형성한 후, 단결정 반도체층(603)과 단결정 반도체층(604)에 불순물 원소를 첨가하여도 좋다.

<285> 예를 들어, 단결정 반도체 기판(110)에 약한 p형의 단결정 규소 기판을 사용한 경우를 예로 하여, 이 불순물 원소의 첨가 방법의 일례를 설명한다. 먼저, 단결정 반도체층(112)을 예칭하기 전에, 단결정 반도체층(112) 전체에 붕소를 첨가한다. 이 붕소의 첨가는, p형 트랜지스터의 스레시홀드 전압을 조절하는 것을 목적으로 한다. 도편트 가스에 B_2H_6 를 사용하고, $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ 의 농도로 붕소를 첨가한다. 붕소의 농도는, 활성화율 등을 고려하여 결정된다. 예를 들어, 붕소의 농도는 $6 \times 10^{16} / \text{cm}^3$ 로 할 수 있다. 다음에, 단결정 반도체층(112)을 예칭하여, 단결정 반도체층(603, 604)을 형성한다. 그리고, 단결정 반도체층(604)에만 붕소를 첨가한다. 이 두번째의 붕소 첨가는, n형 트랜지스터의 스레시홀드 전압을 조절하는 것을 목적으로 한다. 도편트 가스에 B_2H_6 를 사용하고, $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ 의 농도로 붕소를 첨가한다. 예를 들어, 붕소의 농도는 $6 \times 10^{16} / \text{cm}^3$ 로 할 수 있다.

<286> 또한, 단결정 반도체 기판(110)에, p형 트랜지스터 또는 n형 트랜지스터의 한쪽의 스레시홀드 전압에 적합한 도전형 및 저항을 가지는 기판을 사용할 수 있는 경우에는, 스레시홀드 전압 제어를 하기 위한 불순물 첨가의 공정을 1회로 할 수 있고, 단결정 반도체층(603)과 단결정 반도체층(604) 중의 한쪽에 스레시홀드 전압 제어를 위한 불순물 원소를 첨가하면 좋다.

<287> 다음에, 도 14(B)에 나타내는 바와 같이, 단결정 반도체층(603)과 단결정 반도체층(604)을 덮도록 게이트 절연층(606)을 형성한다. 게이트 절연층(606)의 형성은, 프로세스 온도가 350°C 이하이고, PECVD법에 의해 산화규소막, 산화질화규소막, 질화산화규소막 또는 질화규소막 등을 1층 또는 2층 이상 적층하여 형성함으로써 행할 수 있다. 또한, 고밀도 플라즈마 처리를 행함으로써 단결정 반도체층(603)과 단결정 반도체층(604)의 표면을 산화 또는 질화함으로써 형성한 산화물막 또는 질화물막을 게이트 절연층(606)으로 할 수 있다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소, 암모니아, 질소, 또는 수소 등의 가스와의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파에 의해 행함으로써, 낮은 전자 온도로 고밀도의 플라즈마를 생성할 수 있다. 이와 같은 고밀도의 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체막의 표면을 산화

또는 질화함으로써, 1~20 nm, 바람직하게는 5~10 nm의 절연막이 반도체막에 접하도록 형성된다. 따라서, 두께 5~10 nm의 얇은 절연막을 게이트 절연층(606)으로서 사용할 수 있다.

<288> 다음에, 도 14(C)에 나타내는 바와 같이, 게이트 절연층(606) 위에 도전막을 형성한 후, 이 도전막을 소정의 형상으로 가공(페터닝)함으로써, 단결정 반도체층(603)과 단결정 반도체층(604)의 상방에 전극(607)을 형성한다. 도전막의 형성에는 CVD법, 스퍼터링법 등을 이용할 수 있다. 도전막은, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등으로 이루어지는 막을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 또는, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정 규소 등의 반도체막으로 도전막을 형성하여도 좋다.

<289> 또한, 본 실시형태에서는 전극(607)을 단층의 도전막으로 형성하고 있지만, 본 실시형태는 이 구성에 한정되는 것은 아니다. 전극(607)은 적층된 다수의 도전막으로 형성되어 있어도 좋다. 전극(607)을 2층 구조로 하는 경우, 2개의 도전막의 조합으로서, 첫번째 층에 질화탄탈막 또는 탄탈(Ta)막을, 두번째 층에 텅스텐(W)막을 사용할 수 있다. 상기 예 외에, 질화텅스텐막과 텅스텐막, 질화몰리브덴막과 몰리브덴막, 알루미늄막과 탄탈막, 알루미늄막과 티탄막, n형을 부여하는 불순물을 포함하는 실리콘막과 니켈 실리사이드막, n형을 부여하는 불순물을 포함하는 실리콘막과 텅스텐 실리사이드막 등을 들 수 있다. 텅스텐막이나 질화탄탈막은 내열성이 높기 때문에, 2층의 도전막을 형성한 후의 공정에서 열 활성화를 목적으로 한 가열 처리를 행할 수 있다.

<290> 또한, 전극(607)을 3층 구조로 하는 경우는, 몰리브덴막과 알루미늄막과 몰리브덴막과의 적층막을 채용하면 좋다.

<291> 또한, 도전막을 에칭하여 전극(607)을 형성하는 경우, 에칭에 사용하는 마스크로서, 레지스트 대신에 산화규소막, 질화산화규소막 등을 사용하여도 좋다. 이 경우, 산화규소막, 질화산화규소막 등을 에칭하는 공정이 더해지지만, 에칭 시에 있어서의 마스크의 막 감소가 레지스트보다 적기 때문에, 소망의 폭을 가지는 전극(607)을 형성하는 것이 용이하게 된다. 또한, 마스크를 사용하지 않고, 액적 토출법을 이용하여 선택적으로 전극(607)을 형성하여도 좋다.

<292> 또한, 액적 토출법이란, 소정의 조성물을 포함하는 액적을 세공(細孔)으로부터 토출 또는 분출함으로써 소정의 패턴을 형성하는 방법을 의미하고, 잉크젯법 등이 그 범주에 포함된다.

<293> 또한, 도전막의 에칭 방법으로서, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용하는 것이 바람직하다. 그것은, 에칭 조건(코일형 전극층에 인가되는 전력량, 기판측의 전극층에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절함으로써, 소망의 테이퍼 형상을 가지도록 에칭할 수 있기 때문이다. 또한, 마스크의 형상에 따라서도, 그 테이퍼 형상의 각도 등을 제어할 수 있다. 또한, 에칭용 가스로서는, 염소, 염화붕소, 염화규소 및 4염화탄소 등의 염소계 가스, 4불화탄소, 불화유황 및 불화질소 등의 불소계 가스, 또는 산소를 적절히 사용할 수 있다.

<294> 다음에, 도 14(D)에 나타내는 바와 같이, 전극(607)을 마스크로 하여, 일 도전형을 부여하는 불순물 원소를 단결정 반도체층(603) 및 단결정 반도체층(604)에 첨가한다. 본 실시형태에서는, 단결정 반도체층(603)에 p형을 부여하는 불순물 원소(예를 들어, 봉소)를 첨가하고, 단결정 반도체층(604)에 n형을 부여하는 불순물 원소(예를 들어, 인 또는 비소)를 첨가한다. 이 공정은, 단결정 반도체층(603)에 소스 영역 또는 드레인 영역이 되는 불순물 영역을 형성하고, 단결정 반도체층(604)에 고저항 영역으로서 기능하는 불순물 영역을 형성하기 위한 공정이다.

<295> 또한, p형을 부여하는 불순물 원소를 단결정 반도체층(603)에 첨가할 때에는, p형을 부여하는 불순물 원소가 첨가되지 않도록, 단결정 반도체층(604)은 마스크 등으로 덮는다. 한편, n형을 부여하는 불순물 원소를 단결정 반도체층(604)에 첨가할 때에는, n형을 부여하는 불순물 원소가 첨가되지 않도록, 단결정 반도체층(603)은 마스크 등으로 덮는다. 또는, 먼저 단결정 반도체층(603) 및 단결정 반도체층(604)에 p형을 부여하는 불순물 원소와 n형을 부여하는 불순물 원소 중의 어느 한쪽을 첨가한 후, 한쪽의 반도체막에만, 먼저 첨가한 불순물 원소와 반대의 도전형을 부여하는 불순물 원소를 보다 고농도로 첨가하도록 해도 좋다. 이 불순물의 첨가 공정에 의하여, 단결정 반도체층(603)에 p형의 고농도 불순물 영역(608)이 형성되고, 단결정 반도체층(604)에는, n형의 저농도 불순물 영역(609)이 형성된다. 또한, 단결정 반도체층(603, 604)에서, 각각, 전극(607)과 겹치는 영역은 채널 형성 영역(610) 및 채널 형성 영역(611)이 된다.

<296> 다음에, 도 15(A)에 나타내는 바와 같이, 전극(607)의 측면에 사이드월(sidewall)(612)을 형성한다. 사이드월

(612)은, 예를 들어, 게이트 절연층(606) 및 전극(607)을 덮도록 새롭게 절연막을 형성하고, 수직 방향을 주체로 한 이방성 에칭에 의하여, 새롭게 형성된 상기 절연막을 부분적으로 에칭함으로써 형성할 수 있다. 이 이방성 에칭에 의하여, 새롭게 형성된 절연막이 부분적으로 에칭되어, 전극(607)의 측면에 사이드월(612)이 형성된다. 또한, 이 이방성 에칭에 의하여, 게이트 절연층(606)도 부분적으로 에칭된다. 사이드월(612)을 형성하기 위한 절연막은, PECVD법이나 스퍼터링법 등에 의하여, 산화규소막, 산화질화규소막, 질화산화규소막이나, 유기 수지 등의 유기 재료를 포함하는 막을 1층 또는 2층 이상 적층하여 형성할 수 있다. 본 실시형태에서는, 막 두께 100 nm의 산화규소막을 PECVD법에 의해 형성한다. 산화규소막의 에칭 가스에는, CHF₃와 헬륨의 혼합 가스를 사용할 수 있다. 또한, 사이드월(612)을 형성하는 공정은 이것에 한정되는 것은 아니다.

<297> 다음에, 도 15(B)에 나타내는 바와 같이, 전극(607) 및 사이드월(612)을 마스크로 하여 단결정 반도체층(604)에 n 도전형을 부여하는 불순물 원소를 첨가한다. 이 공정은, 단결정 반도체층(604)에 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역을 형성하기 위한 공정이다. 이 공정에서는, 단결정 반도체층(603)은 마스크 등으로 덮고, 단결정 반도체층(604)에 n형을 부여하는 불순물 원소를 첨가한다.

<298> 상기 불순물 원소의 첨가에 의하여, 전극(607) 및 사이드월(612)이 마스크가 되어, 단결정 반도체층(604)에 한쌍의 n형의 고농도 불순물 영역(614)이 자기정합적으로 형성된다. 다음에, 단결정 반도체층(603)을 덮는 마스크를 제거한 후, 가열 처리를 행하여, 단결정 반도체층(603)에 첨가한 p형을 부여하는 불순물 원소, 및 단결정 반도체층(604)에 첨가한 n형을 부여하는 불순물 원소를 활성화한다. 도 14(A)~도 15(B)에 나타내는 일련의 공정에 의하여, p채널형 트랜지스터(617) 및 n채널형 트랜지스터(618)가 형성된다.

<299> 또한, 소스 영역 및 드레인 영역의 저항을 낮추기 위하여, 단결정 반도체층(603)의 고농도 불순물 영역(608), 단결정 반도체층(604)의 고농도 불순물 영역(614)을 실리사이드화하여, 실리사이드층을 형성하여도 좋다. 실리사이드화는, 단결정 반도체층(603, 604)에 금속을 접촉시키고, 가열 처리에 의하여, 반도체층 중의 실리콘과 금속을 반응시켜 실리사이드 화합물을 생성함으로써 행할 수 있다. 이 금속에는 코발트 또는 니켈이 바람직하고, 티탄(Ti), 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 탄탈(Ta), 바나듐(V), 네오디뮴(Nd), 크롬(Cr), 백금(Pt), 팔라듐(Pd) 등을 사용할 수 있다. 단결정 반도체층(603) 및 단결정 반도체층(604)의 두께가 얇은 경우에는, 이 영역의 단결정 반도체층(603) 및 단결정 반도체층(604)의 바닥부까지 실리사이드 반응을 진행시켜도 좋다. 실리사이드화를 위한 가열 처리에는, 저항 가열로, RTA 장치, 마이크로파 가열 장치, 또는 레이저 조사 장치를 사용할 수 있다.

<300> 다음에, 도 15(C)에 나타내는 바와 같이, p채널형 트랜지스터(617)와 n채널형 트랜지스터(618)를 덮도록 절연층(619)을 형성한다. 절연층(619)으로서, 수소를 포함하는 절연막을 형성한다. 본 실시형태에서는, 모노실란, 암모니아, N₂O를 포함하는 소스 가스를 사용하여, PECVD법으로 형성한 막 두께 600 nm 정도의 질화산화규소막을 형성한다. 이것은, 수소를 절연층(619)에 포함시킴으로써, 절연층(619)으로부터 수소를 확산시켜, 단결정 반도체층(603) 및 단결정 반도체층(604)의 미결합수를 종단시킬 수 있기 때문이다. 또한, 절연층(619)을 형성함으로써, 알칼리 금속이나 알칼리토류 금속 등의 불순물이 p채널형 트랜지스터(617) 및 n채널형 트랜지스터(618)에 침입하는 것을 방지할 수 있다. 구체적으로, 절연층(619)으로서, 질화규소, 질화산화규소, 질화알루미늄, 산화알루미늄, 산화규소 등을 사용하는 것이 바람직하다.

<301> 다음에, p채널형 트랜지스터(617) 및 n채널형 트랜지스터(618)를 덮도록, 절연층(619) 위에 절연층(620)을 형성한다. 절연층(620)은, 폴리아미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 가지는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, 산화규소, 질화규소, 질화산화규소, PSG(포스포실리케이트 유리), BPSG(인봉소 유리), 알루미나 등을 사용할 수 있다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 아릴기 중 적어도 1종을 가지고 있어도 좋다. 또한, 이를 재료로 형성되는 절연막을 다수 적층시킴으로써, 절연층(620)을 형성하여도 좋다. 절연층(620)은, 그의 표면을 CMP법 등에 의해 평坦화시켜도 좋다.

<302> 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 아릴기 중 적어도 1종을 가지고 있어도 좋다.

<303> 절연층(620)의 형성에는, 그의 재료에 따라, CVD법, 스퍼터링법, SOG법, 스판 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닉터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.

<304> 다음에, 질소 분위기 중에서 400°C~450°C 정도(예를 들어, 410°C)의 가열 처리를 1시간 정도 행하여, 절연층

(619)으로부터 수소를 확산시켜, 단결정 반도체층(603) 및 단결정 반도체층(604)의 미결합수를 수소로 종단한다. 또한, 단결정 반도체층(112)은, 비정질 규소막을 결정화한 다결정 규소막과 비교하여 결함 밀도가 매우 작기 때문에, 이 수소에 의한 종단 처리를 단시간에 할 수 있다.

<305> 다음에, 도 16에 나타내는 바와 같이, 단결정 반도체층(603)과 단결정 반도체층(604)이 각각 일부 노출하도록 절연층(619) 및 절연층(620)에 콘택트 홀을 형성한다. 콘택트 홀의 형성은, CHF_3 와 He의 혼합 가스를 사용한 건식 에칭법으로 행할 수 있지만, 이것에 한정되는 것은 아니다. 그리고, 이 콘택트 홀을 통하여 단결정 반도체층(603)과 단결정 반도체층(604)에 접하는 도전층(621, 622)을 형성한다. 도전층(621)은 p채널형 트랜지스터(617)의 고농도 불순물 영역(608)에 접속되어 있다. 도전층(622)은 n채널형 트랜지스터(618)의 고농도 불순물 영역(614)에 접속되어 있다.

<306> 도전층(621, 622)은, CVD법이나 스퍼터링법 등에 의하여 형성할 수 있다. 구체적으로, 도전층(621, 622)으로서, 알루미늄(Al), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 도전층(621, 622)은, 상기 금속이 사용된 막을 단층 또는 다수 적층시켜 형성할 수 있다.

<307> 알루미늄을 주성분으로 하는 합금의 예로서, 알루미늄을 주성분으로 하여 니켈을 포함하는 것을 들 수 있다. 또한, 알루미늄을 주성분으로 하고, 니켈과, 탄소와 규소 중의 어느 한쪽 또는 양쪽 모두를 포함하는 것도 예로서 들 수 있다. 알루미늄이나 알루미늄 규소는 저항값이 낮고 저렴하기 때문에, 도전층(621, 622)을 형성하는 재료로서 최적이다. 특히 알루미늄 규소(Al-Si)막의 형상을 에칭으로 가공하는 경우에는, 에칭용의 마스크를 형성할 때의 레지스트 베이크에서의 헐록의 발생을 알루미늄막에 비하여 방지할 수 있다. 또한, 규소(Si) 대신에, 알루미늄막에 0.5% 정도의 Cu를 혼입시켜도 좋다.

<308> 도전층(621, 622)에는, 예를 들어, 배리어막과 알루미늄 규소(Al-Si)막과 배리어막의 적층 구조, 배리어막과 알루미늄 규소(Al-Si)막과 질화티탄막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막이란, 티탄, 티탄의 질화물, 몰리브덴 또는 몰리브덴의 질화물을 사용하여 형성된 막이다. 알루미늄 규소(Al-Si)막을 사이에 끼우도록 배리어막을 형성하면, 알루미늄이나 알루미늄 규소의 헐록의 발생을 더욱 방지할 수 있다. 또한, 환원성이 높은 원소인 티탄을 사용하여 배리어막을 형성하면, 단결정 반도체층(603)과 단결정 반도체층(604) 위에 얇은 산화막이 생성되어 있었다고 하더라도, 배리어막에 포함되는 티탄이 이 산화막을 환원하여, 도전층(621)과 단결정 반도체층(603), 도전층(622)과 단결정 반도체층(604)을 각각 양호하게 콘택트시킬 수 있다. 또한, 배리어막을 다수 적층하여 사용하여도 좋다. 그 경우, 예를 들어, 도전층(621, 622)을 하층으로부터 Ti, 질화티탄, Al-Si, Ti, 질화티탄의 5층 구조로 할 수 있다.

<309> 또한, 도전층(621, 622)으로서, WF_6 가스와 SiH_4 가스로부터 화학 기상 성장법으로 형성한 텅스텐 실리사이드막을 사용하여도 좋다. 또한, WF_6 를 수소 환원하여 형성한 텅스텐막을 도전층(621, 622)으로서 사용하여도 좋다.

<310> 도 16에는, p채널형 트랜지스터(617) 및 n채널형 트랜지스터(618)의 상면도와, 이 상면도의 절단선 A-B에 따른 단면도가 함께 도시되어 있다. 또한, 도 16의 상면도에서는, 도전층(621, 622), 절연층(619), 절연층(620)을 생략하고 있다.

<311> 본 실시형태에서는, p채널형 트랜지스터(617)와 n채널형 트랜지스터(618)가 각각 게이트로서 기능하는 전극(607)을 하나씩 가지는 경우를 예시하고 있지만, 본 발명이 이 구성에 한정되는 것은 아니다. 본 발명으로 제조되는 트랜지스터는, 게이트로서 기능하는 전극을 다수 가지고, 또한 이 다수의 전극이 전기적으로 접속되어 있는 멀티게이트 구조의 트랜지스터로 할 수 있다. 또한, 이 트랜지스터는 게이트 플레이너 구조의 트랜지스터로 할 수도 있다.

<312> 또한, 본 발명의 반도체 기판이 가지는 반도체층은, 단결정 반도체 기판을 박편화한 층이기 때문에, 배향의 편차가 없다. 따라서, 본 발명의 반도체 기판을 사용하여 제조되는 다수의 트랜지스터의 스레시홀드 전압이나 이동도 등의 전기적 특성의 편차를 작게 할 수 있다. 또한, 본 발명의 반도체 기판이 가지는 반도체층은, 결정립계가 거의 없기 때문에, 결정립계에 기인하는 트랜지스터의 리크 전류를 억제하고 또한, 반도체장치의 전력 절약화를 실현할 수 있다. 따라서, 신뢰성이 높은 반도체장치를 제조할 수 있다.

<313> 레이저 결정화에 의해 얻어지는 다결정 반도체막으로부터 트랜지스터를 제조하는 경우, 높은 이동도를 얻기 위해, 레이저광의 주사 방향을 고려하여 트랜지스터의 반도체막의 레이아웃을 결정할 필요가 있었지만, 본 발명의

반도체막 기판은 그럴 필요가 없기 때문에, 반도체장치의 설계에서의 제약이 적다.

<314> [실시형태 6]

<315> 본 실시형태에서는, 본 발명에 따른 반도체 기판을 사용한 반도체장치 및 그의 제조방법에 대하여 설명한다. 본 실시형태에서는, 본 발명에 따른 반도체 기판을 사용한 반도체장치의 일례로서 트랜지스터에 대하여 설명한다. 다수의 트랜지스터를 조합함으로써, 각종 반도체장치가 형성된다. 이하, 도 17~도 19의 단면도를 사용하여 트랜지스터 제조방법을 설명한다. 또한, 본 실시형태에서는, n채널형 트랜지스터와 p채널형 트랜지스터를 동시에 제조하는 방법을 설명한다.

<316> 먼저, 도 17(A)에 나타내는 바와 같이, 반도체 기판을 준비한다. 본 실시형태에서는, 도 1의 반도체 기판(10)을 사용한다. 즉, 절연 표면을 가지는 지지 기판(100) 위에 베퍼층(111)을 사이에 두고 단결정 반도체층(112)이 고정된 반도체 기판을 사용한다. 또한, 트랜지스터를 제조하는 반도체 기판은 도 1의 구성에 한정되는 것은 아니고, 본 발명에 따른 반도체 기판을 사용할 수 있다.

<317> 또한, 단결정 반도체층(112)에는, n채널형 전계효과 트랜지스터 및 p채널형 전계효과 트랜지스터의 형성 영역에 맞추어, 붕소, 알루미늄, 갈륨 등의 p형 불순물 원소, 또는 인, 비소 등의 n형 불순물 원소를 첨가하는 것이 바람직하다. 즉, n채널형 전계효과 트랜지스터의 형성 영역에 대응하여 p형 불순물 원소를 첨가하고, p채널형 전계효과 트랜지스터의 형성 영역에 대응하여 n형 불순물 원소를 첨가하여, 소위 웰(well) 영역을 형성한다. 불순물 이온의 도즈량은 1×10^{12} ions/cm² ~ 1×10^{14} ions/cm² 정도로 할 수 있다. 또한, 전계효과 트랜지스터의 스레시홀드 전압을 제어하는 경우에는, 이들 웰 영역에 p형 또는 n형 불순물 원소를 첨가하면 좋다.

<318> 다음에, 도 17(B)에 나타내는 바와 같이, 단결정 반도체층(112)을 에칭하여, 반도체소자의 배치에 맞추어 섬 형상으로 분리된 단결정 반도체층(651) 및 단결정 반도체층(652)을 형성한다. 본 실시형태에서는, 단결정 반도체층(651)으로부터 n채널형 트랜지스터를 제조하고, 단결정 반도체층(652)으로부터 p채널형 트랜지스터를 제조한다.

<319> 다음에, 도 17(C)에 나타내는 바와 같이, 단결정 반도체층(651) 및 단결정 반도체층(652) 위에 게이트 절연층(653), 게이트 전극을 형성하는 도전층(654), 및 도전층(655)을 순차로 형성한다.

<320> 게이트 절연층(653)은, CVD법, 스퍼터링법, 또는 ALE법 등에 의하여, 산화규소층, 산화질화규소층, 질화규소층, 또는 질화산화규소층 등의 절연층을 사용하여, 단층 구조 또는 적층 구조로 형성한다.

<321> 또한, 게이트 절연층(653)은, 단결정 반도체층(651) 및 단결정 반도체층(652)에 대하여 플라즈마 처리를 행함으로써, 표면을 산화 또는 질화함으로써 형성하여도 좋다. 이 경우의 플라즈마 처리는 마이크로파(대표적인 주파수는 2.45 GHz)를 사용하여 여기한 플라즈마에 의한 플라즈마 처리도 포함하는 것으로 한다. 예를 들어, 마이크로파로 여기되고, 전자 밀도가 $1 \times 10^{11} / \text{cm}^3$ 이상 $1 \times 10^{13} / \text{cm}^3$ 이하, 또한, 전자 온도가 0.5 eV 이상 1.5 eV 이하의 플라즈마를 사용한 처리도 포함하는 것으로 한다. 이와 같은 플라즈마 처리를 적용하여 단결정 반도체층(651) 및 단결정 반도체층(652)의 표면의 산화 처리 또는 질화 처리를 행함으로써, 얇고 치밀한 막을 형성하는 것이 가능하다. 또한, 단결정 반도체층(651) 및 단결정 반도체층(652)의 표면을 직접 산화하기 때문에, 계면 특성이 양호한 막을 얻을 수 있다. 또한, 게이트 절연층(653)은, CVD법, 스퍼터링법, 또는 ALE법에 의해 형성한 막에 대하여 마이크로파를 사용한 플라즈마 처리를 행함으로써 형성하여도 좋다.

<322> 또한, 게이트 절연층(653)은 단결정 반도체층(651) 및 단결정 반도체층(652)과의 계면을 형성하기 때문에, 산화규소층 또는 산화질화규소층이 계면이 되도록 형성하는 것이 바람직하다. 이것은, 질화규소층 또는 질화산화규소층과 같이 산소보다 질소의 함유량이 많은 막을 형성하면, 트랩 준위가 형성되어 계면 특성이 문제가 될 우려가 있기 때문이다.

<323> 게이트 전극을 형성하는 도전층은, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 구리, 크롬, 니오브 등으로부터 선택된 금속, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체 재료로 이루어지는 막을, CVD법이나 스퍼터링법에 의하여 단층 형성하거나 또는 다수 적층함으로써 형성한다. 적층막으로 하는 경우에는, 상이한 도전 재료를 사용하여 형성할 수도 있고, 동일한 도전 재료를 사용하여 형성할 수도 있다. 본 실시형태에서는, 게이트 전극을 형성하는 도전층을, 도전층(654) 및 도전층(655)의 2층 구조로 형성하는 예를 나타낸다.

<324> 게이트 전극을 형성하는 도전층을, 도전층(654) 및 도전층(655)의 2층 적층 구조로 하는 경우에는, 예를 들어,

질화탄탈층과 텅스텐층, 질화텅스텐층과 텅스텐층, 질화몰리브덴층과 몰리브덴층의 적층막으로 형성할 수 있다. 또한, 질화탄탈층과 텅스텐층과의 적층막으로 하면, 양자의 에칭 선택비가 커져 바람직하다. 또한, 예시한 2층 적층막에서, 먼저 기재한 막이 게이트 절연층(653) 위에 형성되는 막으로 하는 것이 바람직하다. 여기서는, 도전층(654)은 20 nm~100 nm의 두께로 형성한다. 도전층(655)은 100 nm~400 nm의 두께로 형성한다. 또한, 게이트 전극은 3층 이상의 적층 구조로 할 수도 있고, 그 경우에는, 몰리브덴층과 알루미늄층과 몰리브덴층의 적층 구조를 채용하면 좋다.

<325> 다음에, 도전층(655) 위에 레지스트 마스크(656)와 레지스트 마스크(657)를 선택적으로 형성한다. 그리고, 레지스트 마스크(656)와 레지스트 마스크(657)를 사용하여 제1 에칭 처리 및 제2 에칭 처리를 행한다.

<326> 먼저, 레지스트 마스크(656) 및 레지스트 마스크(657)를 사용한 제1 에칭 처리에 의해 도전층(654) 및 도전층(655)을 선택적으로 에칭하여, 단결정 반도체층(651) 위에 도전층(658) 및 도전층(659)을 형성하고, 단결정 반도체층(652) 위에 도전층(660) 및 도전층(661)을 형성한다(도 17(D) 참조).

<327> 다음에, 레지스트 마스크(656) 및 레지스트 마스크(657)를 사용한 제2 에칭 처리에 의해 도전층(659) 및 도전층(661)의 단부를 에칭하여, 도전층(662) 및 도전층(663)을 형성한다(도 17(E) 참조). 또한, 도전층(662) 및 도전층(663)은 도전층(658) 및 도전층(660)보다 폭(캐리어가 채널 형성 영역을 흐르는 방향(소스 영역과 드레인 영역을 연결하는 방향)에 평행한 방향의 길이)이 작게 되도록 형성한다. 이와 같이 하여, 도전층(658) 및 도전층(662)으로 이루어지는 2층 구조의 게이트 전극(665), 및 도전층(660) 및 도전층(663)으로 이루어지는 2층 구조의 게이트 전극(666)을 형성한다.

<328> 제1 에칭 처리 및 제2 에칭 처리에 적용하는 에칭법은 적절히 선택하면 좋지만, 에칭 속도를 향상시키기 위해서는 ECR(Electron Cyclotron Resonance) 방식이나 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 방식 등의 고밀도 플라즈마원을 사용한 건식 에칭 장치를 사용하면 좋다. 제1 에칭 처리 및 제2 에칭 처리의 에칭 조건을 적절히 조절함으로써, 도전층(658, 660) 및 도전층(662, 663)의 측면을 소망의 테이퍼 형상으로 할 수 있다. 소망의 게이트 전극(665, 666)을 형성한 후, 레지스트 마스크(656, 657)는 제거하면 좋다.

<329> 다음에, 게이트 전극(665) 및 게이트 전극(666)을 마스크로 하여, 단결정 반도체층(651) 및 단결정 반도체층(652)에 불순물 원소(668)를 첨가한다. 도전층(658) 및 도전층(662)이 마스크가 되어, 단결정 반도체층(651)에 한 쌍의 불순물 영역(669)이 자기정합적으로 형성된다. 또한, 도전층(660) 및 도전층(663)이 마스크가 되어, 단결정 반도체층(652)에 한 쌍의 불순물 영역(670)이 자기정합적으로 형성된다(도 18(A) 참조).

<330> 불순물 원소(668)로서는, 봉소, 알루미늄, 갈륨 등의 p형 불순물 원소, 또는 인, 비소 등의 n형 불순물 원소를 첨가한다. 여기서는, n채널형 트랜지스터의 고저항 영역을 형성하기 위해, 불순물 원소(668)로서 n형 불순물 원소인 인을 첨가한다. 또한, 불순물 영역(669)에 1×10^{17} atoms/cm³ ~ 5×10^{18} atoms/cm³ 정도의 농도로 인이 포함되도록, 인을 첨가하는 것으로 한다.

<331> 다음에, n채널형 트랜지스터의 소스 영역 및 드레인 영역이 되는 불순물 영역을 형성하기 위해, 단결정 반도체층(651)을 부분적으로 덮도록 레지스트 마스크(671)를 형성하고, 단결정 반도체층(652)을 덮도록 레지스트 마스크(672)를 형성한다. 그리고, 레지스트 마스크(671)를 마스크로 하여 단결정 반도체층(651)에 불순물 원소(673)를 첨가하여, 단결정 반도체층(651)에 한 쌍의 불순물 영역(675)을 형성한다(도 18(B) 참조).

<332> 불순물 원소(673)로서는, n형 불순물 원소인 인을 단결정 반도체층(651)에 첨가하고, 첨가되는 인의 농도를 5×10^{19} atoms/cm³ ~ 5×10^{20} atoms/cm³로 하는 것으로 한다. 불순물 영역(675)은 소스 영역 또는 드레인 영역으로서 기능한다. 불순물 영역(675)은 도전층(658) 및 도전층(662)과 겹치지 않는 영역에 형성된다.

<333> 또한, 불순물 영역(676)은, 불순물 영역(669)에서 불순물 원소(673)가 첨가되지 않았던 영역이다. 불순물 영역(676)은 불순물 영역(675)보다도 불순물 농도가 낮고, 고저항 영역 또는 LDD 영역으로서 기능한다. 단결정 반도체층(651)에서, 도전층(658) 및 도전층(662)과 겹치는 영역에 채널 형성 영역(677)이 형성된다.

<334> 또한, LDD 영역이란, 채널 형성 영역과, 불순물 원소를 고농도로 첨가하여 형성하는 소스 영역 또는 드레인 영역과의 사이에 형성되는, 불순물 원소를 저농도로 첨가한 영역이다. LDD 영역을 형성하면, 드레인 영역 근방의 전계를 완화하여 핫 캐리어 주입에 의한 열화(劣化)를 방지하는 효과가 있다. 또한, 핫 캐리어에 의한 온(ON) 전류값의 감소를 막기 위하여, 게이트 절연층을 사이에 두고 LDD 영역을 게이트 전극과 겹쳐 배치시킨 구조(GOLD(Gate-drain Overlapped LDD) 구조라고도 부른다)로 하여도 좋다.

- <335> 다음에, 레지스트 마스크(671) 및 레지스트 마스크(672)를 제거한 후, p채널형 트랜지스터의 소스 영역 및 드레인 영역을 형성하기 위해, 단결정 반도체층(651)을 덮도록 레지스트 마스크(679)를 형성한다. 그리고, 레지스트 마스크(679), 도전층(660) 및 도전층(663)을 마스크로 하여 불순물 원소(680)를 첨가하여, 단결정 반도체층(652)에 한 쌍의 불순물 영역(681)과, 한 쌍의 불순물 영역(682)과, 채널 형성 영역(683)을 형성한다(도 18(C) 참조).
- <336> 불순물 원소(680)로서는, 붕소, 알루미늄, 갈륨 등의 p형 불순물 원소가 사용된다. 여기서는 p형 불순물 원소인 붕소를 1×10^{20} atoms/cm³ ~ 5×10^{21} atoms/cm³ 정도 함유되도록 첨가하는 것으로 한다.
- <337> 단결정 반도체층(652)에서, 불순물 영역(681)은 도전층(660) 및 도전층(663)과 겹치지 않는 영역에 형성되고, 소스 영역 또는 드레인 영역으로서 기능한다. 불순물 영역(670)은 n형의 도전성을 나타내기 때문에, 불순물 영역(681)이 p형의 도전성을 가지도록, 불순물 원소(673)를 단결정 반도체층(652)에 첨가한다. 불순물 영역(681)에, 여기서는 p형 불순물 원소인 붕소를 1×10^{20} atoms/cm³ ~ 5×10^{21} atoms/cm³ 정도 함유시키도록 한다.
- <338> 불순물 영역(682)은, 도전층(660)과 겹치고 도전층(663)과 겹치지 않는 영역에 형성되어 있고, 불순물 원소(680)가 도전층(660)을 관통하여 단결정 반도체층(652)에 첨가된 영역이다. 또한, 불순물 영역(682)에 함유되는 불순물 원소(673)의 농도를 조절함으로써, 불순물 영역(682)을 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 또는, LDD 영역으로서 기능시킬 수도 있다.
- <339> 단결정 반도체층(652)에서, 도전층(660) 및 도전층(663)과 겹치는 영역에 채널 형성 영역(683)이 형성된다.
- <340> 다음에, 충간절연층을 형성한다. 충간절연층은 단층 구조 또는 적층 구조로 할 수 있지만, 여기서는 절연층(684) 및 절연층(685)의 2층 적층막으로 형성한다(도 19(A) 참조).
- <341> 충간절연층으로서는, CVD법이나 스퍼터링법에 의하여, 산화규소층, 산화질화규소층, 질화규소층, 또는 질화산화규소층 등을 형성할 수 있다. 또한, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 또는 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지 등을 사용하여, 스픬 코팅법 등의 도포법에 의하여 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 함유하는 유기기(예를 들어, 알킬기, 아릴기)가 사용된다. 유기기에 플루오로기를 포함하여도 좋다. 또는 치환기로서 적어도 수소를 함유하는 유기기와 플루오로기를 사용하여도 좋다. 옥사졸 수지는, 예를 들어, 감광성 폴리벤조옥사졸 등이다. 감광성 폴리벤조옥사졸은, 유전율이 낮고(상온 1 MHz에서 유전율 2.9), 내열성이 높고(시차열 천칭(TG/DTA: Thermogravimetry-Differential Thermal Analysis)으로 승온 5°C/min에서 열분해 온도 550°C), 흡수율이 낮은(상온 24시간에 0.3 wt%) 재료이다. 옥사졸 수지는, 폴리이미드 등의 비유전률(3.2~3.4 정도)과 비교하면, 비유전률이 낮기 때문에(2.9 정도), 기생 용량의 발생이 억제되고, 반도체장치를 고속으로 동작시킬 수 있다.
- <342> 예를 들어, 절연층(684)으로서 질화산화규소층을 막 두께 100 nm로 형성하고, 절연층(685)으로서 산화질화규소층을 막 두께 900 nm로 형성한다. 또한, 절연층(684) 및 절연층(685)을 플라즈마 CVD법을 적용하여 연속 성막한다. 또한, 충간절연층은 3층 이상의 적층 구조로 할 수도 있다. 또한, 산화규소층, 산화질화규소층 또는 질화규소층과, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴, 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지를 사용하여 형성한 절연층과의 적층 구조로 할 수도 있다.
- <343> 다음에, 충간절연층(본 실시형태에서는 절연층(684) 및 절연층(685))에 콘택트 홀을 형성하고, 이 콘택트 홀에 소스 전극 또는 드레인 전극으로서 기능하는 도전층(686)을 형성한다(도 19(B) 참조).
- <344> 콘택트 홀은, 단결정 반도체층(651)에 형성된 불순물 영역(675), 단결정 반도체층(652)에 형성된 불순물 영역(681)에 도달하도록 절연층(684) 및 절연층(685)에 선택적으로 형성한다.
- <345> 도전층(686)은, 알루미늄, 텁스텐, 티탄, 탄탈, 몰리브덴, 니켈, 네오디뮴으로부터 선택된 1종의 원소 또는 이 원소를 다수 함유하는 합금으로 이루어지는 단층막 또는 적층막을 사용할 수 있다. 예를 들어, 이 원소를 다수 함유하는 합금으로 이루어지는 도전층으로서, 티탄을 함유한 알루미늄 합금, 네오디뮴을 함유한 알루미늄 합금 등을 형성할 수 있다. 또한, 적층막으로 하는 경우, 예를 들어, 알루미늄층 또는 상술한 바와 같은 알루미늄 합금층을 티탄층으로 끼우는 구조으로 할 수 있다.
- <346> 도 19(B)에 나타내는 바와 같이, 반도체 기판(10)을 사용하여, n채널형 트랜지스터 및 p채널형 트랜지스터를 제조할 수 있다.

<347> [실시형태 7]

<348> 본 실시형태에서는, 본 발명에 따른 반도체 기판을 사용한 반도체장치 및 그의 제조방법에 대하여 설명한다. 다수의 트랜지스터를 조합함으로써, 각종 반도체장치가 형성된다. 도 20(A)~도 20(E)를 사용하여, 본 실시형태에서는, 반도체 기판(10)을 사용한 반도체장치의 제조방법의 일례로서 트랜지스터를 제조하는 방법을 설명한다. 또한, 본 실시형태에서는, n채널형 트랜지스터와 p채널형 트랜지스터를 동시에 제조하는 방법을 설명한다.

<349> 도 20(A)에 나타내는 바와 같이, 지지 기판(100) 위에 베퍼층(111) 및 단결정 반도체층(112)이 형성된 반도체 기판을 준비한다. 여기서는, 반도체 기판으로서, 도 1에 나타내는 구성의 반도체 기판(10)을 적용하는 예를 나타내지만, 본 명세서에서 나타내는 그 외의 구성의 반도체 기판도 적용할 수 있다. 또한, 베퍼층(111)은 단층 구조이어도 좋고 다층 구조이어도 좋고, 예를 들어, 배리어층이 되는 제1 절연층(113b)을 포함하는 3층 구조로 할 수 있다.

<350> 단결정 반도체층(112)에는, n채널형 전계효과 트랜지스터(이하, nFET라고 부른다) 및 p채널형 전계효과 트랜지스터(이하, pFET라고 부른다)의 형성 영역에 맞추어, 봉소, 알루미늄, 갈륨 등의 p형 불순물 원소, 또는 인, 비소 등의 n형 불순물 원소가 첨가된 불순물 영역(채널 도핑 영역)을 가지고 있다. 여기서는, pFET를 형성하는 영역에 n형 불순물 영역(801)을 형성하고, nFET를 형성하는 영역에 p형 불순물 영역(802)을 형성한다. 다음에, 단결정 반도체층(112) 위에, 개구를 가지는 보호층(804)을 형성한다.

<351> 보호층(804)을 마스크로 하여 에칭을 행하고, 노출하여 있는 단결정 반도체층(112) 및 그 하방의 베퍼층(111)의 일부를 제거한다. 다음에, 유기 실란을 소스 가스에 사용하여 산화규소막을 PECVD법으로 퇴적한다. 이 산화규소막은, 단결정 반도체층(112) 및 베퍼층(111)을 제거한 부분에 매립되도록 두껍게 퇴적한다. 다음에, 단결정 반도체층(112) 위에 겹치는 부분의 산화규소막을 연마에 의해 제거한 후, 보호층(804)을 제거함으로써, 산화규소로 이루어지는 소자 분리 절연층(803)을 잔존시킨다. 소자 분리 절연층(803)에 의해 단결정 반도체층(112)은 소자 영역(805) 및 소자 영역(806)으로 분리된다(도 20(B) 참조).

<352> 다음에, 단결정 반도체층(112) 위에 제1 절연막을 형성하고, 제1 절연막 위에 게이트 전극층(808a, 808b)을 형성한다. 그리고, 게이트 전극층(808a, 808b)을 마스크로 하여 제1 절연막을 에칭하여 게이트 절연층(807a, 807b)을 형성한다.

<353> 게이트 절연층(807a, 807b)은 산화규소막, 또는 산화규소막과 질화규소막의 적층 구조로 형성하면 좋다. 게이트 절연층으로서 산화질화규소막, 질화산화규소막 등도 사용할 수 있다. 게이트 절연층(807a, 807b)은, PECVD 법이나 감압 CVD법에 의해 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리에 의한 고상 산화 또는 고상 질화로 형성하면 좋다. 반도체층을 플라즈마 처리에 의해 산화 또는 질화함으로써 형성하는 게이트 절연층은 치밀하고 절연 내압이 높고 신뢰성이 뛰어나기 때문이다. 예를 들어, 아산화질소(N_2O)를 Ar로 1~3배(유량비)로 희석하여 처리실에 도입하고, 10~30 Pa의 압력에서 N_2O 및 Ar의 혼합 가스에 3~5 kW의 마이크로파(2.45 GHz) 전력을 인가하여 여기시킴으로써, 단결정 반도체층(112)(소자 영역(805, 806))의 표면을 산화 또는 질화시킨다. 이 처리에 의해 1 nm~10 nm(바람직하게는 2 nm~6 nm)의 절연막을 형성한다. 또한, 아산화질소(N_2O)와 실란(SiH_4)을 처리실에 도입하고, 10~30 Pa의 압력에서 3~5 kW의 마이크로파(2.45 GHz) 전력을 인가하여 PECVD법에 의해 산화질화규소막을 형성하여 게이트 절연층을 형성한다. 고상 반응과 기상 성장법에 의한 반응을 조합함으로써 계면 준위 밀도가 낮고 절연 내압이 우수한 게이트 절연층을 형성할 수 있다.

<354> 또한, 게이트 절연층(807a, 807b)으로서, 이산화지르코늄, 산화하프늄, 이산화티탄, 5산화탄탈 등의 고유전율 재료를 사용하여도 좋다. 게이트 절연층(807a, 807b)에 고유전율 재료를 사용함으로써, 게이트 리크 전류를 저감할 수 있다.

<355> 게이트 전극층(808a, 808b)은, 스펀터링법, 증착법, CVD법 등의 방법에 의하여 형성할 수 있다. 게이트 전극층(808a, 808b)은 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd)으로부터 선택된 금속, 또는 이들 금속을 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 막으로 형성하면 좋다. 또한, 게이트 전극층(808a, 808b)으로서, 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막이나, AgPdCu 합금을 사용하여도 좋다. 여기서는, 불순물 원소를 포함하는 다결정 실리콘막으로 게이트 전극층(808a, 808b)을 형성한다.

<356> 다음에, 게이트 전극층(808a, 808b)을 덮는 제2 절연막(810)을 형성한다. 다음에, 게이트 전극층(808a)의 사이드월을 구성하는 측벽 절연층(816a, 816b), 및 게이트 전극층(808b)의 사이드월을 구성하는 측벽 절연층(817a,

817b)을 형성한다. pFET를 구성하는 측벽 절연층(816a, 816b)은, nFET를 구성하는 측벽 절연층(817a, 817b)보다도 폭을 넓게 한다. 다음에, nFET가 되는 영역에 비소(As) 등을 첨가하여 얇은 접합 깊이의 제1 불순물 영역(820a, 820b)을 형성한다. 한편, pFET가 되는 영역에 봉소(B) 등을 첨가하여 얇은 접합 깊이의 제2 불순물 영역(815a, 815b)을 형성한다(도 20(C) 참조).

<357> 다음에, 제2 절연막(810)을 부분적으로 에칭하여 게이트 전극층(808a, 808b)의 상면과, 제1 불순물 영역(820a, 820b) 및 제2 불순물 영역(815a, 815b)을 노출시킨다. 다음에, nFET가 되는 영역에 As 등을 도핑하여 깊은 접합 깊이의 제3 불순물 영역(819a, 819b)을 형성하고, pFET가 되는 영역에 B 등을 도핑하여 깊은 접합 깊이의 제4 불순물 영역(824a, 824b)을 형성한다. 다음에, 활성화를 위한 열처리를 행한다. 다음에, 실리사이드를 형성하기 위한 금속막으로서 코발트막을 성막한다. 다음에, RTA 등의 열처리(500°C, 1분)를 행하여, 코발트막에 접하는 부분의 실리콘을 실리사이드화시켜, 실리사이드(822a, 822b, 823a, 823b)를 형성한다. 또한, 게이트 전극 층(808a, 808b) 위에도, 이들 층을 구성하는 다결정 실리콘막과 코발트막이 반응하여 실리사이드(818a, 818b)가 형성된다. 그 후, 코발트막을 선택적으로 제거한다. 다음에, 실리사이드화의 열처리보다도 높은 온도로 열처리를 행하여, 실리사이드 부분의 저저항화를 도모한다(도 20(D) 참조). 소자 영역(805)에는 채널 형성 영역(826)이, 소자 영역(806)에는 채널 형성 영역(821)이 형성된다.

<358> 다음에, 충간절연층(827)을 형성하고, 레지스트로 이루어지는 마스크를 사용하여 충간절연층(827)에 깊은 접합 깊이의 제3 불순물 영역(819a, 819b)이나 깊은 접합 깊이의 제4 불순물 영역(824a, 824b)에 각각 도달하는 콘택트 홀(개구)을 형성한다. 에칭은, 사용하는 재료의 에칭 선택비에 따라, 1회로 행하여도 좋고 다수회 행하여도 좋다.

<359> 에칭 방법 및 그 조건은, 충간절연층(827)의 재료에 따라 적절히 설정하면 좋다. 습식 에칭, 건식 에칭, 또는 그 양쪽 모두를 적절히 사용할 수 있다. 본 실시형태에서는 건식 에칭을 사용한다. 에칭용 가스로서는, Cl₂, BC_l₃, SiCl₄ 또는 CCl₄ 등을 대표로 하는 염소계 가스, CF₄, SF₆ 또는 NF₃ 등을 대표로 하는 불소계 가스 또는 O₂를 적절히 사용할 수 있다. 또한, 사용하는 에칭용 가스에 희가스를 첨가하여도 좋다. 첨가하는 희가스 원소로서는, He, Ne, Ar, Kr, Xe로부터 선택된 1종 또는 다수 종의 원소를 사용할 수 있다. 습식 에칭의 에천트는, 불소 수소 암모늄 및 불화암모늄을 함유하는 혼합 용액과 같은 불산계 용액을 사용하면 좋다.

<360> 콘택트 홀을 덮도록 도전막을 형성하고, 도전막을 에칭하여 각 소스 영역 또는 드레인 영역의 일부와 각각 전기적으로 접속하는 배선층(840a, 840b, 840c, 840d)을 형성한다. 이들 배선층(840a, 840b, 840c, 840d)은 소스 전극층 또는 드레인 전극층으로서도 기능한다. 배선층(840a, 840b, 840c, 840d)의 형성은, PVD법, CVD법, 증착법 등에 의해 도전막을 성막한 후, 마스크를 사용하여 소망의 형상으로 도전막을 에칭함으로써 행할 수 있다. 또한, 이들의 형성은, 액적 토출법, 인쇄법, 전해 도금법 등에 의하여 소정의 장소에 소정의 형상으로 선택적으로 도전층을 형성함으로써 행할 수 있다. 또한, 리플로우(reflow)법, 다마신(damascene)법을 이용하여도 좋다. 배선층의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속, 그의 합금, 또는 그 금속의 질화물을 사용하여 형성할 수 있다. 또한, 배선층은, 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다.

<361> 본 실시형태에서는, 충간절연층(827)에 형성된 콘택트 홀을 문도록 매립 배선층으로서 배선층(840a, 840b, 840c, 840d)을 형성한다. 매립형의 배선층(840a, 840b, 840c, 840d)은, 콘택트 홀을 매립하는 충분한 막 두께의 도전막을 형성하고, 콘택트 홀부에만 도전막을 남기고, 불필요한 도전막 부분을 제거하여 형성한다.

<362> 매립형의 배선층(840a, 840b, 840c, 840d) 위에 절연층(828) 및 리드 배선층으로서의 배선층(841a, 841b, 841c)을 형성한다.

<363> 이상의 공정으로 지지 기판(100)에 접합된 단결정 반도체층(112)으로 이루어지는 소자 영역(806)을 사용하여 n 채널형 전계효과 트랜지스터(832)를 제조할 수 있고, 마찬가지로, 소자 영역(805)을 사용하여 p채널형 전계효과 트랜지스터(831)를 제조할 수 있다(도 20(E) 참조). 또한, 본 실시형태에서, n채널형 전계효과 트랜지스터(832) 및 p채널형 전계효과 트랜지스터(831)는 배선층(841b)에 의해 전기적으로 접속되어 있다.

<364> 실시형태 5~7에서는, p채널형 트랜지스터와 n채널형 트랜지스터가 각각 게이트로서 기능하는 전극을 하나씩 가지는 경우를 예시하고 있지만, 본 발명이 이 구성에 한정되는 것은 아니다. 본 발명으로 제조되는 트랜지스터는, 게이트로서 기능하는 전극을 다수 가지고, 또한 이 다수의 전극이 전기적으로 접속되어 있는 멀티게이트 구조의 트랜지스터로 할 수도 있다. 예를 들어, 채널 형성 영역이 2개 형성되는 더블 게이트 구조이어도 좋고, 또는 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 이 트랜지스터는 게이트 플레이너 구조의 트랜지스

터로 할 수도 있다.

<365> 본 발명의 반도체 기판이 가지는 반도체층은, 단결정 반도체 기판을 박편화한 층이기 때문에, 배향의 편차가 없다. 그 때문에, 실시형태 5~7에 나타내는 바와 같이, 반도체 기판을 사용하여 제조되는 다수의 트랜지스터의 스레시홀드 전압이나 이동도 등의 전기적 특성의 편차를 작게 할 수 있다. 또한, 결정립계가 거의 없기 때문에, 결정립계에 기인하는 리크 전류를 억제하고, 또한, 반도체장치의 전력 절약화를 실현할 수 있다. 따라서, 신뢰성이 높은 반도체장치를 제조할 수 있다.

<366> 레이저 결정화에 의해 얻어지는 다결정 반도체막으로부터 트랜지스터를 제조하는 경우, 높은 이동도를 얻기 위하여, 레이저광의 주사 방향을 고려하여, 트랜지스터의 반도체막의 레이아웃을 결정할 필요가 있었지만, 본 발명의 반도체막 기판은 그럴 필요가 없기 때문에, 실시형태 5~7 등의 반도체장치의 설계에서의 제약이 적다.

<367> 실시형태 5~7에 나타내는 바와 같이, n채널형 트랜지스터와 p채널형 트랜지스터를 동시에 반도체 기판에 형성할 수 있으므로, 이를 트랜지스터를 사용하여 각종 회로를 형성할 수 있다. 예를 들어, n채널형 트랜지스터와 p채널형 트랜지스터를 상보적으로 조합시킴으로써 CMOS 구조의 회로를 구성할 수 있다.

<368> 이 CMOS 구조의 회로에 배선이나 소자 등을 적층함으로써 마이크로프로세서 등의 각종 반도체장치를 제조할 수 있다. 또한, 마이크로프로세서는, 연산회로(Arithmetic Logic Unit, ALU라고도 한다), 연산회로 제어부(ALU Controller), 명령 해석부(Instruction Decoder), 인터럽트 제어부(Interrupt Controller), 타이밍 제어부(Timing Controller), 레지스터(Register), 레지스터 제어부(Register Controller), 버스 인터페이스(Bus I/F), 판독 전용 메모리, 및 메모리 인터페이스(ROM I/F)를 가지고 있다.

<369> 마이크로프로세서를 CMOS 구조를 포함하는 집적회로로 형성함으로써, 처리 속도의 고속화뿐만 아니라 저소비전력화를 도모할 수 있다.

<370> 본 발명에 따른 반도체 기판을 사용하여 제조된 다수의 트랜지스터를 조합함으로써, 각종 반도체장치를 제조할 수 있다. 이하, 실시형태 8~11에서는, 트랜지스터, 용량 소자 등을 포함하는 회로를 가지는 반도체장치에 대하여 설명한다.

<371> [실시형태 8]

<372> 본 실시형태에서는, 반도체장치의 일례로서 마이크로프로세서에 대하여 설명한다. 도 21은 마이크로프로세서(2000)의 구성예를 나타내는 블록도이다.

<373> 마이크로프로세서(2000)는, 연산회로(Arithmetic Logic Unit, ALU라고도 한다)(2001), 연산회로 제어부(ALU Controller)(2002), 명령 해석부(Instruction Decoder)(2003), 인터럽트 제어부(Interrupt Controller)(2004), 타이밍 제어부(Timing Controller)(2005), 레지스터(Register)(2006), 레지스터 제어부(Register Controller)(2007), 버스 인터페이스(Bus I/F)(2008), 판독 전용 메모리(2009), 및 ROM 인터페이스(2010)를 가지고 있다.

<374> 버스 인터페이스(2008)를 통하여 마이크로프로세서(2000)에 입력된 명령은 명령 해석부(2003)에 입력되어 디코드된 후, 연산회로 제어부(2002), 인터럽트 제어부(2004), 레지스터 제어부(2007), 타이밍 제어부(2005)에 입력된다. 연산회로 제어부(2002), 인터럽트 제어부(2004), 레지스터 제어부(2007), 및 타이밍 제어부(2005)는, 디코드된 명령에 기초하여, 다양한 제어를 행한다.

<375> 연산회로 제어부(2002)는, 연산회로(2001)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(2004)는, 마이크로프로세서(2000)의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 처리하는 회로이고, 인터럽트 제어부(2004)는, 인터럽트 요구의 우선도나 마스크 상태를 판단하여, 인터럽트 요구를 처리한다. 레지스터 제어부(2007)는, 레지스터(2006)의 어드레스를 생성하고, 마이크로프로세서(2000)의 상태에 따라 레지스터(2006)의 판독이나 기입을 행한다. 타이밍 제어부(2005)는, 연산회로(2001), 연산회로 제어부(2002), 명령 해석부(2003), 인터럽트 제어부(2004), 및 레지스터 제어부(2007)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(2005)는, 기준 클록 신호(CLK1)를 기초로 하여 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하고 있다. 도 21에 나타내는 바와 같이, 내부 클록 신호(CLK2)는 다른 회로에 입력된다.

<376> [실시형태 9]

<377> 본 실시형태에서는, 비접촉으로 데이터의 송수신을 행하는 기능, 및 연산 기능을 구비한 반도체장치의 일례를

설명한다. 도 22는 이와 같은 반도체장치의 구성예를 나타내는 블록도이다. 도 22에 나타내는 반도체장치(2020)는, 무선통신에 의해 외부 장치와 신호의 송수신을 행하여 동작하는 연산처리장치로서 기능한다.

<378> 도 22에 나타내는 바와 같이, 반도체장치(2020)는, 아날로그 회로부(2021), 디지털 회로부(2022), 안테나(2023), 및 용량부(2024)를 가지고 있다. 아날로그 회로부(2021)는, 공진 용량을 가지는 공진 회로(2031), 정전압 회로(2032), 정류 회로(2033), 복조 회로(2034), 변조 회로(2035), 리셋 회로(2036), 발진 회로(2037), 및 전원 관리 회로(2038)를 가지고 있다. 디지털 회로부(2022)는, RF 인터페이스(2041), 제어 레지스터(2042), 클록 콘트롤러(2043), CPU 인터페이스(2044), 중앙 처리 유닛(2045)(CPU(2045)라고도 한다), 랜덤 액세스 메모리(2046)(RAM(2046)라고도 한다), 판독 전용 메모리(2047)(ROM(2047)라고도 한다)를 가지고 있다.

<379> 반도체장치(2020)의 동작의 개요는 이하와 같다. 안테나(2023)가 수신한 신호에 의하여, 공진 회로(2031)는 유도 기전력을 발생한다. 유도 기전력은 정류 회로(2033)를 거쳐 용량부(2024)에 충전된다. 이 용량부(2024)는 세라믹 콘덴서나 전기 이중층 콘덴서 등의 커패시터로 형성되어 있는 것이 바람직하다. 용량부(2024)는, 반도체장치(2020)를 구성하는 기관에 접적되어 있을 필요는 없고, 다른 부품으로서 반도체장치(2020)에 조립될 수도 있다.

<380> 리셋 회로(2036)는, 디지털 회로부(2022)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원 전압의 상승에 지연하여 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(2037)는, 정전압 회로(2032)에 의해 생성되는 제어 신호에 따라 클록 신호의 주파수와 듀티비를 변경한다. 복조 회로(2034)는 수신 신호를 복조하는 회로이고, 변조 회로(2035)는 송신하는 데이터를 변조하는 회로이다.

<381> 예를 들어, 복조 회로(2034)는 로패스(low-pass) 필터로 형성되고, 진폭 변조(ASK) 방식의 수신 신호를, 그의 진폭의 변동을 기초로 2값화한다. 또한, 송신 데이터를 진폭 변조(ASK) 방식의 송신 신호의 진폭을 변동시켜 송신하기 위해, 변조 회로(2035)는 공진 회로(2031)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시키고 있다.

<382> 클록 콘트롤러(2043)는, 전원 전압, 또는 중앙 처리 유닛(2045)에서의 소비 전류에 따라, 클록 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성하고 있다. 전원 전압의 감시는 전원 관리 회로(2038)가 행하고 있다.

<383> 안테나(2023)로부터 반도체장치(2020)에 입력된 신호는 복조 회로(2034)로 복조된 후, RF 인터페이스(2041)로 제어 커멘드나 데이터 등으로 분해된다. 제어 커멘드는 제어 레지스터(2042)에 격납된다. 제어 커멘드에는, 판독 전용 메모리(2047)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(2046)에의 데이터의 기입, 중앙 처리 유닛(2045)에의 연산 명령 등이 포함되어 있다.

<384> 중앙 처리 유닛(2045)은, CPU 인터페이스(2044)를 통하여 판독 전용 메모리(2047), 랜덤 액세스 메모리(2046), 제어 레지스터(2042)에 액세스한다. CPU 인터페이스(2044)는, 중앙 처리 유닛(2045)이 요구하는 어드레스에 의해, 판독 전용 메모리(2047), 랜덤 액세스 메모리(2046), 제어 레지스터(2042) 중 어느 것인가에 대한 액세스 신호를 생성하는 기능을 가지고 있다.

<385> 중앙 처리 유닛(2045)의 연산 방식은, 판독 전용 메모리(2047)에 OS(Operating System)를 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로로 연산 회로를 구성하여, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로로 일부의 연산 처리를 행하고, 프로그램을 사용하여, 나머지 연산을 중앙 처리 유닛(2045)이 처리하는 방식을 적용할 수 있다.

<386> [실시형태 10]

<387> 본 실시형태에서는, 반도체장치의 구성예로서 표시장치에 대하여 설명한다.

<388> 먼저, 도 23~도 25를 사용하여, 본 실시형태의 표시장치의 구성에 대하여 설명한다. 본 실시형태에서는, 표시장치로서 액티브 매트릭스형 표시장치에 대하여 설명한다.

<389> 도 23은, 본 실시형태의 액티브 매트릭스형 표시장치의 구성예를 나타내는 블록도이다. 본 실시형태의 액티브 매트릭스형 표시장치는 화소부(2100), 신호선 구동회로(2101), 주사선 구동회로(2102), 신호선 구동회로(2101)에 접속된 다수의 신호선(2103), 및 주사선 구동회로(2102)에 접속된 다수의 주사선(2104)을 가진다.

<390> 다수의 신호선(2103)은 열(列) 방향으로 배열되고, 다수의 주사선(2104)은 신호선(2103)과 교차하여 행(行) 방

향으로 배열되어 있다. 화소부(2100)에는, 신호선(2103) 및 주사선(2104)이 만드는 행렬에 대응하여, 다수의 화소(2105)가 행렬 형상으로 배열되어 있다. 화소(2105)는 신호선(2103) 및 주사선(2104)에 접속되어 있다. 화소(2105)는 스위칭 소자 및 표시 소자를 포함한다. 스위칭 소자는, 주사선(2104)에 입력되는 신호에 따라 화소가 선택인지 비선택인지를 제어한다. 표시 소자는 신호선(2103)으로부터 입력되는 비디오 신호에 의해 계조가 제어된다.

<391> 도 24 및 도 25를 사용하여 화소(2105)의 구성예를 설명한다. 본 발명을 액티브 매트릭스형 액정표시장치에 적용한 경우의 화소(2105)의 구성예를 도 24에 나타낸다. 화소(2105)는, 스위칭 소자로서 스위칭 트랜지스터(2111)를 가지고, 표시 소자로서 액정 소자(2112)를 가진다. 스위칭 트랜지스터(2111)는 게이트가 주사선(2104)에 접속되고, 소스와 드레인 중의 한쪽이 신호선(2103)에 접속되고, 다른 한쪽이 액정 소자(2112)에 접속되어 있다.

<392> 액정 소자(2112)는 화소 전극과 대향 전극과 액정을 포함한다. 화소 전극과 대향 전극이 만드는 전계에 의하여 액정의 배향이 제어된다. 액정은 액티브 매트릭스형 액정표시장치의 2장의 기판 사이에 봉입(封入)되어 있다. 보유 용량(2113)은 액정 소자(2112)의 화소 전극의 전위를 보유하기 위한 소자이고, 액정 소자(2112)의 화소 전극에 접속되어 있다.

<393> 본 발명을 액티브 매트릭스형 일렉트로루미네스цен스(electroluminescence: EL) 표시장치에 적용한 경우의 화소(2105)의 구성예를 도 25에 나타낸다. 화소(2105)는, 스위칭 소자로서 선택용 트랜지스터(2121)를 가지고, 표시 소자로서 발광소자(2122)를 가진다. 또한, 화소(2105)는 선택용 트랜지스터(2121)에 게이트가 접속된 표시 제어용 트랜지스터(2123)를 가진다. 발광소자(2122)는 한 쌍의 전극과, 한 쌍의 전극 사이에 끼어진 발광 재료를 가진다.

<394> 다음에, 본 발명에 따른 반도체 기판을 사용하여 표시장치를 제조하기 위한 회로 배치 방법을 설명한다. 도 26은, 실시형태 1의 제조방법에 의해 제조된 반도체 기판(20)의 주요부를 나타내는 도면이다(도 2 참조). 1장의 반도체 기판(20)으로부터, 표시장치를 구성하는 다수의 기판을 제조할 수 있다. 도 26에는, 하나의 단결정 반도체층(112)으로부터 하나의 표시장치를 제조하기 위한 회로 배치예를 나타낸다. 각 단결정 반도체층(112)에는, 하나의 표시 패널 형성 영역(2129)이 형성된다. 표시장치는 화소부(2100), 신호선 구동회로(2101), 및 주사선 구동회로(2102)를 가진다. 따라서, 각 표시 패널 형성 영역(2129)은, 이들이 형성되는 영역(화소 형성 영역(2130), 신호선 구동회로 형성 영역(2131), 주사선 구동회로 형성 영역(2132))을 가진다.

<395> 또한, 하나의 단결정 반도체층(112)에 다수의 표시 패널 형성 영역(2129)을 형성할 수도 있다. 또한, 표시장치를 제조하기 위해 사용되는 반도체 기판은 반도체 기판(20)에 한정되는 것은 아니고, 본 발명에 따른 다른 반도체 기판을 사용할 수 있다.

<396> 도 27(A) 및 도 27(B)는 액정표시장치의 구성예를 나타내는 도면이다. 도 27(A)은 액정표시장치의 화소의 평면도이고, 도 27(B)는 도 27(A)의 J-K 절단선에 따른 단면도이다. 도 27(A)에 나타내는 바와 같이, 화소는 반도체층(2201), 반도체층(2201)과 교차하여 있는 주사선(2202), 주사선(2202)과 교차하여 있는 신호선(2203), 화소 전극(2204), 화소 전극(2204)과 반도체층(2201)을 전기적으로 접속하는 전극(2205)을 가진다. 반도체층(2201)은 SOI 기판에 부착된 반도체층(2201)으로 형성된 층이고, 화소의 트랜지스터(2206)를 구성한다.

<397> 도 27(B)에 나타내는 바와 같이, 기판(2200) 위에, 제2 절연층(114), 제1 절연층(113b)과 제1 절연층(113a)으로 이루어지는 제1 절연층(113), 반도체층(2201)이 적층되어 있다. 기판(2200)은 분할된 지지 기판(100)이다. 반도체층(2201)은 단결정 반도체층(112)을 예칭에 의해 소자 분리함으로써 형성된 층이다. 반도체층(2201)에는, 채널 형성 영역(2210)과 n형의 고농도 불순물 영역(2211)이 형성되어 있다. 트랜지스터(2206)의 게이트 전극(2212)은 주사선(2202)에 포함된다. 또한, 트랜지스터(2206)의 소스 전극과 드레인 전극이 되는 2개의 전극 중 한쪽은 신호선(2203)에 포함되고, 다른 한쪽은 전극(2205)으로 구성되어 있다. 반도체층(2201)과 게이트 전극(2212) 사이에는 게이트 절연층(2213)이 형성되어 있다.

<398> 반도체층(2201), 게이트 절연층(2213) 및 주사선(2202)를 덮도록 충간절연막(2214)이 형성되어 있다. 충간절연막(2214) 위에는, 신호선(2203), 화소 전극(2204) 및 전극(2205)이 제공되어 있다. 또한, 충간절연막(2214) 위에는, 주상(柱狀) 스페이서(2215)가 형성되어 있다. 신호선(2203), 화소 전극(2204), 전극(2205) 및 주상 스페이서(2215)를 덮도록 배향막(2216)이 형성되어 있다. 대향 기판(2220)에는, 대향 전극(2221)과, 대향 전극(2221)을 덮는 배향막(2222)이 형성되어 있다. 주상 스페이서(2215)는, 기판(2200)과 대향 기판(2220)의 간극을 유지하기 위하여 형성된다. 주상 스페이서(2215)에 의하여 형성되는 간극에 액정층(2223)이 형성되어 있다.

신호선(2203) 및 전극(2205)과 고농도 불순물 영역(2211)과의 접속부에는, 콘택트 홀의 형성에 의해 충간절연막(2214)에 단차가 생기므로, 이 접속부에서는 액정층(2223)의 액정의 배향이 흐트러지기 쉽다. 따라서, 이 접속부에 주상 스페이서(2215)를 형성함으로써, 액정의 배향 흐트러짐을 방지할 수 있다.

<399> 다음에, 일렉트로루미네스نس 표시장치(이하, EL 표시장치라고 한다)에 대하여 설명한다. 도 28(A) 및 도 28(B)는 실시형태 3의 방법으로 제조된 EL 표시장치를 설명하기 위한 도면이다. 도 28(A)는 EL 표시장치의 화소의 평면도이고, 도 28(B)는 화소의 단면도이다. 도 28(A)에 나타내는 바와 같이, 화소는 선택용 트랜지스터(2401), 표시 제어용 트랜지스터(2402), 주사선(2403), 신호선(2404), 및 전류 공급선(2405), 화소 전극(2406)을 포함하고, 이들이 기판(2400) 위에 형성되어 있다. 일렉트로루미네스نس 재료를 함유하여 형성되는 층(EL 층)을 한 쌍의 전극 사이에 끼운 구조의 발광소자가 각 화소에 제공되어 있다. 발광소자의 한쪽 전극이 화소 전극(2406)이다.

<400> 선택용 트랜지스터(2401)는 단결정 반도체층으로 이루어지는 반도체층(2408)을 가진다. 선택용 트랜지스터(2401)에서, 게이트 전극은 주사선(2403)에 포함되고, 소스 전극과 드레인 전극이 되는 2개의 전극 중 한쪽은 신호선(2404)에 포함되고, 다른 한쪽은 전극(2409)으로서 형성되어 있다. 표시 제어용 트랜지스터(2402)는, 게이트 전극(2410)이 전극(2409)과 전기적으로 접속되고, 소스 전극과 드레인 전극이 되는 2개의 전극 중 한쪽은 화소 전극(2406)에 전기적으로 접속되는 전극(2411)으로서 형성되고, 다른 한쪽은 전류 공급선(2405)에 포함되어 있다.

<401> 표시 제어용 트랜지스터(2402)는 p채널형 트랜지스터이고, 단결정 반도체층(112)으로 이루어지는 반도체층(2412)을 가진다. 도 28(B)에 나타내는 바와 같이, 반도체층(2412)에는, 채널 형성 영역(2413)과 p형의 고농도 불순물 영역(2414)이 형성되어 있다. 반도체층(2412)과 게이트 전극(2410) 사이의 절연층(2415)은, 선택용 트랜지스터(2401) 및 표시 제어용 트랜지스터(2402)의 게이트 절연층을 구성한다.

<402> 반도체층(2408, 2411), 주사선(2403), 및 표시 제어용 트랜지스터(2402)의 게이트 전극(2410)을 덮도록 충간절연막(2417)이 형성되어 있다. 충간절연막(2417) 위에, 신호선(2404), 전류 공급선(2405), 전극(2409), 및 전극(2411) 등이 형성되어 있다. 또한, 충간절연막(2417) 위에는, 전극(2411)에 전기적으로 접속되어 있는 화소 전극(2406)이 형성되어 있다. 화소 전극(2406)은 주변부가 절연성의 격벽층(2418)으로 둘러싸여 있다. 화소 전극(2406) 위에는 EL 층(2419)이 형성되고, EL 층(2419) 위에는 대향 전극(2420)이 형성되어 있다. 보강판으로서 대향 기판(2421)이 설치되어 있고, 대향 기판(2421)은 수지층(2422)에 의해 기판(2400)에 고정되어 있다. 기판(2400)은 지지 기판(100)에 대응하는 기판이다.

<403> 화소 전극(2406), EL 층(2419) 및 대향 전극(2420)에 의해 발광소자(2122)(도 25 참조)가 구성되어 있다. 화소 전극(2406)과 대향 전극(2420) 중의 어느 한쪽은 양극으로서 기능하고, 다른 한쪽은 음극으로서 기능한다. 또한, EL 표시장치에서, 발광소자의 발광의 취출 방법에 따라 3개의 구조로 분류된다. 하나는, 발광소자로부터의 광을 기판(2400)을 통과시켜 취출하는 구조(하면 사출 구조라고도 불린다)이다. 두번째는, 지지 기판(100) 측과 반대측의 면으로부터 이 광을 사출시키는 구조(상면 사출 구조라고도 불린다)이다. 마지막은, 이 광을 기판(2400)을 통과시키고, 또한 기판(2400)과 반대측의 면으로부터도 광을 사출시키는 구조(양면 사출 구조라고도 불린다)이다. 본 실시형태의 EL 표시장치는 이들 3가지 구조를 취할 수 있다.

<404> 하면 사출 구조의 경우는, 화소 전극(2406)은 투광성 전극으로 하고, 대향 전극(2420)은 반사 전극으로 하는 것이 바람직하다. 이것에 대하여, 상면 사출 구조의 경우는, 화소 전극(2406)은 반사 전극으로 하고, 대향 전극(2420)은 투광성 전극으로 하는 것이 바람직하다. 양면 사출 구조의 경우는, 화소 전극(2406)과 대향 전극(2420) 모두 투광성 전극으로 하는 것이 바람직하다.

<405> 화소 전극(2406)과 대향 전극(2420)을 반사 전극으로 하기 위해서는, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 크롬, 은 등의 금속 원소, 또는 이 금속 원소를 함유하는 합금 재료 또는 화합물 재료 등의 반사성을 가지는 도전 재료를 사용하여, 이들 전극을 형성하면 좋다.

<406> 또한, 화소 전극(2406)과 대향 전극(2420)을 투광성 전극으로서 형성하기 위해서는, 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 또는 갈륨을 첨가한 산화아연(GZO) 등의 투광성을 가지는 도전 재료를 사용하여 이들 전극을 형성하면 좋다. 또한, 상기의 반사성을 가지는 도전 재료로 이루어지는 막을 수 nm 내지 수십 nm의 막 두께로 형성함으로써, 투광성 전극을 형성할 수 있다. 이와 같이 얇게 막을 형성함으로써, 상기의 반사성을 가지는 도전 재료로 이루어지는 막을 가시광을 투과시키도록 할 수 있다.

<407> 또한, 투광성 전극은, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할

수 있다. 도전성 조성물을 사용하여 형성한 전극은, 박막에서의 시트(sheet) 저항이 10000 Ω/□ 이하, 과장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1 Ω · cm 이하인 것이 바람직하다.

<408> 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그의 유도체, 폴리페롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 또는 이들 2종 이상의 공중합체 등을 들 수 있다.

<409> 공액 도전성 고분자의 구체적인 예로서는, 폴리페롤, 폴리(3-메틸페롤), 폴리(3-부틸페롤), 폴리(3-옥틸페롤), 폴리(3-데실페롤), 폴리(3,4-디메틸페롤), 폴리(3,4-디부틸페롤), 폴리(3-하이드록시페롤), 폴리(3-메틸-4-하이드록시페롤), 폴리(3-메톡시페롤), 폴리(3-에톡시페롤), 폴리(3-옥톡시페롤), 폴리(3-카르복실피롤), 폴리(3-메틸-4-카르복실피롤), 폴리N-메틸페롤, 폴리티오펜, 폴리(3-메틸티오펜), 폴리(3-부틸티오펜), 폴리(3-옥틸티오펜), 폴리(3-테실티오펜), 폴리(3-도테실티오펜), 폴리(3-메톡시티오펜), 폴리(3-에톡시티오펜), 폴리(3-옥톡시티오펜), 폴리(3-카르복실피티오펜), 폴리(3-메틸-4-카르복실피티오펜), 폴리(3,4-에틸렌디옥시티오펜), 폴리아닐린, 폴리(2-메틸아닐린), 폴리(2-옥틸아닐린), 폴리(2-이소부틸아닐린), 폴리(3-이소부틸아닐린), 폴리(2-아닐린술폰산), 폴리(3-아닐린술폰산) 등을 들 수 있다.

<410> 상기 도전성 고분자를 단독으로 도전성 조성물로 하여 투광성 전극을 형성하여도 좋다. 또한, 도전성 조성물로 형성되는 투광성 전극의 막질, 막 강도 등의 막 특성을 조정하기 위하여, 도전성 고분자에 유기 수지를 침가할 수도 있다.

<411> 유기 수지로서는, 도전성 고분자와 상용(相溶) 또는 혼합 분산 가능한 열경화성 수지, 열가소성 수지, 또는 광경화성 수지 등을 사용할 수 있다. 예를 들어, 폴리에틸렌 테레프탈레이트, 폴리부틸렌 테레프탈레이트, 및 폴리에틸렌 나프탈레이트 등의 폴리에스테르계 수지; 폴리이미드 및 폴리아미드이미드 등의 폴리이미드계 수지; 폴리아미드 6, 폴리아미드 6,6, 폴리아미드 12 및 폴리아미드 11 등의 폴리아미드 수지; 폴리불화비닐리텐, 폴리불화비닐, 폴리테트라플루오로에틸렌, 에틸렌 테트라플루오로에틸렌 코폴리머 및 폴리클로로트리플루오로에틸렌 등의 불소 수지; 폴리비닐 알코올, 폴리비닐 에테르, 폴리비닐 부티랄, 폴리초산비닐 및 폴리염화비닐 등의 비닐 수지; 에폭시 수지; 크실렌 수지; 아라미드 수지; 폴리우레тан계 수지; 폴리우레아계 수지; 멜라민 수지; 폐놀계 수지; 폴리에테르; 및 아크릴계 수지; 또는 이들 수지의 공중합체 등을 들 수 있다.

<412> 또한, 도전성 조성물의 전기 전도도를 조정하기 위해, 도전성 조성물에 억셉터성 또는 도너성 도편트를 도핑함으로써, 공액 도전성 고분자의 공액 전자의 산화환원 전위를 변화시켜도 좋다.

<413> 억셉터성 도편트로서는, 할로겐 화합물, 루이스산(Lewis acid), 플로톤산(proton acid), 유기 시아노 화합물, 유기 금속 화합물 등을 사용할 수 있다. 할로겐 화합물로서는, 염소, 브롬, 요소, 염화요소, 브롬화요소, 불화요소 등을 들 수 있다. 루이스산으로서는, 5불화인, 5불화비소, 5불화안티몬, 3불화붕소, 3염화붕소, 3브롬화붕소 등을 들 수 있다. 플로톤산으로서는, 염산, 황산, 질산, 인산, 붕불화수소산, 불화수소산, 과염소산 등의 무기산과, 유기 카르본산, 유기 술폰산 등의 유기산을 들 수 있다. 유기 카르본산 및 유기 술폰산으로서는, 상기 카르본산 화합물 및 술폰산 화합물을 사용할 수 있다. 유기 시아노 화합물로서는, 공액 결합에 2개 이상의 시아노기를 포함하는 화합물을 사용할 수 있다. 예를 들어, 테트라시아노에틸렌, 테트라시아노에틸렌 옥사이드, 테트라시아노벤젠, 테트라시아노퀴노디메탄, 테트라시아노아자나프탈렌 등을 들 수 있다.

<414> 도너성 도편트로서는, 알칼리 금속, 알칼리토류 금속, 또는 4급 아민 화합물 등을 들 수 있다.

<415> 또한, 도전성 조성물을 물 또는 유기 용제(알코올계 용제, 케톤계 용제, 에스테르계 용제, 탄화수소계 용제, 또는 방향족계 용제 등)에 용해시켜, 습식법에 의해 투광성 전극이 되는 박막을 형성할 수 있다.

<416> 도전성 조성물을 용해하는 용매로서는, 특별히 한정되는 것은 아니고, 상술한 도전성 고분자 및 유기 수지 등의 고분자 수지 화합물을 용해하는 것을 사용하면 좋다. 예를 들어, 물, 메탄올, 에탄올, 프로필렌 카보네이트, N-메틸페롤리돈, 디메틸포름아미드, 디메틸아세트아미드, 시클로헥사논, 아세톤, 메틸 에틸 케톤, 메틸 이소부틸 케톤, 또는 톨루엔 등의 단독 또는 혼합 용제에 용해하면 좋다.

<417> 도전성 조성물을 상술한 바와 같이 용매에 용해한 후, 도포법, 코팅법, 액적 토출법(잉크젯법이라고도 한다), 인쇄법 등의 습식법을 이용하여 충간절연막(2417) 위에 형성함으로써, 화소 전극(2406)을 얻을 수 있다. 용매의 건조는, 열처리를 행하여도 좋고, 감압함으로써 행하여도 좋다. 또한, 유기 수지가 열경화성인 경우는 열처리를 행하면 좋고, 광경화성인 경우는 광 조사 처리를 행하면 좋다.

- <418> 격벽층(2418)은, CVD법, 스팍터링법, 도포법 등에 의해 기판 전면에 절연층을 형성한 후, 선택적으로 예칭하여 형성할 수 있다. 또한, 액적 토출법, 인쇄법 등을 이용하여 선택적으로 형성할 수도 있다. 그 외에, 포지티브 형 감광성 수지를 사용하여 전면(全面)에 절연층을 형성한 후, 이 절연층을 노광 및 현상함으로써, 소망의 형상으로 할 수도 있다.
- <419> EL 층(2419)으로서는, 적어도 발광층을 형성하고, 이 발광층 외에 정공 주입층, 정공 수송층, 전자 수송층 또는 전자 주입층을 적절히 형성하여도 좋다. 유기 화합물을 함유하는 층은 잉크젯법 등의 도포법이나 증착법에 의하여 형성할 수 있다.
- <420> 다음에, 기판(2400)과 대향시켜 대향 기판(2421)을 설치한다(도 28(B) 참조). 대향 기판(2421)과 대향 전극(2420)과의 사이에는 수지층(2422)을 형성하여도 좋고, 불활성 가스를 충전시킨 구성으로 하여도 좋다. 또한, 대향 전극(2420)을 덮도록 보호층을 형성하여도 좋다.
- <421> 이상의 공정에 의하여, 본 실시형태에 관한 EL 표시장치가 완성된다.
- <422> 본 발명에 따른 반도체 기판을 사용하여 트랜지스터를 포함하는 표시장치를 제조함으로써, 단결정 반도체층(112)으로 채널 형성 영역을 형성할 수 있다. 따라서, 다결정 실리콘으로 이루어지는 채널 형성 영역을 가지는 트랜지스터가 적용된 표시장치와 비교하여, 화소마다의 트랜지스터의 전기적 특성(예를 들어, 스레시홀드 전압)의 편차를 저감할 수 있다. 따라서, 표시장치의 표시 얼룩을 억제할 수 있다.
- <423> 또한, 본 실시형태에 관한 표시장치에 적용되는 트랜지스터의 구성은 특별히 한정되는 것은 아니다. 예를 들어, 상기 실시형태 5~7에 나타내는 구성의 트랜지스터를 적용할 수도 있다.
- <424> 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- <425> [실시형태 11]
- <426> 반도체 기판(10)을 사용하여 다양한 전기 기기를 제조할 수 있다. 전기 기기로서는, 비디오 카메라, 디지털 카메라, 내비게이션 시스템, 음향 재생장치(카 오디오, 오디오 컴포넌트 등), 컴퓨터, 게임기기, 휴대 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생장치(구체적으로는 DVD(Digital Versatile Disc) 등의 화상 데이터를 표시하는 표시장치를 구비한 장치) 등이 포함된다.
- <427> 본 실시형태에서는, 도 29 및 도 30을 사용하여 전기 기기의 구체적인 형태를 설명한다. 도 29(A)는 휴대 전화기(1901)의 일례를 나타내는 외관도이다. 이 휴대 전화기(1901)는 표시부(1902), 조작 스위치(1903) 등을 포함하여 구성되어 있다. 표시부(1902)에, 도 27(A) 및 도 27(B)에서 설명한 액정표시장치 또는 도 28(A) 및 도 28(B)에서 설명한 EL 표시장치를 적용함으로써, 표시 얼룩이 적고 화질이 우수한 표시부(1902)로 할 수 있다.
- <428> 또한, 도 29(B)는 디지털 플레이어(1911)의 구성예를 나타내는 외관도이다. 디지털 플레이어(1911)는 표시부(1912), 조작부(1913), 이어폰(1914) 등을 포함하고 있다. 이어폰(1914) 대신에, 헤드폰이나 무선식 이어폰을 사용할 수 있다. 표시부(1912)에, 도 27(A) 및 도 27(B)에서 설명한 액정표시장치 또는 도 28(A) 및 도 28(B)에서 설명한 EL 표시장치를 적용함으로써, 화면 사이즈가 0.3 인치 내지 2 인치 정도인 경우에도, 고정세한 화상 및 다량의 문자 정보를 표시할 수 있다.
- <429> 또한, 도 29(C)는 전자책(1921)의 외관도이다. 이 전자책(1921)은 표시부(1922), 조작 스위치(1923)를 포함하고 있다. 전자책(1921)에는 모뎀을 내장하고 있어도 좋고, 도 21의 반도체장치를 내장시켜, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 표시부(1922)에는, 도 27(A) 및 도 27(B)에서 설명한 액정표시장치, 또는 도 28(A) 및 도 28(B)에서 설명한 EL 표시장치를 적용함으로써, 고화질의 표시를 행할 수 있다.
- <430> 도 30(A)~도 30(C)는 본 발명을 적용한 휴대 전화기(1800)의 구성의 일례로서, 도 30(A)는 정면도이고, 도 30(B)는 배면도이고, 도 30(C)는 전개도이다. 휴대 전화기(1800)는 전화와 휴대 정보 단말기 모두의 기능을 구비하고 있고, 컴퓨터를 내장하여, 음성 통화 이외에도 다양한 데이터 처리가 가능한 소위 스마트폰(smart phone)이다. 휴대 전화기(1800)는 카메라를 내장하고 있어, 정지 화상, 동영상의 촬영이 가능하게 되어 있다.
- <431> 휴대 전화기(1800)는, 하우징(1801)과 하우징(1802)의 2개의 하우징으로 구성되어 있다. 하우징(1801)에는, 표시부(1805), 스피커(1806), 마이크로폰(1807), 조작 키(1808), 포인팅 디바이스(1809), 카메라용 렌즈(1810), 외부 접속 단자(1811), 및 이어폰 단자(1812) 등이 설치되어 있다. 표시부(1922)에는, 도 27(A) 및 도 27(B)에서 설명한 액정표시장치, 또는 도 28(A) 및 도 28(B)에서 설명한 EL 표시장치를 적용함으로써, 고화질의 표시를 행할 수 있다.

- <432> 하우징(1802)에는, 키보드(1815), 외부 메모리 슬롯(1816), 카메라용 렌즈(1817), 라이트(1818) 등을 구비하고 있다. 또한, 안테나는 하우징(1801)의 내부에 내장되어 있다.
- <433> 또한, 상기 구성에 더하여, 휴대 전화기(1800)는 비접촉 IC 칩, 소형 기록 장치 등을 내장하고 있어도 좋다.
- <434> 표시부(1805)는 사용 형태에 따라 표시의 방향이 적절히 변화한다. 표시부(1805)와 동일 면 위에 카메라용 렌즈(1810)를 구비하고 있기 때문에, 영상 통화가 가능하다. 또한, 표시부(1805)를 파인더로 하여 카메라용 렌즈(1817) 및 라이트(1818)로 정지 화상 및 동영상의 촬영이 가능하다. 스피커(1806) 및 마이크로폰(1807)은 음성 통화에 한정하지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 조작 키(1808)에서는, 전화의 착발신, 전자 메일 등의 간단한 정보 입력, 화면의 스크롤, 커서 이동 등이 가능하다. 또한, 겹쳐진 하우징(1801)과 하우징(1802)(도 30(A))은 슬라이드하여, 도 30(C)와 같이 전개한다. 전개시킨 상태에서는, 휴대 전화기(1800)를 휴대 정보 단말기로서 사용할 수 있다. 이 상태에서는, 키보드(1815), 포인팅 디바이스(1809)를 사용하면, 원활한 조작이 가능하다. 외부 접속 단자(1811)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터통신이 가능하다. 또한, 외부 메모리 슬롯(1816)에 기록 매체를 삽입하여 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.
- <435> 또한, 상기 기능에 더하여, 적외선 통신 기능, TV 수신 기능 등을 구비한 것이어도 좋다.
- <436> [실시예 1]
- <437> 본 발명자들은, 단결정 반도체층(117)에 레이저 빔을 조사하여 단결정 반도체층이 용융하여 있는 것을 확인하였다. 또한, 본 발명자들은, 레이저 빔의 조사에 의하여, 단결정 반도체층의 결정성을 가공하기 전의 반도체 기판과 같은 정도로 회복시키는 것이 가능하다는 것을 확인하였다. 또한, 단결정 반도체층(117)의 표면의 평탄화가 가능하다는 것을 확인하였다.
- <438> 본 실시예에서는, 단결정 규소층이 고정된 유리 기판으로 이루어지는 반도체 기판의 제조방법에 대하여 설명한다.
- <439> 먼저, 본 실시예의 반도체 기판의 제조방법에 대하여 설명한다. 도 31은 본 실시예에서 제조된 반도체 기판(11)의 적층 구조를 나타내는 단면도이다. 반도체 기판(11)은 도 4(A)~도 4(E)의 공정을 거쳐 제조한 기판이다. 단결정 규소층(201)이 막(202~204)으로 이루어지는 벼파층(111)을 사이에 두고 유리 기판(200)에 고정되어 있다.
- <440> 반도체 기판(11)을 제조하기 위해, 단결정 반도체 기판(110)에 단결정 실리콘 웨이퍼가 사용되었다. 단결정 실리콘 웨이퍼는 크기가 각각 5 인치인 사각 기판이다. 그의 도전형은 P형이고, 저항율이 $10 \Omega \cdot \text{cm}$ 정도이다. 또한, 결정 방위는, 주 표면이 (100)이고, 측면이 <110>이다. 지지 기판(100)인 유리 기판(200)은, 두께 0.7 mm의 무알칼리 유리 기판(상품명: AN100)이다.
- <441> 제1 절연층(113)으로서, PECVD법에 의하여, 두께 50 nm의 산화질화규소막(202)과 두께 50 nm의 질화산화규소막(203)으로 이루어지는 2층 구조의 절연막을 형성하였다. 산화질화규소막(202)의 프로세스 가스는 SiH_4 및 N_2O 이고, 유량비는 $\text{SiH}_4 : \text{N}_2\text{O} = 4 : 800$ 으로 하였다. 성막 공정의 기판 온도는 400°C 이었다. 질화산화규소막(203)의 프로세스 가스는 SiH_4 , NH_3 , N_2O , 및 H_2 이고, 유량비는 $\text{SiH}_4 : \text{NH}_3 : \text{N}_2\text{O} : \text{H}_2 = 10 : 100 : 20 : 400$ 으로 하였다. 성막 공정의 기판 온도는 350°C 이었다.
- <442> 단결정 실리콘 웨이퍼에 손상 영역을 형성하기 위하여, 이온 도핑 장치를 사용하여 수소 이온을 단결정 실리콘 웨이퍼에 첨가하였다. 소스 가스에는 100% 수소 가스를 사용하고, 수소 가스를 여기하여 생성된 플라즈마 중의 이온을 질량 분리하지 않고, 전계에서 가속하여 단결정 실리콘 웨이퍼 기판에 조사하여, 손상 영역(115)을 형성하였다. 이 도핑의 조건은, 전원 출력 100 W , 가속 전압 40 kV , 도즈량 $2.0 \times 10^{16} \text{ ions/cm}^2$ 또는 $2.2 \times 10^{16} \text{ ions/cm}^2$ 로 하였다.
- <443> 이온 도핑 장치에서, 수소 가스를 여기함으로써, H^+ , H_2^+ , H_3^+ 와 같은 3 종류의 이온종이 생성되고, 이 모든 이온종을 가속하여, 단결정 실리콘 웨이퍼에 조사한다. 수소 가스로부터 발생된 이온종 중 80% 정도가 H_3^+ 이었다. 이 도핑 조건에서 단결정 실리콘 웨이퍼로부터 두께 100~120 nm 정도의 단결정 규소층이 분리된다.
- <444> 유리 기판(200), 및 막(202, 204)이 형성된 단결정 실리콘 웨이퍼를 순수(純水) 중에서 초음파 세정한 후, 오존

을 함유하는 순수로 세정한 후, 접합 공정을 행하였다. 손상 영역(115)에서 벽개를 발생시키기 위해, 확산로에서 600°C로 가열함으로써, 단결정 실리콘 웨이퍼를 벽개시켜, 단결정 규소층(201)을 단결정 실리콘 웨이퍼로부터 분리하였다.

<445> 손상 영역(115)을 형성한 후, 제2 절연층(114)으로서, PECVD법에 의하여, 산화규소막(204)을 단결정 실리콘 웨이퍼 위에 형성하였다. 산화규소막(204)의 성막용 프로세스 가스에는, TEOS 및 O₂를 사용하고, 그의 유량비는 TEOS\O₂ = 15\750이었다. 성막 공정의 기판 온도는 300°C이었다.

<446> 반도체 기판(11)의 벼퍼층의 두께는 이하와 같다.

- 산화질화규소막(202): 50 nm

- 질화산화규소막(203): 50 nm

- 산화규소막(204): 50 nm

<450> 유리 기판(200), 및 막(202~204)이 형성된 단결정 실리콘 웨이퍼를 순수 중에서 초음파 세정한 후, 오존을 함유하는 순수로 세정한 후, 유리 기판(200)의 표면과 단결정 실리콘 웨이퍼의 표면에 형성된 산화규소막(204)을 밀착시켜 접합시켰다(도 4(E) 참조). 다음에, 손상 영역(115)에서 벽개를 발생시키기 위해, 가열로에서 200°C, 2시간의 가열 처리를 행하고, 유리 기판(200)과 산화규소막(204)의 결합 강도를 향상시키고, 계속하여, 가열로에서 600°C, 4시간의 가열을 행함으로써, 단결정 실리콘 웨이퍼를 벽개시켜, 단결정 규소층(201)을 단결정 실리콘 웨이퍼로부터 분리한다.

<451> 다음에, 레이저 조사 처리를 행하기 위해, 단결정 규소층(201)이 고정된 유리 기판(200)을 순수로 세정한 후, 1/100에 회석된 불산으로 단결정 규소층(201)을 처리하여, 표면에 형성된 자연 산화막을 제거하였다. 다음에, 단결정 규소층(201)에 대하여 레이저 빔을 조사하였다. 레이저 발진기에는, 파장 308 nm의 빔을 발진하는 XeCl 엑시머 레이저를 사용하였다. 레이저 빔의 펄스폭은 25 nsec이고, 반복 주파수는 30 Hz이다.

<452> 광학계에 의하여, 레이저 빔의 피조사면에서의 빔 형상을 선형으로 집광하여, 레이저 빔을 폭 방향(빔 형상의 단축(短軸) 방향)으로 주사하였다. 반도체 기판(11)을 레이저 조사 장치의 스테이지에 설치하고, 스테이지를 이동시킴으로써 빔을 주사하고 있다. 예를 들어, 빔폭을 350 μm로 하고, 주사 속도는 1.0 mm/초로 하였다.

<453> 또한, 레이저 조사 공정에서는 단결정 규소층(201)을 가열한다. 이 가열에는, 레이저 조사 장치의 스테이지에 설치된 히터에 의하여 스테이지를 가열함으로써 행하고 있다. 스테이지 온도는 250°C 및 500°C로 하였다. 또한, 스테이지에 의한 가열을 행하지 않고, 레이저 조사 처리도 행하고 있다. 또한, 스테이지 온도가 250°C인 경우, 단결정 규소층(201)의 온도는 230°C로 상승하고, 500°C인 경우에는 단결정 규소층(201)의 온도는 420°C로 상승한다. 또한, 스테이지에 의한 가열을 행하지 않을 때의 스테이지 온도 및 단결정 규소층(201)의 온도를 실온이라고 하기로 한다.

<454> [실시예 2]

<455> 본 실시예에서는, 지지 기판에 고정된 단결정 반도체층이 레이저 빔의 조사에 의해 용융하는 것을 설명한다.

<456> 반도체 기판(11)의 단결정 규소층(201)에 레이저 빔을 조사하고, 단결정 규소층(201)의 용융 시간을 분광학적인 방법에 의해 측정하였다. 구체적으로는, 단결정 규소층(201)의 레이저 빔이 조사되어 있는 영역에 프로브(probe)광을 조사하고, 그의 반사광의 강도 변화를 측정한다. 반사광의 강도로부터, 단결정 규소층(201)이 고상 상태인지 액상 상태인지를 판별하는 것이 가능하다. 실리콘은 고상으로부터 액상 상태로 변화하면, 굴절률이 급격하게 상승하고, 가시광에 대한 반사율이 급격하게 상승한다. 따라서, 프로브광에 가시광역의 파장의 레이저 빔을 사용하고, 프로브광의 반사광의 강도 변화를 검출함으로써, 단결정 규소층의 고상으로부터 액상으로의 상(相) 변화, 및 액상으로부터 고상에의 상 변화를 검출할 수 있다.

<457> 먼저, 도 32를 사용하여, 측정에 사용된 레이저 조사 장치의 구성을 설명한다. 도 32는, 측정에 사용된 레이저 조사 장치의 구성을 설명하기 위한 도면이다. 반도체 기판(319)을 레이저 조사 처리하기 위해 레이저 빔(320)을 발진하는 레이저 발진기(321)와, 프로브광(350)을 발진하는 레이저 발진기(351)와, 반도체 기판(319)을 배치하는 스테이지(323)가 설치되어 있는 체임버(324)를 가진다.

<458> 스테이지(323)는 체임버(324)의 내부에서 이동 가능하게 설치되어 있다. 화살표(325)는 스테이지(323)의 이동 방향을 나타내는 화살표이다. 스테이지(323)에는 히터가 설치되어 있다. 스테이지를 가열함으로써, 위에 놓여

진 반도체 기판(319)이 가열된다.

<459> 체임버(324)의 벽에는, 석영으로 이루어지는 창(326~328)이 설치되어 있다. 창(326)은 레이저 빔(320)을 체임버(324) 내부로 인도하기 위한 창이다. 창(327)은 프로브광(350)을 체임버(324) 내부로 인도하기 위한 창이고, 창(328)은 반도체 기판(319)에 의해 반사된 프로브광(350)을 체임버(324)의 밖으로 인도하기 위한 창이다. 도 32에서, 반도체 기판(319)에 의해 반사된 프로브광(350)에 360의 참조 번호를 붙이기로 한다.

<460> 체임버(324)의 내부의 분위기를 제어하기 위해, 기체 공급 장치에 접속되는 기체 공급구(329), 및 배기 장치에 연결된 배기구(330)가 각각 체임버(324)에 설치되어 있다.

<461> 레이저 발진기(321)로부터 사출된 레이저 빔(320)은 하프 미러(half mirror)(332)로 반사되고, 렌즈 등으로 이루어지는 광학계(333)에 의해 선형으로 집광된다. 광학계(333)를 통과한 레이저 빔(320)은 창(326)을 통과하여, 스테이지(323) 위의 반도체 기판(319)에 조사된다. 하프 미러(332)의 투과측에는, 포토디텍터(photodetector)(334)가 배치되어 있다. 포토디텍터(334)에 의하여, 레이저 발진기(321)로부터 사출된 레이저 빔(320)의 강도 변화가 검출된다.

<462> 레이저 발진기(351)로부터 사출된 프로브광(350)은 미러(352)로 반사되고, 창(327)을 통과하여 반도체 기판(319)에 조사된다. 레이저 빔(320)이 조사되어 있는 영역에 프로브광(350)이 조사된다. 반도체 기판(319)에서 반사된 프로브광(360)은 창(328) 및 광 화이버(353)를 통과하고, 콜리메이터 렌즈를 가지는 콜리메이터(354)에 의해 평행광이 되어, 포토디텍터(355)에 입사한다. 포토디텍터(355)에 의하여, 프로브광(360)의 강도 변화가 검출된다. 즉, 단결정 규소층(201)의 레이저 빔(320)이 조사되어 있는 영역에서 반사된 프로브광(360)의 강도가 검출될 수 있기 때문에, 레이저 빔(320)이 조사되어 있는 영역의 프로브광(350)에 대한 반사율의 시간 변화를 검출할 수 있다.

<463> 포토디텍터(334, 355)의 출력은 오실로스코프(oscilloscope)(356)에 접속되어 있다. 오실로스코프(356)에 입력되는 포토디텍터(334, 355)의 출력 신호의 전압값(신호의 강도)이 각각 레이저 빔(320)의 강도 및 프로브광(360)의 강도에 대응한다.

<464> 도 33(A)는, 단결정 규소층(201)의 표면에서의 레이저 빔(320)의 조사 영역과 프로브광(350)의 조사 영역의 관계를 나타내는 평면도이고, 도 33(B)는 도 33(A)의 절단선 Y-Z에 따른 단면도이다.

<465> 도 33(B)에서, 부호 210은 레이저 빔(320)이 조사되는 범위를 나타내고, 레이저 빔(320)의 폭 방향(단축 방향)의 조사 범위이다. 이하, 이 범위를 레이저 빔 조사 범위(210)라고 한다. 부호 211은 프로브광(350)이 조사되는 범위를 나타낸다. 이하, 이 범위를 프로브광 조사 범위(211)라고 한다. 부호 212는 레이저 빔(320)의 폭 방향(단축 방향)의 빔 프로파일을 나타낸다. 이하, 이 프로파일을 빔 프로파일(212)이라고 한다.

<466> 도 34는 측정 결과를 나타내는 오실로스코프(356)의 신호 파형의 사진이다. 도 34에서, 아래의 신호 파형은 포토디텍터(334)의 출력 신호 파형이고, 레이저 빔(320)의 강도 변화를 나타낸다. 도 34(A)는 스테이지 온도가 500°C인 경우의 신호 파형이고, 도 34(B)는 스테이지 온도가 실온인 경우의 신호 파형이다.

<467> 도 34(A) 및 도 34(B)에서, 위의 신호 파형은 포토디텍터(355)의 출력 신호 파형이고, 단결정 규소층에서 반사된 프로브광(360)의 강도 변화를 나타낸다. 종축은 신호 강도를 나타내고, 횡축은 시간을 나타내고, 눈금의 간격은 100 나노초이다.

<468> 본 실시예에서, 레이저 조사 처리에 의한 효과를 확인하기 위하여, 도 34(A) 및 도 34(B)의 데이터를 측정한 단결정 규소층(201)은 레이저 조사 처리 전의 것이고, 그의 두께는 100 nm이다.

<469> 측정에 사용한 레이저 발진기(321)는 파장 308 nm의 빔을 발진하는 XeCl 엑시머 레이저이다. 그의 펄스폭은 25 nsec이고, 반복 주파수는 30 Hz이다. 레이저 빔(320)은 광학계(333)에 의해, 피조사면에서의 빔 형상이 폭 350 μm , 길이 126 mm의 선형으로 집광되어 있다.

<470> 스테이지 온도가 실온 및 500°C인 경우에도, 레이저 빔(320)의 에너지 밀도는 539 mJ/cm^2 이고, 레이저 빔(320)을 1 쇼트 단결정 규소층(201)에 조사하고 있다. 또한, 도 34(A) 및 도 34(B)에는, 레이저 빔(320)에 대응하는 검출 출력 신호에는 2개의 피크가 나타나 있지만, 이것은 측정에 사용한 레이저 발진기(321)의 사양에 의한 것이다.

<471> 프로브광용의 레이저 발진기(351)에는, Nd:YVO₄ 레이저를 사용하고, 그 레이저 발진기의 제2 고조파인 532 nm의

빔을 프로브팡(350)으로서 사용하였다.

<472> 또한, 기체 공급구(329)로부터 질소 가스를 공급하여, 체임버(324)의 분위기를 질소 분위기로 하였다.

<473> 도 34(A) 및 도 34(B)에 나타내는 바와 같이, 레이저 빔(320)이 조사되면, 프로브팡(360)의 강도가 상승하여, 급격하게 증대한다. 즉, 레이저 빔(320)의 조사에 의하여, 단결정 규소층(201)이 용융되어 있는 것을 확인할 수 있다. 프로브팡(360)의 강도는, 단결정 규소층(201)의 용융 영역의 깊이가 최대가 될 때까지 상승하고, 강도가 높은 상태가 당분간 유지된다. 레이저 빔(320)의 강도가 하강하면, 이어서, 프로브팡(360)의 강도가 급격하게 감소하기 시작한다.

<474> 즉, 도 34(A) 및 도 34(B)의 프로브팡(360)의 반사 강도에 대응하는 신호 강도의 변화로부터는 다음의 것을 알 수 있다. 단결정 규소층(201)에 레이저 빔(320)을 조사함으로써, 레이저 빔(320)이 조사되어 있던 영역의 온도가 용점 이상으로 상승하고, 그 영역이 용융된다. 그리고, 레이저 빔(320)의 조사 후에도, 이 영역은 용융 상태(액상 상태)가 잠깐 유지되고, 이윽고, 이 영역의 온도가 하강하고, 응고하기 시작하여 완전히 고상 상태로 복귀한다.

<475> 도 35를 사용하여, 프로브팡(360)의 강도 변화 및 단결정 규소층의 상 변화를 설명한다. 도 35는 도 34(A) 및 도 34(B)의 사진으로 나타내어져 있는 포토디텍터(355)의 출력 신호 파형을 모식적으로 나타낸 그래프이다. 종축은 신호 강도를 나타내고, 횡축은 시간을 나타낸다.

<476> 시간 t1에서 신호 강도는 급격하게 증대하고 있고, 시간 t1에서 단결정 규소층(201)이 용융하기 시작했다고 생각된다. 시간 t2로부터 시간 t3까지의 기간은, 신호 강도는 높은 상태를 유지하고 있기 때문에, 용융 상태가 유지되어 있는 기간이다. 또한, 시간 t1로부터 시간 t2까지는 단결정 규소층의 용융 부분이 깊어지는 기간이고, 용해 기간으로 간주될 수 있다.

<477> 시간 t3 이후, 신호 강도는 급격하게 감소하고, 시간 t4 이후는 신호 강도가 낮아져 있다. 따라서, 시간 t4 이후에서는, 용융되어 있던 영역은 완전히 응고하여, 고상 상태로 되어 있다고 생각된다. 또한, 시간 t4 이후의 신호 강도 Ib는 시간 t1 이전의 신호 강도 Ia보다 높기 때문에, 시간 t4 이후에도, 레이저 빔(320)이 조사되기 전보다도 온도가 높다는 것을 나타내고 있다. 따라서, 시간 t4 이후에도 레이저 빔(320)이 조사된 영역은 서서히 냉각되면서 전위 등 결정 결합의 수복(修復)이 진행하고 있다고 생각된다.

<478> 도 34(A) 및 도 34(B)의 신호 파형을 비교하면, 가열함으로써 용융 상태가 유지되어 있는 용융 시간을 길게 할 수 있다는 것을 알 수 있다. 스테이지 온도가 500°C인 경우는, 용융 시간은 250 나노초 정도이고, 실온인 경우의 용융 시간은 100 나노초 정도이다.

<479> 이상에서 설명한 바와 같이, 레이저 빔 조사 부분에서의 반사광의 강도 변화를 검출함으로써, 레이저 조사 처리에 의하여, 지지 기판에 고정된 단결정 반도체층이 용융되어 있는 것이 확인되었다.

<480> 또한, 시간 t2로부터 시간 t3 사이에서는, 신호 강도가 높은 상태가 유지되어 있지만, 도 34(A) 및 도 34(B)의 신호 파형은 이 기간에 2 단계로 감쇠하고 있는 것처럼 보인다. 이 원인은 분명하지 않지만, 원인의 하나는, 도 33(A)에 나타내는 바와 같이, 레이저 빔(320)의 조사 범위보다 넓은 범위를 프로브팡(350)으로 조사하고 있기 때문에, 상(相) 변화가 다른 다수의 영역에서 반사된 프로브팡(360)을 검지하고 있기 때문이라고 생각된다. 도 33(B)를 사용하여, 이것을 설명한다.

<481> 도 33(B)에 나타내는 바와 같이, 프로브팡 조사 범위(211)는 레이저 빔(320)의 조사 에너지가 다른 3개의 영역을 가진다.

<482> 첫번째 영역은 레이저 빔 조사 범위(210)의 외부이고, 레이저 빔이 조사되어 있지 않은 영역이다. 이하, 이 영역을 영역(211a)이라고 한다. 두번째 영역은 레이저 빔 조사 범위(210)의 내부에 있지만, 빔 프로파일(212)의 넓은 부분의 레이저 빔(320)이 조사되는 영역이다. 이하, 이 영역을 영역(211b)이라고 한다. 세번째 영역은 레이저 빔(320)의 빔 프로파일(212)의 상단 플랫(flat) 부분이 조사되어 있는 영역이다. 이하, 이 영역을 영역(211c)이라고 한다. 따라서, 포토디텍터(355)에서는, 영역(211a), 영역(211b), 영역(211c)에서 반사된 프로브팡(360)이 겹친 광을 수광하고 있다.

<483> 영역(211a)은, 레이저 빔(320)이 조사되지 않기 때문에 상 변화가 생기지 않고, 프로브팡(350)의 반사율도 변화하지 않는다고 생각된다. 따라서, 포토디텍터(355)의 검출 신호의 백그라운드(background)가 되기 때문에, 검출 신호의 강도 변화에 거의 영향을 주지 않는다.

- <484> 이것에 대하여, 영역(211b)에는, 영역(211c)보다도 조사되는 레이저 빔(320)의 에너지 밀도가 낮고, 또한, 에너지 밀도의 분포가 균일하지 않다. 따라서, 영역(211b)의 온도 상승은 영역(211c)보다 낮게 되고, 영역(211b)의 용융 시간은 영역(211c)보다 짧아진다고 생각된다. 즉, 용융된 후, 영역(211b)이 응고를 개시하는 시간은, 영역(211c)이 응고하는 시간보다 전(前)이 된다.
- <485> 이상으로부터, 영역(211c)이 액상 상태인 기간(도 35의 시간 t_2 로부터 시간 t_3 까지)에 영역(211b)이 응고하기 시작했기 때문에, 이 기간의 프로브광(350)의 반사율이 저하하고, 이것이 포토디텍터(355)의 검출 신호의 강도 변화로서 검출되었다고 추측된다.
- <486> [실시예 3]
- <487> 실시예 2에서는, 레이저 조사 처리에 의해 단결정 규소층(201)이 용융되어 있다는 것을 설명하였다. 본 실시예에서는, 용융된 단결정 규소층이 재단결정화하는 것을 설명한다.
- <488> 본 실시예에서는, 레이저 조사 처리를 하고 있지 않은 단결정 규소층(201)과 레이저 조사 처리를 한 단결정 규소층(201)에 대하여, 표면의 전자 후방 산란 회절상(EBSP: Electron Back Scatter Diffraction Pattern)을 측정하였다. 도 36은 측정 데이터로부터 얻어진 역극점도(IPF, Inverse Pole Figure) 맵(map)이다.
- <489> 도 36(A)는 레이저 조사 처리 전의 단결정 규소층의 데이터이다. 도 36(B) 및 도 36(C)는 레이저 조사 처리 후의 단결정 규소층의 데이터로서, 도 36(B)는 스테이지 온도 500°C , 도 36(C)는 스테이지 온도 250°C 로 가열하면서 질소 분위기 중에서 레이저 빔을 조사한 후의 단결정 규소층(201)의 데이터이다. 도 36(D)는 가열을 행하지 않고 실온에서 질소 분위기 중에서 레이저 빔을 조사한 후의 단결정 규소층(201)의 데이터이다.
- <490> 도 36(E)는, 결정의 각 면방위를 컬러 코드화하고, IPF 맵의 배색(配色)과 결정 방위의 관계를 나타내는 컬러 코드 맵이다.
- <491> 도 36(A)~도 36(D)의 IPF 맵에 의하면, 레이저 빔의 조사 전과 조사 후에서 단결정 규소층(201)의 결정 방위가 흐트러지지 않고, 단결정 규소층(201)의 표면의 면방위는 사용한 단결정 실리콘 웨이퍼와 같은 (100) 면방위를 유지하고 있다. 또한, 레이저 빔의 조사 전과 조사 후에서 단결정 규소층(201)에 결정립계가 존재하고 있지 않다는 것을 알 수 있다. 이것은, 도 36(A)~도 36(D)의 IPF 맵이 도 36(E)의 컬러 코드 맵의 (100) 방위를 나타내는 색(컬러 도면에서는 적색)으로 이루어지는 일색(一色)의 사각 상(傷)인 것으로부터 확인할 수 있다.
- <492> 따라서, EBSP의 측정에 의하여, 주 표면의 면방위가 (100)인 단결정 실리콘 웨이퍼로부터, 주 표면의 면방위가 (100)인 단결정 규소층이 형성되고, 이 단결정 규소층에 레이저 빔을 조사하여 용융된 단결정 규소층도 주 표면의 면방위는 (100)인 것을 확인할 수 있었다.
- <493> 또한, 도 36(A)~도 36(D)의 IPF 맵에 나타나 있는 점은, CI값이 낮은 부분을 나타내고 있다. CI값이란, 결정방위를 결정하는 데이터의 신뢰성 및 정확도를 나타내는 지표값이다. 결정립계, 결정 결합 등으로 CI값이 낮아진다. 즉, CI값이 낮은 부분이 적을 수록 완전성이 높은 결정 구조이고, 결정성이 좋다고 평가할 수 있다. 레이저 빔을 조사하고 있지 않는 단결정 규소층(201)의 IPF 맵보다도, 레이저 빔이 조사된 단결정 규소층의 IPF 맵 쪽이, CI값이 낮은 부분이 적다. 따라서, EBSP의 측정으로부터, 레이저 빔을 조사함으로써 단결정 규소층(201)의 결정 결합, 댕글링 본드 등의 마이크로 결합이 수복되어 있는 것을 알 수 있다.
- <494> 또한, 도 36(B)~도 36(D)의 단결정 규소층(201)의 레이저 조사 처리의 조건은 다음과 같다. 피조사면에서의 빔 형상은 폭 $350 \mu\text{m}$, 길이 126 mm 의 선형이고, 레이저 빔의 주사 속도는 $1.0 \text{ mm}/\text{초}$ 이다. 단결정 규소층(201)의 같은 영역에 조사되는 레이저 빔의 셀트수는 빔 폭과 스캔 속도로부터 계산하여 10.5 셀트가 된다. 레이저 빔의 에너지 밀도는, 스테이지 온도가 500°C 일 때는 $513 \text{ mJ}/\text{cm}^2$ 이고, 250°C 일 때는 $567 \text{ mJ}/\text{cm}^2$ 이고, 실온일 때는 $648 \text{ mJ}/\text{cm}^2$ 이다.
- <495> 또한, 본 실시예에서는, 레이저 조사 처리 전의 반도체 기판(11)과, 레이저 조사 처리 후의 반도체 기판(11)의 단면을 주사 투과 전자현미경(Scanning Transmission Electron Microscope: STEM)에 의해 관찰하였다.
- <496> 도 37은 각 반도체 기판(11)의 단면 사진으로서, 주사 투과 전자현미경에 의해 촬영된 STEM 상(傷)이다. 도 37(A)는 레이저 조사 처리 전, 도 37(B) 및 도 37(C)은 레이저 처리 후이다. 도 37(B)는 레이저 처리시의 스테이지 온도가 500°C 인 상이고, 도 37(C)는 실온의 상이다. 도 37(A)~도 37(C)에서, 단결정 규소층(201)의 두께는 120 nm 이다.

- <497> 레이저 조사 처리의 조건은 다음과 같다. 피조사면에서의 레이저 빔의 단면 형상이 폭 $350 \mu\text{m}$, 길이 126 mm 의 선형이 되도록 광학계에 의해 집광하여, 레이저 빔을 조사하고 있다. 레이저 빔의 주사 속도는 $1.0 \text{ mm}/\text{초}$ 이다. 또한, 레이저 빔의 에너지 밀도는, 스테이지 온도가 500°C 인 경우는 $513 \text{ mJ}/\text{cm}^2$ 이고, 250°C 인 경우는 $567 \text{ mJ}/\text{cm}^2$ 이고, 실온인 경우는 $647 \text{ mJ}/\text{cm}^2$ 이다.
- <498> 레이저 조사 분위기를 질소 분위기로 하였다. 스테이지 온도가 500°C 및 250°C 인 경우는, 레이저 조사 장치의 체임버 내에 질소 가스를 공급함으로써, 질소 분위기를 실현하고 있다. 실온인 경우에는, 레이저 조사 처리를 대기 중에서 행하고, 레이저 빔의 조사 영역에 질소를 내뿜음으로써, 질소 분위기를 실현하고 있다.
- <499> 도 37(A)에 나타내는 바와 같이, 레이저 빔 조사 전에는, 단결정 규소층(201)에 입계는 관찰되지 않았다. 또한, 도 37(B) 및 도 37(C)에 나타내는 바와 같이, 레이저 빔을 조사한 후에도, 단결정 규소층(201)에 입계가 존재하고 있지 않다. 따라서, 레이저 조사 처리에 의하여 레이저 빔에 의해 용융된 부분은 응고하여 단결정 구조가 되는 것을 확인할 수 있다.
- <500> 이상, 전자 후방 산란 회절상의 측정, 및 주사 투과 전자현미경에 의한 단면 구조의 관찰에 의하여, 레이저 조사 처리에 의해 용융된 단결정 규소층은 재단결정화하는 것이 확인되었다.
- <501> [실시예 4]
- <502> 실시예 2에서는, 레이저 조사 처리에 의해 단결정 규소층(201)이 용융되어 있는 것을 설명하였다. 본 실시예에서는, 용융된 단결정 규소층의 결정성이 향상되어 있는 것을 설명한다. 본 실시예에서는, 레이저 조사 처리 후의 단결정 규소층의 결정성을 평가하기 위하여 라만 분광 측정을 행하였다.
- <503> 도 38은 레이저 빔의 에너지 밀도에 대한 라만 시프트의 변화를 나타내는 그래프이다. 도 39는 레이저 빔의 에너지 밀도에 대한 라만 스펙트럼의 반치전폭(半值全幅)(FWHM: Full Width at Half Maximum)의 변화를 나타내는 그래프이다. 레이저 조사 처리 시의 스테이지 온도가 500°C , 250°C , 및 실온인 경우의 데이터를 나타내고 있다. 또한, 레이저 조사 처리는, 빔의 주사 속도를 $1.0 \text{ mm}/\text{초}$ 로 하고, 같은 영역에 10 쇼트 빔이 조사되도록 하였다. 이 때의 오버랩률은 약 90%이다. 조건은 다음과 같다. 또한, 단결정 규소층(201)의 두께는 100 nm 이다.
- <504> 도 38에 나타내는 라만 시프트의 피크 파수(波數)(피크값라고도 한다)는, 결정 격자의 진동 모드로 결정되는 값이고, 결정의 종류에 따라 고유의 값이 된다. 내부 응력이 없는 단결정 규소의 라만 시프트는 520.6 cm^{-1} 이다. 이 라만 시프트가 이 파수에 가까울 수록, 결정 구조가 단결정에 가깝고, 결정성이 좋은 것의 지표로 할 수 있다. 또한, 단결정에 압축 응력이 가해지고 있으면, 격자간 거리가 줄어들기 때문에, 압축 응력의 크기에 비례하여, 피크 파수가 고파수측으로 시프트한다. 반대로, 인장 응력이 가해지면, 그 응력에 비례하여 피크 파수는 저파수측으로 시프트한다.
- <505> 따라서, 실리콘층이 단결정인지 여부를 라만 시프트의 피크 파수가 520.6 cm^{-1} 인 것만으로 확인하는 것은 충분하지 않다. 단결정이란, 어느 결정축에 주목한 경우, 그 결정축의 방향이 시료의 어느 부분에서 같은 방향을 향하는 결정을 말하고, 또한, 결정과 결정과의 사이에 결정립계가 존재하지 않는 결정이다. 따라서, 단결정 구조인지 여부는, 결정축의 방향, 및 결정립계의 유무를 측정하는 것이 필요하지만, 라만 분광법에서는 결정 방위의 동정(同定)(identification), 및, 결정립계의 검출은 할 수 없다. 결정 방위의 동정, 및 결정립계의 검출에는, 예를 들어, 전자 후방 산란 회절법이 있다. 도 36에 나타내는 바와 같이, EBSP로부터 IPF 맵을 얻음으로써, 결정축(결정 방위)이 정렬되어 있는 것, 결정립계가 존재하지 않는 것을 확인할 수 있다.
- <506> 또한, 도 39에 나타내는 FWHM가 작을 수록, 결정 상태에 변동이 적고, 균일한 것을 나타내고 있다. 시판의 단결정 실리콘 웨이퍼의 FWHM은 $2.5 \text{ cm}^{-1} \sim 3.0 \text{ cm}^{-1}$ 정도이고, 이 값에 가까울 수록 결정성이 단결정 실리콘 웨이퍼와 같이 균일한 결정 구조를 가지고 있는 것의 지표로 할 수 있다.
- <507> 도 38 및 도 39의 라만 분광의 측정 결과로부터, 레이저 조사 처리함으로써, 가공하기 전의 단결정 실리콘 웨이퍼와 동일한 정도의 결정성으로 회복시킬 수 있다는 것을 알 수 있다.
- <508> 또한, 도 38 및 도 39의 데이터로부터, 단결정 반도체층(117)을 가열하면서 레이저 빔(122)을 조사함으로써, 단결정 반도체층(117)의 결정성의 회복에 필요한 레이저 빔의 에너지 밀도를 저하시킬 수 있다는 것을 알 수 있다. 즉, 단결정 규소층(201)을 가열하면서 레이저 조사를 함으로써, 라만 시프트의 파수 520.6 cm^{-1} 과 동일한

정도로 하고, 또한 FWHM를 $2.5 \text{ cm}^{-1} \sim 3.0 \text{ cm}^{-1}$ 정도로 하기 위한 조사 에너지 밀도를 저감할 수 있다는 것을 알 수 있다.

<509> 조사 에너지 밀도를 저하함으로써, 레이저 빔의 빔 형상을 넓게 할 수 있다. 따라서, 레이저 빔의 폭(주사 방향의 길이, 또는 단축 방향의 길이)을 길게 할 수 있기 때문에, 레이저 빔의 주사 속도를 빠르게 할 수 있다. 또한, 레이저 빔의 오버랩 률을 작게 할 수 있으므로, 레이저 빔의 주사 속도를 빠르게 할 수 있다. 따라서, 주사 속도를 빠르게 할 수 있으므로, 레이저 조사 처리에 요하는 텍트 타임이 작아진다. 따라서, 단결정 규소층을 가열하면서 레이저 처리를 행함으로써, 레이저 조사 처리의 스루풋이 향상된다. 오버랩률이란, 레이저 빔을 주사하면, 레이저 빔의 조사 영역이 이동하는데, 그 조사 영역이 겹치는 비율을 말한다.

<510> 단결정 규소층을 가열함으로써, 단결정 규소층의 결정성의 회복에 필요한 레이저 빔의 에너지 밀도가 저하되는 것의 이유의 하나는, 도 34(A) 및 도 34(B)의 측정 결과가 나타내는 바와 같이, 가열에 의해 단결정 규소층의 용융 시간이 길어지기 때문이다. 또한, 단결정 규소층이 용융 부분(액상 부분)을 가지고 있는 상태로부터, 냉각되어 완전히 고상 상태에 복귀할 때까지의 시간이 길어지기 때문이다.

<511> 따라서, 용융 시간이 200 나노초 이상 1000 나노초 이하가 되도록, 단결정 규소층을 가열하는 것이 바람직하다. 따라서, 단결정 규소층을 400°C 이상 지지 기판의 왜곡점 이하로 가열하면 좋다. 또한, 1000 나노초보다 긴 시간 용융 상태가 유지되어 있으면, 지지 기판(100)이 왜곡점 이상의 온도로 상승하여 용융할 우려가 있기 때문에, 용융 시간은 1000 나노초 이하가 바람직하다.

<512> 또한, 단결정 반도체 기판으로부터 분리된 단결정 반도체층의 결정성을 회복시키기 위해서는, 단결정 규소층을 용융시키는 것이 중요하다.

<513> 스테이지 온도가 실온이고, 레이저 빔의 에너지 밀도를 498 mJ/cm^2 로 하여, 실시예 2와 마찬가지로, 도 32의 레이저 조사 장치를 사용하여 프로브팡(360)의 반사 강도를 관찰한 결과, 프로브팡(360)의 반사 강도의 급격한 증가가 관찰되지 않았다. 즉, 실온, 498 mJ/cm^2 의 레이저 조사 처리에서는, 단결정 규소층이 용융하지 않았다고 생각된다. 한편, 도 38 및 도 39의 라만 분광 측정의 데이터로부터, 실온, 498 mJ/cm^2 의 조건에서는, 레이저 조사 처리에 의해 단결정 규소층(201)의 결정성은 회복되어 있지 않다고 간주할 수 있다.

<514> 이상으로부터, 단결정 규소층의 결정성을 회복시키기 위해서는, 레이저 조사 처리에 의해 단결정 규소층을 용융시키는 것이 중요하다. 또한, 평탄성을 향상시키기 위해서도, 레이저 조사 처리에 의해 단결정 규소층을 용융시키는 것이 중요하다.

<515> [실시예 5]

<516> 실시예 2에서는, 레이저 조사 처리에 의해 단결정 규소층(201)이 용융되어 있는 것을 설명하였다. 본 실시예에서는, 용융된 단결정 규소층의 표면이 평탄화되는 것을 설명한다.

<517> 본 실시예에서는, 표면의 평탄성은 원자간력 현미경(AFM: Atomic Force Microscope)에 의한 다이나믹 포스 모드(DFM: Dynamic Force Mode)에서의 관찰상(이하, AFM 상(傷)이라고 한다)을 해석함으로써부터 얻을 수 있는 표면 조도(粗度)를 나타내는 측정값으로 평가하였다. 도 40에 AFM에 의한 측정 결과를 나타낸다. 도 40에는, 단결정 규소층(201)의 표면의 원자간력 현미경에 의한 관찰상(이하, "AFM 상"이라고 한다)과, AFM 상을 기초로 계산된 단결정 규소층의 표면 조도를 나타낸다. 표면 조도로서, 평균 면 조도(Ra), 제곱 평균 면 조도(RMS: root-mean-square surface roughness), 및 산곡(山谷)(peak-to-valley)의 최대 고저차(P-V)(이하, 최대 고저차(P-V)라고 한다)를 산출하였다. 이를 값은, AFM 부속 소프트웨어에 의해 AFM 상의 표면 조도 해석을 행함으로써 산출하였다.

<518> AFM에 의한 측정 조건은 이하와 같다.

<519> · 원자간력 현미경(AFM): 주사형 프로브 현미경 SPI3800N/SPA500(세이코 인스트루먼트(주)제)

<520> · 측정 모드: 다이나믹 포스 모드(DFM 모드)

<521> · 캔틸레버: SI-DF40(실리콘제, 스프링 정수(定數) 42 N/m , 공진 주파수 $250 \sim 390 \text{ kHz}$, 탐침의 선단 $R \leq 10 \text{ nm}$)

<522> · 측정 면적: $30 \mu\text{m} \times 30 \mu\text{m}$

<523> · 측정 점 수: 256점 \times 256점

<524> 또한, DMF 모드란, 어느 주파수(캔틸레버에 고유의 주파수)에서 캔틸레버를 공진시킨 상태에서, 캔틸레버의 진동 진폭이 일정하게 되도록 탐침과 시료와의 거리를 제어하면서, 시료의 표면 형상을 측정하는 측정 모드이다. 이 DFM 모드에서는, 시료의 표면과 캔틸레버가 비접촉이기 때문에, 시료의 표면을 손상시키지 않고, 원래의 형상을 유지한 채로 측정할 수 있다.

<525> 도 40은 AFM에 의한 측정 결과를 나타내는 표이다. 레이저 조사 처리를 행하지 않은 단결정 규소층과, 레이저 조사 처리를 행한 단결정 규소층의 표면을 AFM으로 측정하였다. 도 40에는, 단결정 규소층의 AFM 상 및 AFM 상으로부터 얻어진 표면 조도를 나타낸다.

<526> 레이저 조사 처리는, 도 40에 나타내는 바와 같이, 스테이지 온도와 레이저 빔의 주사 속도의 조건이 다른, 총 4가지 조건으로 행하였다. 스테이지 온도는 500°C와 실온이고, 주사 속도는 1.0 mm/초 및 8.0 mm/초이다. 주사 속도가 1.0 mm/초인 경우, 레이저 빔의 펄스의 오버랩률은 89%이고, 8.0 mm/초인 경우, 오버랩률은 11%이다.

<527> 도 40의 측정 결과로부터 다음의 것을 알 수 있다. 레이저 빔의 조사에 의하여 용융되어 재결정화된 단결정 규소층(201)의 표면은 평탄화되고, 그 표면의 요철 형상의 평균 면 조도(Ra)를 3 nm 이하로 할 수 있고, 그의 제곱 평균 면 조도(RMS)를 1 nm 이상 5 nm 이하로 할 수 있다. 또한, 그 요철 형상의 최대 고저차(P-V)를 130 nm 이하로 할 수 있다. 즉, 레이저 조사 처리의 효과의 하나는 단결정 반도체층의 평탄화라고 할 수 있다.

<528> 또한, 단결정 반도체층을 가열하면서 레이저 빔을 조사함으로써, 평탄화하기 위해 필요한 에너지 밀도를 저감할 수 있다는 것을 알 수 있다. 또한, 에너지 밀도를 낮추고, 또한, 레이저 빔의 쇼트수(오버랩률)를 저감할 수도 있다. 쇼트수를 줄이기 위해서는, 레이저 빔의 주사 속도(기판의 이동 속도)를 빠르게 하게 되기 때문에, 1장의 기판을 처리하기 위한 택트 타임이 단축된다. 따라서, 레이저 조사 공정의 스루풋이 향상된다. 단결정 반도체층의 용융하여 있는 시간을 연장시킴으로써, 그 비율도 10분의 1 정도로까지 저감할 수 있고, 또한 0%로 할 수도 있다. 레이저 빔의 조사 시에 단결정 반도체층을 가열하는 것이 바람직하다. 가열 온도는 250°C 이상 650°C 이하가 바람직하다.

<529> 본 실시예에 의하여, 유리 기판을 파손하는 힘을 가하지 않고, 또한, 그의 왜곡점을 넘는 온도로 가열하지 않고도, 단결정 규소층의 평탄화를 가능하게 한다는 것을 명확하게 알 수 있었다. 이와 같이, 본 실시예는 반도체 기판의 제조방법에서 레이저 조사 처리의 혁신적인 사용 방법을 개시하는 것이다.

<530> 이하, 본 명세서에서 표면의 평탄성의 지표에 사용하는 평균 면 조도(Ra), 제곱 평균 면 조도(RMS), 및, 산곡의 최대 고저차(P-V)에 대하여 설명한다.

<531> 평균 면 조도(Ra)란, JIS B 0601:2001(ISO 4287:1997)로 정의된 중심선 평균 조도(Ra)를 측정면에 대하여 적용할 수 있도록 3차원으로 확장한 것이다. 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현할 수 있고, 식 (a1)로 나타낼 수 있다.

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY \quad \dots(a1)$$

<532> 또한, 측정면이란, 모든 측정 데이터에 의해 나타내어지는 면이고, 식 (a2)로 나타내어진다.

$$Z = F(X, Y) \quad \dots(a2)$$

<533> 또한, 지정면이란, 조도 계측의 대상이 되는 면이고, 좌표(X₁, Y₁)(X₁, Y₂)(X₂, Y₁)(X₂, Y₂)로 나타내어지는 4점에 의해 둘러싸인 직사각형의 영역으로 하고, 지정면이 이상적으로 플랫(flat)이라고 했을 때의 면적을 S₀로 한다. 따라서, S₀는 식 (a3)으로 구해진다.

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1) \quad \dots(a3)$$

<534> 또한, 기준면이란, 지정면의 높이의 평균값을 Z₀로 할 때, Z = Z₀로 나타내어지는 평면이다. 기준면은 XY 평면과 평행이 된다. 또한, Z₀는 식 (a4)로 구해진다.

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY \quad \dots(a4)$$

<538>

제곱 평균 면 조도(RMS)란, 단면 곡선에 대한 RMS를, 측정면에 대하여 적용할 수 있도록, Ra와 마찬가지로 3차원으로 확장한 것이다. 기준면으로부터 지정면까지의 편차의 제곱을 평균한 값의 평방근으로 표현할 수 있고, 식 (a5)로 나타내어진다.

$$RMS = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY} \quad \dots(a5)$$

<540>

산곡의 최대 고저차(P-V)란, 지정면에서, 가장 높은 피크(peak)의 표고(標高)(Z_{max})와 가장 낮은 밸리(valley)의 표고(Z_{min})의 차(差)로 표현할 수 있고, 식 (a6)으로 나타내어진다.

$$P - V = Z_{\max} - Z_{\min} \quad \dots(a6)$$

<542>

여기서 말하는 피크와 밸리는 JIS B 0601:2001(ISO 4287:1997)로 정의되어 있는 "피크"와 "밸리"를 3차원으로 확장한 것이고, 피크는 지정면의 산에서 표고가 가장 높은 곳, 밸리는 지정면에서 표고가 가장 낮은 곳으로 표현된다.

도면의 간단한 설명

<544> 도 1은 반도체 기판의 구성의 일례를 나타내는 외관도.

<545> 도 2는 반도체 기판의 구성의 일례를 나타내는 외관도.

<546> 도 3은 반도체 기판의 제조에 사용되는 단결정 반도체 기판의 외관도.

<547> 도 4(A)~도 4(E)는 반도체 기판의 제조방법을 나타내는 단면도.

<548> 도 5(A) 및 도 5(B)는 반도체 기판의 제조방법을 나타내는 단면도.

<549> 도 6은 반도체 기판의 구성의 일례를 나타내는 외관도.

<550> 도 7은 반도체 기판의 구성의 일례를 나타내는 외관도.

<551> 도 8은 반도체 기판의 제조방법을 나타내는 단면도.

<552> 도 9(A)~도 9(E)는 반도체 기판의 제조방법을 나타내는 단면도.

<553> 도 10(A) 및 도 10(B)는 반도체 기판의 제조방법을 나타내는 단면도.

<554> 도 11은 레이저 조사 장치의 구성의 일례를 나타내는 도면.

<555> 도 12(A)는 레이저 조사 장치의 구성의 일례를 나타내는 단면도, 도 12(B)는 대면적 기판과 레이저 빔의 조사 영역과의 위치 관계를 나타내는 상면도.

<556> 도 13은 레이저 조사 장치의 구성의 일례를 나타내는 사시도.

<557> 도 14(A)~도 14(D)는 반도체장치의 제조방법을 설명하는 단면도.

<558> 도 15(A)~도 15(C)는 도 14(D)에 이어지는 공정을 설명하는 단면도.

<559> 도 16은 도 15(C)에 이어지는 공정을 설명하는 상면도, 및 상면도를 A-B 절단선에서 자른 단면도.

<560> 도 17(A)~도 17(E)는 반도체장치의 제조방법을 설명하는 단면도.

<561> 도 18(A)~도 18(C)는 도 17(E)에 이어지는 공정을 설명하는 단면도.

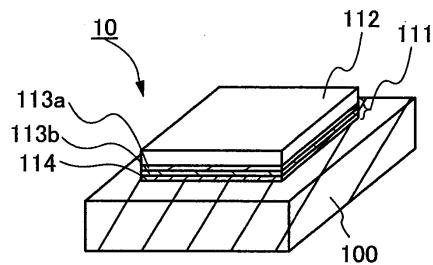
<562> 도 19(A) 및 도 19(B)는 도 18(C)에 이어지는 공정을 설명하는 단면도.

<563> 도 20(A)~도 20(E)는 반도체장치의 제조방법을 설명하는 단면도.

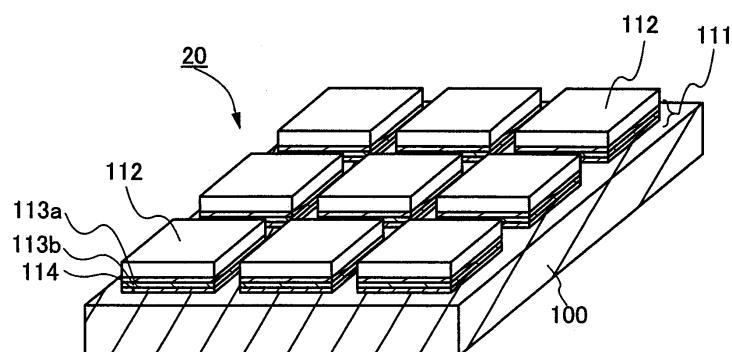
- <564> 도 21은 마이크로프로세서의 구성의 일례를 나타내는 블록도.
- <565> 도 22는 RFCPU의 구성의 일례를 나타내는 블록도.
- <566> 도 23은 액티브 매트릭스 표시장치의 구성예를 나타내는 블록도.
- <567> 도 24는 액정 표시장치의 화소의 구성예를 나타내는 회로도.
- <568> 도 25는 일렉트로루미네스نس 장치의 화소의 구성예를 나타내는 회로도.
- <569> 도 26은 반도체 기판에서의 회로의 배치예를 나타내는 사시도.
- <570> 도 27(A)는 액정 표시장치의 화소의 평면도, 도 27(B)는 도 27(A)의 J-K 절단선에 따른 단면도.
- <571> 도 28(A)는 일렉트로루미네스نس 표시장치의 화소의 평면도, 도 28(B)는 화소의 단면도.
- <572> 도 29(A)는 휴대 전화기의 외관도, 도 29(B)는 디지털 플레이어의 외관도, 도 29(C)는 전자책의 외관도.
- <573> 도 30(A)는 휴대 전화기의 정면도, 도 30(B)는 그의 평면도, 도 30(C)는 그의 전개도.
- <574> 도 31은 반도체 기판의 단면도.
- <575> 도 32는 프로브(probe)광의 반사광의 강도 변화를 측정하기 위해 사용한 레이저 조사 장치의 구성을 설명하는 도면.
- <576> 도 33(A)는 레이저 빔과 프로브광의 조사 영역의 관계를 나타내는 평면도, 도 33(B)는 도 33(A)의 절단선 Y-Z에 따른 단면도로서, 프로브광의 빔 프로파일의 설명도.
- <577> 도 34(A) 및 도 34(B)는 오실로스코프(oscilloscope)에 입력된 신호 파형의 사진.
- <578> 도 35는 프로브광의 강도에 대응하는 신호 파형의 모식을 나타낸 그래프.
- <579> 도 36(A)~도 36(D)는 EBSP로부터 얻어진 단결정 규소층의 IPF 맵(map), 도 36(E)는 IPF 맵의 배색(配色)과 결정 방위의 관계를 나타내는 컬러 코드 맵.
- <580> 도 37(A)~도 37(C)는 주사 투과 전자현미경으로 얻어진 반도체 기판 단면의 STEM 상(像).
- <581> 도 38은 레이저 빔의 에너지 밀도에 대한, 단결정 규소층의 라만 시프트의 피크 파수(波數)의 변화를 나타내는 그래프.
- <582> 도 39는 레이저 빔의 에너지 밀도에 대한, 단결정 규소층의 라만 스펙트럼의 반치(半值) 전폭(全幅)을 나타내는 그래프.
- <583> 도 40은 원자간력 현미경으로 측정한 단결정 규소층 표면의 관찰 상(傷)과, 표면 조도(粗度)를 나타내는 표.
- <584> 도 41은 이온 도핑 장치로 H_2 가스로부터 생성되는 이온종(種)의 질량 분석 결과를 나타내는 그래프.
- <585> 도 42는 이온 주입 장치로 PH_3 가스로부터 생성되는 이온종의 질량 분석 결과를 나타내는 그래프.
- <586> 도 43은 수소 분자 및 수소 이온(H^+ , H_2^+ , H_3^+)의 에너지 다이어그램.
- <587> 도 44는 가속 전압이 80 kV인 경우의 수소 원소의 깊이 방향 프로파일(계산값 및 실측값)의 그래프.
- <588> 도 45는 가속 전압이 80 kV인 경우의 수소 원소의 깊이 방향 프로파일(계산값, 실측값 및 피팅(fitting) 함수)의 그래프.
- <589> 도 46은 가속 전압이 60 kV인 경우의 수소 원소의 깊이 방향 프로파일(계산값, 실측값 및 피팅 함수)의 그래프.
- <590> 도 47은 가속 전압이 40 kV인 경우의 수소 원소의 깊이 방향 프로파일(계산값, 실측값 및 피팅 함수)의 그래프.
- <591> 도 48은 도 45~도 47에 나타내는 피팅 함수의 피팅 파라미터(수소 원소비 및 수소 이온종 비)의 표.

도면

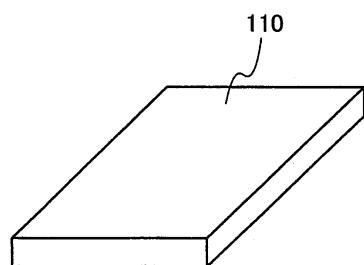
도면1



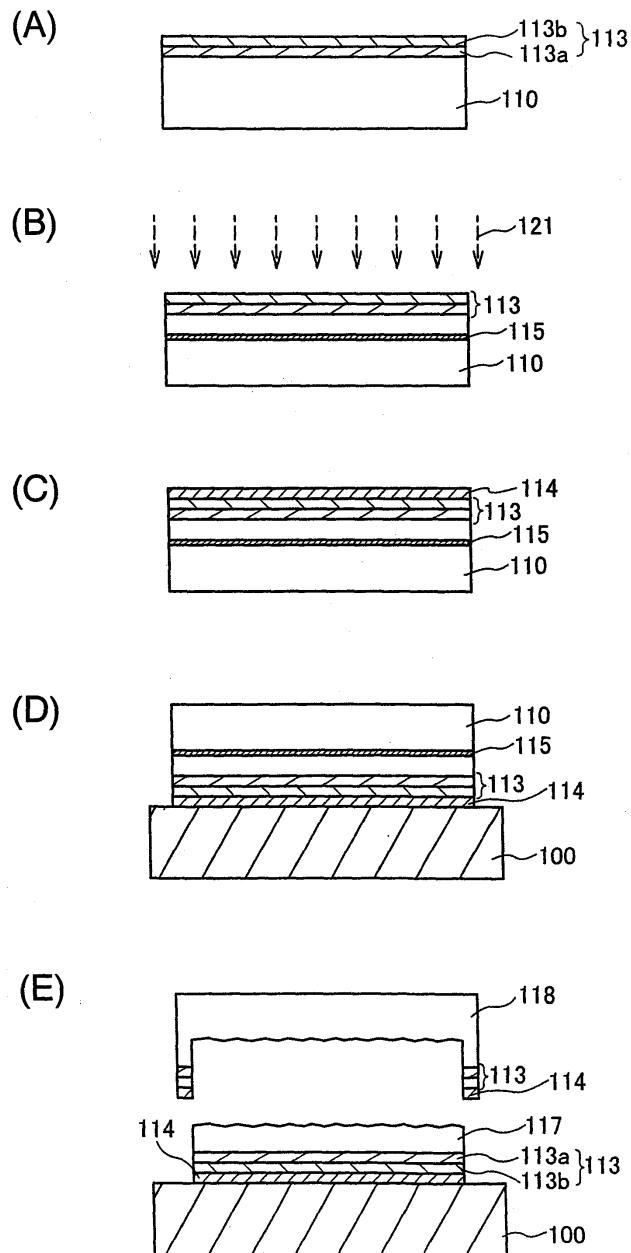
도면2



도면3

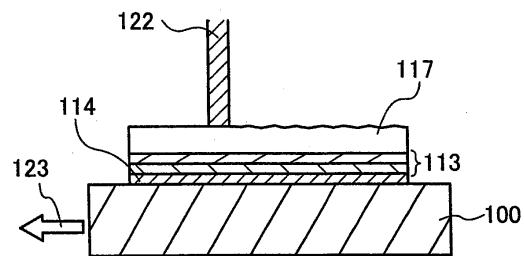


도면4

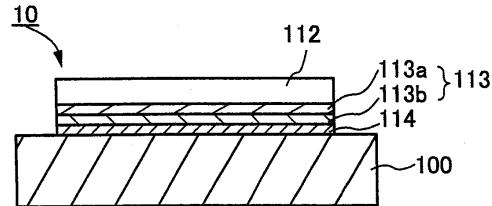


도면5

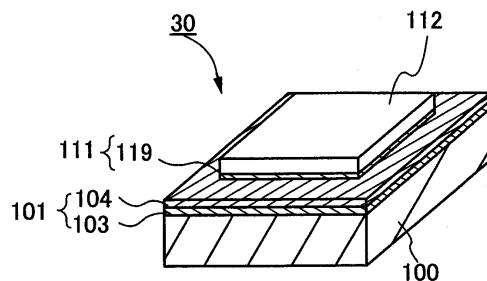
(A)



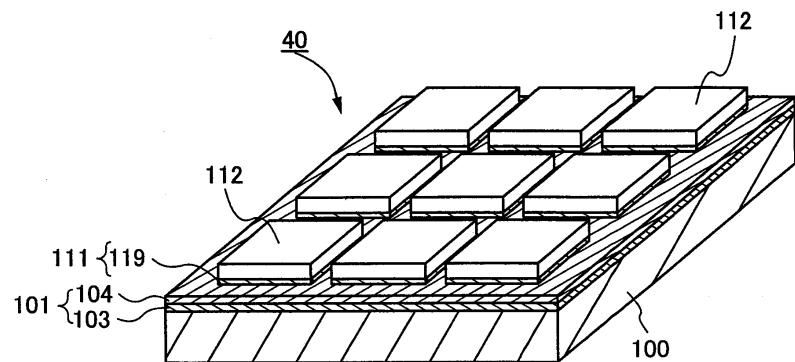
(B)



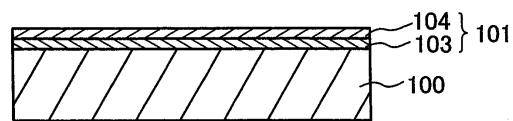
도면6



도면7



도면8

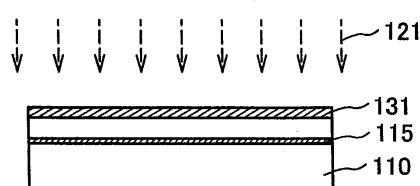


도면9

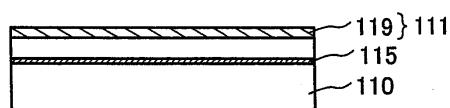
(A)



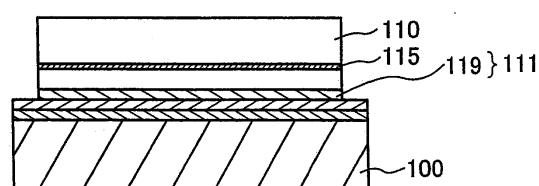
(B)



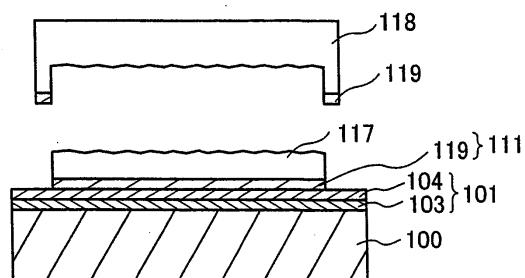
(C)



(D)

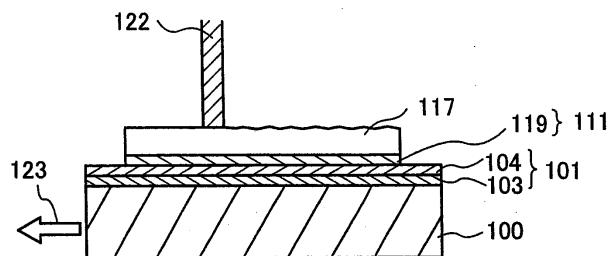


(E)

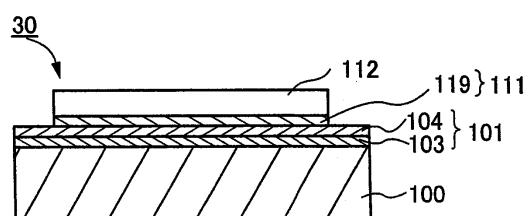


도면10

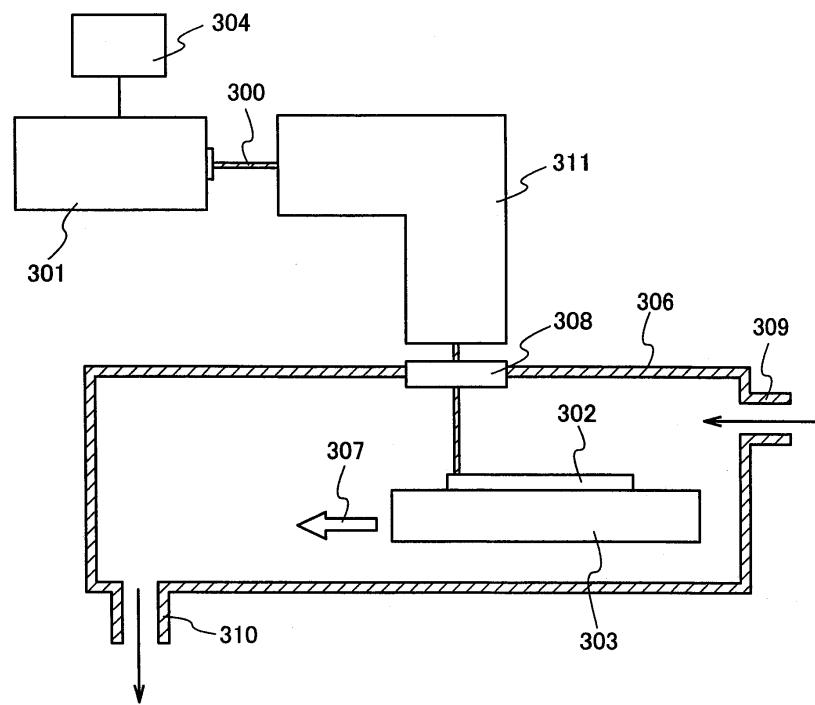
(A)



(B)

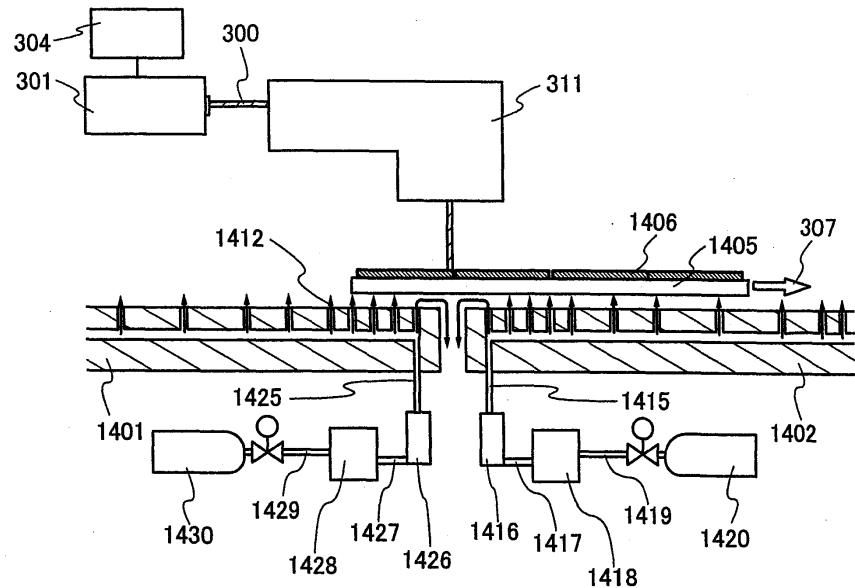


도면11

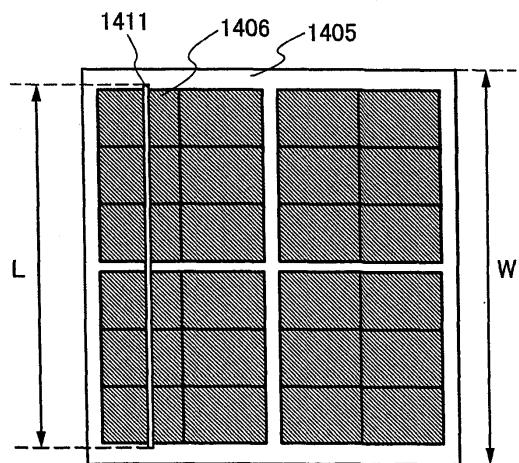


도면12

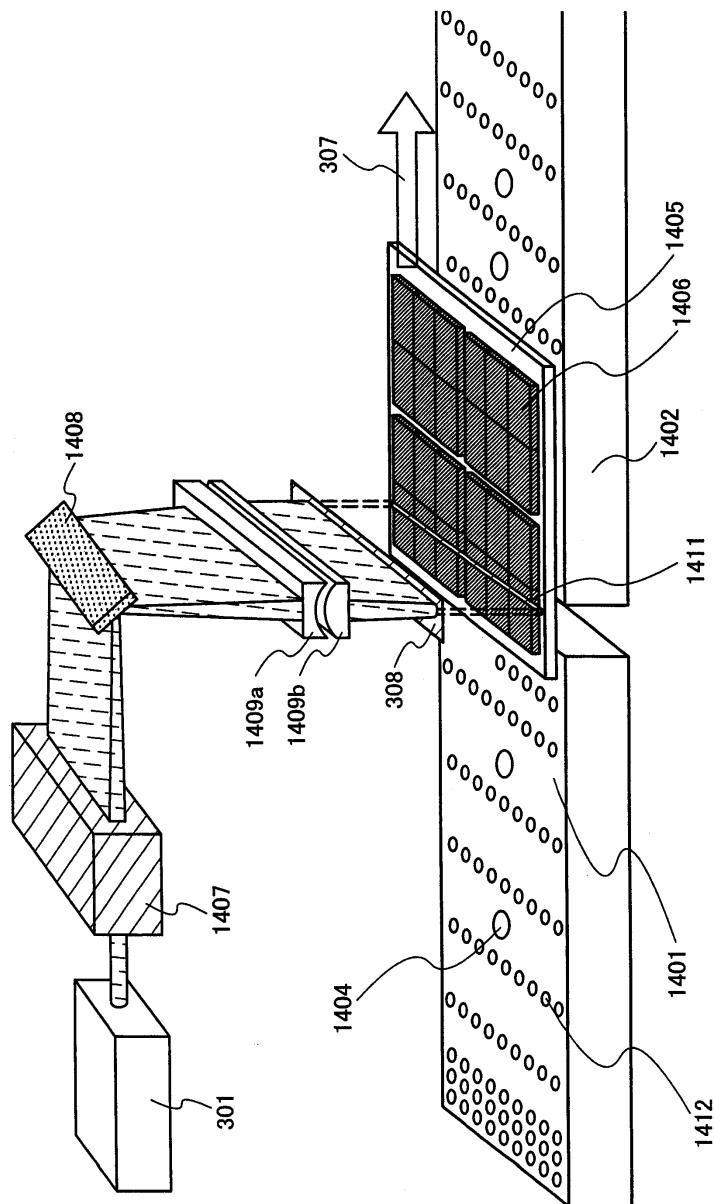
(A)



(B)

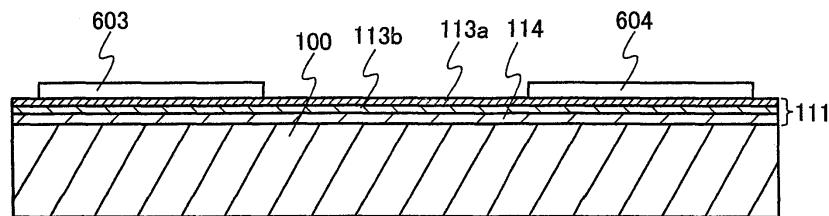


도면13

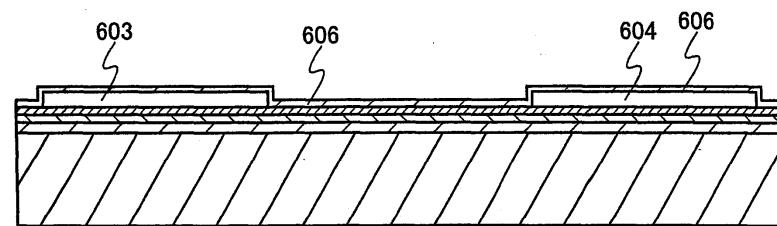


도면14

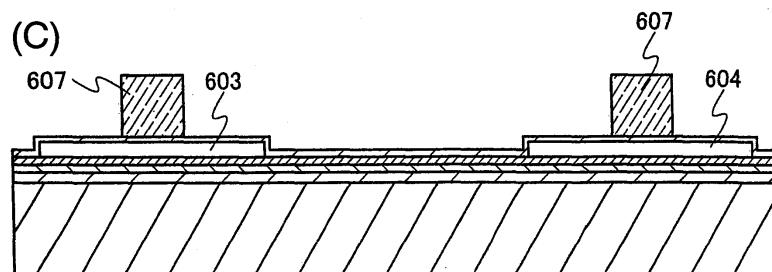
(A)



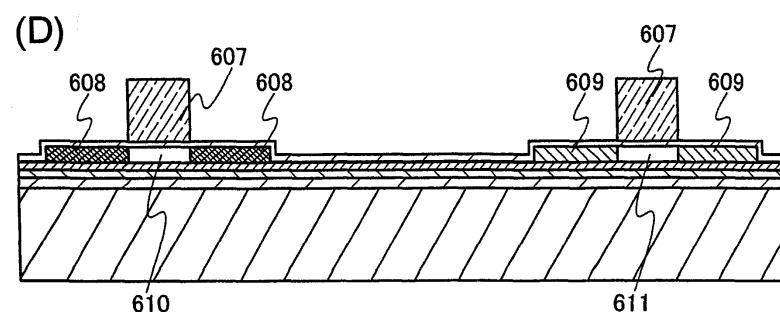
(B)



(C)

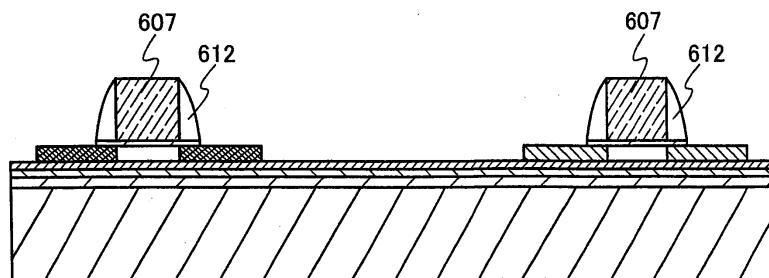


(D)

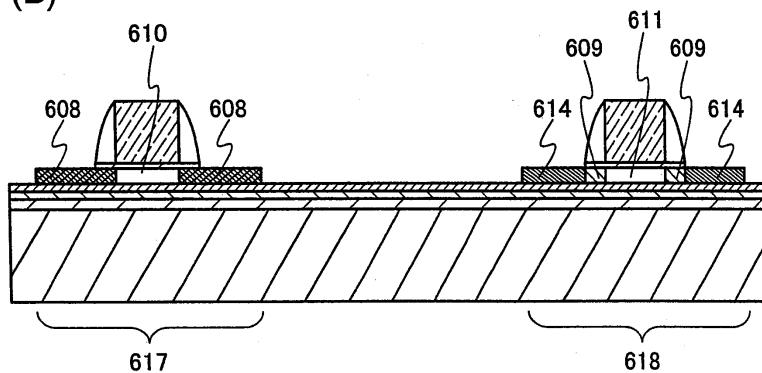


도면15

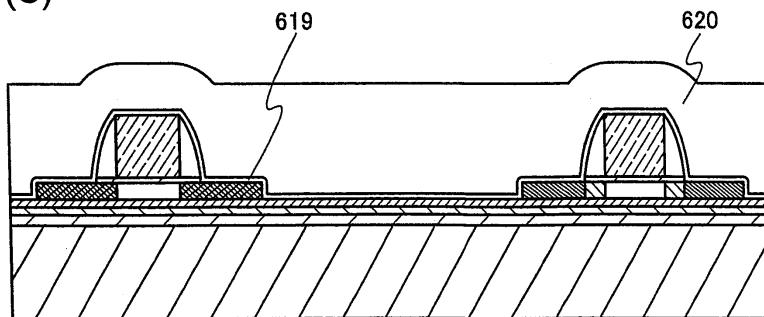
(A)



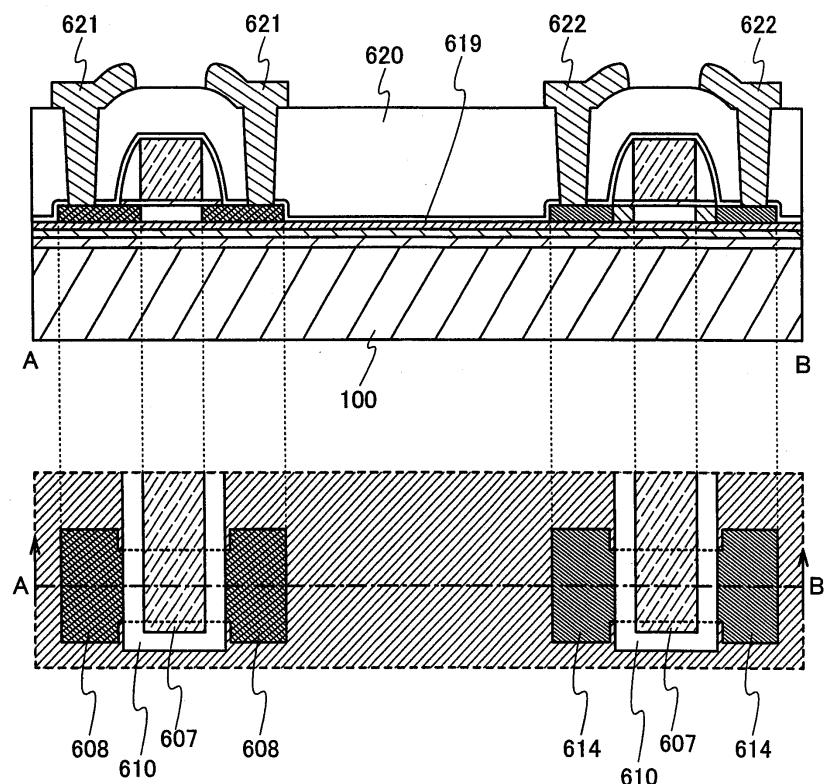
(B)



(C)

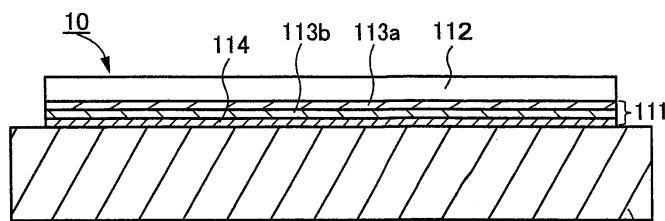


도면16

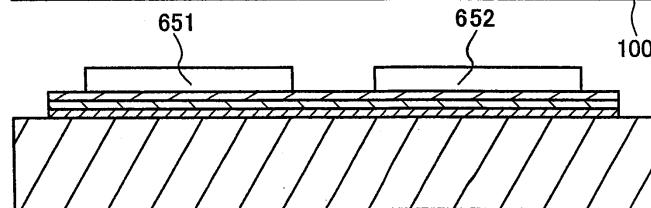


도면17

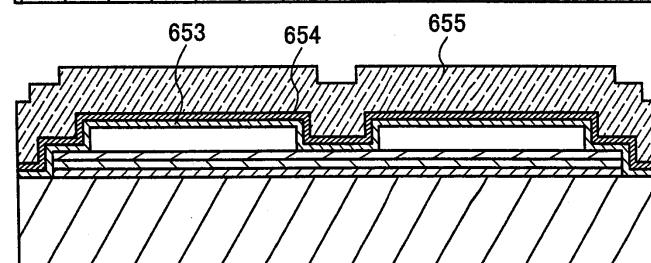
(A)



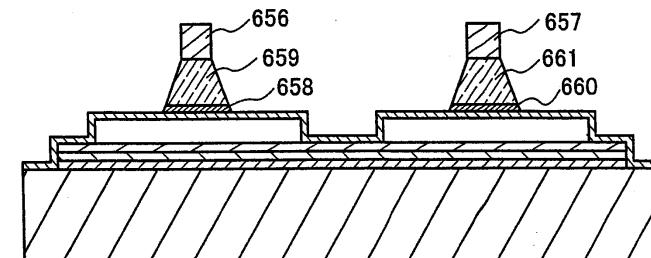
(B)



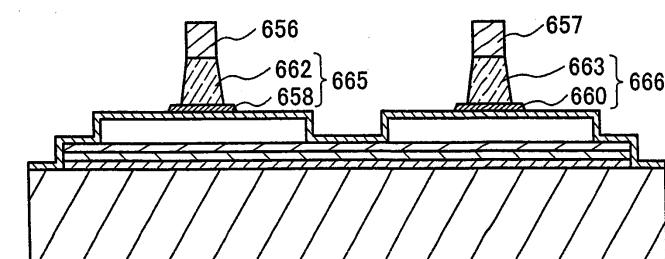
(C)



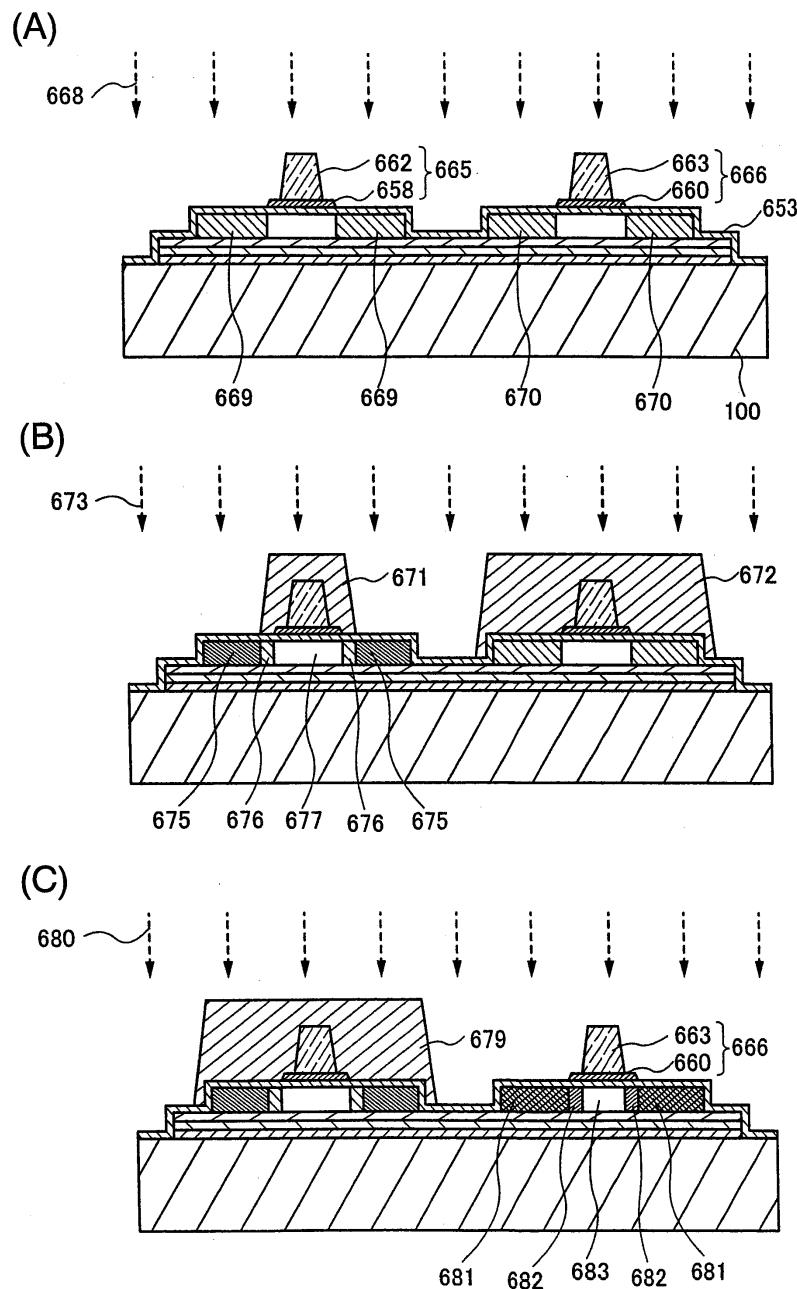
(D)



(E)

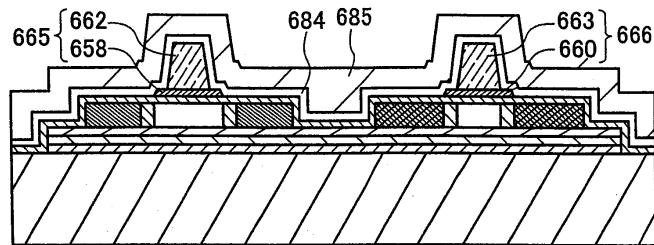


도면18

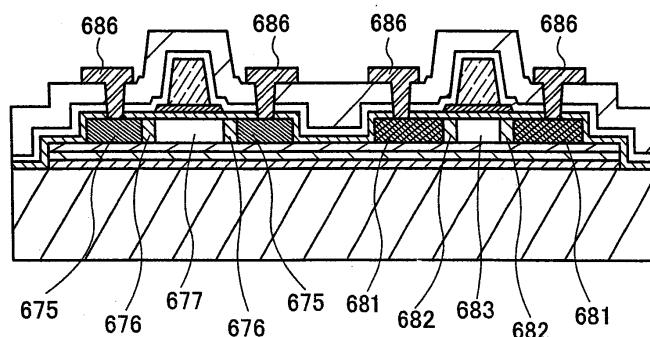


도면19

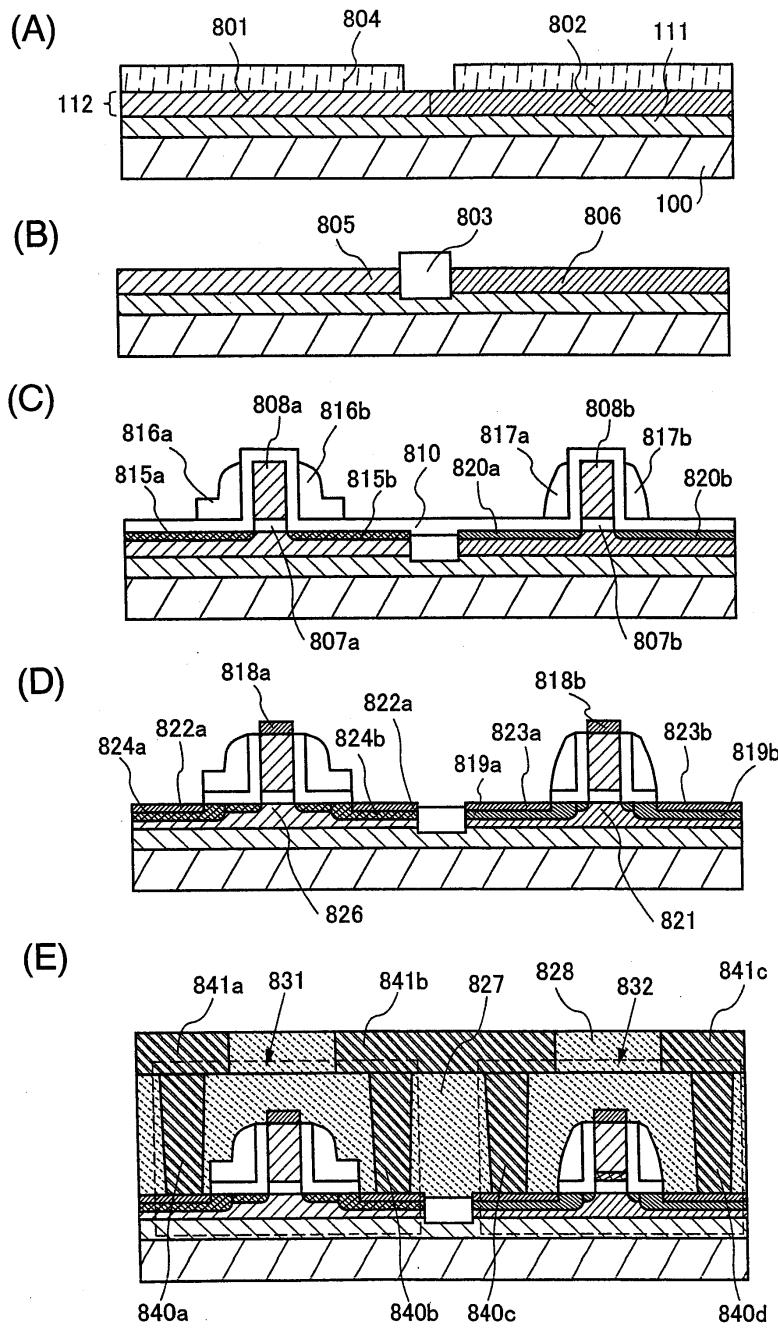
(A)



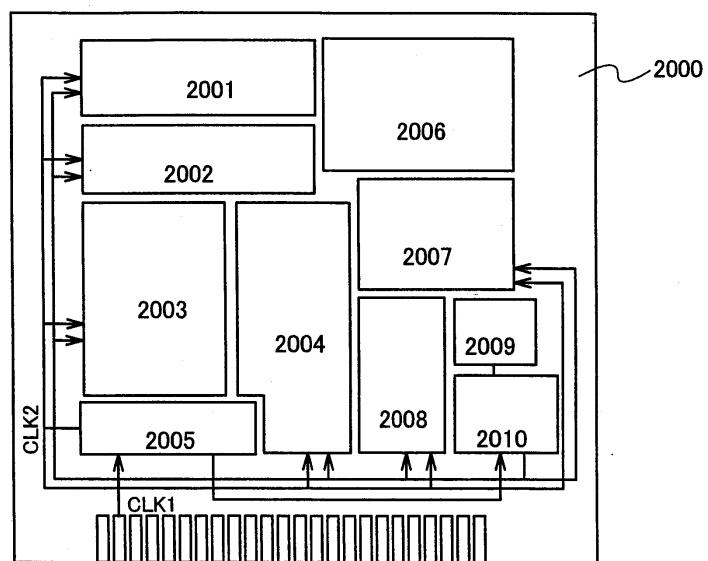
(B)



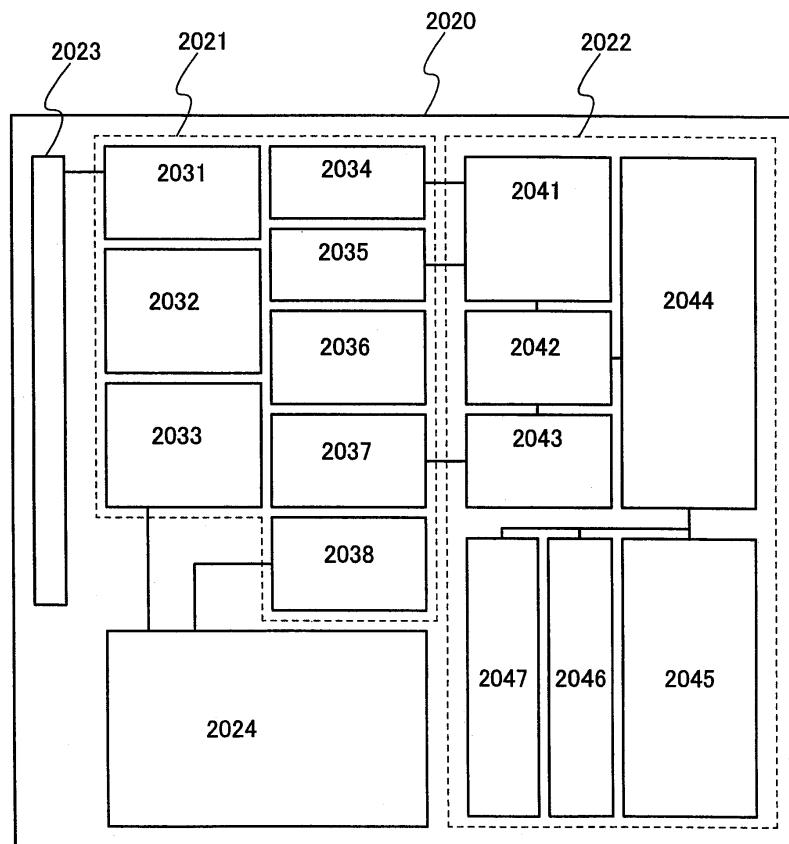
도면20



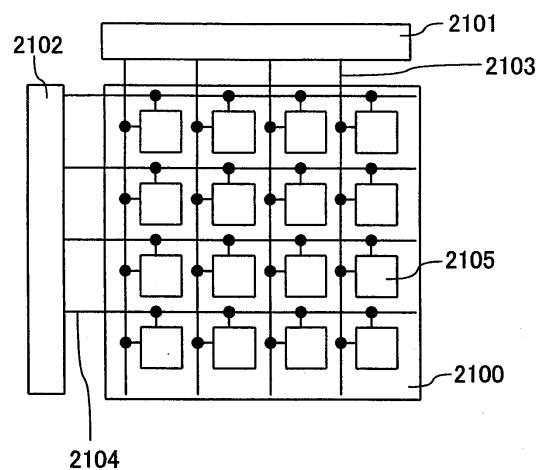
도면21



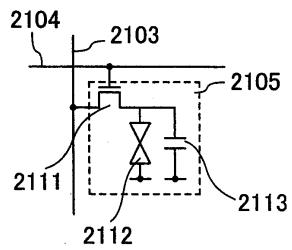
도면22



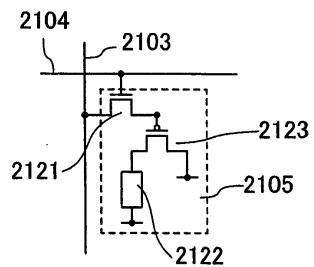
도면23



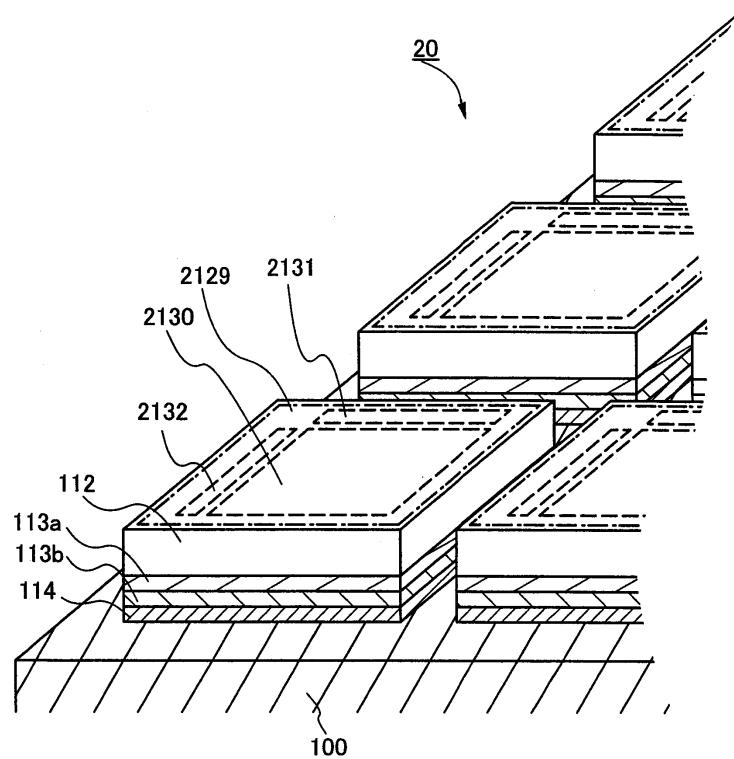
도면24



도면25

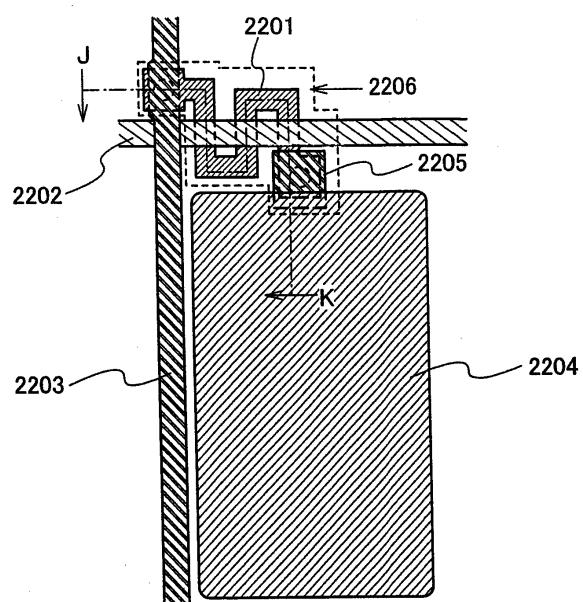


도면26

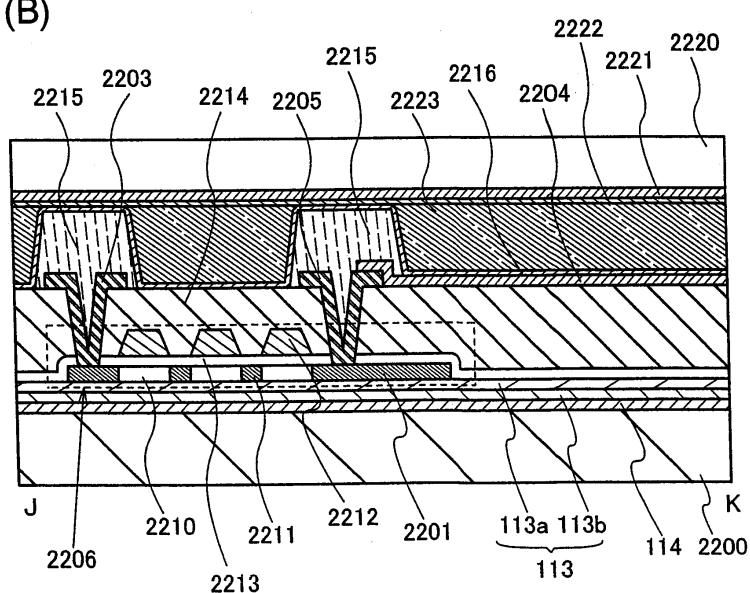


도면27

(A)

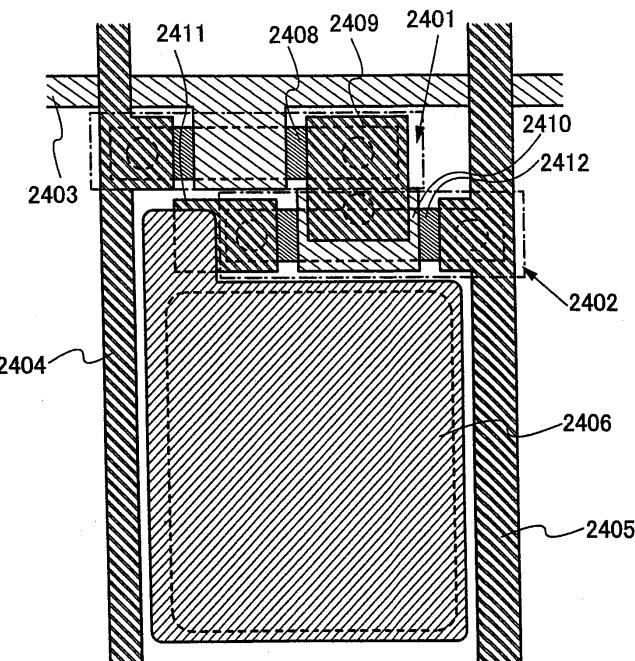


(B)

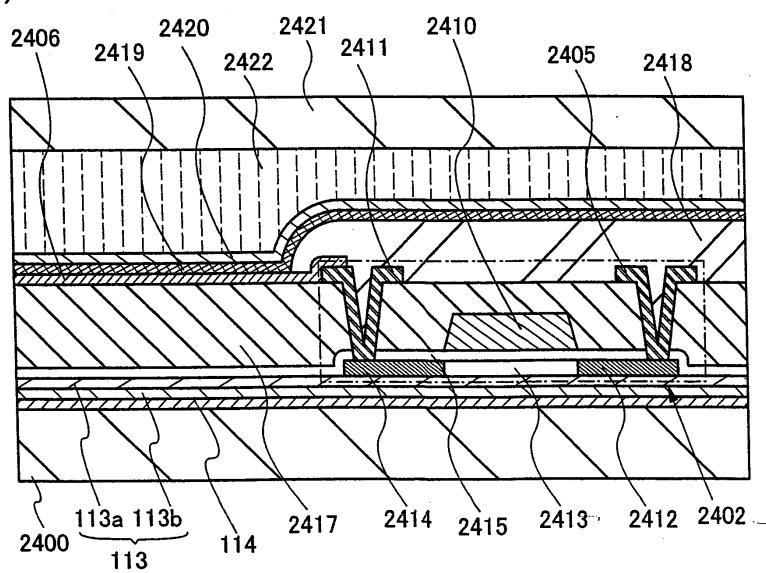


도면28

(A)

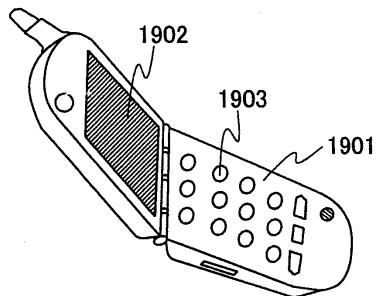


(B)

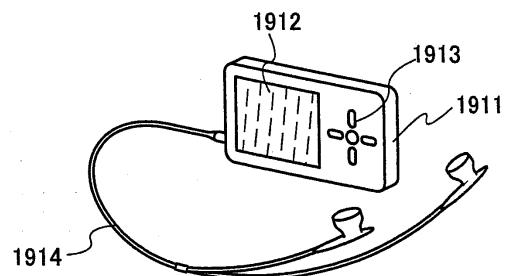


도면29

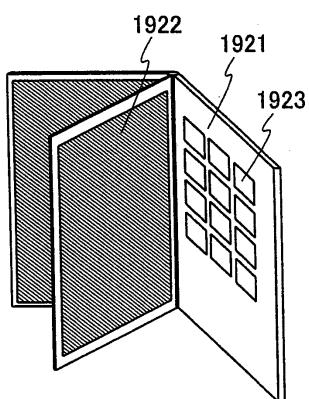
(A)



(B)

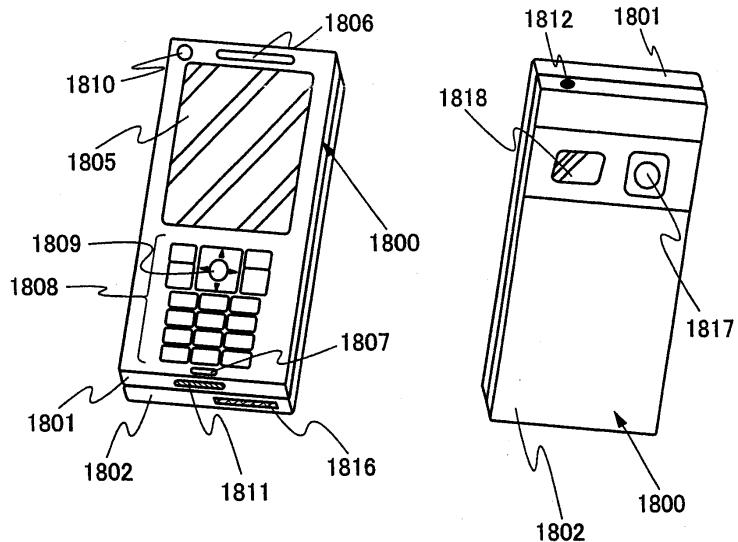


(C)

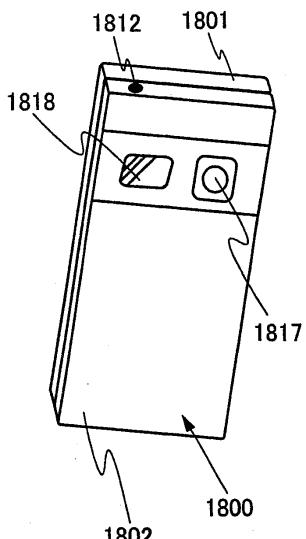


도면30

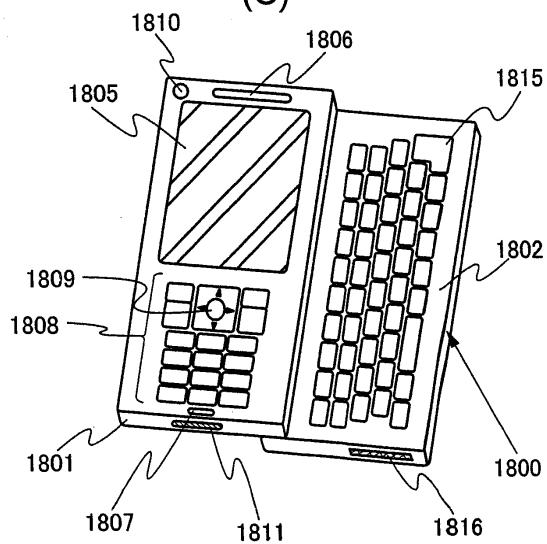
(A)



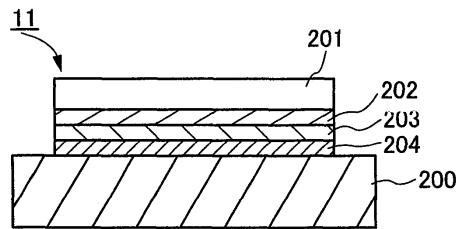
(B)



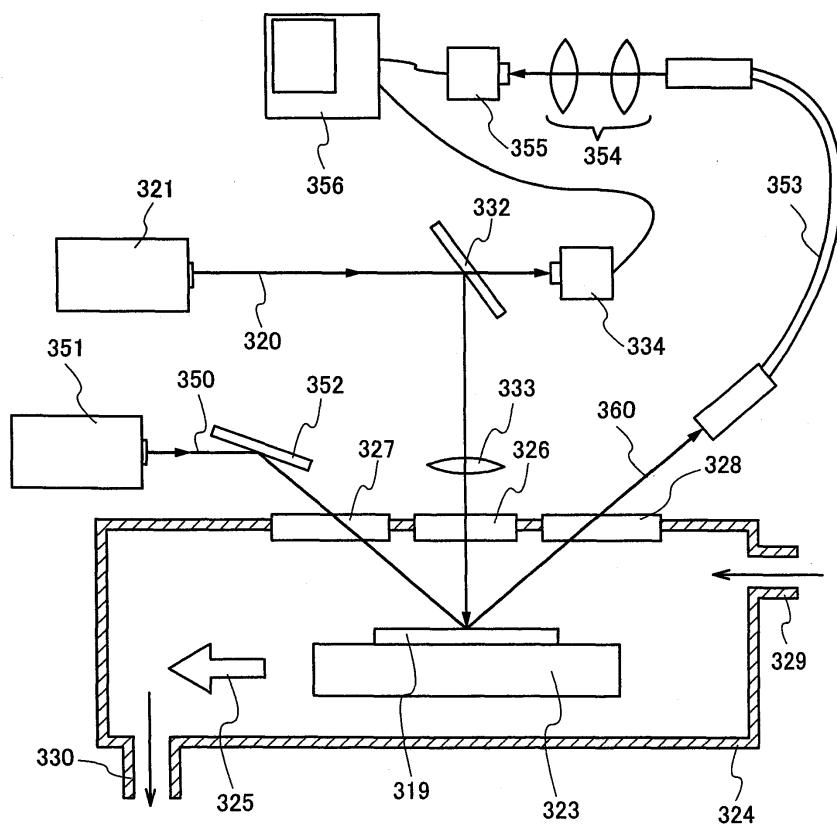
(C)



도면31

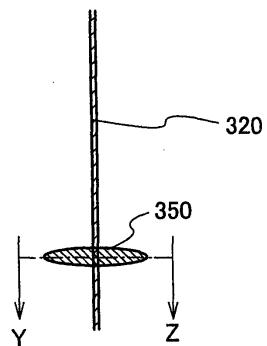


도면32

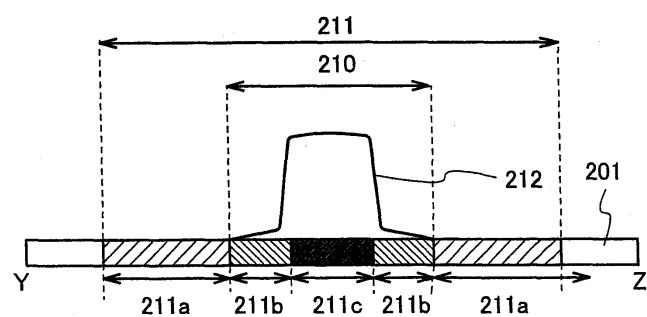


도면33

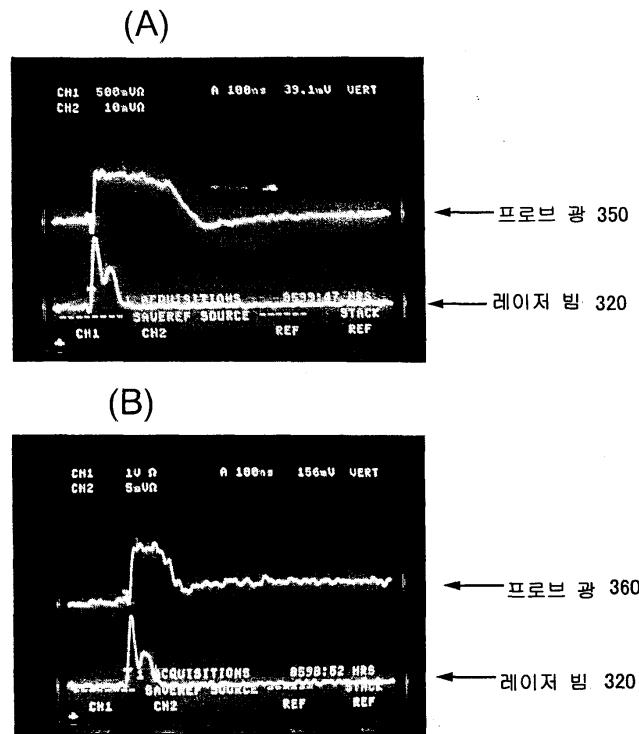
(A)



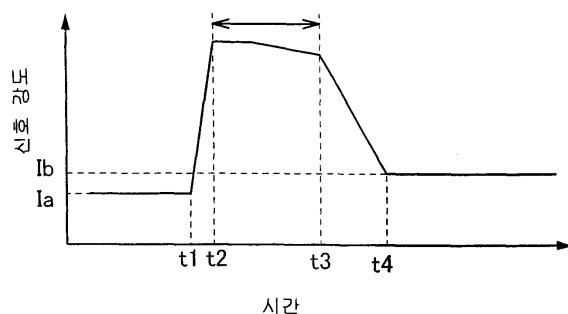
(B)



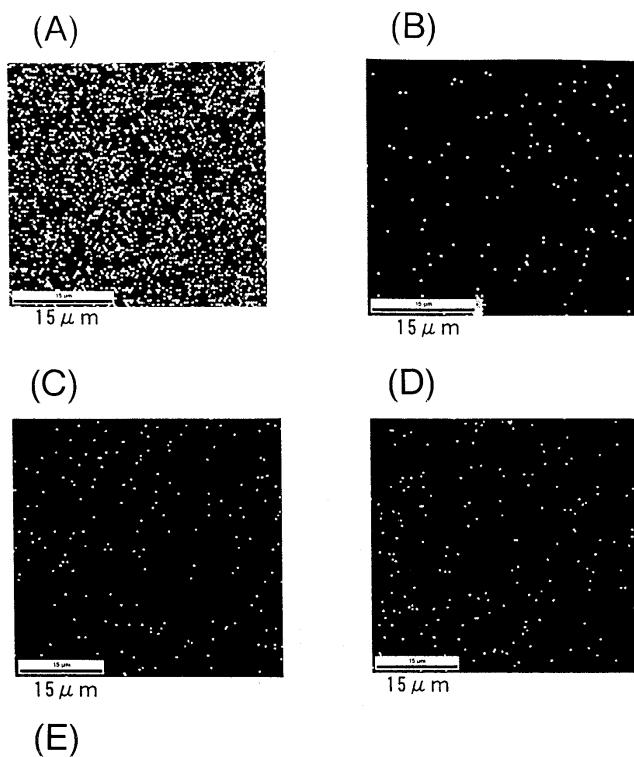
도면34



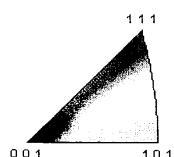
도면35



도면36



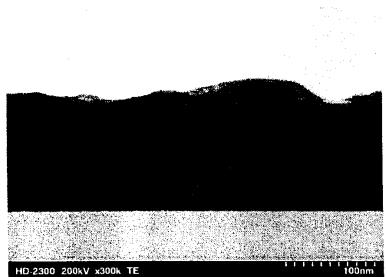
계조 맵 타입: <none>
컬러 코드 맵 타입: 역극점 도 [001]
실리콘



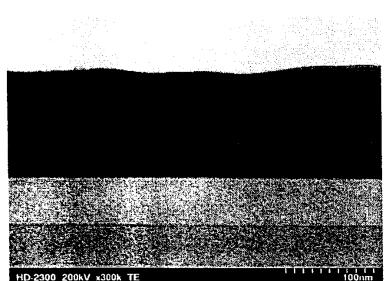
경계: <none>

도면37

(A)



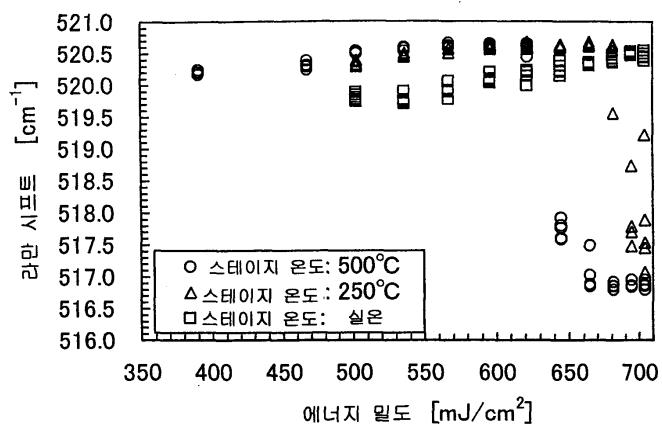
(B)



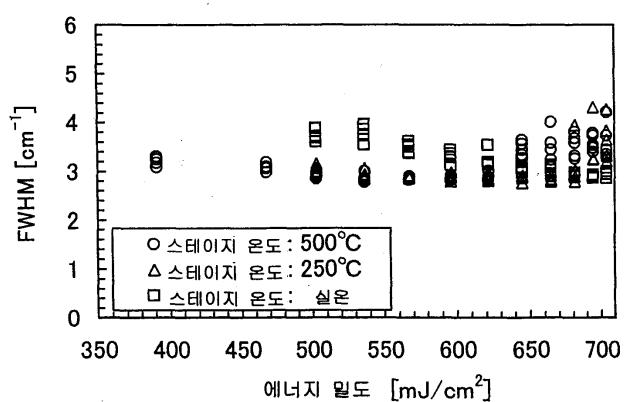
(C)



도면38



도면39

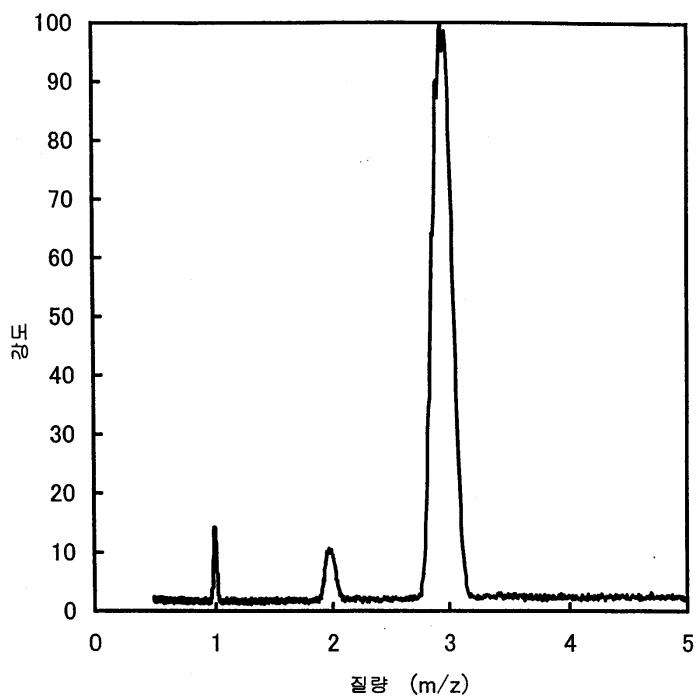


도면40

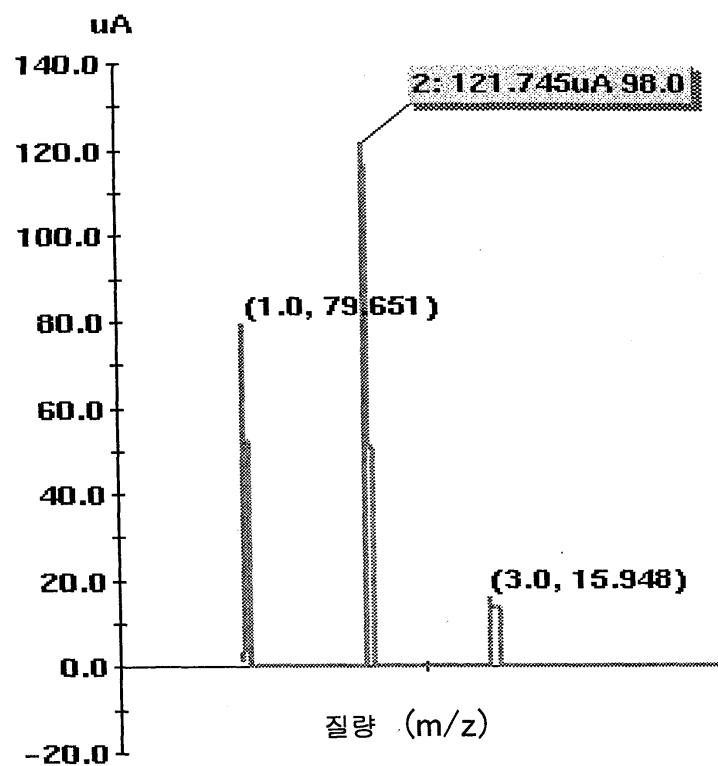
처리 조건	레이저 조사 처리 후		
	500°C	실온	
스테이지 온도	1.0mm/sec	1.0mm/sec	8.0mm/sec
주사 속도	89%	11%	11%
오버 랩 률	622mJ/cm ²	567mJ/cm ²	703mJ/cm ²
에너지 밀도			
AFM 쟁 [30 μm × 30 μm]			
Ra[nm]	9.8	2.1	1.3
RMS[nm]	14.5	3.0	2.0
P-V[nm]	258.5	80.4	77.2
			105.4

Re: 평균 면 조도
RMS: 세금 평균 면 조도
P-V: 최대 고저 차

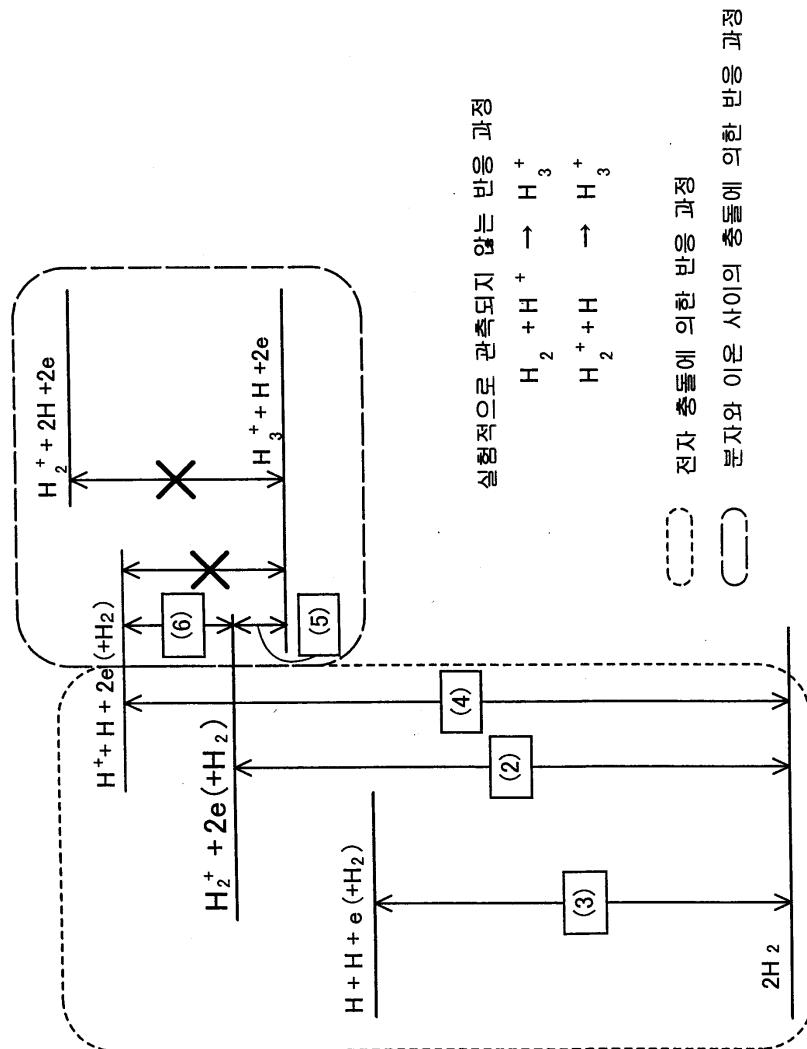
도면41



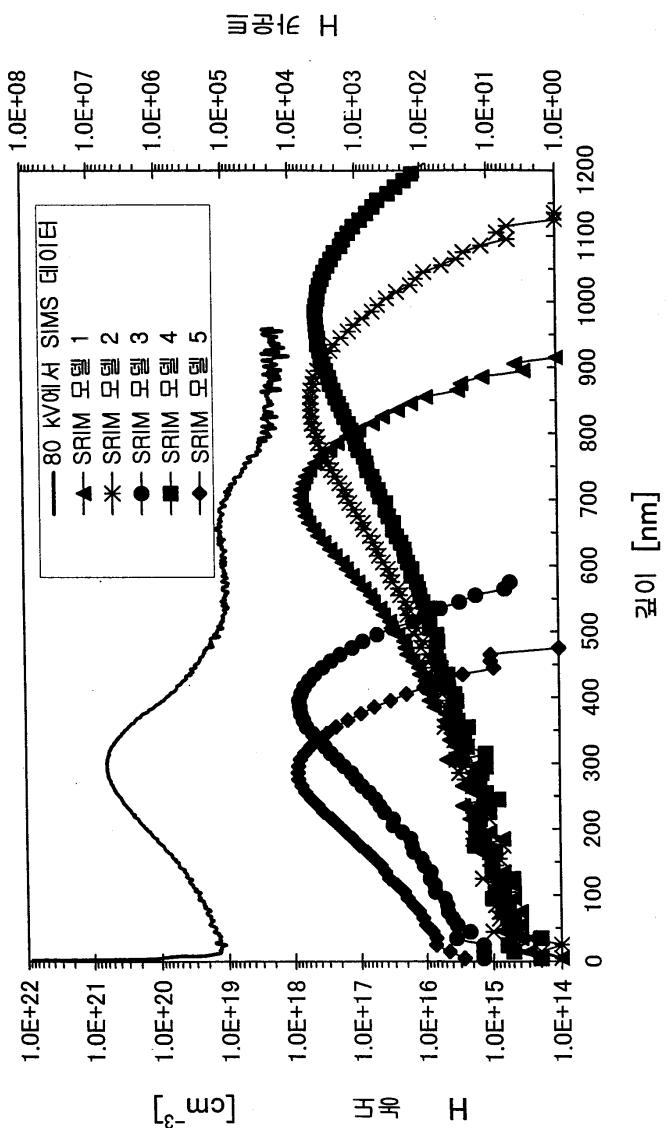
도면42



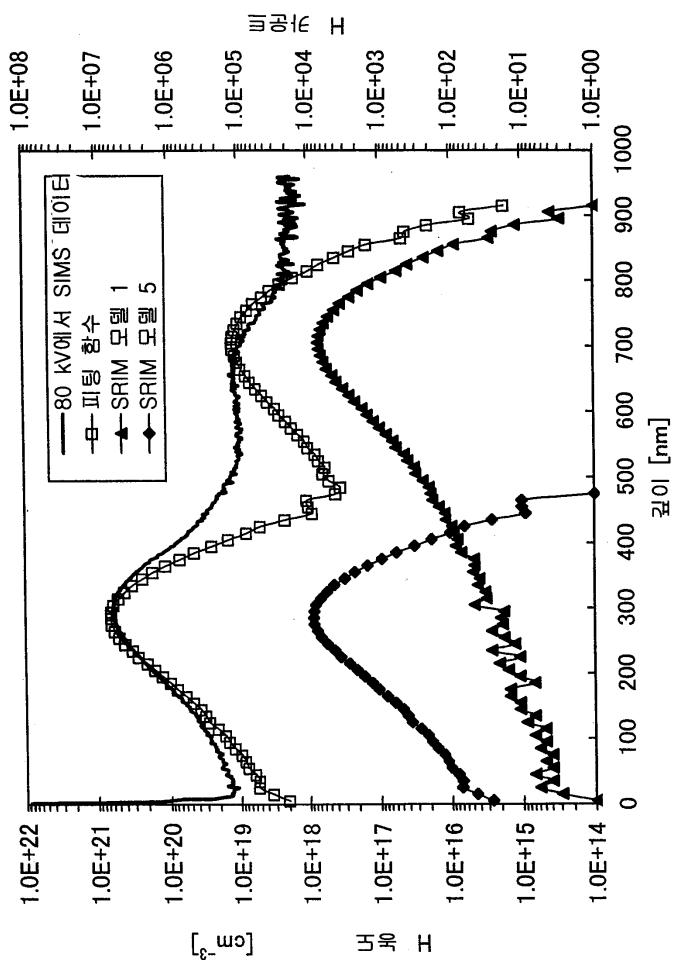
도면43



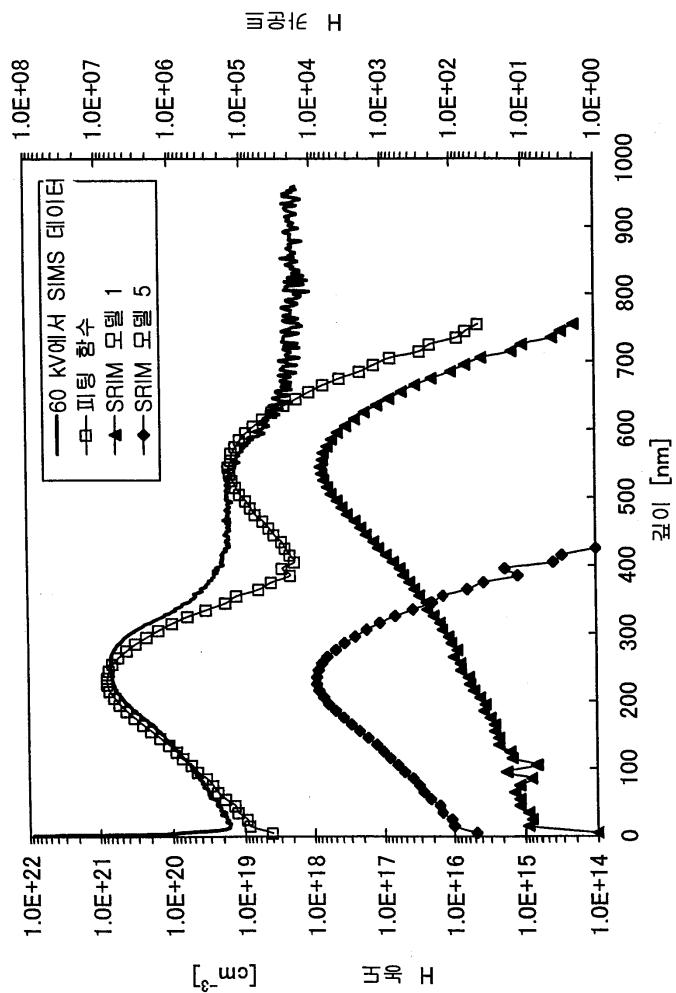
도면44



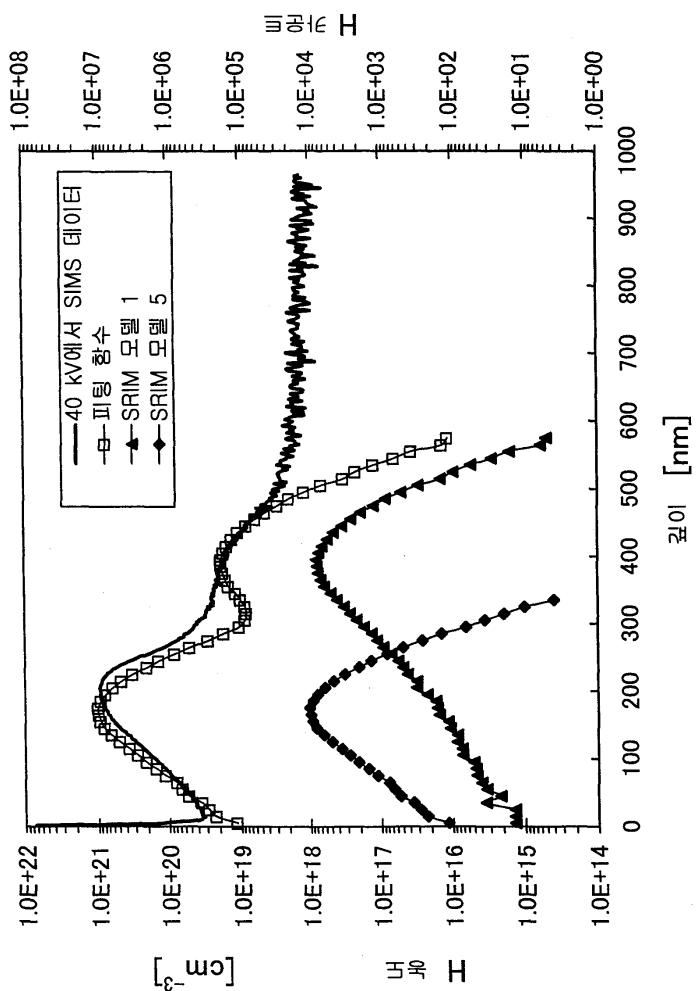
도면45



도면46



도면47



도면48

가속 전압	수소 원소비 (X:Y)	수소 이온종 비 (X:Y/3)
80kV	01:44.1	01:14.7
60kV	01:42.5	01:14.2
40kV	01:43.5	01:14.5