

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 26.07.91.

③0 Priorité : 16.05.91 KR 9107979.

④3 Date de la mise à disposition du public de la demande : 20.11.92 Bulletin 92/47.

⑤6 Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : SAMSUNG ELECTRONICS CO., LTD. — KR.

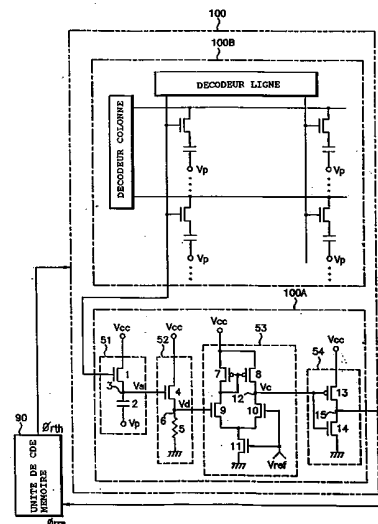
⑦2 Inventeur(s) : Jeon Jun-Young et Jin Dae-Je.

⑦3 Titulaire(s) :

⑦4 Mandataire : Cabinet Bonnet Thirion.

⑤4 Dispositif de mémoire à semiconducteurs capable d'exécuter des opérations de régénération non périodiques.

⑤7 Un dispositif de mémoire à semiconducteurs, comportant des cellules de mémoire mémorisant de manière continue une information donnée au moyen d'une réécriture, c'est-à-dire, d'une opération de régénération capable d'exécuter des opérations de régénération non périodiques. L'élément de mémoire à semiconducteurs comprend de manière interne un générateur de signal de demande de régénération (100A) comportant une cellule de mémoire de référence (51) connectée à une ligne de mot dans le dispositif de mémoire (100). Le générateur de signal de demande de régénération (100A) produit des signaux de demande de régénération seulement au moment de l'effacement de l'information mémorisée dans la cellule de mémoire. Les signaux de demande de régénération sortis font en sorte que des signaux de régénération soient transférés dans la cellule de mémoire. Ainsi, des opérations de régénération non périodiques peuvent être exécutées, en réduisant par ce moyen la consommation de courant, et en augmentant le nombre des opérations d'entrée/sortie d'information.



**DISPOSITIF DE MEMOIRE A SEMICONDUCTEURS CAPABLE D'EXECUTER  
DES OPERATIONS DE REGENERATION NON PERIODIQUES**

La présente invention se rapporte à un dispositif de  
5 mémoire à semiconducteurs, telle qu'une mémoire vive  
dynamique (DRAM) et une mémoire vive pseudo statique (RAM),  
comportant un seul transistor et un seul condensateur, plus  
particulièrement, elle se rapporte à un dispositif à  
semiconducteurs exécutant une opération de régénération non  
10 périodique.

Dans une cellule de mémoire constituée d'un seul  
transistor et d'un seul condensateur, une décharge du  
condensateur fait que l'information qui y est mémorisée est  
détruite et effacée. Par conséquent, la réécriture périodique  
15 de l'information, appelée opération de régénération est  
nécessaire pour mémoriser de manière continue l'information.  
Le dispositif de mémoire à semiconducteurs nécessitant une  
opération de régénération comporte un circuit de commande de  
mémoire, pour exécuter des opérations de régénération  
20 régulières à certains intervalles de temps.

La figure 1 est un schéma-blocs de système du dispositif  
de mémoire à semiconducteurs classique effectuant des  
opérations de régénération. Le dispositif semiconducteur de  
la figure 1 utilise une DRAM comme dispositif de mémoire 100.  
25 Si le dispositif de mémoire 100 est pourvu de manière interne  
d'un générateur d'adresse de régénération 80, le générateur  
d'adresse de régénération 80 représenté en ligne pointillée,  
n'est pas nécessaire.

Les opérations de régénération sont exécutées de manière  
30 régulière et à l'intérieur d'un certain intervalle de temps  
au moyen de signaux produits par différents composants tels  
qu'une unité centrale de traitement (CPU) 60 pour commander  
le dispositif de mémoire 100, un sélecteur d'adresse 70, une  
unité de synchronisation et de commande 90, et un générateur  
35 d'adresse de régénération 80. D'une manière générale l'  
intervalle de temps des opérations de régénération, dans un

RAM dynamique de 1 méga bits, est de 8 msec, et ceci est exécuté en 512 cycles.

S'il est supposé que 2.048 cellules sont connectées à une adresse de ligne, alors toutes les cellules de 1 méga bits peuvent être régénérées, c'est-à-dire,  $512 \times 2.048 = 1.048.576$  bits. La vitesse de l'opération de régénération est déterminée en fonction de la caractéristique de régénération du dispositif de mémoire à semiconducteurs, et habituellement, la caractéristique de régénération à la température ambiante (25° C) est meilleure d'environ 10 fois que celle à température élevée (83° C). Cependant, la vitesse de l'opération de régénération est déterminée par la caractéristique de régénération à une température élevée. Par conséquent, l'opération de régénération à la température ambiante conduit à des opérations de régénérations inutiles, avec le résultat indésirable que la consommation de puissance est augmentée, et que les opérations d'entrée/sortie d'information sont limitées par la durée de l'opération de régénération.

C'est un objectif de la présente invention que de créer un dispositif de mémoire à semiconducteur exécutant de façon non périodique les opérations de régénération en fonction de sa température.

Pour réaliser cet objectif, le dispositif de mémoire à semiconducteurs selon la présente invention est pourvu de manière interne d'un générateur de signal de demande de régénération, une borne d'entrée et de sortie de celui-ci étant connectée respectivement à une ligne de mot et une première adresse de ligne dans l'élément de mémoire, et d'une unité de synchronisation et de commande.

En outre, pour atteindre l'objectif ci-dessus, le générateur de signal de demande de régénération selon la présente invention comprend : une cellule de mémoire de référence recevant des signaux d'une ligne de mot d'une première adresse de ligne dans un réseau de cellules de

mémoire; un détecteur recevant la sortie de la cellule de mémoire de référence; un comparateur pour comparer la sortie du détecteur avec une tension de référence; et un terminal de sortie pour amplifier la sortie du comparateur.

5 Les caractéristiques et avantages de l'invention ressortiront d'ailleurs de la description qui va suivre à titre d'exemple en référence aux dessins annexés, sur lesquels :

la figure 1 est un schéma-blocs du dispositif de mémoire  
10 à semiconducteurs classique capable d'exécuter des opérations de régénération;

La figure 2 est schéma-blocs du dispositif de mémoire à semiconducteurs équipé du générateur de signal de demande de régénération selon la présente invention;

15 La figure 3 est un schéma-blocs montrant la constitution du générateur de signal de demande de régénération selon la présente invention;

La figure 4 est un mode de réalisation du générateur de signal de demande de régénération selon la présente  
20 invention; et

La figure 5 est un chronogramme du fonctionnement du générateur de signal de demande de régénération selon la présente invention.

La figure 2 représente les connexions entre un élément  
25 de mémoire 100 contenant un générateur de signal de demande de régénération 100A de la présente invention et les autres composants du système. Comme cela est montré à la figure 2, le générateur de signal de demande de régénération 100A installé à l'intérieur du dispositif de mémoire 100,  
30 transfère des signaux du générateur de signal de demande de régénération 100A vers une unité de commande du dispositif de mémoire 90.

La figure 3 est un schéma-blocs montrant sous une forme simple le générateur de signal de demande de régénération  
35 selon la présente invention. Le générateur de signal de

demande de régénération comprend une cellule de mémoire de référence 51, un détecteur 52 pour détecter la tension cumulée mémorisée dans la cellule de mémoire de référence 51; un comparateur 53 pour comparer la tension cumulée détectée avec une tension de référence  $V_{REF}$ , pour déterminer si un signal de demande de régénération doit être émis ou non; et un terminal de sortie 54 pour amplifier la sortie du comparateur 53.

La figure 4 représente les relations de connexion entre le générateur de signal de demande de régénération et la cellule de mémoire. Le générateur de signal de demande de régénération 100A est installé à l'intérieur de l'élément de mémoire. Un signal de sortie  $\phi_{RRS}$  du générateur de signal de demande de régénération 100A est transféré dans l'unité de commande 90, et à son tour l'unité de commande 90 transfère un signal de régénération  $\phi_{RFH}$  à l'élément de mémoire, en exécutant par ce moyen une opération de régénération.

La cellule de mémoire de référence 51 dans le générateur de signal de demande de régénération 100A comprend un transistor NMOS (semiconducteur de type N à grille isolée par oxyde métallique) 1, un condensateur 2 et un noeud de sortie 3. Le transistor NMOS 1 a sa grille connectée à une ligne de mot et à une première adresse de ligne dans un réseau de cellules de mémoire 100B, et son drain connecté à une source de courant. Le condensateur 2 est connecté entre une tension de plaque de cellule  $V_p$  et un noeud de mémorisation. Le noeud de sortie 3 est connecté en commun à la source du transistor NMOS 1 et au noeud de mémorisation du condensateur 2. Une pluralité de condensateurs et de transistors NMOS, comme le condensateur 2 et le transistor 1 dans la cellule de mémoire de référence 51, peuvent être disposés en parallèle entre la source de courant et la plaque de cellule.

Le détecteur 52 comprend un transistor NMOS 4, une résistance 5 et un noeud de sortie 6. Le transistor NMOS 4 a sa grille connectée au noeud de sortie 3 de la cellule de

mémoire de référence 51 et son drain connecté à la source de courant  $V_{CC}$ . Une borne de la résistance 5 est connectée à la borne de masse. Le noeud de sortie 6 est connecté en commun à la source du transistor NMOS 3 et à l'autre borne de la

5 résistance 5.

Le comparateur 53 comprend deux transistors PMOS (semiconducteur de type P à grille isolée par oxyde métallique) 7, 8, trois transistors NMOS 9, 10, 11, et un noeud de sortie 12. Le premier transistor PMOS 7 a sa source

10 connectée à la source de courant  $V_{CC}$ , et sa grille et son drain connectés l'un à l'autre. Le second transistor PMOS 8 a sa source connectée à la source de courant  $V_{CC}$ , et sa grille connectée à la grille du premier transistor PMOS 7. Le premier transistor NMOS 9 a sa grille connectée au noeud de

15 sortie 6 du détecteur 52, et son drain connecté au drain du premier transistor PMOS 7. Egalement le second transistor NMOS 10 a sa grille connectée à la borne de tension de référence  $V_{REF}$  tandis que le troisième transistor NMOS 11 a sa grille connectée à la borne de tension de référence  $V_{REF}$ ,

20 son drain connecté en commun aux sources du premier et du second transistors NMOS 9, 10 et sa source connectée à la borne de masse. Le noeud de sortie 12 est connecté en commun aux drains du second transistor PMOS 8 et du second transistor NMOS 10.

25 Le terminal de sortie 54 comprend un transistor PMOS 13, un transistor NMOS 14, et un noeud de sortie 15. Le transistor PMOS 13 a sa source connectée à la source de courant  $V_{CC}$ , et sa grille connectée au noeud de sortie 12 du comparateur 53. Le transistor NMOS 14 a sa source connectée à

30 la borne de masse et sa grille connectée au noeud de sortie 12 du comparateur 53. Le noeud de sortie 15 est connecté en commun aux drains du transistor PMOS 13 et du transistor NMOS 14.

Le terminal de sortie 54 est constitué d'inverseurs, et

35 ces inverseurs peuvent être combinés en nombre de  $2n+1$  ( $n =$

0, 1, 2, 3, ...) afin d'amplifier le signal de sortie  $\phi_{RSS}$  dans des proportions importantes.

Le fonctionnement du circuit de la figure 4 va maintenant être décrit. Lorsque le signal de demande de régénération  $\phi_{RRS}$  n'est pas produit, ce qui signifie que l'information dans la cellule de mémoire est maintenue intacte, le noeud de sortie 3 de la cellule de mémoire de référence 51 est maintenu à un niveau  $V_{CC}$  (état logique "haut"). Le noeud de sortie 3 c'est-à-dire, un noeud de mémorisation produit une tension  $V_S$  d'un niveau "haut" pour rendre conducteur le transistor NMOS 4 du détecteur 52. Par conséquent, la résistance à l'état conducteur du transistor NMOS 4 dans le détecteur 52 est diminuée, de sorte que le noeud de sortie 6 du détecteur 52 sort une tension  $V_D$  d'un niveau "haut". La tension  $V_D$  est plus élevée que la tension de référence  $V_{REF}$  de plus de la moitié du niveau de  $V_{CC}$ . Par conséquent, le noeud de sortie 12 du comparateur 53 sort une tension  $V_C$  d'un niveau "haut". La tension  $V_C$  d'un niveau "haut" ne peut pas commander le terminal de sortie 54 constitué de l'inverseur, ce dont il résulte que le signal de demande de régénération  $\phi_{RRS}$  n'est pas produit. Cependant, si le potentiel de  $V_S$  devient plus bas que la tension de référence  $V_{REF}$  en raison d'une fuite de courant produite au noeud de sortie 3 de la cellule de mémoire de référence 51, la tension  $V_D$  du détecteur 52 est produite à un niveau "bas" équivalent au niveau de la masse. Ce dont il résulte que, le premier transistor NMOS 9 du comparateur 53 est bloqué, et que la tension  $V_C$  du noeud de sortie 12 du comparateur est produite à un niveau "bas". Le niveau "bas" de  $V_C$  rend conducteur le transistor PMOS 13 du terminal de sortie 54, et, en même temps, bloque le transistor NMOS 14, ce dont il résulte que le signal de demande de régénération  $\phi_{RRS}$  est produit. Puis l'unité de commande de mémoire 80 reçoit le signal de demande de régénération  $\phi_{RRS}$  et délivre un signal de régénération  $\phi_{RFH}$  à l'élément de mémoire.

La figure 5 est un chronogramme montrant le fonctionnement du circuit de la figure 4. Si la tension  $V_S$  du noeud de mémorisation, c'est-à-dire, le noeud de sortie 3 de la cellule de mémoire de référence 51, vient à être plus bas que la tension de référence  $V_{REF}$ , alors le signal de demande de régénération  $\phi_{RRS}$  peut être produit à un niveau "haut". C'est-à-dire que la tension  $V_S$  du noeud de mémorisation, inférieure à la tension de référence  $V_{REF}$ , fait en sorte qu'un signal de demande de régénération  $\phi_{RRS}$  soit produit par le générateur de signal de demande de régénération 100A, si le courant est déchargé à travers le noeud de mémorisation. Les signaux de régénération  $\phi_{RFH}$  sont produits en nombre aussi grand que le nombre des adresses de ligne, sous la forme de signaux d'horloge de niveau "haut", en fonction des signaux de demande de régénération  $\phi_{RSS}$ .

En se référant à la figure 5, une période  $T_1$ , de retour du signal de régénération  $\phi_{RFH}$  à un niveau "haut", est de 32 msec, tandis qu'une période  $T_2$ , pendant laquelle aucun signal de régénération  $\phi_{RFH}$  n'est produit, est de 500 msec. C'est-à-dire, pendant la période de 500 msec, des opérations d'entrée/sortie d'information et d'autres opérations peuvent être exécutées. En outre, alors que le générateur de signal de régénération classique est conçu pour être mis en oeuvre à des températures élevées (au dessus de  $83^\circ C$ ), le dispositif de la présente invention est conçu pour être mis en oeuvre seulement lorsque la tension du noeud de mémorisation de la cellule de mémoire de référence 51 est au dessous de la tension de référence  $V_{REF}$ , de sorte que les opérations de régénération peuvent être exécutées de manière non périodique en fonction des températures.

Selon le dispositif de mémoire à semiconducteurs de la présente invention, le fonctionnement non périodique de la régénération fait en sorte que le nombre des opérations de régénération est diminué. Ce par quoi la suppression de la réduction du nombre des opérations d'entrée/sortie



d'information, et de l'augmentation inutile de la consommation de courant, sont obtenues. Egalement une augmentation de la vitesse de traitement de l'information est obtenue. En outre, selon la présente invention, les opérations de régénération du dispositif de mémoire à 5 semiconducteurs sont commandées par l'unité de commande de mémoire 80, ainsi les opérations de régénération et les opérations d'entrée/sortie d'information ne peuvent se produire simultanément et de manière à se chevaucher. Ceci 10 résout le problème du retardement des opérations d'entrée/sortie d'information dans la RAM statique virtuelle classique, le retardement étant basé sur le fait que lorsque les opérations d'entrée/sortie d'information et les opérations de régénération se produisent concurremment, les 15 opérations d'entrée/sortie d'information doivent être arrêtées pendant la réalisation de l'opération de régénération.

Bien que l'invention ait été particulièrement montrée et décrite en se référant à un mode de réalisation préféré de 20 celle-ci, il sera compris aisément par les personnes expérimentées dans cette technique que les modifications ci-dessus et d'autres modifications dans la forme et dans des détails peuvent être effectuées sans sortir de l'esprit et du domaine de l'invention.

## REVENDEICATIONS

1. Dispositif pour produire des signaux de demande de régénération capable de réécrire l'information mémorisée dans  
5 une cellule de mémoire, caractérisé en ce que ledit dispositif comprend :

une cellule de mémoire de référence (51) recevant un signal d'une ligne de mot dans un réseau de cellules de mémoire (100B);

10 un détecteur (52) recevant une sortie de ladite cellule de mémoire référence (51);

un comparateur (53) recevant une sortie dudit détecteur (52) et une tension de référence donnée ( $V_{REF}$ ), pour comparer ladite sortie dudit détecteur (52) avec ladite tension de  
15 référence ( $V_{REF}$ ); et

un terminal de sortie (54) pour amplifier la sortie dudit comparateur (53).

2. Dispositif tel revendiqué dans la revendication 1, caractérisé en ce que ladite cellule de mémoire de référence  
20 (51) comprend :

un ou plusieurs transistors à semiconducteur de type N à grille isolée par oxyde métallique (1), chaque transistor à semiconducteur de type N à grille isolée par oxyde métallique ayant sa grille connectée à ladite ligne de mot et son drain  
25 connecté à une source de courant ( $V_{CC}$ );

un ou plusieurs condensateurs (2), chaque condensateur ayant l'une de ses bornes connectées à une source de courant de plaque de cellule de mémoire; et

un noeud de sortie (3) connecté en commun aux sources  
30 desdits un ou plusieurs transistors à semiconducteur de type N à grille isolée par oxyde métallique (1) et aux autres bornes desdits condensateurs (2).

3. Dispositif tel revendiqué dans la revendication 1, caractérisé en ce que ledit détecteur (52) comprend :

35 un transistor à semiconducteur de type N à grille isolée par oxyde métallique (4) dont la grille est connectée audit

noeud de sortie (3) de ladite cellule de mémoire de référence (51) et dont le drain est connecté à ladite source de courant ( $V_{CC}$ );

une résistance (5) dont l'une des bornes est connectée à  
5 une borne de masse; et

un noeud de sortie (6) connecté en commun à la source dudit transistor à semiconducteur de type N à grille isolée par oxyde métallique (4) et à l'autre borne de ladite résistance (5).

10 4. Dispositif tel revendiqué dans la revendication 1, caractérisé en ce que ledit comparateur (53) comprend :

un premier transistor à semiconducteur de type P à grille isolée par oxyde métallique (7) dont la source est connectée à ladite source de courant ( $V_{CC}$ ), et dont la grille  
15 est connecté à son drain;

un second transistor à semiconducteur de type P à grille isolée par oxyde métallique (8) dont la source est connectée à ladite source de courant ( $V_{CC}$ ), et dont la grille est connectée à ladite grille dudit premier transistor à  
20 semiconducteur de type P à grille isolée par oxyde métallique (7);

un premier transistor à semiconducteur de type N à grille isolée par oxyde métallique (9) dont la grille est connectée audit noeud de sortie (6) dudit détecteur (52), et  
25 dont le drain est connecté audit drain dudit premier transistor à semiconducteur de type P à grille isolée par oxyde métallique (7);

un second transistor à semiconducteur de type N à grille isolée par oxyde métallique (10) dont la grille est connectée  
30 à ladite tension de référence ( $V_{REF}$ );

un noeud de sortie (12) connecté en commun audit drain dudit second transistor à semiconducteur de type P à grille isolée par oxyde métallique (8) et audit drain dudit second transistor à semiconducteur de type N à grille isolée par  
35 oxyde métallique (10); et

un troisième transistor à semiconducteur de type N à grille isolée par oxyde métallique (11) dont la grille est connectée à ladite tension de référence ( $V_{REF}$ ), dont la source est connectée à ladite borne de masse, et dont le drain est connecté en commun auxdites sources desdits premier et second transistors à semiconducteur de type N à grille isolée par oxyde métallique (9, 10).

5  
10 5. Dispositif tel revendiqué dans la revendication 1, caractérisé en ce que ledit terminal de sortie (54) comprend:  
un transistor à semiconducteur de type P à grille isolée par oxyde métallique (13) dont la source est connectée à ladite source de courant ( $V_{CC}$ ), et dont la grille est connectée audit noeud de sortie (12) dudit comparateur (53);

un transistor à semiconducteur de type N à grille isolée par oxyde métallique (14) dont la source est connectée à ladite borne de masse, et dont la grille est connectée audit noeud de sortie (12) dudit comparateur (53); et

un noeud de sortie (15) connecté en commun aux drains dudit transistor à semiconducteur de type P à grille isolée par oxyde métallique (13) et dudit transistor à semiconducteur de type N à grille isolée par oxyde métallique (14).

6. Dispositif tel revendiqué dans la revendication 5, caractérisé en ce que ledit terminal de sortie (54) comprend de plus une pluralité de  $2n+1$  inverseurs ( $n = 0, 1, 2, 3, \dots$ ) comportant une pluralité de transistors à semiconducteur de type P à grille isolée par oxyde métallique (13) et de transistors à semiconducteur de type N à grille isolée par oxyde métallique (14) disposés en parallèle entre ladite source de courant ( $V_{CC}$ ) et ladite borne de masse.

7. Dispositif de mémoire à semiconducteurs comportant une cellule de mémoire mémorisant de manière continue une information donnée, au moyen d'une réécriture, c'est-à-dire, d'une opération de régénération, caractérisé en ce que ledit dispositif de mémoire comprend :

des moyens pour produire des signaux de demande de régénération seulement lorsqu'une tension chargée dans ladite cellule de mémoire de référence (51) est au dessous d'un premier état, lesdits moyens comprenant une cellule de mémoire de référence (51) recevant un signal issu d'une ligne de mot dans un réseau de cellule de mémoire; et

des moyens de commande pour produire un signal donné pour transférer ledit signal donné vers un élément de mémoire, à la réception d'une sortie desdits moyens de production.

8. Dispositif de mémoire à semiconducteurs tel que revendiqué dans la revendication 7, caractérisé en ce que lesdits moyens de production comprennent :

une cellule de mémoire de référence (51) recevant des signaux issus de ladite ligne de mot dans ledit réseau de cellules de mémoire;

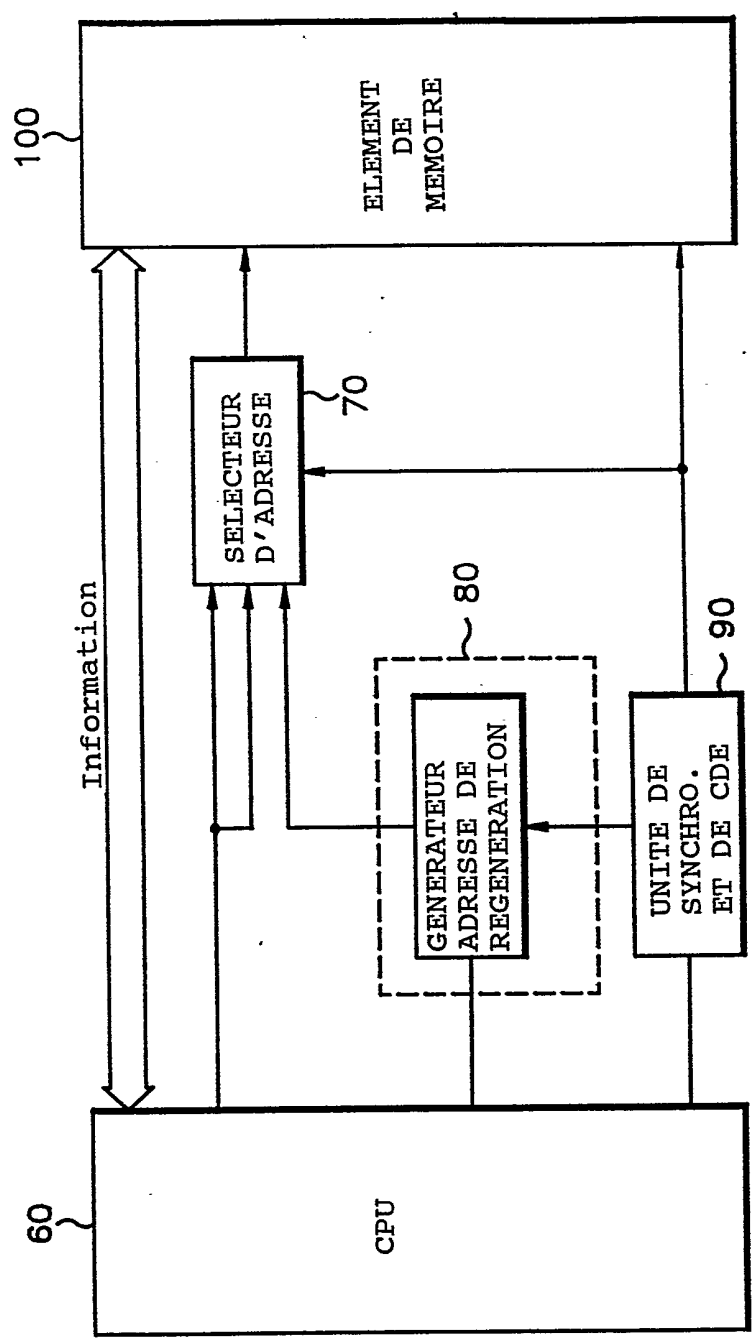
des moyens de détection (52) recevant une tension de sortie ( $V_S$ ) de ladite cellule de mémoire de référence (51);

des moyens de comparaison d'une sortie desdits moyens de détection ( $V_D$ ) avec une tension de référence donnée ( $V_{REF}$ ) à la réception de ladite sortie ( $V_D$ ) desdits moyens de détection (52) et de ladite tension de référence ( $V_{REF}$ ) pour décider de produire lesdits signaux de demande de régénération; et

des moyens d'amplification (54) d'une sortie ( $V_C$ ) desdits moyens de comparaison (53).

9. Dispositif de mémoire à semiconducteurs tel que revendiqué dans la revendication 8, caractérisé en ce que ladite cellule de mémoire de référence (51) desdits moyens de production (100A) comprend un ou plusieurs transistors (1) et un ou plusieurs condensateurs (2).

10. Dispositif de mémoire à semiconducteurs tel que revendiqué dans la revendication 8, caractérisé en ce que lesdits moyens d'amplification (54) comprennent  $2n+1$  ( $n = 0, 1, 2, 3, \dots$ ) inverseurs.



(TECHNIQUE ANTERIEURE)

FIG. 1

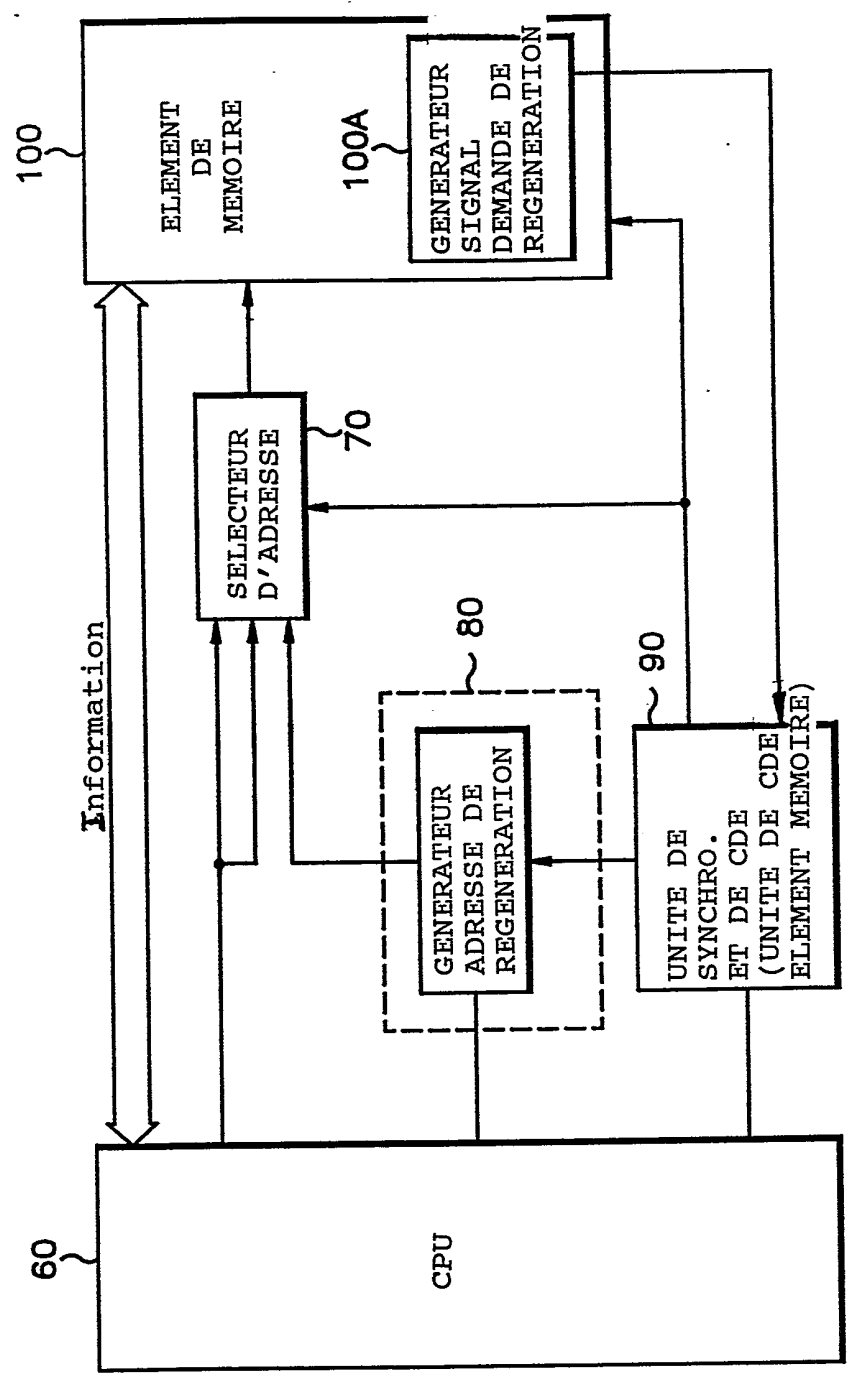


FIG. 2

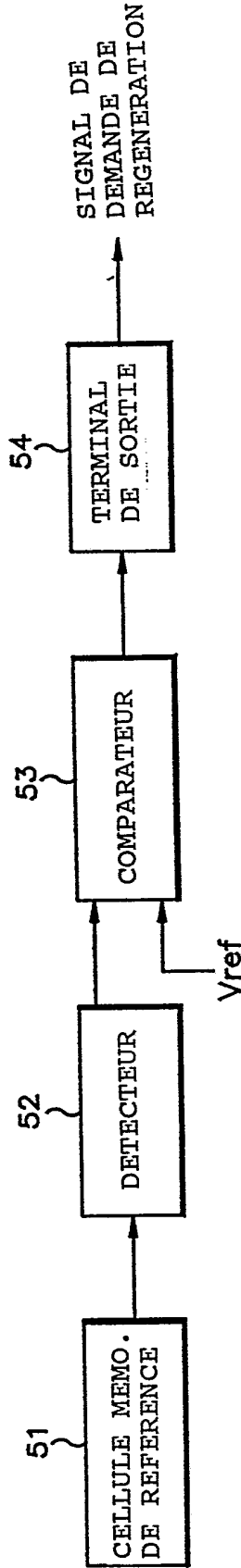


FIG. 3

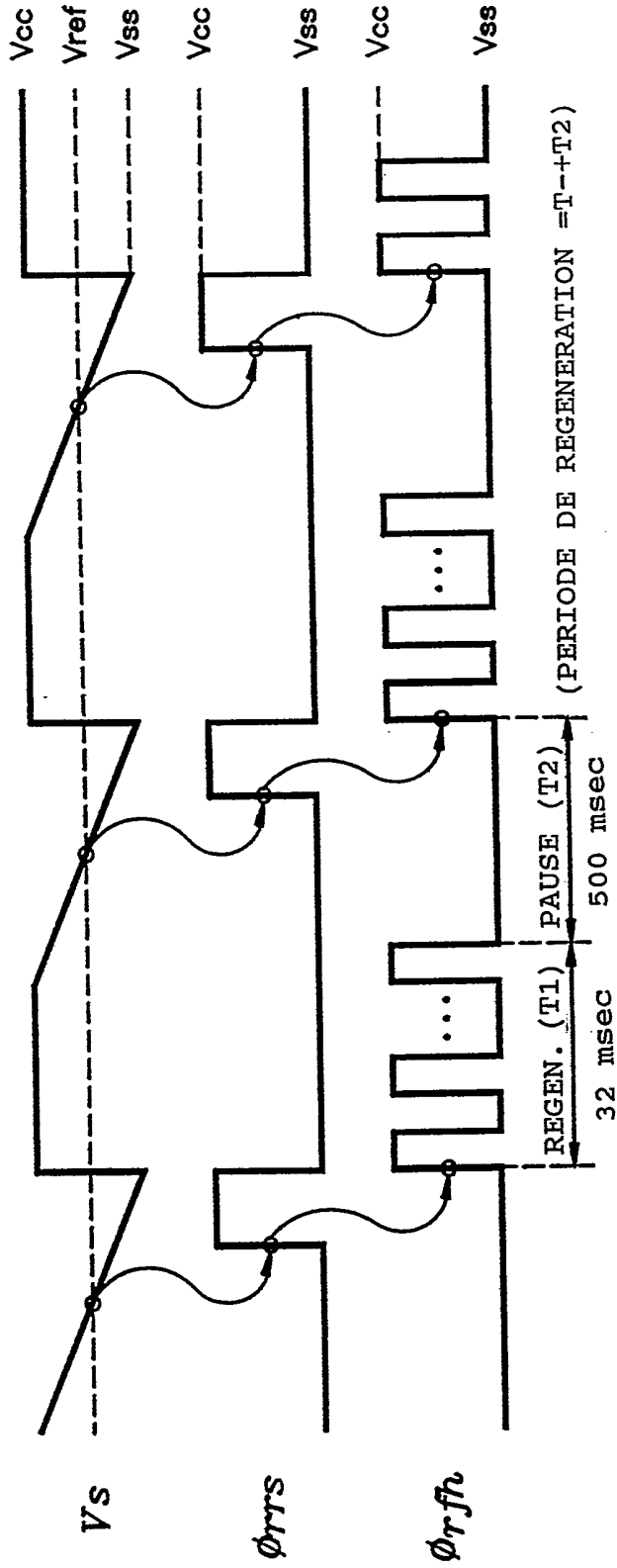


FIG. 5



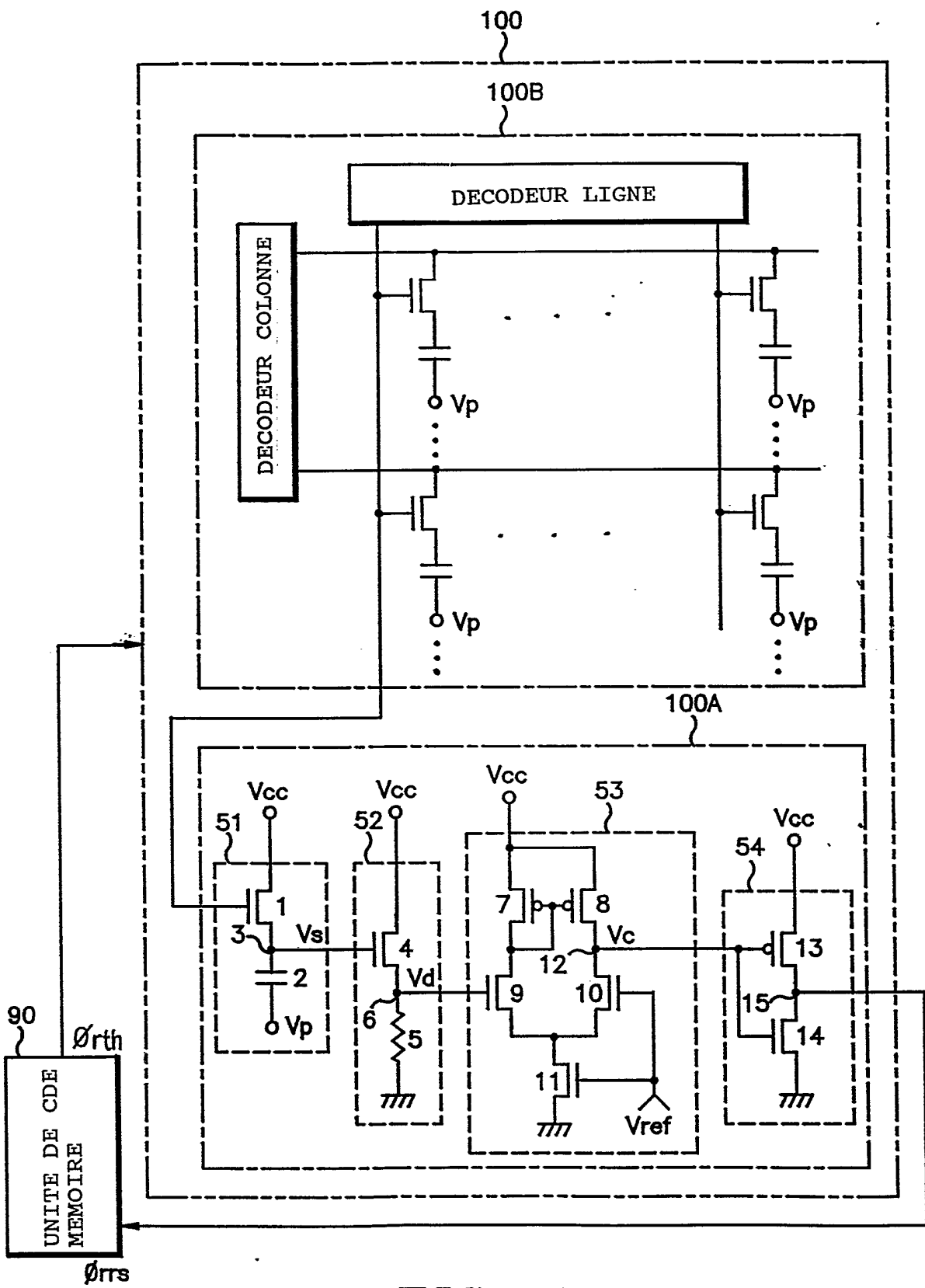


FIG. 4