



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월09일  
(11) 등록번호 10-1116362  
(24) 등록일자 2012년02월07일

(51) 국제특허분류(Int. Cl.)  
H03K 19/0175 (2006.01) H03K 17/687 (2006.01)  
(21) 출원번호 10-2010-0040627  
(22) 출원일자 2010년04월30일  
심사청구일자 2010년04월30일  
(65) 공개번호 10-2011-0121162  
(43) 공개일자 2011년11월07일  
(56) 선행기술조사문헌  
US20090002018 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 하이닉스반도체  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김계윤  
경기도 이천시 부발읍 경충대로 2091, 하이닉스반도체 고담기숙사 103동 1102호  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 8 항

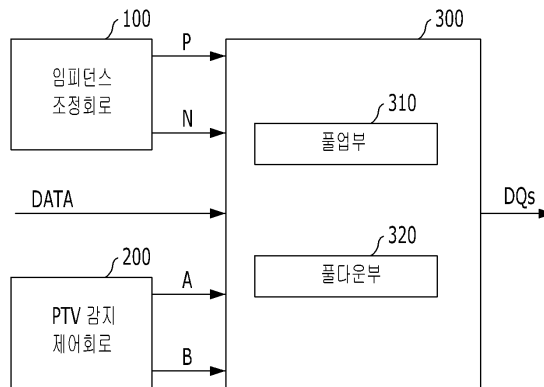
심사관 : 강현일

(54) 발명의 명칭 반도체 장치

(57) 요약

PVT 변화에 능동적으로 대처할 수 있는 출력 드라이버를 구비하여, 향상된 임피던스 매칭기능을 구비한 반도체 장치가 제공된다. 본 발명의 일 측면에 따르면, 패드; 상기 패드에 연결된 임피던스 값에 대응하는 제1 코드값을 제공하기 위한 임피던스 조정회로; PVT 변화에 대응하는 제2 코드값을 제공하기 위한 PVT 감지 제어회로; 및 데이터를 입력받아 상기 제1 코드값과 제2 코드값에 대응하는 드라이빙 능력으로 상기 패드를 풀업 또는 풀다운시키기 위한 데이터 출력부를 구비하는 반도체 장치가 제공된다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

패드;

상기 패드에 연결된 임피던스 값에 대응하는 제1 코드값을 제공하기 위한 임피던스 조정회로;

PVT 변화에 대응하는 제2 코드값을 제공하기 위한 PVT 감지 제어회로; 및

데이터를 입력받아 상기 제1 코드값과 제2 코드값에 대응하는 드라이빙 능력으로 상기 패드를 풀업 또는 풀다운 시키기 위한 데이터 출력부

를 구비하는 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 데이터 출력부는

상기 패드를 풀다운시키기 위한 풀다운부; 및

상기 패드를 풀업시키기 위한 풀업부를 포함하는 반도체 장치.

### 청구항 3

제 2 항에 있어서,

상기 풀업부는

상기 데이터를 입력받아 상기 패드를 제1 드라이빙 능력으로 풀업시키기 위한 제1 풀업 드라이버;

상기 제1 코드값을 제공받아 상기 패드를 제2 드라이빙 능력으로 풀업시키기 위한 제2 풀업 드라이버; 및

상기 제2 코드값을 제공받아 상기 패드를 제3 드라이빙 능력으로 풀업시키기 위한 제3 풀업 드라이버를 포함하는 반도체 장치.

### 청구항 4

제 2 항에 있어서,

상기 풀다운부는

상기 데이터를 입력받아 상기 패드를 제1 드라이빙 능력으로 풀다운시키기 위한 제1 풀다운 드라이버;

상기 제1 코드값을 제공받아 상기 패드를 제2 드라이빙 능력으로 풀다운시키기 위한 제2 풀다운 드라이버; 및

상기 제2 코드값을 제공받아 상기 패드를 제3 드라이빙 능력으로 풀다운시키기 위한 제3 풀다운 드라이버를 포함하는 반도체 장치.

### 청구항 5

제 3 항에 있어서,

상기 제1 풀업 드라이버는

상기 데이터를 게이트로 입력받아 상기 패드를 풀업시키기 위한 제1 모스 트랜지스터를 포함하는 반도체 장치.

**청구항 6**

제 5 항에 있어서,

상기 제2 풀업 드라이버는

상기 데이터를 게이트로 인가받아 상기 패드를 풀업시키기 위한 제2 모스 트랜지스터; 및

상기 제1 코드값을 게이트로 인가받아 상기 제2 모스 트랜지스터를 통해 상기 패드에 풀업 신호가 전달될 수 있도록 상기 제2 모스 트랜지스터와 직렬연결된 제3 모스 트랜지스터를 포함하는 반도체 장치.

**청구항 7**

제 6 항에 있어서,

상기 제3 풀업 드라이버는

상기 데이터를 게이트로 인가받아 상기 패드를 풀업시키기 위한 제4 모스 트랜지스터; 및

상기 제2 코드값을 게이트로 인가받아 상기 제4 모스 트랜지스터를 통해 상기 패드에 풀업 신호가 전달될 수 있도록 상기 제4 모스 트랜지스터와 직렬연결된 제5 모스 트랜지스터를 포함하는 반도체 장치.

**청구항 8**

제 1 항에 있어서,

상기 PVT 감지 제어회로는

PVT 변화에 상대적으로 둔감한 제1 주기신호를 생성하는 기본주기 발생부;

PVT 변화에 상대적으로 민감하게 주기가 바뀌는 제2 주기신호를 생성하는 PVT 가변주기 발생부;

상기 제2 주기신호의 한 주기 동안 상기 제1 주기신호가 몇 번 활성화 되는지를 카운팅하는 카운터; 및

상기 카운터에 의해 카운팅된 값에 대응하여 상기 제2 코드값을 생성하는 제어부를 포함하는 반도체 장치.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 집적회로에 관한 것으로, 보다 자세하게는 반도체 장치의 출력 드라이빙 회로에 관한 것이다.

**배경기술**

[0002] 최근 반도체 장치의 동작 스피드가 고속화됨에 따라 반도체 장치들간에 주고 받는 신호의 스윙 폭은 점차로 줄어들고 있다. 신호의 폭을 줄여야 보다 고속으로 주고 받을 수 있기 때문이다. 하지만, 신호의 스윙폭이 줄어들수록 외부 노이즈에 대한 영향은 증가되는 문제점이 생긴다.

[0003] 반도체 장치의 인터페이스단에서 임피던스 미스매칭(부정합)에 따른 신호의 반사도 심해진다. 임피던스 미스매칭은 외부 노이즈나 전원전압의 변동, 동작 온도의 변화, 제조공정의 변화등 다양한 원인에 의해 발생하게 된다. 반도체 장치간에 데이터를 주고 받을 때 입출력단의 임피던스의 미스매칭이 발생되면 데이터의 고속전송이 어렵다. 또한, 반도체 장치의 데이터 출력단으로 부터 출력되는 출력 데이터가 왜곡될 수 있다. 따라서 수신측의 반도체 장치가 왜곡된 출력 신호를 수신할 경우 셋업/홀드 타임 에러 또는 입력신호의 레벨의 판단 미스등의 문제들이 번번히 야기될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 PVT 변화에 능동적으로 대처할 수 있는 출력 드라이버를 구비하여, 향상된 임피던스 매칭기능을 구비한 반도체 장치를 제공한다.

**과제의 해결 수단**

[0005] 본 발명의 일 측면에 따르면, 패드; 상기 패드에 연결된 임피던스 값에 대응하는 제1 코드값을 제공하기 위한 임피던스 조정회로; PVT 변화에 대응하는 제2 코드값을 제공하기 위한 PVT 감지 제어회로; 및 데이터를 입력받아 상기 제1 코드값과 제2 코드값에 대응하는 드라이빙 능력으로 상기 패드를 풀업 또는 풀다운시키기 위한 데이터 출력부를 구비하는 반도체 장치가 제공된다.

[0006] 삭제

[0007] 삭제

[0008] 삭제

[0009] 삭제

[0010] 삭제

[0011] 삭제

[0012] 삭제

**발명의 효과**

[0013] 본 발명의 반도체 장치는 내부의 신호를 받아서 출력드라이버의 트랜지스터를 통해 출력단 임피던스를 조절할 수 있는 부분과 추가적으로 PVT 감지제어 신호를 받아 출력단 임피던스를 미세 조절할 수 있는 부분이 출력드라이버에 포함되어 있기 때문에, PVT에 의해 틀어져 있는 출력드라이버의 출력단 임피던스 값을 조절할 수 있다. 따라서 반도체 장치가 데이터를 고속으로 신뢰성있게 출력할 수 있으며, 출력 데이터의 왜곡을 방지할 수 있다.

**도면의 간단한 설명**

[0014] 도1은 본 발명을 설명하기 위한 것으로, 반도체 장치의 출력 드라이버에 있는 임피던스 조정회로 나타내는 회로도.

도2는 반도체 장치의 출력 드라이버를 나타내는 블럭도.

도3은 본 발명의 바람직한 실시예에 따른 반도체 장치의 블럭도.

- 도4는 도3에 도시된 PVT 감지 제어회로를 나타내는 블록도.
- 도5는 도4에 도시된 기본주기 발생부를 나타내는 회로도.
- 도6은 도4에 도시된 PVT 가변주기 발생부를 나타내는 회로도.
- 도7은 도5와 도6에 도시된 회로의 출력 파형을 나타내는 파형도.
- 도8은 도3에 도시된 풀업부를 나타내는 회로도.
- 도9는 도3에 도시된 풀다운부를 나타내는 회로도.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0016] 본 발명은 반도체 집적회로에 관한 것으로, 데이터 출력 드라이버에 임피던스 조절장치에 구비하고 있는 것이 특징이다. 특히, PVT 변화에 대한 감지 제어 장치를 데이터 출력 드라이버에 삽입하여 출력 드라이버의 구동능력과, 신호 인터그레티 향상을 가져올 수 있다.
- [0017] 도1은 본 발명을 설명하기 위한 것으로, 반도체 장치의 출력 드라이버에 있는 임피던스 조절회로의 회로도이다.
- [0018] 도1을 참조하여 살펴보면, 출력 드라이버는 기준전압(VREF)을 공급하기 위한 기준범위 공급부(24)와, 입력-저항(ZQ)에 대한 풀업-코드신호(PCAL\_UP<0:5>)의 레벨을 풀업 터미네이션 저항값(PCAL\_DQ)으로 출력하기 위한 풀업 피드백부(11)와, 기준전압(VREF)과 비교하여 풀업 터미네이션 저항값(PCAL\_DQ)의 레벨 차이를 감지하여 출력하기 위한 풀업 감지부(21)와, 풀업 감지부(21)의 출력신호에 응답하여 풀업-코드신호(PCAL\_UP<0:5>)를 업-카운팅 또는 다운-카운팅하기 위한 P코드 카운팅부(23)와, 풀업-코드신호(PCAL\_UP<0:5>)를 입력받아 그에 대응하는 저항값을 풀다운 터미네이션 저항값(NCAL\_DQ)로 출력하기 위한 풀다운 피드백부(12)와, 기준전압(VREF)에 대한 풀다운 터미네이션 저항값(NCAL\_DQ)의 레벨 차이를 감지하여 출력하기 위한 풀다운 감지부(22)와, 풀다운 감지부(22)의 출력신호에 응답하여 풀업-코드신호(PCAL\_UP<0:5>)를 업-카운팅 또는 다운-카운팅하기 위한 N코드 카운팅부(25)와, 풀업-코드신호(PCAL\_UP<0:5>)에 대응하는 출력 저항값을 유지하는 풀다운 저항부(30)를 구비한다.
- [0019] 입력-저항(ZQ)은 외부에서 입력핀을 통해 접속되는 인가되는 저항이며, 예를 들어 입력핀과 접지전압 사이에 240옴의 저항이 접속된다.
- [0020] 도2는 반도체 장치의 출력 드라이버를 나타내는 블록도이다.
- [0021] 도2를 참조하여 살펴보면, 반도체 장치의 출력 드라이버는 임피던스 조절회로(40)와, 풀업부(51)와 풀다운부(52)를 포함한다. 임피던스 조절회로(40)에서 출력되는 풀업코드(P)와 풀다운코드(N)는 도1에 도시된 풀업-코드신호(PCAL\_UP<0:5>)와 풀업-코드신호(PCAL\_UP<0:5>)를 각각 나타내는 것이다.
- [0022] 도1과 도2를 참조하여, 반도체 장치의 임피던스 조절동작과 출력 드라이버의 동작에 대해 살펴본다.
- [0023] 먼저, 풀업 피드백부(11)는 입력-저항(ZQ)에 대한 풀업-코드신호(PCAL\_UP<0:5>)을 풀업 터미네이션 저항값(PCAL\_DQ)로 출력한다. 이어서, 풀업 감지부(21)는 기준전압(VREF)과 풀업 터미네이션 저항값(PCAL\_DQ)의 레벨 차이를 감지하고, 감지된 값에 대응하는 출력신호를 그에 따라 P 코드 카운팅부(23)는 카운팅 동작을 수행한다. 풀업 감지부(21)의 출력신호가 논리레벨 'H'를 가지면 현재의 풀업-코드신호(PCAL\_UP<0:5>)를 다운-카운팅하고, 논리레벨 'L'를 가지면 현재의 풀업-코드신호(PCAL\_UP<0:5>)를 업-카운팅하여 새로운 풀업-코드신호(PCAL\_UP<0:5>)를 생성한다.
- [0024] 이와 같은 과정은, 풀업 터미네이션 저항값(PCAL\_DQ)이 기준전압(VREF)에 대응되는 레벨을 가질 때까지 계속 진행되며, 기준전압(VREF)에 대응되는 레벨을 가지게 되면 그 때의 풀업-코드신호(PCAL\_UP<0:5>)에 대응되는 터미네이션 저항은 입력-저항(ZQ)의 저항값과 같다.
- [0025] 이어서, 풀다운 피드백부(12)는 풀업-코드신호(PCAL\_UP<0:5>)에 대응하는 풀다운 터미네이션 저항값(NCAL\_DQ)로 출력한다.
- [0026] 이어서, 풀다운 감지부(22)는 기준전압(VREF)에 대한 풀다운 터미네이션 저항값(NCAL\_DQ)의 레벨 차이를 감지하여 출력하고, N코드 카운팅부(25)는 풀다운 감지부(22)의 논리레벨 'H'에 응답하여 현재의 풀업-코드신호

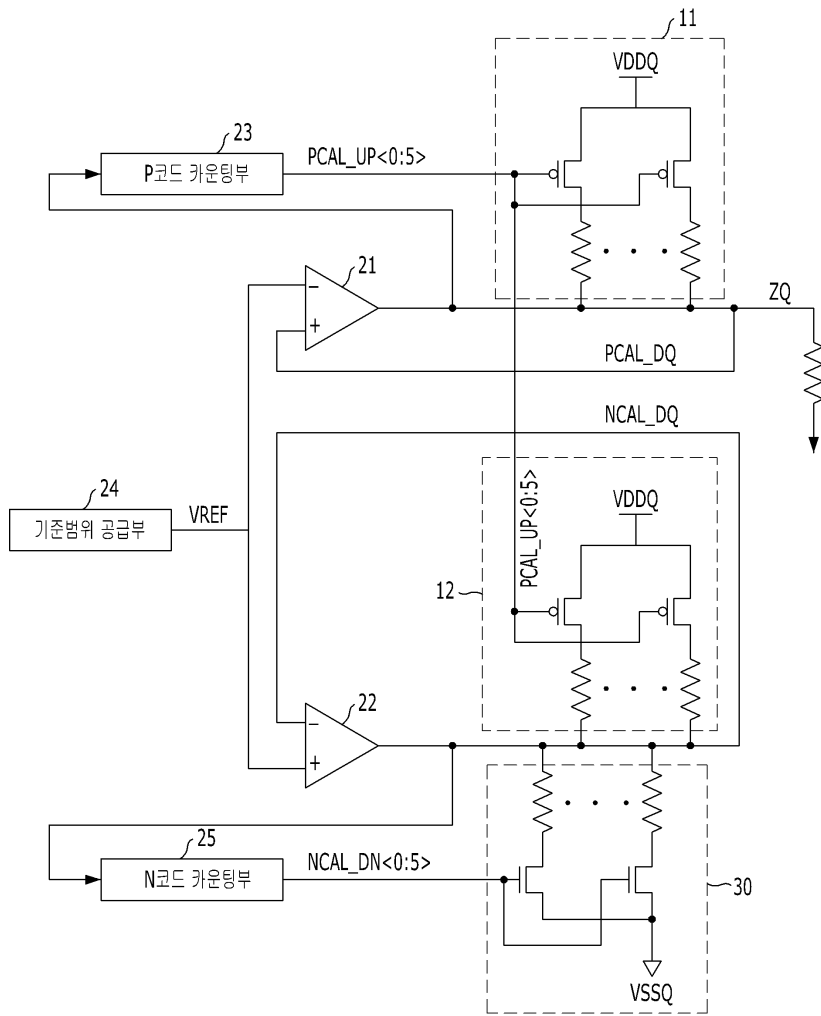
(PCAL\_UP<0:5>)를 다운-카운팅하고, 논리레벨 'L'에 응답하여 현재의 풀업-코드신호(PCAL\_UP<0:5>)를 업-카운팅하여 새로운 풀업-코드신호(PCAL\_UP<0:5>)를 생성한다.

- [0027] 기준전압(VREF)은 전원전압의 1/2을 가지며, 풀업 터미네이션 저항값(PCAL\_DQ) 및 풀다운 터미네이션 저항값(NCAL\_DQ) 역시 1/2 VDDQ를 가질 때까지 전술한 과정을 반복한다.
- [0028] 지금까지 살펴본 과정은 ZQ 캘리브레이션이라 하며, 반도체 장치의 출력 드라이버의 임피던스를 예정된 값으로 조정하기 위한 과정이다.
- [0029] 임피던스 조정회로(40)는 최종적으로 조정된 풀업코드(P)와, 풀다운코드(N)를 각각 풀업부(51)와 풀다운부(52)로 출력한다. 풀업부(51)는 풀업코드(P)에 대응하여 출력단 임피던스를 조정한다. 풀다운부(52)는 풀다운코드(N)에 대응하여 출력단 임피던스를 조정한다.
- [0030] 도2에 도시된 출력 드라이버는 반도체 장치의 내부에서 전달되는 데이터 신호(DATA)를 입력받아 출력 데이터(DQs)로 출력한다. 출력 데이터(DQs)가 하이레벨인 경우에는 풀업부(51)가 동작하게 되고, 출력 데이터가(DQs)가 로우레벨인 경우에는 풀다운부(52)가 동작하게 된다.
- [0031] 그러나, 반도체 장치가 동작하는 중에 PVT의 변화로 인해 출력 드라이버의 동작 상태가 변할 수 있다. 여기서 PVT는 온도, 전압, 공정 상태의 나타내는 것으로 특히 트랜지스터의 특성에 큰 영향을 미치는 변수들이다.
- [0032] 도2에 도시된 출력 드라이버의 경우에는 PVT 변동에 대응하여 취약할 수 밖에 없다.
- [0033] 본 발명은 이를 해결하기 위해, ZQ 캘리브레이션 동작 이외에 실제로 PVT 변화에 의한 영향을 최소화할 수 있는 출력 드라이버 구조를 제안한다. 본 발명에 의해 추가로 구비되는 PVT 감지 장치에 의해 PVT 변동에 의한 출력 드라이버의 동작 왜곡을 줄일 수 있다.
- [0034] 도3은 본 발명의 바람직한 실시예에 따른 반도체 장치의 블럭도이다.
- [0035] 도3을 참조하여 살펴보면, 본 실시예에 따른 반도체 장치는 임피던스 조정회로(100)와, PVT 감지 제어회로(200)와, 풀업부(310)와, 풀다운부(320)를 포함한다. 풀업부(310)와 풀다운부(320)는 데이터 출력부(300)를 구성한다.
- [0036] 임피던스 조정회로(100)는 도1에 도시된 임피던스 조정회로(100)와 실질적으로 유사하게 구성하여 ZQ 캘리브레이션 동작을 수행하도록 구성된다. 풀업부(310)는 데이터 신호(DATA)를 입력받아 하이레벨의 출력 데이터(DQs)를 위해 출력단을 풀업시킨다. 풀다운부(320)는 데이터 신호(DATA)를 입력받아 로우레벨의 출력 데이터(DQs)를 위해 출력단을 풀다운시킨다. PVT 감지 제어회로(200)는 제어신호(A, B)를 생성하여 풀업부(310)와 풀다운부(320)로 출력한다. 여기서서는 제어신호를 2개로 하였으나, 더 많은 수의 제어신호를 가질 수 있다.
- [0037] 도4는 도3에 도시된 PVT 감지 제어회로를 나타내는 블럭도이다.
- [0038] 도4를 참조하여 살펴보면, PVT 감지 제어회로는 기본주기 발생부(210), PVT 가변주기 발생부(220), 카운터(230), 제어부(240)를 포함한다. 기본주기 발생부(210), PVT 가변주기 발생부(220)는 활성화 신호(Enable)에 응답하여 활성화된다.
- [0039] 기본주기 발생부(210)는 PVT의 변화에 변화가 실질적으로 없는 주기를 가지는 제1 주기신호(Nosc)를 출력한다. PVT 가변주기 발생부(220)는 PVT의 변화에 민감하여 주기의 변화가 큰 제2 주기신호(Tosc)를 생성한다. 카운터(230)는 제2 주기신호(Tosc)의 한 주기 동안 제1 주기신호(Nosc)가 몇 번 활성화 되는지를 카운팅한다. 제어부(240)는 카운터(230)에서 출력되는 카운팅 값에 대응하여 제어신호(A, B)를 생성하여 출력한다. 이를 통해 데이터 출력부(300)는 임피던스를 조절하여 출력 신호의 왜곡을 줄이게 된다. 예를 들어 온도 50도에서는 제어신호(A)가 활성화되고, 온도 90도에서는 제어신호(B)가 활성화되도록 제어될 수 있다.
- [0040] 도5는 도4에 도시된 기본주기 발생부를 나타내는 회로도이다.
- [0041] 도5를 참조하여 살펴보면, 기본주기 발생부는 오실레이팅부(211)와, 제1 주기신호 출력부(212)를 포함한다. 오실레이팅부(211)는 낸드게이트(ND1)와, 인버터(I1 ~ I5)와, 저항(R1 ~ R4)과, 모스 트랜지스터(MP1, MN1)를 포함하며, 인에이블 신호(Enable)에 응답하여 오실레이션된 신호를 생성한다. 제1 주기신호 출력부(212)는 모스 트랜지스터(T1 ~ T4)와, 인버터(I6)를 구비하여 제1 주기신호(Nosc)를 출력한다. 제1 주기신호(Nosc)는 PVT 변화에 덜 민감하게 변화되는 펄스폭을 가진다.

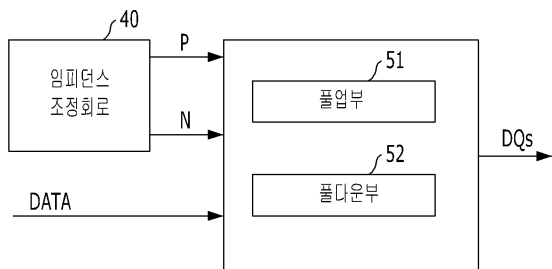
- [0042] 도6은 도4에 도시된 PVT 가변주기 발생부를 나타내는 회로도이다.
- [0043] 도6을 참조하여 살펴보면, PVT 가변주기 발생부는 기준신호(Vref)를 입력받아 PVT 주기에 민감하게 변화하는 펄스폭을 가지는 신호를 생성하는 신호발생부(221)와, 신호발생부(221)에서 제공된 신호를 이용하여 제2 주기신호(Tosc)를 출력하는 제2 주기신호 출력부(221)를 포함한다. 제2 주기신호(Tosc)는 PVT에 민감하게 펄스폭 변화를 갖는 주기를 가진다. 테스트 모드부는 테스트 모드에서 테스트를 위한 값을 제공하기 위한 것이다.
- [0044] 도7은 도5와 도6에 도시된 회로의 출력 파형을 나타내는 파형도이다.
- [0045] 도7을 참조하여 살펴보면, 제1 주기신호(Nosc)가 일정한 폭을 가지고 생성되면, 한 주기의 제1 주기신호(Nosc) 안에 몇번의 제2 주기신호(Tosc)가 클럭킹하는지를 카운터(230)가 카운팅한다. 카운터(230)이 카운팅하는 그 값에 대응하여 제어신호(A, B)를 생성한다.
- [0046] 도8은 도3에 도시된 풀업부를 나타내는 회로도이고, 도9는 도3에 도시된 풀다운부를 나타내는 회로도이다.
- [0047] 도8을 참조하여 살펴보면, 풀업부(310)는 데이터(data)를 입력받아 풀업 신호를 출력하기 위한 제1 풀업 드라이버(311)와, 제2 풀업 드라이버(312) 및 제3 풀업 드라이버(313)를 포함한다. 제1 풀업 드라이버(311)는 데이터(data)를 입력받아 패드(DQs)를 풀업시키는 풀업 신호를 제공한다. 제2 풀업 드라이버(312)는 제어신호(A,B)에 따라 데이터(data)를 입력받아 패드(DQs)를 풀업시키는 풀업신호를 제공한다. 즉, 제어신호(A,B)에 따라 모스 트랜지스터(T31,T32)가 턴온됨으로서 패드(DQs)를 풀업시키는 풀업신호가 제공될 수 있는 것이다. 제3 풀업 드라이버(313)는 도1에 설명한 캘리브레이션에 따른 코드값(P0 ~ P3)을 입력받고 그에 대응하여 구비된 모스 트랜지스터가 턴온된다. 턴온되는 모스 트랜지스터에 대응하여 풀업신호가 패드(DQs)로 제공된다.
- [0048] 도9를 참조하여 살펴보면, 풀다운부(320)는 데이터(data)를 입력받아 풀업 신호를 출력하기 위한 제1 풀다운 드라이버(321)와, 제2 풀다운 드라이버(322) 및 제3 풀다운 드라이버(323)를 포함한다. 제1 풀다운 드라이버(321)는 데이터(data)를 입력받아 패드(DQs)를 풀업시키는 풀다운신호를 제공한다. 제2 풀다운 드라이버(322)는 제어신호(A,B)에 따라 데이터(data)를 입력받아 패드(DQs)를 풀업시키는 풀다운신호를 제공한다. 즉, 제어신호(A,B)에 따라 모스 트랜지스터(T33,T34)가 턴온됨으로서 패드(DQs)를 풀다운시키는 풀다운신호가 제공될 수 있는 것이다. 제3 풀다운 드라이버(323)는 도1에 설명한 캘리브레이션에 따른 코드값(N0 ~ N3)을 입력받고 그에 대응하여 구비된 모스 트랜지스터가 턴온된다. 턴온되는 모스 트랜지스터에 대응하여 풀다운신호가 패드(DQs)로 제공된다.
- [0049] 본 실시예에 따른 반도체 장치의 풀업부와 풀다운부는 ZQ 캘리브레이션 동작에 따른 코드값에 따라 출력단의 임피던스를 조절하도록 되어 있으며, 또한 추가적으로 제어신호(A,B)에 따라 임피던스 미세조정이 상시 가능토록 하였다. 즉, 본 실시예에 따른 반도체 장치는 ZQ 캘리브레이션 동작과 함께 추가적으로 PVT 감지제어 신호를 받아 PVT 변화에 따라 틀어져 있는 출력단의 임피던스 값을 조절하여, 데이터의 고속 전송 및 데이터의 왜곡을 방지할 수 있도록 한 것이다.
- [0050] 이상에서 대표적인 실시예를 통하여 본 발명에 대하여 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

도면1

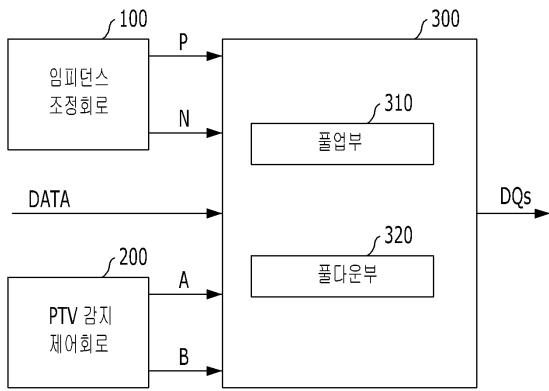


도면2

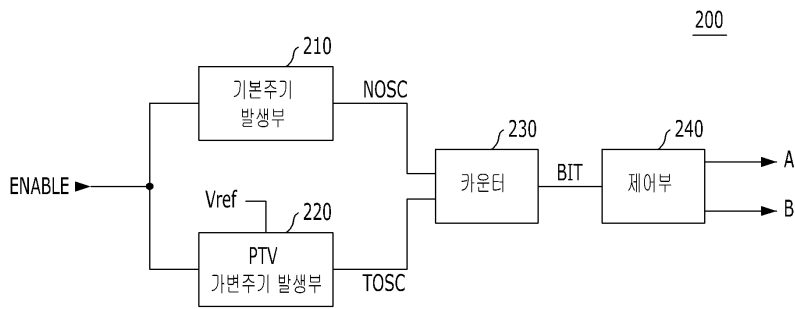




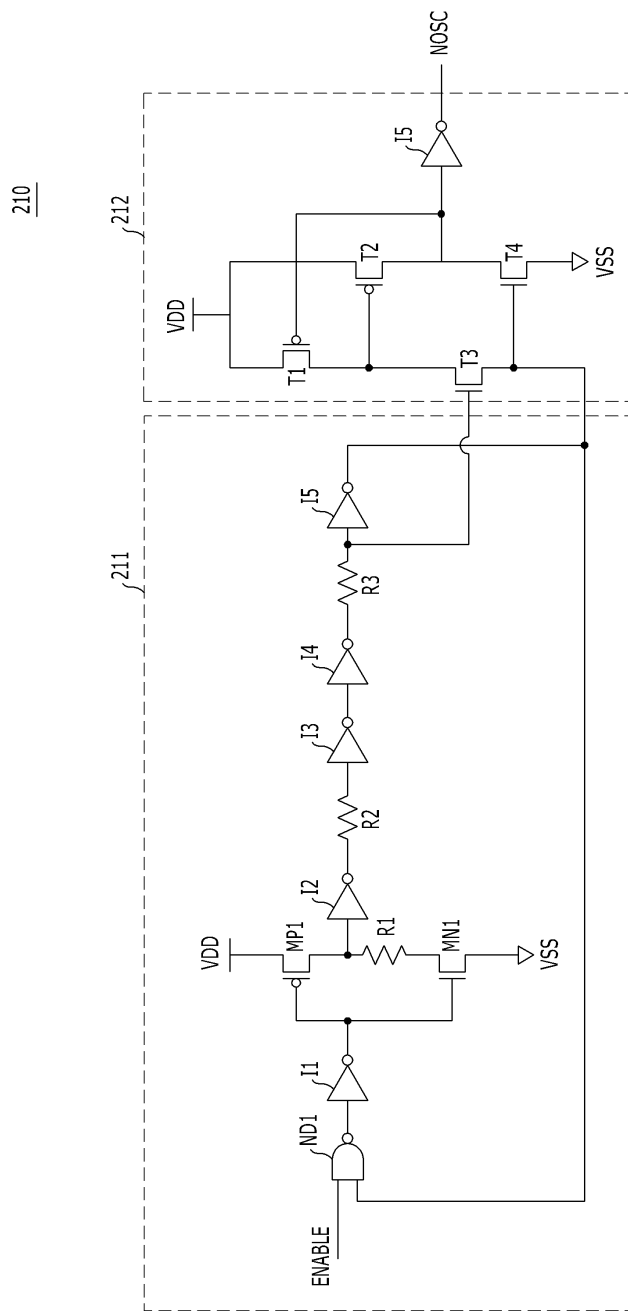
도면3



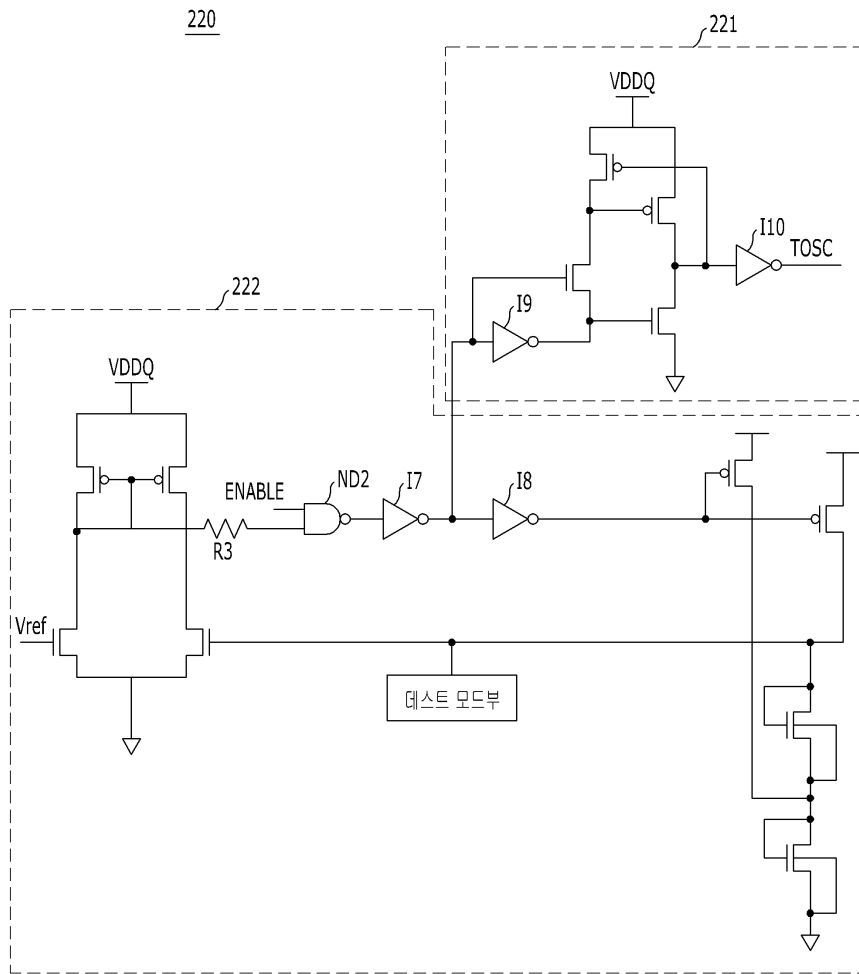
도면4



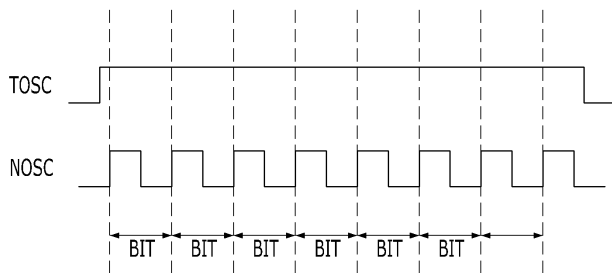
도면5



도면6

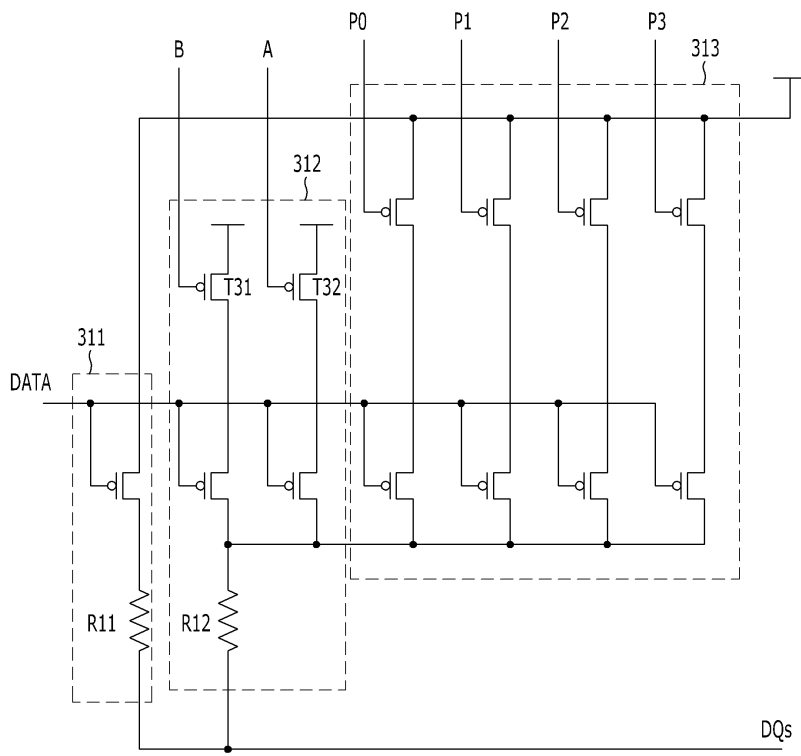


도면7



도면8

310



도면9

320

