公告本

416095

申請日期	87 年 1 月 17 日
案號	87100597
類別	H01L 21/00

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

416095

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1) 細谷啓司 (2) 幸山裕亮
	國籍	(1) 日本　(2) 日本
	住、居所	(1) 日本國神奈川縣横浜市神奈川區菅田町四八八 西菅田団地六－六－一〇三 (2) 日本國横須賀市不入斗町三－一二－一 クリオ横須賀中央貳番館一一〇一
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

經濟部中央標準局員工消費合作社印製

裝 訂 線

416095

A6
B6

（由本局填寫）

承辦人代碼：
大　　類：
IPC分類：

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 1 月 20 日	9-007666	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：
大　　類：
ＩＰＣ分類：

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1997 年 1 月 20 日	9-007666	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

＜發明所屬之技術部門＞

本發明乃關於：半導體裝置及其製造方法者，尤其是具有堆疊型電容器（Stack type capacitor）之半導體裝置之構造及其製造方法者。

＜以往之技術＞

在ＤＲＡＭ等之半導體裝置中，若擬抑制隨積體度之提高所引起晶片（chip）面積之增大，則必然地需縮小每記憶格（memory cell）之佔有面積。另一方面，爲獲得作爲ＤＲＡＭ之穩定動作，亦需要將記憶格電容器（memory cell capacitor）之容量維持在２０ｆＦ～３０ｆＦ之值，而此值在ＤＲＡＭ之世代（generation）即使交替亦無多大之變化。爲滿足此互爲相反之要求，以往乃一直使用被稱爲槽型（trench type）或堆疊型（stack type）之主體構造（three dimensional structure）之電容器。

惟在積體度達十億數元（giga bit）之大規模之ＤＲＡＭ爲對象時，僅將電容器構造成主體（三次元）構造仍爲不夠；作爲電容器之絕緣膜，亦必需使用如（Ｂａ、Ｓｒ）ＴｉＯ$_3$（barium strontium titanium oxide）之高電容率之膜。

圖７乃表示：將（Ｂａ、Ｓｒ）ＴｉＯ$_3$作爲電容器之絕緣膜來使用之以往之堆疊型ＤＲＡＭ記憶格之斷面構造。

１乃爲矽基板，２爲元件分離用絕緣膜，３則爲電容

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(2　)

器充放電用ＭＯＳ電晶體之閘電極，４爲字元線（word line）之斷面，５爲ＭＯＳ電晶體之源極區域，６爲汲極區域，６ａ爲連接數元線（bit line）與基板之接點（contact）區域。

並且，７乃爲包圍閘極及字元線之絕緣膜，１０爲將ＭＯＳ電晶體之汲電極連接在存儲節點電極１９之多晶矽插頭（poly silicon plug），１１爲將基板與數元線加以連接之多晶矽插頭，１７則爲將ＭＯＳ電晶體與電容器加以分離之絕緣膜。

以（Ｂａ、Ｓｒ）ＴｉＯ$_3$爲絕緣膜，而形成圖７所示堆疊型電容器之以往之製程乃如下。

在絕緣膜１７開設接觸孔，並在多晶矽所成插頭１０上面，以濺射法（sputtering）來堆積Ｒｕ膜，將ＳｉＯ$_2$作爲蝕刻（etching）之掩模（mask），再以ＲＩＥ（Reactive Ion Etching）法來對前述Ｒｕ膜進行（布線）圖形製作（patterning），由此來形成存儲節點電極１９。

在經製作（布線）圖形之存儲節點電極１９上面，以ＭＯＣＶＤ法來堆積（Ｂａ、Ｓｒ）ＴｉＯ$_3$薄膜２１；緊接著在（Ｂａ、Ｓｒ）ＴｉＯ$_3$薄膜２１上以濺射法來形成Ｒｕ膜所形成之板（plate）電極２２，以完成堆疊型電容器。

在如上述之以往之堆疊型電容器之製造工程中，將存儲節點電極１９加以圖形製作（patterning）時，首先乃用光刻蝕法（lithography）技術在Ｒｕ膜上將ＳｉＯ$_2$膜圖形

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

製作成島狀；其次將前述SiO_2膜作爲掩模（mask），用ＲＩＥ法對前述Ｒｕ（釕）膜進行蝕刻，由此來形成存儲節點電極１９。

此時，前述SiO_2掩模（光罩）之間隔將由光刻蝕法之極限來決定；因此，以蝕刻法加以分離之Ｒｕ膜之間隔，無法形成爲前述SiO_2光罩之間隔以下。

以往Ｒｕ膜之蝕刻未必很容易，故爲完全將Ｒｕ（釕）加以分離，乃必需將Ｒｕ膜作過量腐蝕（over etch）至前述SiO_2光罩之下部爲止。爲止，由前述Ｒｕ膜形成相鄰之存儲節點電極之近接間隙（proximity gap）將無法避免成爲：較光刻蝕法之極限所規定之前述SiO_2光罩之間隔爲大之狀態。

而且，在前述ＲＩＥ法所作Ｒｕ膜之蝕刻時，因Ｒｕ膜之側壁將略爲形成垂直，故爲改善覆蓋此側壁之（Ｂａ、Ｓｒ）TiO_3薄膜之階梯覆蓋（step coverage），作爲前述（Ｂａ、Ｓｒ）TiO_3薄膜之堆積方法，乃具有不得不使用膜厚之均一性有問題之ＣＶＤ法或ＭＯＣＶＤ法等之缺點。

＜本發明擬解決之問題＞

如上述，在包含以往之堆疊型電容器之半導體裝置及其製造方法中，將Ｒｕ膜以ＲＩＥ法來加以蝕刻時，爲進行使用SiO_2光罩之兩階段蝕刻，因隨之有其製程增加，以及由Ｒｕ所成存儲節點電極間之距離無法成爲光蝕法之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(4)

極限所規定之值以下，從而無法增加電容器之存儲容量，以及在Ｒｕ膜之蝕刻中Ｒｕ膜之側壁將略形成爲垂直，因此，覆蓋其側壁之（Ｂａ、Ｓｒ）ＴｉＯ$_3$薄膜之階梯覆蓋久佳等；存在有許多之問題點。

本發明乃爲解決上述問題點而提出者，主要之目的乃在提供：將連接堆疊Ｒｕ膜之絕緣膜與下部之ＭＯＳ電晶體之接觸孔設在前述絕緣膜時，使前述接觸孔之內壁與前述絕緣膜之上部表面所形成角度能成爲９０度以上１１０度以下之範圍；將此與平坦化技術及選擇蝕刻技術加以組合，由此使工程數減少，而具有高密度及可靠性較高之堆疊型電容器之半導體裝置及其製造方法者。

＜解決上述問題之方法＞

本發明之半導體裝置，乃包含有：被形成在半導體基板上之凹部；及鄰接於凹部之底面及內壁所形成之導電膜，而在前述導電膜之中被形成在凹部內壁之上部週邊區域之部分乃爲被去除者。

乃被形成爲如覆蓋：半導體基板上部表面及露出於凹部上部週邊區域之內壁及導電膜等之絕緣膜；等爲特徵者。

本發明之半導體裝置，亦爲包含有：鄰接於前述凹部之底面及內壁所形成之導電膜所形成之第１電極；而前述第１電極乃形成於凹部內壁之上部周邊區域之部分爲被去除者；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(5　)

及被形成爲如覆蓋：半導體基板之上部表面及露出於凹部之上部週邊區域之內壁及導電膜等所形成之電容器絕緣膜；及鄰接於電容器絕緣膜上所形成之導電膜形成之第2電極；等爲特徵者。

本發明之半導體裝置，亦爲包含有：形成在半導體基板上之絕緣膜；及形成在絕緣膜上之凹部；及鄰接於前述凹部之底面及內壁所形成之導電膜形成之第1電極；而第1電極乃被形成在凹部內壁之上部週邊區域之部分爲被去除者；及被形成爲如覆蓋：絕緣膜之上部表面及露出於凹部內壁之上部週邊區域之絕緣膜及第1電極等之電容器絕緣膜；及鄰接於電容器絕緣膜上所形成之導電膜所成之第2電極；等爲特徵者。

本發明之半導體裝置，亦爲包含有：被形成在半導體基板上之絕緣膜；及被形成在前述絕緣膜上之凹部；而在前述凹部之底面之一部分乃有達到半導體基板之導電性插頭（plug）被露出於與底面之同一平面上者；及鄰接於凹部之底面及內壁所形成之導電膜所成之第1電極；而前述第1電極乃形成於凹部內壁之上部周邊區域之部分爲被去除者；

乃被形成爲如覆蓋：絕緣膜之上部表面及露出於凹部內壁之上部周邊區域之絕緣膜乃第1電極等之至少一層之電容器絕緣膜；及鄰接於電容器絕緣膜上所形成之導電膜所成之第2電極；等爲特徵者。

本發明之半導體裝置，亦爲包含有：具有在半導體基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

板上所形成之源極、汲極之ＭＯＳ電晶體；及形成在ＭＯＳ電晶體上之絕緣膜；及形成在絕緣膜上之凹部；而在凹部底面之一部分亦有達到ＭＯＳ電晶體之源極、汲極之一方之導電性插頭（plug）露出於與前述底面之同一平面上者；

及鄰接於凹部之底面及內壁所形成之導電膜所成之第1電極；而第1電極亦爲形成爲凹部之內壁之上部周邊區域之部分被去除者；

及被形成爲如覆蓋：絕緣膜之上部表面及露出於凹部內壁之上部周邊區域之絕緣膜及第1電極等之至少一層之電容器絕緣膜；及鄰接於電容器絕緣膜上所形成之導電膜所成第2電極；等爲特徵者。

而且，本發明之半導體裝置，亦具備有：具有形成在第1導電形之半導體基板上之源極、汲極之ＭＯＳ電晶體；及形成在ＭＯＳ電晶體上之第1絕緣膜；及被形成在第1絕緣膜，而達到前述源極、汲極之一方之第1接觸孔；及光填第1接觸孔之第1導電材料；

及形成在第1絕緣膜及第1導電材料上之第2絕緣膜；及形成在第2絕緣膜，而達到第1導電材料之第2接觸孔；及除第2接觸孔之內壁之上部周邊區域外，覆蓋前述第2接觸孔之底面及內壁之存儲節點電極；

及覆蓋第2絕緣膜之上部表面及露出於第2絕緣膜內壁之上部周邊區域之第2絕緣膜及存儲節點電極之表面等之電容器絕緣膜；及形成在電容器絕緣膜上之板電極；等

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(7　)

爲特徵者。

而最好是：本發明之半導體裝置亦爲：設有凹部之半導體基板，以及半導體基板上之絕緣膜之任何一個之上部表面，與凹部之內壁之間所形成之角度爲：９０度以上１１０度以下之範圍；等爲特徵者。

進一步，亦最好是：本發明之半導體裝置乃爲：覆蓋第２絕緣膜之上部表面及第２絕緣膜內壁之上部周邊區域及存儲節點電極之表面等之電容器絕緣膜，乃在前述第２接觸孔內部以及其周邊區域中，其段差部所生角度爲全部９０度以上１１０度以下之範圍；等爲特徵者。

本發明之半導體裝置之製造方法，乃具備有：形成在第１導電形之半導體基板上具有源極、汲極之ＭＯＳ電晶體之工程；及在ＭＯＳ電晶體上形成第１絕緣膜之工程；及在第１絕緣膜形成達到源極、汲極之一方之第１接觸孔之工程；及在第１接觸孔光填第１導電材料之工程；

以及在第１絕緣膜以及第１導電材料上形成第２絕緣膜之工程；及在第２絕緣膜形成達到第１導電材料之第２接觸孔之工程；及在第２絕緣膜之上部表面以及第２接觸孔底面及內壁形成存儲節點電極用金屬膜之工程；及在形成於覆蓋存儲節點電極用金屬膜之第２接觸點底面及內壁之部分之凹部，充填第３絕緣膜之工程；

以及將第３絕緣膜作爲掩模（mask），將第２絕緣膜上面之存儲節點電極用金屬膜加以蝕刻（腐蝕）去除，同時將形成於第２接觸孔內壁之存儲節點電極用金屬膜之中

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(8　)

，在前述第2接觸孔之上部周邊區域者加以蝕刻去除之工程；

以及將第3絕緣膜加以蝕刻去除之工程；及在包括凹部之電容器形成區域全面形成電容器絕緣膜之工程；及在電容器絕緣膜上形成板電極之工程；等爲特徵者。

並且最好是：本發明之半導體裝置之製造方法，亦爲：在形成第3絕緣膜時，在存儲節點電極用金屬膜上形成第3絕緣膜；接著，使用CMP法將形成於存儲節點電極用金屬膜之凹部以外之第3絕緣膜加以蝕刻去除；等爲特徵者。

而且最好是：本發明之半導體裝置之製造方法，亦爲：作爲第3絕緣膜使用SOG（Spin On Glass）爲特徵者。

並且最好是：本發明之半導體裝置之製造方法，亦爲：以第3絕緣膜爲掩模（mask）將第2絕緣膜上之存儲節點電極用金屬膜加以蝕刻（etching）去除，同時在形成於第2接觸孔內壁之存儲節點電極用金屬膜之中，將在內壁之上部周邊區域者加以蝕刻去除之工程，乃爲各向同性之蝕刻（isotropic etching）；等爲特徵者。

而且，進一步，本發明之半導體裝置之製造方法，亦宜爲：在第2絕緣膜開設達到第1導電材料之第2接觸孔之工程乃爲：第2絕緣膜之表面與前述第2接觸孔之內壁所形成之角在90度以上110度以下之範圍內；爲特徵者。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(9　)

並且，進一步，最好是：本發明之半導體裝置之製造方法，亦爲：以第3絕緣膜作爲掩模（mask）形成在第2接觸孔內壁之存儲電極用金屬膜之中，將在內壁上部周邊區域者加以蝕刻去除時，內壁之存儲節點電極用金屬膜之被蝕刻之面，將成爲與前述第2絕緣膜平行；等爲特徵者。

本發明之半導體裝置之製造方法，亦爲具備有：形成在半導體基板上具有源極、汲極之ＭＯＳ電晶體之工程；及在ＭＯＳ電晶體上形成第1絕緣膜之工程；及在第1絕緣膜形成達到前述源極、汲極之一方之第1接觸孔之工程；及在第1接觸孔充填第1導電材料之工程；及在第1絕緣膜及第1導電材料上形成第2絕緣膜之工程；及在第2絕緣膜形成達到第1導電材料之第2接觸孔之工程；及在第2絕緣膜之上部表面及第2接觸孔之底面及內壁形成存儲節點電極用金屬膜之工程；及在形成於凹部之包括存儲節點電極用金屬膜之存儲節點用金屬膜上，形成第3絕緣膜之工程；

及用ＣＭＰ法將形成在凹部以外之第2絕緣膜上之第3絕緣膜，以及存儲節點電極用金屬膜加以去除之工程；及以第3絕緣膜作爲掩模（mask），將形成在第2接觸孔內壁之存儲電極用金屬膜之中，在內壁之上部周邊區域加以蝕刻去除之工程；及去除第3絕緣膜之工程；及在包括凹部之電容器形成或區域全面形成電容器絕緣膜之工程；及在電容器絕緣膜上形成板（plate）電極之工程；等爲特

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (10)

徵者。

＜本發明之實施形態＞

下面參照附圖來詳細說明本發明之實施形態。

圖１（ａ）乃爲本發明之第１實施形態之包含堆疊型電容器之ＤＲＡＭ記憶格所成之半導體記憶裝置之部分放大平面圖。如圖１（ａ）所示，堆疊型電容器之板電極２２被配置成：如覆蓋形成於其下部之ＭＯＳ電晶體及數元線（bit line）１４之狀態。

３，４乃爲字元線（word line），１６乃連接堆疊型電容器與下部之ＭＯＳ電晶體之源極區域之接觸孔；如包圍此接觸孔，亦形成有第２接觸孔。１１則爲連接下部之ＭＯＳ電晶體之汲極區域與數元線所用之引線配線及接觸孔。此外在本平面圖中，亦含有構成２個單電晶體型記憶格之２個ＭＯＳ電晶體。

圖１（ｂ）乃表示圖１（ａ）之Ａ－Ａ斷面之圖。１乃爲矽基板，２爲元件分離用絕緣膜，３則爲ＭＯＳ電晶體之閘電極。如圖１（ａ）之平面圖所示，３乃爲延長至記憶格陣列（memory cell array）之行（row）方向，而連接與行方向相鄰之ＭＯＳ電晶體之閘極之字元線。圖１（ａ）之４乃爲被配置在前述閘電極３之兩側，而連接與前述閘電極同時形成之其他記憶格之閘極之字元線。３與４均將與閘電極同一斷面構造者加以延長而作爲字元線者。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(11)

圖１（ｂ）之５，６乃爲ＭＯＳ電晶體之源極、汲極區域，７則爲覆蓋閘電極３及字元線４之絕緣膜；８、１２、１５乃爲將形成在矽基板１之ＭＯＳ電晶體與形成在其上面之堆疊型電容器加以分離所用之絕緣膜。在本說明書中，如圖１（ｂ）所示，乃將８、１２、１５稱爲第１絕緣膜。

插頭（plug）１０乃爲與被連接在其上面之插頭１６一起將ＭＯＳ電晶體之源極區域５連接在堆疊型電容器所用之導電性插頭；在本說明書中，如圖１（ｂ）所示，乃將插頭１０及１６稱爲第１充填材料，而充填１０及１６之接觸孔則稱爲第１接觸孔。插頭１１乃爲連接ＭＯＳ電晶體之汲極區域６與數元線之導電性插頭。

１７乃爲成爲堆疊型電容器之基板之第２絕緣膜，在１７設置可達到前述第１充填材料之第２接觸孔，以及設置金屬膜所成存儲節點電極１９，及由

（Ｂａ，Ｓｒ）ＴｉＯ$_3$所成之電容器絕緣膜２１及板電極２２；由此，堆疊型電容器將形成在ＭＯＳ電晶體之上面。

圖１（ｃ）乃爲表示圖１（ａ）之Ｂ－Ｂ斷面之圖。連接在圖１（ｂ）所述之汲極區域６之插頭１１，乃將被抽出至數元線之位置，而經由插頭１３被連接在數元線１４者（參照圖１（ａ））。

下面參照圖２～圖４，來說明本發明之第１實施形態之半導體記憶裝置之製造方法。如圖２（ａ）所示，在ｐ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (12)

型矽基板１上面，將雜質加以離子佈植（ ion implantation ），由此在前述矽基板上之元件形成區域形成阱（ well ）（未圖示），再用ＳＴＩ（ Shallow Trench Isolation ）法來形成元件分離區域２。

其次，爲形成ＭＯＳＦＥＴ，在矽基板上形成例如６０Ａ之閘極氧化膜（未圖示），將約５００Å之多晶矽，及約１０００Å之鎢矽化物（ tungsten silicide ）（ＷＳｉ）或鎢（Ｗ），及約１０００Å之氮化矽（ＳｉＮ）等加以堆積（堆疊），以前述氮化矽作爲掩模（ mask ）來進行圖形製作（ patterning ）；由此來形成閘電極３。在圖１～圖５乃爲簡單起見，將閘電極３之疊層構造加以省略，表示成均一之斷面。字元線４乃與閘電極３同時以同一構造來形成。

形成閘電極３後，以此作爲掩模（ mask ），將Ｐ或Ａｓ等之Ｎ型雜質加以雜子佈植，以形成源極、汲極區域５，６。接著，堆積例如３００Å之氮化矽，將此以使用ＲＩＥ（ Eeactive Ion Etching ）法之各向異性之蝕刻（ anisotropic etching ）來加以進行反復腐蝕（ etch back ），在閘電極３及配線４之兩側面形成由前述氮化膜所成之側壁（ Side Wall ）。如此，由作爲蝕刻掩模（ etching mask ）來使用之氮化膜及作爲側壁來使用之氮化膜，如圖２（ａ）所示，來覆蓋閘電極３及配線４之上面與兩側面。

經過上述工程來形成：將記憶格電容器加以充放電之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (13)

ＭＯＳ電晶體後，將約２５００Å～３０００Å之絕緣膜８，用例如ＢＰＳＧ（Bore-Phospho-Silicate Glass）或電漿（plasma）SiO_2來加以形成。

其次，如圖２（ｂ）所示，將閘電極３及配線４之上面之氮化膜７作爲止子（stopper），用ＣＭＰ（Chemical Mechanical Polishing）法將表面加以平坦化；由此，在前述閘電極３及配線４之間埋入ＢＰＳＧ或電漿SiO_2所成之絕緣膜。

接著，將經平坦化之表面以抗蝕刻（resist）來加以覆蓋，並將前述抗蝕劑開口或成：源極、汲極區域上之絕緣膜８能夠露出之狀態，再將露出之絕緣膜８加以蝕刻（腐蝕）去除；由此，如圖２（ｃ）所示，對閘電極，自已整合性地形成接觸孔９。

其次，去除抗蝕劑，全面堆積：在接觸孔９形成插頭所用之導雷膜；例如添加Ｐ或Ａｓ之多晶矽，並將閘電極及配線上之氮化膜７作爲止子（stopper）以ＣＭＰ法加以平坦化。如此，如圖２（ｄ）所示，在源極區域５及汲極區域６上面，將被充填導電性之多晶矽１０及１１。

此時，被充填於源極區域５上面之多晶矽乃成爲被連接在電容器之存儲節點電極１９（參照圖１（ｂ）之插頭（plug）１０；而被形成在汲極區域６上面之多晶矽，則成爲將數元線對元件區域移位形成所用之引出插頭１１。（參照圖１（ａ）之平面圖）。

其次，如圖２（ｅ）之Ｂ－Ｂ斷面圖所示，全面堆積

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

：例如１０００Å～２０００Å之ＢＰＳＧ或電漿ＳｉＯ₂等，以形成絕緣膜１２。然後，用數元線接觸孔開口用之抗劑掩模開設可達到前述引出插頭１１之數元線接觸孔，將２５０Å左右之Ｔｉ／ＴｉＮ及２０００Å左右之Ｗ，以濺射法加以堆積（堆疊），將第２絕緣膜１２作爲止子（stopper）用ＣＭＰ法來進行平坦化，再在前述引出插頭１１上面形成數元線接觸用之插頭１３。

此外，圖２（ｅ）乃爲明示前述引出插頭１１及數位線１４之連接狀況，而將上述工程爲止之圖１（ａ）之平面圖之Ｂ－Ｂ斷面加以表示者。在圖２～圖５中，除圖２（ｅ）以外之斷面圖，乃全部表示有Ａ－Ａ斷圖。

接著，將厚２５０Å左右之Ｔｉ／ＴｉＮ及１０００Å左右之Ｗ，用測射法來加以堆積；此後，將１５００Å左右之氮化膜以ＣＶＤ法來堆積（未圖示），用數元線用之掩模圖形(Mask pattern)，將前述氮化膜及Ｗ及Ｔｉ／ＴｉＮ以ＲＩＥ法來製作圖形（patterning），以形成數元線１４（參照圖１（ｃ））。

其次，在全面堆積絕緣膜１５（例如ＢＰＳＧ或電漿ＳｉＯ₂），接著以ＣＭＰ法，將作爲數元線形成用掩模所用之數元線上之氮化膜作爲止子（stopper），如圖３（ｆ）所示，將絕緣膜１５加以平坦化。

其次，如圖３（ｇ）所示，例如使用ＲＩＥ法，將前述絕緣膜１５，及先前所堆積之絕緣膜１２，以蝕刻來加以開口，形成接觸孔成爲：能露出前述源極區域上之多晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (15)

矽之插頭１０之狀態。接著，使用例如濺射法來堆積２５０Å～３００Åの之Ｔｉ，以５５０Å夾進行３０分鐘之退火（anneal）。進一步，利用例如測射法來堆積１５００Å～２０００Åの之Ｗ，並以前述絕緣膜１５作爲止子（stopper）來進行用ＣＭＰ法之平坦化，以形成連接於存儲節點電極１９之插頭（plug）１６。

如此，被形成在矽基板１之ＭＯＳ電晶體之源極區域，將由通過絕緣膜８、１２、１５被形成之接觸孔，及充填於此之導電材料所成之插頭１０及１６，被連接在與絕緣膜１５鄰接形成之堆疊型電容器之存儲節點電極１９，故將８、１２、１５所成之絕緣膜，及經過此等被形成之接觸孔，及充填在此等中之導電材料等，各如總括表示於圖３（ｇ）所示，將稱爲：第１絕緣膜、第１接觸孔、第１充填材料。

其次，在全面堆積例如２５００Å～３０００Åの之電漿SiO_2，而在前述第１絕緣膜上形成第２絕緣膜１７，再用對SiO_2膜之通常之錐形蝕刻（taper etching）工程，在前述第２絕緣膜１７，如圖３（ｈ）所示，開設第２接觸孔１８成爲：具有較９０度爲大較１１０度爲小之錐形（taper）角，且在底部可露出連接有存儲節點電極１９之插頭（plug）１６之上端部之狀態。

接著，如圖３（ｈ）所示，例如以濺射法，作爲存儲節點電極之形成材料，全面堆積厚度５００Å～６００Åの之Ｒｕ膜１９後，再用自旋鍍膜（Spin coating）法全面堆

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (16)

積ＳＯＧ（Spin On Glass）。其次，使用Ｒｕ膜１９作爲止子（Stopper）之ＣＭＰ法，進行ＳＯＧ之平坦化，在沿第２接觸孔１８之形狀所形成之Ｒｕ之凹部，形成：對存儲節點電極１９進行蝕刻加工所用之ＳＯＧ所成之蝕刻掩模（etching mask）２０。

利用前述２０，將前述Ｒｕ膜蝕刻成８００Å～９００Å左右。此時，圖３（ｈ）所示之第２絕緣膜１７上之Ｒｕ膜將被去除；進一步，如圖４（ｉ）所示，前述第２接觸孔１８之內壁與前述蝕刻掩模２０之間之Ｒｕ，亦將從內壁之上部被蝕刻（腐蝕）２００Å～３００Å左右。

並且，將成爲蝕刻掩模２０之ＳＯＧ，用自旋鍍膜法全面加以堆積後，利用將第２絕緣膜１７作爲止子之ＣＭＰ法，進行ＳＯＧ以及Ｒｕ膜１９之平坦化；在去除第２絕緣膜１７上之Ｒｕ膜１９後，將前述第２接觸孔１８之內壁與前述蝕刻掩模２０之間Ｒｕ膜，從內壁之上部蝕刻（腐蝕）２００Å～３００Å左右；即可獲得與上述方法同樣之構造。

此時，Ｒｕ膜之蝕刻，乃各向同性地（isotropic）被進行，而如圖４（ｉ）所示，Ｒｕ膜之蝕刻面將可一面維持與第２絕緣膜１７之上部表面之平行性，一面進行蝕刻。如此，將有Ｒｕ膜所成之存儲節點電極１９形成在第２接觸孔１８之內部。

其次，利用例如電漿SiO_2所成之前述第２絕緣膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(17)

17與前述SOG、20之蝕刻選擇比爲100以上之濕蝕刻法，來去除前述SOG、20。

其次，如圖4（j）所示，利用例如濺射法來堆積500Å～600Å之（Ba、Sr）TiO_3薄膜，以形成電容器絕緣膜21，並以70℃來進行一分鐘之結晶化退火（anneal）。接著，利用例如濺射法來堆積500Å～600Å之Ru，以形成板電極22；由此來完成由19、21、22所成之半導體裝置之電容器。

在此，將前述第2接觸孔18之內壁與前述蝕刻掩模20之間之Ru膜，從內壁之上部蝕刻（腐蝕）200Å～300Å左右之際，進行各向異性（anisotropic）之蝕刻時，蝕刻後之Ru膜乃如圖4（k）所示，將具有銳角部；而在此上面形成電容器絕緣膜21時，則將有使膜之可靠性顯著劣化之可能性。

如此所形成之（Ba、Sr）TiO_3薄膜所成之電容器之絕緣膜，因將在第2絕緣膜17之第2接觸孔18之內壁，設有較90度爲大而較110度爲小之錐形角成爲：開口向上部擴展之狀態；故在沿此所形成之前述電容器絕緣膜之所有段差部，將成爲：與存儲節點電極及板電極一起全部以較90度爲大而較110度爲小之鈍角被折曲之形狀。爲此，將可獲得具有均一而耐壓極大之（Ba、Sr）TiO_3薄膜之電容器。

因在上述之第2內壁17設置錐形角，而由此可獲得耐壓較高之電容器絕緣膜之工程中，最重要之關鍵乃爲電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (18)

容器絕緣膜之折曲角度。若此角成爲９０度以下之銳角，則電場之集中效果將成爲顯著，同時由於在銳角部分之異常生長（ abnormal growth ），將使前述電容器絕緣膜之耐壓急激降低。

因此，爲獲得耐壓較高之良好電容器，圖４（ｊ）之電容器絕緣膜２１之斷面之中心線所示折曲角度，需具有以９０度爲限度，而較９０度爲大而較１１０度爲小之錐形角，乃成爲必需之條件。

另方面，若前述錐形角較１１０度爲大時，則除作爲電容器之所需面積將增大之外，圖４（ｉ）之工程所說明之存儲節點電極１９之各向同性之蝕刻之均一性亦將降低，１９之蝕刻面將成爲：極難與第２絕緣膜１７之表面平行來進行。因此，形成在其上面之電容器絕緣膜之折曲角，將發生異常。

其次，根據圖５來說明本發明之第２實施形態。圖５乃表示：設在第２絕緣膜１７之第２接觸孔之內壁與１７之上部表面所成之角度正好成爲９０度時之斷面構造之圖。

圖５所示斷面構造之材料及完成此斷面構造之工程之程序，乃與上述圖４（ｊ）爲止之程序同樣；但因在Ｒｕ膜及電容器絕緣膜之形成無法使用濺射法，故存儲節點電極、電容器絕緣膜、板電極之形成，將全部都使用以往之ＣＶＤ法，這一點爲不同。

如前述，在使用ＣＶＤ法時因膜厚之均一性有問題，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (19)

尤其是在段差形狀之凸部角落部分將容易發生異常生長。此時，對電容器絕緣膜之耐壓將帶來重大影響之部分，乃爲：發生在第２接觸孔１８（參照圖３（ｈ））開口之上部周邊區域之基體Ｒｕ膜之異常生長。

此時，在圖４（ｉ）所示工程中，將前述側壁之上部周邊區域之Ｒｕ膜之異常生長部分，以前述各向同性之蝕刻來加以去除，則生長在其上面之電容器絕緣膜之耐壓，將能顯著被提高。

如圖５所示，將第２接觸孔之內壁與１７之上部表面所成角度定爲９０度，則如第１實施形態所示，將由此較９０度爲大而１１０度爲小之情形，可使電容器之所需面積減小；此乃爲不必贅言者。

而且，與圖７所示以往之堆疊型電容器之製造工程比較，在本發明，其鄰接之Ｒｕ存儲節點電極之近接間隙（proximity gap），將由第２接觸孔１８（參照圖３（ｈ））之近接間隙所決定。此時，設置第２接觸孔之第２絕緣膜１７乃因由SiO_2膜所成，故不僅較Ｒｕ之蝕刻可獲得更高之蝕刻精度；亦由控制過量蝕刻（over etching）之值，將可使前述第２接觸孔１８之近接間隙，成爲：光刻蝕法之極限所規定之蝕刻掩模（etching mask）之近接間隙以下。

如上述，由於使用本發明之第２實施形態所示半導體裝置之構造與製造方法，將可以較以往爲少之工程數來獲得；具備有積體度及可靠性較高之堆疊型電容器之半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (20)

裝置。

在此，將被形成於第２接觸孔１８部之Ｒｕ膜所成之存儲節點電極１９，未從上部蝕刻（腐蝕）２００Å～３００Å左右時之問題點，利用圖６來加以說明。

此時，在ＳＯＧ、２０之濕蝕刻所作之去除工程中，利用電漿SiO_2之第２絕緣膜１７，亦將被蝕刻刻２０Å～３０Å左右；故在進行前述ＳＯＧ、２０之濕蝕刻後，Ｒｕ（釕）所成存儲節點電極１９將形成突起部１９ａ成爲：如圖６之虛線所包圍之狀態；於是在此突起部１９ａ之上面，將形成：由（Ｂａ、Ｓｒ）TiO_3薄膜所形成之電容器絕緣膜２１及由Ｒｕ膜所成之板電極２２。

在如圖５所示之突起部１９ａ之尖銳段差形狀上面，均一堆積由薄膜所成電容器絕緣膜２１及板電極２２，乃爲顯著困難之事；而且，在前述突起部１９ａ亦將發生電場集中；放將成爲電容器耐壓劣化之重大原因。

前述突起部１９ａ乃如第１實施形態所示，在第２接觸孔具有較９０度爲大而較１１０度爲小之錐形角時，將在１９ａ之突出部與１７之側壁相接之側形成銳角，而將在此發生電容器絕緣膜之異常堆積。並且，如第２實施形態所示，在２接觸孔與第２絕緣膜１７之表面所成角爲９０度時，因在前述突出部將發生兩處之凸部角落部分；故在其上面以ＣＶＤ法所生長之電容器絕緣膜之異常成長將成爲過大。

此外，本發明亦不限定於上述之實施形態。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明 (21)

本發明對於：含有在半導體基板上形成有９０度或較９０度爲小而較１１０度爲大之開口向上部擴展之凹部，並與前述凹部之底面及側面鄰接來形成導電膜，而將形成在前述凹部之上部周邊區域之導電膜之部分加以去除，且在其上面形成絕緣膜成爲：如覆蓋前述半導體基板之上部表面及露出於前述凹部之上部周邊區域之半導體基板以及前述導電膜等狀態之構造之半導體裝置及其製造方法，亦可同樣適用。

而且，本發明亦對於：將設在前述凹部之導電膜作爲第１電極，並將被形成在前述第１電極之凹部內壁之上部周邊區域加以去除，而含有被形成爲：如覆蓋前述半導體基板及露出於前述凹部內壁之上部周邊區域之半導體基板以及前述導電膜等之至少一層之電容器絕緣膜，及在其上面鄰接形成第２電極之電容器等之半導體裝置及其製造方法，同樣可適用。

並且，本發明亦能同樣對於：將凹部形成在半導體基板上之絕緣膜，與前述凹部之底面及內壁鄰接形成第１電極，並去除被形成在前述凹部之第１電極之凹部內壁之上部周邊區域，及形成電容器絕緣膜成爲：如覆蓋前述絕緣膜之上部表面及露出於凹部內壁之上部周邊區域之絕緣膜以及第１電極等之狀態，且含有：在前述電容器絕緣膜上鄰接形成有第２電極之電容器等之半導體裝置及其製造方法，可加以適用。

而且，本發明亦對於具有：在被設於前述絕緣膜之凹

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明 (22)

部底面之一部分，設置可達到前述半導體基板之導電性插頭，而前述電容器則與其下部之半導體基板連接等構造之半導體裝置及其製造方法，同樣可加以適用。

並且，本發明亦例如：作爲堆疊型電容器之存儲節點電極及板電極，除Ｒｕ（釕）之外，將可使用：Ｐｔ、Ｒｅ、Ｏｓ、Ｒｈ、Ｉｒ以及此等之氧化物，或此等之合金以及其氧化物，Ｗ、Ｎｂ、Ａｌ、Ｔｉ、Ｔａ、Ｍｏ、Ｃｕ、ＷＮ、ＮｂＮ、ＴｉＮ、Ｐｄ等。並且，作爲電容器之絕緣膜，則除（Ｂａ、Ｓｒ）TiO_3之外，亦可使用：$BaTiO_3$、$SrTiO_3$、$PbZrO_3$、$LiNbO_3$、$Bi_4Ti_3O_{12}$、Ta_2O_5等，以及此等之多層膜。

此外，在不超出本發明之要旨之範圍內，亦可加以種種之變形來實施。

＜本發明之效果＞

如上述，依據本發明之半導體裝置及其製造方法，由於使用ＳＯＧ掩模（mask），在接觸孔內部，將形成存儲節點電極之Ｒｕ（釕），向深度方向加以蝕刻（腐蝕），故可獲得：於形成（Ｂａ、Ｓｒ）TiO_3薄膜所成電容器絕緣膜時，成爲基體之存儲節點電極將不被形成突起部，無發生突起部之電場集中所引起之耐壓劣化之虞之電容器絕緣膜。

並且，形成：成爲存儲節點之基體之絕緣膜或半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

基板上之接觸孔時，因在接觸孔之側壁設置９０度以上１１０度以下之錐形（taper）角，與述Ｒｕ之深度方向之蝕刻相組合；由此將可使發生在基體之段差部之角度全部成爲鈍角；而在９０度之情形，則去除：凸部角落部分所發生之異常生長區域，將成爲可能。

如此，在段差部爲鈍角之基體上，以濺射法形成均一之（Ｂａ、Ｓｒ）ＴｉＯ３薄膜將成爲容易之事；並且段差部爲９０度之情形，亦可改善因ＣＶＤ法所生之不均勻。

依據本發明之半導體裝置之製造方法，由於將電容器之存儲節點形狀加以規定，故不必使用掩模（mask）來直接將Ｒｕ膜加以製作圖形（patterning），而將第３絕緣膜作爲製作圖形之用，在第２接觸孔形成後方進入前述第３絕緣膜之濕蝕刻工程；由此將可較容易以較少之工程數來使存儲節點間靠近至光刻蝕法之極限以上，並可使存儲電容量增加。

並且此種方法亦可適用於：一般具有設在半導體基板或絕緣膜之９０度以上１１０度以下之錐形（taper）角之內壁之凹部上面，堆積電導體膜及絕緣膜等爲構造之半導體裝置及其製造方法。

＜附圖之簡單說明＞

〔圖１〕表示具有本發明之堆疊型電容器之半導體裝置之記憶格之構造之平面圖及斷面圖。

〔圖２〕表示本發明之第１實施形態之半導體裝置之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (24)

製造方法之工程斷面圖。

〔圖3〕表示本發明之第1實施形態之半導體裝置之後續之製造方法之工程斷面圖。

〔圖4〕表示本發明之第1實施形態之半導體裝置之再後續之製造方法之工程斷面圖。

〔圖5〕表示本發明之第2實施形態之半導體裝置之製造方法之工程斷面圖。

〔圖6〕表示未去除接觸孔上部周邊之Ru膜時之問題點之圖。

〔圖7〕表示具有以往之堆疊型電容器之半導體裝置之記憶格之構造之斷面圖。

（附圖中編號之說明）

1　矽基板　　2　元件分離絕緣膜

3，4　閘電極（字元線）　　5　源極區域

6　汲極區域　　6a　與數元線之接觸區域

7　氮化膜

8、12、15　第1絕緣膜

10、11　多晶矽插頭　　13　數元線連接用插頭

14　數元線

16　存儲節點電極連接用插頭

17　第2絕緣膜　　18　第2接觸孔

19　存儲節點電極

19a　存儲節點電極之突起部

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

A7
B7

五、發明說明 (25)

20 第3絕緣膜

21 電容器絕緣膜

22 板電極

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

本發明乃有關：半導體裝置及其製造方法者，尤其是具有堆疊（Stack）型電容器（Capacitor）之半導體裝置之構造及其製造方法者。

本發明之目的乃在提供：具有存儲容量大且耐壓及可靠性極高之堆疊型電容器之半導體裝置及其製造方法者。

本發明之特徵乃在：在成爲基體（Substrate）之絕緣膜之接觸孔（Contact hole）上，形成堆疊型電容器之Ru（釘）存儲節點（Store node）電極時，在其側壁設置90度以上110度以下之錐形（taper）角，並在接觸孔之內部表面上形成Ru存儲存節點電極；進一步，以使用SOG掩模（SOG mask）之縱方向蝕刻（etching），來去除側壁上部周邊區域之Ru膜，由此即可極容易在其上面形成（Ba、Sr）TiO_3薄膜所形成之均一之堆疊型電容器絕緣膜。如此，即可獲得耐壓性極高之堆疊型電容器。並且，與以往之方法比較，較容易使存儲節點間之靠近達到光蝕法（lithograph）之極限以上。（參閱圖4）

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體裝置；其特徵爲含有：

形成在半導體基板上之凹部；

及鄰接於前述凹部之底面及內壁所形成之導電膜；

而前述導電膜爲：形成於前述凹部之上部周邊區域之部分被去除者；

及覆蓋前述半導體基板之上部表面及露出於前述凹部之上部周邊區域之內壁以及前述導電膜而形成之絕緣膜。

2．一種半導體裝置；其特徵爲含有：

形成在半導體基板上之凹部；

及由鄰接於前述凹部之底面及內壁所形成之導電膜所構成之第1電極；

及前述第1電極乃爲：形成於前述凹部之內壁之上部周邊區域之部分被去除者；

及覆蓋前述半導體基板之上部表面及露出於前述凹部之上部周邊區域之內壁以及前述導電膜而形成之電容器絕緣膜；

及由鄰接於前述電容器絕緣膜上所形成之導電膜所構成之第2電極。

3．一種半導體裝置；其特徵爲含有：

形成於半導體基板上之絕緣膜；

及形成在前述絕緣膜上之凹部；

及由鄰接於前述凹部之底面及內壁所形成之導電膜所構成之第1電極；

而前述第1電極乃爲：形成於前述凹部之上周邊區域

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之部分爲被去除者；

及覆蓋前述絕緣膜之上部表面及露出於前述凹部之內壁之上部周邊區域之前述絕緣膜以及前述第1電極而形成之電容器絕緣膜；

及由鄰接於前述電容器絕緣膜上所形成之導電膜所構成之第2電極。

4．一種半導體裝置；其特徵爲含有：

形成在半導體基板上之絕緣膜；

及形成在前述絕緣膜上之凹部；

而在前述凹部之底面之一部分，乃有可達到前述半導體基板之導電性插頭（plug），被露出於與前述底面之同一平面上者；

及與前述凹部之底面及內壁鄰接所形成之導電膜所構成之第1電極；

而前述第1電極爲被形成於前述凹部之內壁之上部周邊區域之部分爲被去除者；

及被形成爲：如覆蓋前述絕緣膜之上部表面及露出於前述凹部之內壁之上部周邊區域之前述絕緣膜以及前述第1電極等之至少一層之電容器絕緣膜；

及鄰接於前述電容器絕緣膜上所形成之導電膜所構成之第2電極。

5．一種半導體裝置；其特徵爲含有：

具有被形成在半導體基板上之源極、汲極之ＭＯＳ電晶體；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

及形成在前述ＭＯＳ電晶體上之絕緣膜；

及被形成在前述絕緣膜上之凹部；

而在前述凹部之底面之一部分，乃有可達到前述ＭＯＳ電晶體之前述源極、汲極之一方之導電性插頭，被露出於與前述底面之同一平面上者；

及與前述凹部之底面及內壁鄰接被形成之導電膜所構成之第１電極；

而前述第１電極爲被形在前述凹部之內壁之上部周邊區域之部分被去除者；

及被形成爲：如覆蓋前述絕緣膜之上部表面及露出於前述凹部之內壁之上部周邊區域之前述絕緣膜以及前述第１電極等之至少一層之電容器絕緣膜；

及與前述電容器絕緣膜上鄰接被形成之導電膜所構成之第２電極。

６．一種半導體裝置；其特徵爲具備有：

具有被形成在半導體基板上之源極、汲極之ＭＯＳ電晶體；

及被形成在前述ＭＯＳ電晶體上之第１絕緣膜；

及被形成在前述第１絕緣膜，而可達到前述源極、汲極之一方之第１接觸孔；

及充填前述第１接觸孔之第１導電材料；

及被形成在前述第１絕緣膜及前述第１導電材料上之第２絕緣膜；

及被形成在第２絕緣膜，而可達到第１導電材料之第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

2 接觸孔；

及除前述第 2 接觸孔之內壁之上部周邊區域之外，覆蓋前述第 2 接觸孔之底面及內壁之存儲節點電極；

及覆蓋：前述第 2 絕緣膜之上部表面及露出於前述第 2 接觸孔之內壁之上部周邊區域之前述第 2 絕緣膜以及前述存儲節點電極之表面等之電容器絕緣膜；

及被形成在前述電容器絕緣膜之板電極。

7．如申請專利範圍第 1 項所述之半導體裝置中；設有前述凹部之半導體基板，及半導體基板上之絕緣膜之任何 1 個之上部表面，與前述凹部之內壁所形成之角度爲 90 度以上，110 度以之範圍內。

8．如申請專利範圍第 2 項所述之半導體裝置中；設有前述凹部之半導體基板，及半導體基板上之絕緣膜之任何 1 個之上部表面，與前述凹部之內壁所形成之角度爲 90 度以上，110 度以下之範圍內。

9．如申請專利範圍第 3 項所述之半導體裝置中；設有前述凹部之半導體基板，及半導體基板上之絕緣膜之任何 1 個之上部表面，與前述凹部之內壁所形成之角度爲 90 度以上，110 度以下之範圍內。

10．如申請專利範圍第 4 項所述之半導體裝置中；設有前述凹部之半導體基板，及半導體基板上之絕緣膜之任何 1 個之上部表面，與前述凹部之內壁所形成之角度爲 90 度以上，110 度以下之範圍內。

11．如申請專利範圍第 5 項所述之半導體裝置中；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

設有前述凹部之半導體基板，及半導體基板上之絕緣膜之任何1個之上部表面，與前述凹部之內壁所形成之角度爲90度以上，110度以下之範圍內。

12．如申請專利範圍第6項所述之半導體裝置中；覆蓋前述第2絕緣膜之上部表面及前述第2絕緣膜之內壁之上部周邊區域以及前述存儲電極之表面等之電容器絕緣膜，乃在前述第2接觸孔之內部及其周邊區域，其段差部所生角度全在90度以上，110度以下之範圍內。

13．一種半導體裝置之製造方法；其特徵爲具備有：

形成在半導體基板上具有源極、汲極之MOS電晶體之工程；

及在前述MOS電晶體上形成第1絕緣膜之工程；

及在前述第1絕緣膜形成可達到前述源極、汲極之一方之第1接觸孔之工程；

及在前述第1接觸孔充填第1導電材料之工程；

及在前述第1絕緣膜及前述第1導電材料上形成第2絕緣膜之工程；

及在前述第2絕緣膜形成可達到前述第1導電材料之第2接觸孔之工程；

及在前述第2絕緣膜之上部表面及前述第2接觸孔之底面及內壁形成存儲節點電極用金屬膜之工程；

及在覆蓋前述存儲節點電極用金屬膜之前述第2接觸孔之底面及內壁等之部分所形成之凹部，充填第3絕緣膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之工程；

及將前述第3絕緣膜作爲掩模（mask），將前述第2絕緣膜上面之前述存儲節點電極用金屬膜加以蝕刻去除，同時將形成在前述第2接觸孔之內壁之前述存儲電極用金屬膜之中，位於前述內壁之上部周邊區域者加以蝕刻去除等之工程；

及將前述第3絕緣膜加以蝕刻去除之工程；

及在包括前述凹部之電容器形成區域全面，形成電容器絕緣膜之工程；

及在前述電容器絕緣膜上形成板電極之工程。

14．如申請專利範圍第13項所述之半導體裝置之製造方法中；在形成前述第3絕緣膜時，在前述存儲節點電極用金屬膜之上形成前述第3絕緣膜；接著用CMP法將被形成在前述存儲節點電極用金屬膜之凹部以外之前述第3絕緣膜加以蝕刻去除。

15．如申請專利範圍第13項所述之半導體裝置之製造方法，其中，作爲前述第3絕緣膜使用SOG（Spin On Glass）。

16．如申請專利範圍第13項所述之半導體裝置之製造方法，其中，將前述第3絕緣膜作爲（mask），將前述第2絕緣膜上之前述存儲節點電極用金屬膜加以蝕刻去除，同時亦將形成在前述第2接觸點之內壁之前述存儲電極用金屬膜之中，位於前述內壁之上部周邊區域者加以蝕刻去除等之工程，乃爲各向同性之蝕刻（isotropic etching

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

）。

１７．如申請專利範圍第１３項所述之半導體裝置之製造方法，其中，在前述第２絕緣膜開設可達到前述第導電材料之第２接觸孔之工程中，其前述第２絕緣膜之上部表面與前述第２接觸孔之內壁所形成之角度，乃在９０度以上，１１０度以下之範圍內。

１８．如申請專利範圍第１３項所述之半導體裝置之製造方法，其中，將前述第３絕緣膜作爲掩模（mask），將形成在前述第２接觸孔之內壁之前述存儲電極用金屬膜之中，位於前述內壁之上部周邊區域者加以蝕刻去除時，前述內壁之存儲節點電極用金屬膜被蝕刻之面，乃與前述第２絕緣膜形成平行。

１９．一種半導體裝置之製造方法，其特徵爲具備有：

形成：在半導體基板上具有源極、汲極之ＭＯＳ電晶體之工程；

及在前述ＭＯＳ電晶體上形成第１絕緣膜之工程；

及在前述第１絕緣膜形成可達到前述源極、汲極之一方之第１接觸孔之工程；

及在前述第１接觸孔充填第１導電材料之工程；

及在前述第１絕緣膜及前述第１導電材料上形成第２絕緣膜之工程；

及在前述第２絕緣膜形成可達到前述第１導電材料之第２接觸孔之工程；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

及在前述第2絕緣膜之上部表面及前述第2接觸孔之底面及內壁形成存儲節點電極用金屬膜之工程；

及在包括形成在前述凹部之前述存儲節點用金屬膜之前述存儲節點電極用金屬膜上，形成第3絕緣膜之工程；

及用CMP法，將形成在前述凹部以外之前述第絕緣膜上之前述第絕緣膜，以及前述存儲節點電極用金屬膜加以去除之工程；

及將前述第3絕緣膜作爲掩模（mask），將形成在前述第2之接觸孔之內壁之前述存儲電極用金屬膜之中，位於前述內壁之上部周邊區域者加以蝕刻去除之工程；

及將前述第3絕緣膜加以蝕刻去除之工程；

及在包括前述凹部之電容器形成區域全面，形成電容器絕緣膜之工程；

及在前述電容器絕緣膜上形成板電極之工程。

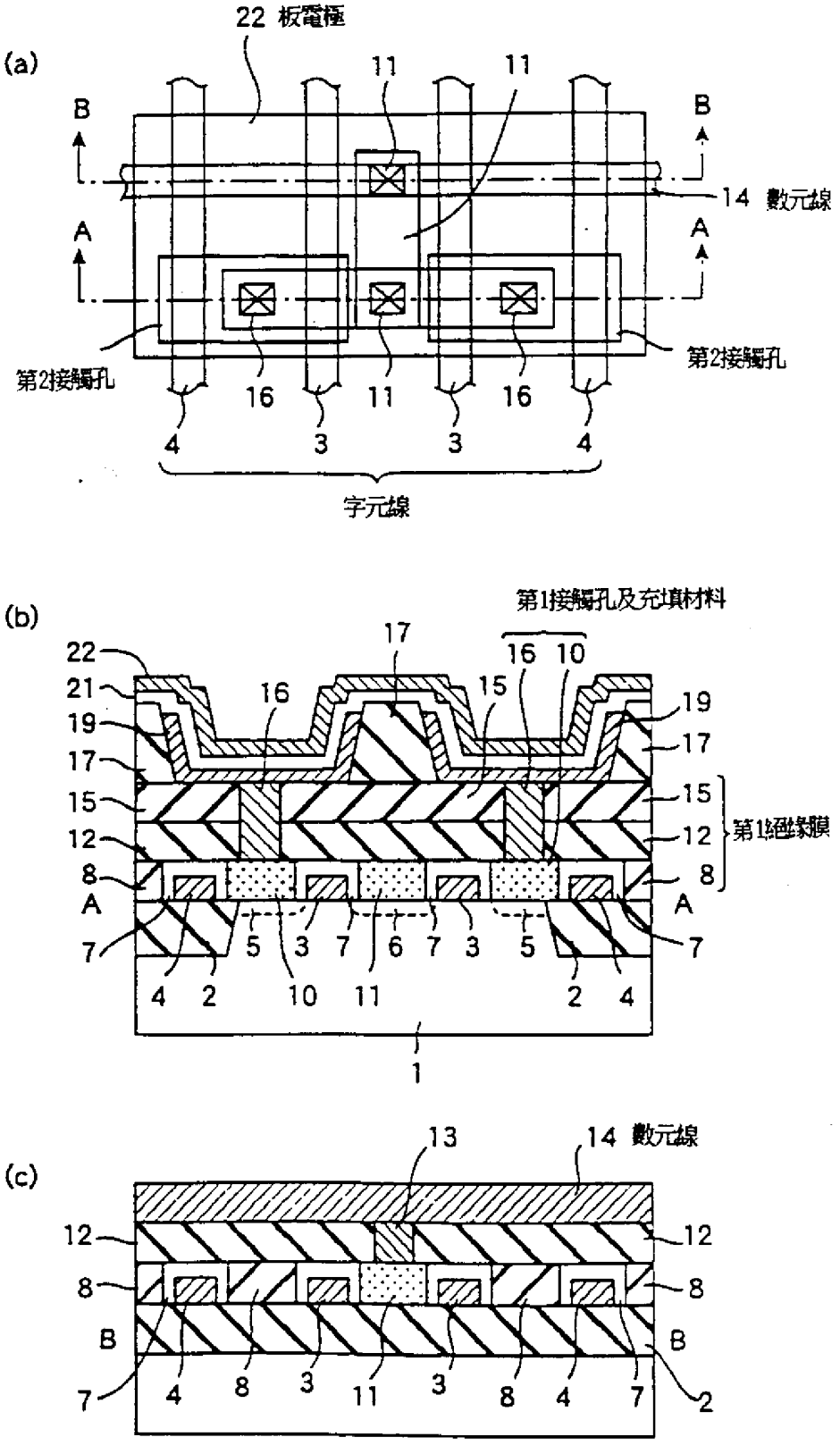
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

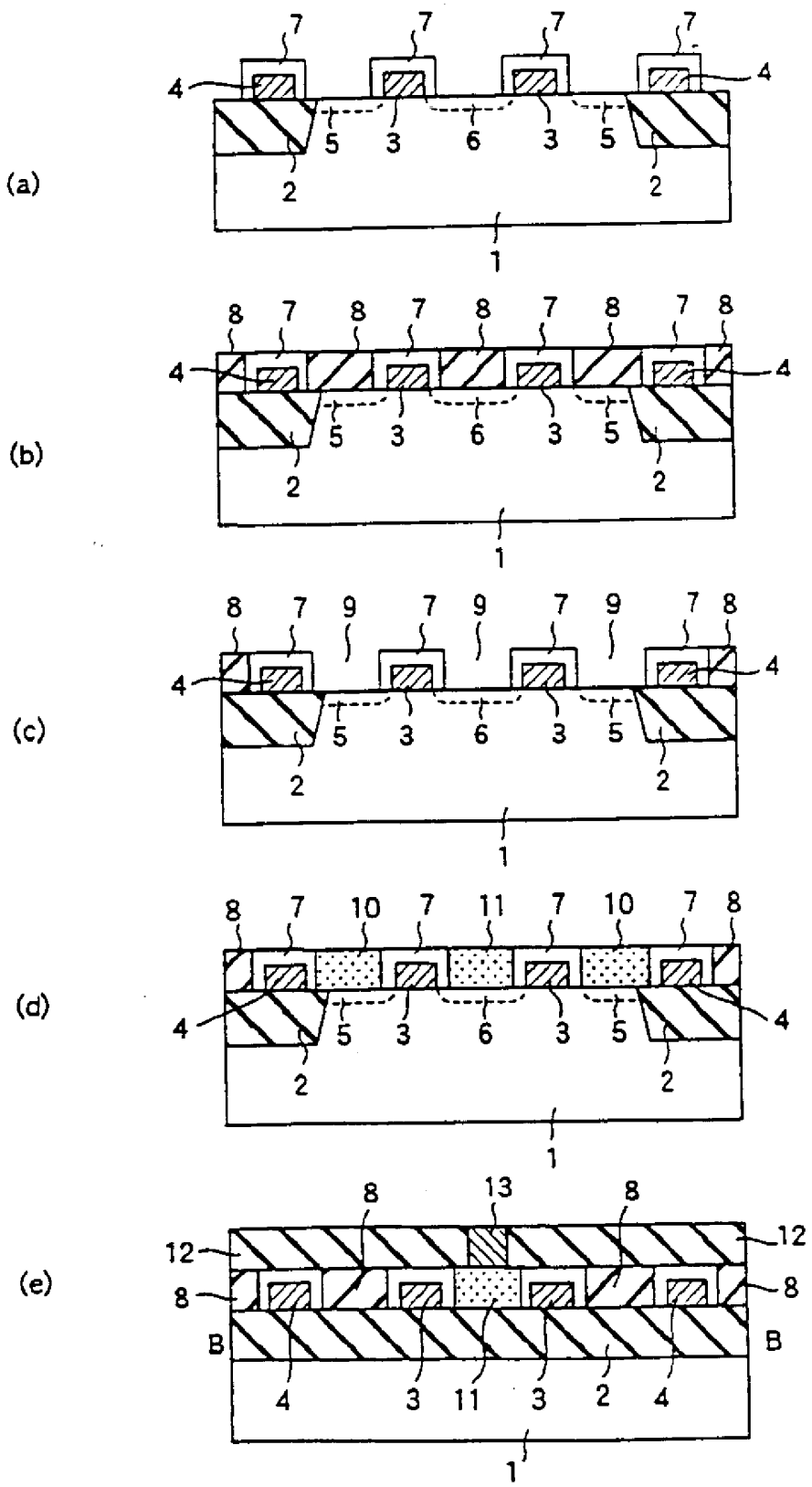
經濟部中央標準局員工消費合作社印製

第 1 圖

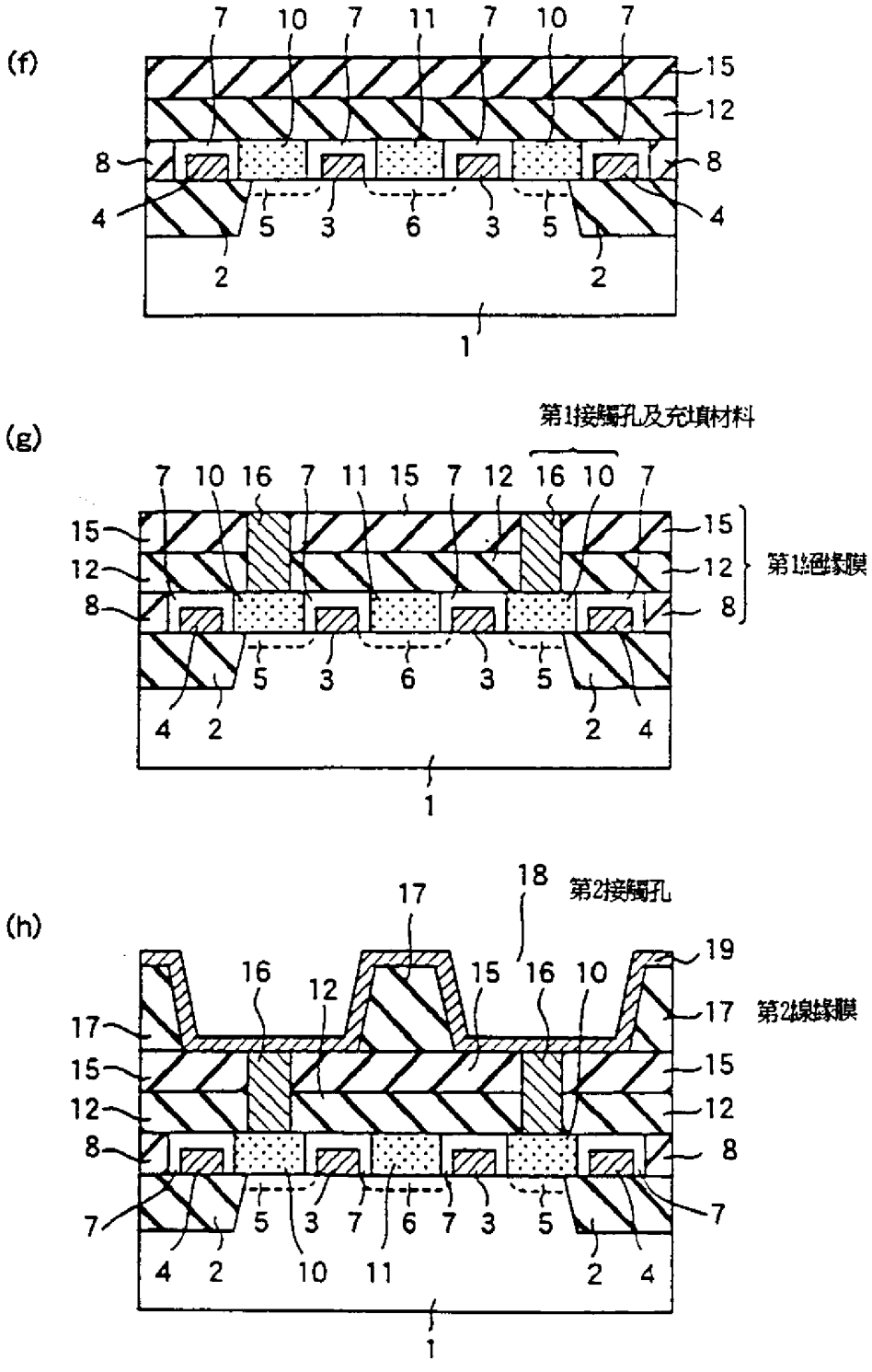
730370


(a)
22 板電極
11
11
B
B
14 數元線
A
A
第2接觸孔
第2接觸孔
16
11
16
4
3
3
4
字元線
(b)
第1接觸孔及充填材料
22
21
19
17
15
12
8
A
7
17
16 10
16
15
19
17
15
12
8
A
7
第1絕緣膜
5 3 7 6 7 3 5
4 2 10 11 2 4
1
(c)
13
14 數元線
12
8
B
7
12
8
B
4 8 3 11 3 8 4 7
2

第 2 圖

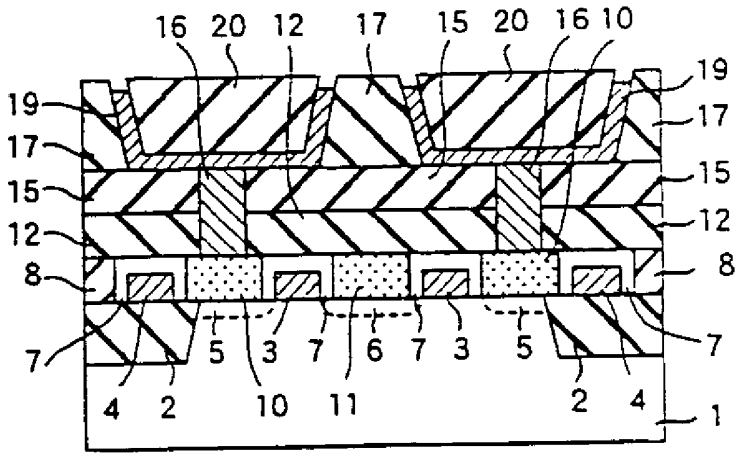


第 3 圖

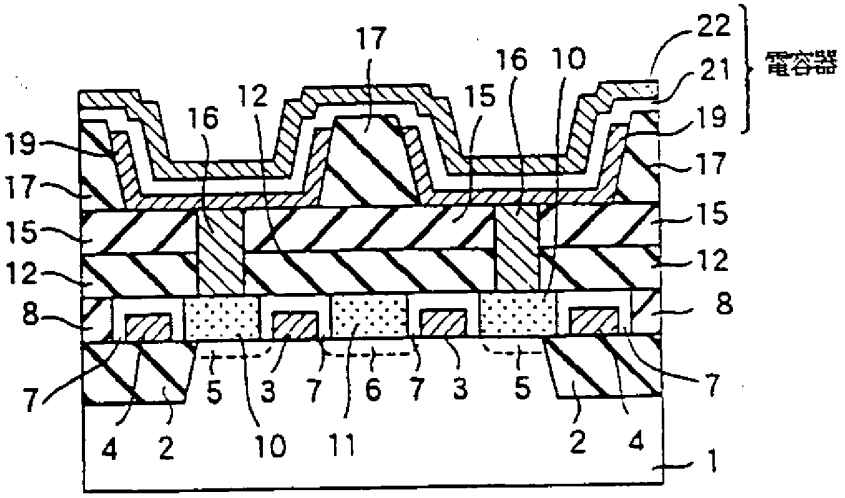

(f)
7 10 7 11 7 10 7
15
12
8
8
4
4
5 3 6 3 5
2
2
1
(g)
第1接觸孔及充填材料
7 10 16 7 11 15 7 12 16 10 7
15
12
8
第1絕緣膜
5 3 6 3 5
4 2
2 4
1
(h)
18
第2接觸孔
17
19
16 12 15 16 10
17
第2線緣膜
15
12
8
7
5 3 7 6 7 3 5
4 2 10 11 2 4
1

第 4 圖

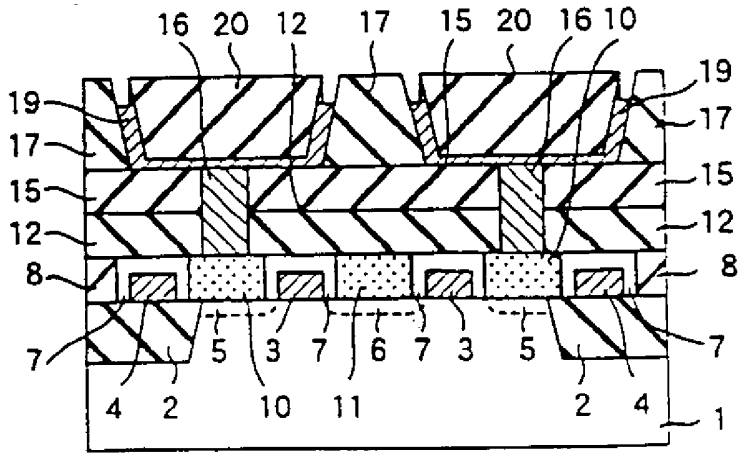
(i)


16 20 12 17 15 20 16 10
19
17
15
12
8
7
5 3 7 6 7 3 5
4 2 10 11 2 4
1

(j)

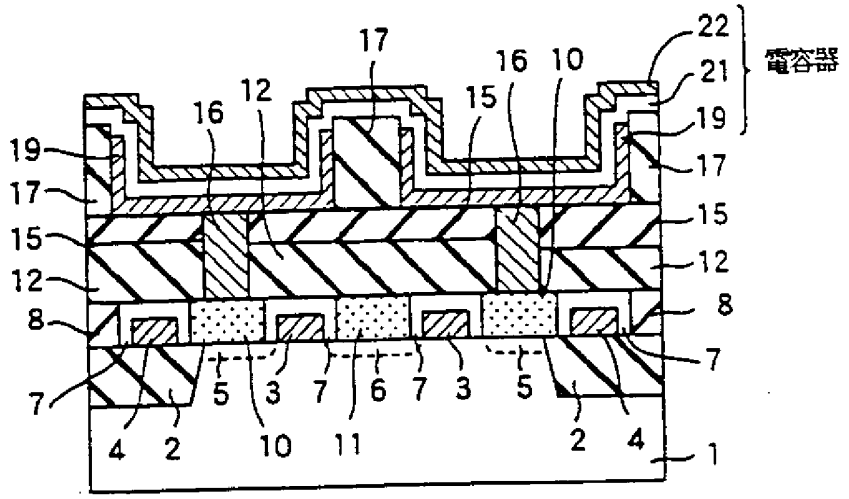

22
21
電容器
19
17
16 12 15 16 10
15
12
8
7
5 3 7 6 7 3 5
4 2 10 11 2 4
1

(k)

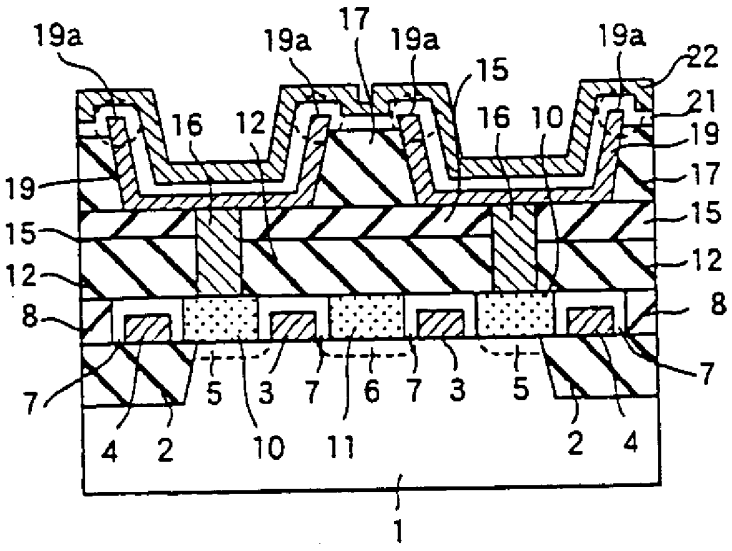

16 20 12 17 15 20 16 10
19
17
15
12
8
7
5 3 7 6 7 3 5
4 2 10 11 2 4
1

416095

第 5 圖



第 6 圖



第 7 圖

