

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20818

(P2010-20818A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.
G11C 13/00 (2006.01)F I
G11C 13/00

テーマコード (参考)

A

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号 特願2008-178478 (P2008-178478)
(22) 出願日 平成20年7月8日 (2008.7.8)(71) 出願人 504378124
スパンション エルエルシー
アメリカ合衆国 カリフォルニア州 94
088-3453 サニーベイル デグウ
イン ドライブ 915
(74) 代理人 100087480
弁理士 片山 修平
(72) 発明者 篠崎 直治
福島県会津若松市高久工業団地2番 S p
a n s i o n J a p a n株式会社内
(72) 発明者 新井 賢司
福島県会津若松市高久工業団地2番 S p
a n s i o n J a p a n株式会社内

最終頁に続く

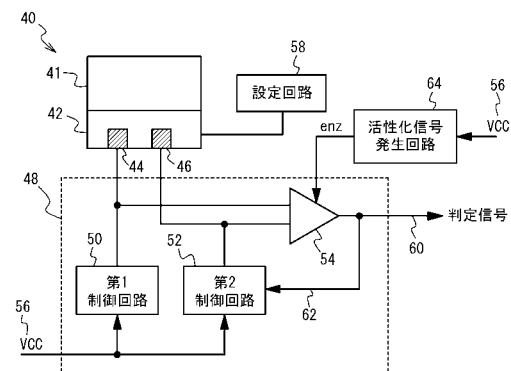
(54) 【発明の名称】 半導体装置及びその制御方法

(57) 【要約】

【課題】可変抵抗を有する半導体装置のタイマー機能の精度のばらつきを低減する。

【解決手段】本発明の半導体装置は、時間経過に伴って変化する抵抗値の変化率が第1の変化率である第1参照セル44と、時間経過に伴って変化する抵抗値の変化率が第1の変化率とは異なる第2の変化率である第2参照セル46と、評価時刻における基準時刻からの第1参照セル44の抵抗値の変動量と評価時刻における基準時刻からの第2参照セル46の抵抗値の変動量との差に関係する量に基づいて、基準時刻から評価時刻までの時間が所定時間を超えるか否かを判定する判定回路48と、を具備する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

時間経過に伴って変化する抵抗値の変化率が第 1 の変化率である第 1 の参照セルと、
時間経過に伴って変化する抵抗値の変化率が前記第 1 の変化率とは異なる第 2 の変化率である第 2 の参照セルと、

評価時刻における基準時刻からの前記第 1 の参照セルの抵抗値の変動量と評価時刻における基準時刻からの前記第 2 の参照セルの抵抗値の変動量との差に係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定する判定回路と、

を具備することを特徴とする半導体装置。

10

【請求項 2】

前記第 1 の参照セル及び前記第 2 の参照セルは複数の参照セルであって、

複数の前記判定回路を有する第 1 の判定回路と、

前記第 1 の判定回路が判定した複数の判定結果のうち、前記所定時間を超えるという判定結果の個数が、所定数を超える場合に、前記基準時刻から前記評価時刻までの時間が前記所定時間を超えると判定する第 2 の判定回路と、

を具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の参照セル及び前記第 2 の参照セルは抵抗変化型メモリセルであることを特徴とする請求項 1 または 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 の参照セル及び前記第 2 の参照セルは相変化型メモリセルであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記第 1 の変化率と前記第 2 の変化率とが互いに異なるように、前記第 1 の参照セル及び前記第 2 の参照セルの抵抗値を設定する設定回路を具備することを特徴とする請求項 1 から 4 のうちいずれか一項に記載の半導体装置。

【請求項 6】

前記第 1 の参照セルの抵抗値の変動量を電圧値の変動量に変換する制御回路である第 1 の制御回路と、

30

前記第 2 の参照セルの抵抗値の変動量を電圧値の変動量に変換する制御回路である第 2 の制御回路と、

を含み、電源間で直列に接続される前記第 1 の参照セルと前記第 1 の制御回路との分圧値の変動量と、前記電源間で直列に接続される前記第 2 の参照セルと前記第 2 の制御回路との分圧値の変動量と、の差に係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定する判定回路を具備し、

前記電源間で、前記第 1 の参照セル及び前記第 1 の制御回路と、前記第 2 の参照セル及び前記第 2 の制御回路と、が並列に接続されることを特徴とする請求項 1 から 5 のうちいずれか一項に記載の半導体装置。

【請求項 7】

40

リファレンス電圧を出力する制御回路

を含み、前記リファレンス電圧の値と、電源間で直列に接続される前記第 1 の参照セルと前記第 2 の参照セルとの分圧値の変動量と、の差に係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定する判定回路を具備することを特徴とする請求項 1 から 5 のうちいずれか一項に記載の半導体装置。

【請求項 8】

前記半導体装置に供給される電圧値が、前記第 1 の参照セル及び前記第 2 の参照セルが正常に動作する値に達した場合に、前記判定回路に対して活性化信号を入力する活性化信号発生回路を具備することを特徴とする請求項 1 から 7 のうちいずれか一項に記載の半導体装置。

50

【請求項 9】

データを記憶するメモリセルと、
前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに記憶されたデータの消去動作を行う制御回路と、
を具備することを特徴とする請求項 1 から 7 のうちいずれか一項に記載の半導体装置。

【請求項 10】

データを記憶するメモリセルと、
前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに対して無効なデータの書き込み動作を行う制御回路と、
を具備することを特徴とする請求項 1 から 7 のうちいずれか一項に記載の半導体装置。

10

【請求項 11】

データを記憶するメモリセルと、
前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに記憶されたデータの読み出し動作を禁止する制御回路と、
を具備することを特徴とする請求項 1 から 7 のうちいずれか一項に記載の半導体装置。

【請求項 12】

時間経過に伴って変化する抵抗値の変化率が第 1 の変化率である第 1 の参照セルと、時間経過に伴って変化する抵抗値の変化率が前記第 1 の変化率とは異なる第 2 の変化率である第 2 の参照セルと、を具備する半導体装置の制御方法であって、
評価時刻における基準時刻からの前記第 1 の参照セルの抵抗値の変動量と評価時刻における基準時刻からの前記第 2 の参照セルの抵抗値の変動量との差に係る量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定するステップを具備することを特徴とする半導体装置の制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変抵抗を有する半導体装置に関する。

【背景技術】

【0002】

半導体装置に用いられるデータ記憶素子には、D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) 等の揮発性のデータ記憶素子と、フラッシュメモリや E E P R O M (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性のデータ記憶素子がある。揮発性のデータ記憶素子は、データの書き込み及び読み出しを高速に行うことができるが、データの保持性に乏しい。不揮発性のデータ記憶素子は、データの保持性に優れる反面、書き込み・読み出し速度が揮発性のデータ記憶素子に比べて遅い。

30

【0003】

一方、R e R A M (Resistance Random Access Memory) や P R A M (Phase change Random Access Memory) 等の可変抵抗の抵抗率によりデータを記憶するデータ記憶素子が開発されている。可変抵抗を有するデータ記憶素子は、可変抵抗を高抵抗状態及び低抵抗状態のうちいずれかに変化させてデータを記憶する。可変抵抗を有するデータ記憶素子のデータの保持性は、揮発性のデータ記憶素子と不揮発性のデータ記憶素子との中間の性能であり、時間または日単位程度である。例えば、特許文献 1、特許文献 2、及び、特許文献 3 には、プログラム可能な抵抗素子付きメモリを使用した半導体装置が示されている。

40

【0004】

【特許文献 1】特開 2 0 0 6 - 2 0 2 3 8 3 号公報

【特許文献 2】特開 2 0 0 6 - 2 0 2 4 1 1 号公報

【特許文献 3】特開 2 0 0 5 - 1 5 8 2 2 1 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

可変抵抗の抵抗値は、時間経過に伴って変動する。抵抗値の変動量を利用して、所定時間が経過したことを判定するタイマー機能を実現できる。可変抵抗を有する半導体装置のタイマー機能の精度がばらつくという課題があった。

【 0 0 0 6 】

本発明は、上記課題に鑑みなされたものであり、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきを低減することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明は、時間経過に伴って変化する抵抗値の変化率が第1の変化率である第1の参照セルと、時間経過に伴って変化する抵抗値の変化率が前記第1の変化率とは異なる第2の変化率である第2の参照セルと、評価時刻における基準時刻からの前記第1の参照セルの抵抗値の変動量と評価時刻における基準時刻からの前記第2の参照セルの抵抗値の変動量との差に関係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を越えるか否かを判定する判定回路と、を具備することを特徴とする半導体装置である。本発明によれば、1つの参照セルの抵抗値の変動量ではなく、第1の参照セルの抵抗値の変動量と第2の参照セルの抵抗値の変動量との差に関係する相対的な量に基づいて、所定時間が経過したことを判定することができる。したがって、可変抵抗を有する参照セルの製造プロセスや動作させる温度環境の違いの影響による抵抗値の変動を抑えることができる。ゆえに、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

10

20

【 0 0 0 8 】

上記構成において、前記第1の参照セル及び前記第2の参照セルは複数の参照セルであって、複数の前記判定回路を有する第1の判定回路と、前記第1の判定回路が判定した複数の判定結果のうち、前記所定時間を超えという判定結果の個数が、所定数を超える場合に、前記基準時刻から前記評価時刻までの時間が前記所定時間を超えると判定する第2の判定回路を具備する構成とすることができる。この構成によれば、複数の可変抵抗を有する参照セル間の精度のばらつきを抑えることができる。したがって、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

30

【 0 0 0 9 】

上記構成において、前記第1の参照セル及び前記第2の参照セルは抵抗変化型メモリセルである構成とすることができる。

【 0 0 1 0 】

上記構成において、前記第1の参照セル及び前記第2の参照セルは相変化型メモリセルである構成とすることができる。

【 0 0 1 1 】

上記構成において、前記第1の変化率と前記第2の変化率とが互いに異なるように、前記第1の参照セル及び前記第2の参照セルの抵抗値を設定する設定回路を具備する構成とすることができる。

【 0 0 1 2 】

上記構成において、前記第1の参照セルの抵抗値の変動量を電圧値の変動量に変換する制御回路である第1の制御回路と、前記第2の参照セルの抵抗値の変動量を電圧値の変動量に変換する制御回路である第2の制御回路と、を含み、電源間で直列に接続される前記第1の参照セルと前記第1の制御回路との分圧値の変動量と、前記電源間で直列に接続される前記第2の参照セルと前記第2の制御回路との分圧値の変動量と、の差に関係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超るか否かを判定する判定回路を具備し、前記電源間で、前記第1の参照セル及び前記第1の制御回路と、前記第2の参照セル及び前記第2の制御回路と、が並列に接続される構成とすることができる。

40

【 0 0 1 3 】

50

上記構成において、リファレンス電圧を出力する制御回路を含み、前記リファレンス電圧の値と、電源間で直列に接続される前記第 1 の参照セルと前記第 2 の参照セルとの分圧値の変動量と、の差に関係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定する判定回路を具備する構成とすることができる。

【 0 0 1 4 】

上記構成において、前記半導体装置に供給される電圧値が、前記第 1 の参照セル及び前記第 2 の参照セルが正常に動作する値に達した場合に、前記判定回路に対して活性化信号を入力する活性化信号発生回路を具備する構成とすることができる。この構成によれば、半導体装置に供給される電圧値が、参照セルが正常に動作する値に達するまでの間、判定回路を非活性とすることにより、判定回路の誤動作を防止することができる。したがって、可変抵抗を有する半導体装置のタイマー機能の精度の向上に効果がある。

10

【 0 0 1 5 】

上記構成において、データを記憶するメモリセルと、前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに記憶されたデータの消去動作を行う制御回路と、を具備する構成とすることができる。この構成によれば、タイマー機能の精度のばらつきを低減した判定回路により所定時間が経過したことを精度よく判定して、制御回路がメモリセルに記憶されたデータの消去動作を行うことができる。したがって、可変抵抗を有する半導体装置のセキュリティの向上に効果がある。

【 0 0 1 6 】

上記構成において、データを記憶するメモリセルと、前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに対して無効なデータの書き込み動作を行う制御回路と、を具備する構成とすることができる。この構成によれば、タイマー機能の精度のばらつきを低減した判定回路により所定時間が経過したことを精度よく判定して、制御回路がメモリセルへの無効なデータの書き込み動作を行うことができる。したがって、可変抵抗を有する半導体装置のセキュリティの向上に効果がある。

20

【 0 0 1 7 】

上記構成において、データを記憶するメモリセルと、前記判定回路と接続され、前記判定回路の判定結果に基づき、前記メモリセルに記憶されたデータの読み出し動作を禁止する制御回路と、を具備する構成とすることができる。この構成によれば、タイマー機能の精度のばらつきを低減した判定回路により所定時間が経過したことを精度よく判定して、制御回路がメモリセルに記憶されたデータの読み出しの禁止動作を行うことができる。したがって、可変抵抗を有する半導体装置のセキュリティの向上に効果がある。

30

【 0 0 1 8 】

本発明は、時間経過に伴って変化する抵抗値の変化率が第 1 の変化率である第 1 の参照セルと、時間経過に伴って変化する抵抗値の変化率が前記第 1 の変化率とは異なる第 2 の変化率である第 2 の参照セルと、を具備する半導体装置の制御方法であって、評価時刻における基準時刻からの前記第 1 の参照セルの抵抗値の変動量と評価時刻における基準時刻からの前記第 2 の参照セルの抵抗値の変動量との差に関係する量に基づいて、前記基準時刻から前記評価時刻までの時間が所定時間を超えるか否かを判定するステップを具備することを特徴とする半導体装置の制御方法である。本発明によれば、1つの参照セルの抵抗値の変動量ではなく、第 1 の参照セルの抵抗値の変動量と第 2 の参照セルの抵抗値の変動量との差に関係する相対的な量に基づいて、所定時間が経過したことを判定することができる。したがって、可変抵抗を有する参照セルの製造プロセスや動作させる温度環境の違いの影響による抵抗値の変動を抑えることができる。ゆえに、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

40

【発明の効果】

【 0 0 1 9 】

本発明によれば、可変抵抗を有する参照セルの製造プロセスや動作させる温度環境の違いの影響による抵抗値の変動を抑えることができるため、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

50

【発明を実施するための最良の形態】**【0020】**

本発明の実施例との比較のため、図1、図2及び図3を参照に、可変抵抗を有する半導体装置の構成ならびにタイマー機能の動作の一例を説明する。

【0021】

図1を参照に、半導体装置の構成を説明する。図1は、半導体装置10の構成を示すブロック図である。メモリセルアレイ11は、データ記憶素子を有する。参照セル部12は、可変抵抗を有する参照セル14を有する。判定回路16は、制御回路18、基準電圧発生回路20及び比較器22を有する。制御回路18及び基準電圧発生回路20には、電圧 $V_{cc}24$ が印加される。参照セル14と制御回路18とは直列に接続される。参照セル14の抵抗値は、制御回路18により電圧値に変換される。評価時刻 t における参照セル14の電圧値を $V(t)$ とする。基準電圧発生回路20は、基準電圧 V_{ref} を発生する。

10

【0022】

基準時刻を t_0 、所定時間を T_i 、及び、基準時刻 t_0 から所定時間 T_i が経過した評価時刻を t_i とする。設定回路26は、参照セル14の電圧値 $V(t)$ が、時間経過に伴って低下して、評価時刻 t が基準時刻 t_0 から所定時間 T_i を経過した後、基準電圧 V_{ref} の値よりも小さくなるように、参照セル14の抵抗値を設定する。

【0023】

図2及び図3を参照に、半導体装置が有するタイマー機能の動作を説明する。図2は、評価時刻 t に対する電圧値 $V(t)$ の変化を示すグラフである。電圧値 $V(t_0)$ 、 $V(t_i)$ は、それぞれ、基準時刻 t_0 、評価時刻 t_i における電圧値を示す。 $V(t_i)$ は基準電圧 V_{ref} の値と一致する。

20

【0024】

図3は、評価時刻 t における判定回路16のタイマー機能の動作を示すフローチャートである。まず、評価時刻 t における電圧値 $V(t)$ を計測する(ステップS30)。評価時刻 t の初期値は、基準時刻 t_0 である。比較器22において、電圧値 $V(t)$ と基準電圧 V_{ref} の値を比較する(ステップS32)。電圧値 $V(t)$ が基準電圧 V_{ref} の値より小さい場合(ステップS32のYES)、基準時刻 t_0 から所定時間 T_i が経過したことを意味するので、比較器22は判定信号28を出力する(ステップS34)。電圧値 $V(t)$ が基準電圧 V_{ref} の値より小さい場合とは、図2において、評価時刻 t が評価時刻 t_i より大きい場合に対応する。電圧値 $V(t)$ が基準電圧 V_{ref} の値以上である場合(ステップS32のNO)、ステップS30からの処理を繰り返す。電圧値 $V(t)$ が基準電圧 V_{ref} の値以上である場合とは、図2において、評価時刻 t が t_0 以上 t_i 以下の場合に対応する。以上が、半導体装置10のタイマー機能の説明である。

30

【0025】

しかしながら、可変抵抗の抵抗値の変動量は、可変抵抗の製造プロセスや動作させる温度環境の影響のため、ばらついてしまう。そのため、可変抵抗を有する参照セルを使用した半導体装置のタイマー機能の精度がばらつくという課題があった。例えば、一方の半導体装置では、所定時間を超過した後所定時間と判定されるが、他方の半導体装置では、タイマー機能を開始した途端に所定時間と判定されるという課題があった。

40

【実施例1】**【0026】**

以下、図4、図5、図6及び図7を参照に、本発明の実施例である、可変抵抗を有し、タイマー機能の精度のばらつきを低減した半導体装置の実施例について説明する。

【0027】

図4は、半導体装置40の構成を示すブロック図である。メモリセルアレイ41は、データ記憶素子を有する。参照セル部42は、可変抵抗を有する第1参照セル44及び第2参照セル46を有する。判定回路48は、第1制御回路50、第2制御回路52及び比較器54を有する。第1制御回路50及び第2制御回路52には、電圧 $V_{cc}56$ が印加さ

50

れる。直列に接続された第 1 参照セル 4 4 及び第 1 制御回路 5 0 と、直列に接続された第 2 参照セル 4 6 及び第 2 制御回路 5 2 とは並列に接続される。第 1 参照セル 4 4、第 2 参照セル 4 6 の抵抗値は、それぞれ第 1 制御回路 5 0、第 2 制御回路 5 2 により電圧値に変換される。第 1 制御回路 5 0 が、評価時刻 t における第 1 参照セル 4 4 の抵抗値を変換した電圧値を $V_1(t)$ とする。第 2 制御回路 5 2 が、評価時刻 t における第 2 参照セル 4 6 の抵抗値を変換した電圧値を $V_2(t)$ とする。比較器 5 4 は、電圧値 $V_1(t)$ 及び電圧値 $V_2(t)$ を入力とし、電圧値 $V_1(t)$ と電圧値 $V_2(t)$ との差に基づく量と所定値の比較結果に基づいて、判定信号 6 0 を出力する。

【0028】

活性化信号発生回路 6 4 は、入力される電圧 V_{cc} 5 6 が所定値に達した場合に、活性化信号 en_z を比較器 5 4 に対して出力する。所定値とは、例えば、メモリセルアレイ 4 1 及び参照セル部 4 2 の正常な動作が保障される電圧値である。比較器 5 4 は、活性化信号 en_z が入力されると活性化され、電圧値 $V_1(t)$ と電圧値 $V_2(t)$ との比較を行うことができるようになる。

【0029】

比較器 5 4 の出力である判定信号 6 0 は、比較器 5 4 にヒステリシスを持たせるため、信号線 6 2 により、第 2 制御回路 5 2 へフィードバックされる。これにより、比較器 5 4 が入力信号のわずかな差やノイズ混入を検出した場合に、判定信号 6 0 のチャタリングを防止できる。

【0030】

基準時刻を t_0 、所定時間を T_i 、基準時刻 t_0 から所定時間 T_i が経過した評価時刻を t_i 、及び、所定値を ΔV とする。設定回路 5 8 は、電圧値 $V_1(t)$ の変化率と電圧値 $V_2(t)$ の変化率とが互いに異なるように、第 1 参照セル 4 4 及び第 2 参照セル 4 6 の抵抗値を設定する。また、設定回路 5 8 は、評価時刻 t_i における基準時刻 t_0 からの第 1 参照セル 4 4 の電圧値の変動量の絶対値と、評価時刻 t_i における基準時刻 t_0 からの第 2 参照セル 4 6 の電圧値の変動量の絶対値との差の絶対値が、所定値 ΔV となるように、第 1 参照セル 4 4 及び第 2 参照セル 4 6 の抵抗値を設定する。すなわち、以下の式 (1) が成立する。

$$\Delta V = | | V_1(t_i) - V_1(t_0) | - | V_2(t_i) - V_2(t_0) | | \quad (1)$$

式 (1) は以下の式 (2) のように変形できる。

$$\Delta V = | | V_1(t_i) - V_2(t_i) | - | V_1(t_0) - V_2(t_0) | | \quad (2)$$

式 (2) は、評価時刻 t_i における第 1 参照セル 4 4 の電圧値と第 2 参照セル 4 6 の電圧値との差の絶対値と、第 2 項は基準時刻 t_0 における第 1 参照セル 4 4 の電圧値と第 2 参照セル 4 6 の電圧値との差の絶対値との差の絶対値が、所定値 ΔV となることを意味する。

【0031】

図 5 は、評価時刻 t に対する電圧値 $V_1(t)$ 及び電圧値 $V_2(t)$ の変化を示すグラフである。電圧値 $V_1(t_0)$ 、 $V_1(t_i)$ は、それぞれ、基準時刻 t_0 、評価時刻 t_i における第 1 参照セル 4 4 の電圧値を示す。電圧値 $V_2(t_0)$ 、 $V_2(t_i)$ は、それぞれ、基準時刻 t_0 、評価時刻 t_i における第 2 参照セル 4 6 の電圧値を示す。電圧値 $V_1(t)$ 、 $V_2(t)$ のグラフの傾きは、それぞれ電圧値 $V_1(t)$ 、 $V_2(t)$ の変化率を示し、電圧値 $V_1(t)$ の変化率と電圧値 $V_2(t)$ の変化率とが互いに異なることを示している。

【0032】

図 6 は、判定回路 4 8 のタイマー機能の動作を示すフローチャートである。まず、基準時刻 t_0 における電圧値 $V_1(t_0)$ 及び $V_2(t_0)$ を計測する (ステップ S 7 0)。電圧値 $V_1(t_0)$ と $V_2(t_0)$ との差の絶対値 $| V_1(t_0) - V_2(t_0) |$ を変数 α に格納する (ステップ S 7 2)。評価時刻 t における電圧値 $V_1(t)$ 及び $V_2(t)$

10

20

30

40

50

を計測する(ステップS74)。電圧値 $V_1(t)$ と電圧値 $V_2(t)$ との差の絶対値 $|V_1(t) - V_2(t)|$ を変数 β に格納する(ステップS76)。変数 α と変数 β との差の絶対値 $|\alpha - \beta|$ が所定値 ΔV を超えるか否かを確認する(ステップS78)。 $|\alpha - \beta|$ が所定値 ΔV を超える場合(ステップS78のYES)、基準時刻 t_0 から所定時間 T_i が経過したことを意味するので、比較器54は判定信号60を出力する(ステップS78)。 $|\alpha - \beta|$ が所定値 ΔV 以下である場合(ステップS80のNO)、ステップS74からの処理を繰り返す。以上により、基準時刻 t_0 から所定時間 T_i が経過したことを判定するタイマー機能を実現することができる。

【0033】

図7は、図4の第1参照セル44及び第2参照セル46に対応する参照セル82の構成を示す断面図である。参照セル82は、可変抵抗84及びその両端に設けられた電極86から構成される。可変抵抗84は、抵抗値の大小によりデータを記憶するもので、電流が流れることにより抵抗値が大きく(例えば 10^4 倍以上)変化する物質からなる。このような物質には、例えばCuOをはじめとする遷移金属酸化物がある。電極86は、容量として電荷を蓄えることによりデータを記憶するもので、例えば銅などの伝導性の高い物質からなる。可変抵抗84の周囲は、絶縁部88にて覆われている。

【0034】

実施例1において、時間経過に伴って変化する抵抗値の変化率が第1の変化率である第1参照セル44と、時間経過に伴って変化する抵抗値の変化率が前記第1の変化率とは異なる第2の変化率である第2参照セル46と、評価時刻 t における基準時刻 t_0 からの第1参照セル44の抵抗値の変動量と評価時刻 t における基準時刻 t_0 からの第2参照セル46の抵抗値の変動量との差に係する量に基づいて、基準時刻 t_0 から評価時刻 t までの時間が所定時間 T_i を超えるか否かを判定する判定回路48と、を具備する構成とする一例を説明した。この構成によれば、1つの参照セルの抵抗値の変動量ではなく、第1の参照セルの抵抗値の変動量と第2の参照セルの抵抗値の変動量との差に係する相対的な量に基づいて、所定時間が経過したことを判定することができる。したがって、参照セルの製造プロセスや参照セルを動作させる温度環境の違いの影響による変動を抑えることができる。ゆえに、半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

【0035】

実施例1において、第1参照セル44及び第2参照セル46は、抵抗変化型メモリセル及び相変化型メモリセルのいずれであってもよい。

【0036】

実施例1において、第1参照セル44及び第2参照セル46と、メモリセルアレイ41が有するデータ記憶素子とを、同じ構成としてもよい。また、第1参照セル44及び第2参照セル46はメモリセルアレイ41の中に配置されてもよい。これにより、参照セルとメモリセルアレイが有するデータ記憶素子とを同じ製造方法により製造できるため、コストの低減に効果がある。

【0037】

実施例1において、設定回路58は、 $V_1(t)$ の変化率と $V_2(t)$ の変化率とが互いに異なるように、第1参照セル44及び第2参照セル46の抵抗値を設定する。 $V_1(t)$ の変化率と $V_2(t)$ の変化率とが互いに異なるように、設定回路58は、第1参照セル44及び第2参照セル46に対して、電圧を印加する時間を異ならせてもよいし、また、印加する電流の大きさを異ならせてもよい。

【0038】

実施例1において、半導体装置に供給される電圧 V_{cc} 56が、第1参照セル44及び第2参照セル46が正常に動作する値に達した場合に、判定回路48に対して活性化信号 en_z を入力する活性化信号発生回路64を具備する構成とする一例を説明した。この構成によれば、半導体装置に供給される電圧が、参照セルが正常に動作する値に達するまでの間、判定回路を非活性とすることにより、判定回路の誤動作を防止することができる。したがって、可変抵抗を有する半導体装置のタイマー機能の精度の向上に効果がある。

10

20

30

40

50

【実施例 2】**【0039】**

以下、図 8 を参照に、複数の参照セルと複数の判定回路とによる複数の判定結果を用いて、所定時間が経過したことを判定する判定回路を使用した、タイマー機能を備えた半導体装置の実施例について説明する。図 8 は、5 つの参照セルと 4 つの判定回路とによる 4 つの判定結果を用いて、所定時間が経過したことを判定する判定回路を使用した、タイマー機能を備えた半導体装置の構成を示すブロック図である。メモリセルアレイ 90 は、データ記憶素子を有する。参照セル部 92 は、可変抵抗を有する第 1 ~ 第 5 の参照セル 94 ~ 102 を有する。第 1 判定回路 104 は、制御回路 106、第 1 ~ 第 4 の比較器 108 ~ 114 を有する。制御回路 106 には、電圧 V_{cc} 116 が印加される。制御回路 106 は、第 1 ~ 第 5 の参照セル 94 ~ 102 の抵抗値を電圧値に変換する。

10

【0040】

第 1 ~ 第 4 の比較器 108 ~ 114 は、それぞれ、第 1 参照セル 94 と第 2 参照セル 96、第 1 参照セル 94 と第 3 参照セル 98、第 1 参照セル 94 と第 4 参照セル 100、第 1 参照セル 94 と第 5 参照セル 102 についての電圧値を比較して、所定時間を越えるか否かを判定する。第 1 ~ 第 4 の比較器 108 ~ 114 は、所定時間を越えると判定する場合に、第 2 判定回路 118 に対して、それぞれ第 1 ~ 第 4 の判定信号を出力する。第 1 ~ 第 4 の比較器 108 ~ 114 で行う判定処理については、実施例 1 と同様のため、説明を省略する。

【0041】

20

第 2 判定回路 118 は、NAND 回路 122 ~ 128、NOR 回路 130 ~ 134 を有する。第 2 判定回路 118 は、第 1 判定回路 104 から入力される判定信号の個数が、所定数を超える場合に、所定時間を越えると判定して、最終判定信号 120 を出力する。

【0042】

以下、所定数を 2 とする一例を説明する。第 1 判定回路 104 が第 2 判定回路 118 に対して、第 1、第 2 及び第 3 の判定信号を出力する場合、判定信号の個数が 3 であるから、判定信号の個数が所定数を超えるという条件を満たす。このとき、第 1、第 2 及び第 3 の判定信号により、第 2 判定回路 118 が有する NAND 回路 122、NOR 回路 130、134 が順にオンとなる。そして、第 2 判定回路 118 は最終判定信号 120 を出力する。

30

【0043】

実施例 2 において、複数の判定回路を有する第 1 判定回路 104 と、第 1 判定回路 104 が判定した複数の判定結果のうち、所定時間を越えるという判定結果の個数が、所定数を超える場合に、基準時刻から評価時刻までの時間が所定時間を越えると判定する第 2 判定回路 118 と、を具備する構成とする一例を説明した。この構成によれば、複数の可変抵抗を有する参照セル間の精度のばらつきを抑えることができる。したがって、可変抵抗を有する半導体装置のタイマー機能の精度のばらつきの低減に効果がある。

【0044】

実施例 2 において、第 1 ~ 第 5 の参照セル 94 ~ 102 は、抵抗変化型メモリセル及び相変化型メモリセルのいずれであってもよい。

40

【0045】

実施例 2 において、第 1 ~ 第 5 の参照セル 94 ~ 102 と、メモリセルアレイ 90 が有するデータ記憶素子とを、同じ構成としてもよい。また、第 1 ~ 第 5 の参照セル 94 ~ 102 は、メモリセルアレイ 90 の中に配置されてもよい。これにより、参照セルとメモリセルアレイが有するデータ記憶素子とを同じ製造方法により製造できるため、コストの低減に効果がある。

【0046】

以下、図 9、図 10、図 11 及び図 12 を参照に、実施例 1 に示した参照セル及び判定回路の具体例を説明する。実施例 1 と重複する内容は説明を省略する。

【実施例 3】

50

【 0 0 4 7 】

図 9 は、カレントミラー回路を応用した判定回路を示す回路図である。可変抵抗 1 4 0 及びダイオード 1 4 2 は、図 4 の第 1 参照セル 4 4 に対応する。可変抵抗 1 4 4 及びダイオード 1 4 6 は、図 4 の第 2 参照セル 4 6 に対応する。M O S F E T 1 5 2 は、図 4 の第 1 制御回路 5 0 に対応する。M O S F E T 1 5 4 は、図 4 の第 2 制御回路 5 2 に対応する。電源 E 1、E 2 間には電圧が印加される。電源 E 1、E 2 間で、可変抵抗 1 4 0 及びダイオード 1 4 2 と、M O S F E T 1 5 2 と、は直列に接続され、分圧回路を構成する。電源 E 1、E 2 間で、可変抵抗 1 4 4 及びダイオード 1 4 6 と、M O S F E T 1 5 4 と、は直列に接続され、分圧回路を構成する。電源 E 1、E 2 間で、可変抵抗 1 4 0 及びダイオード 1 4 2 並びに M O S F E T 1 5 2 と、可変抵抗 1 4 4 及びダイオード 1 4 6 並びに M O S F E T 1 5 4 と、は並列に接続される。M O S F E T 1 5 0、1 5 2 及び 1 5 4 はカレントミラー回路を構成する。M O S F E T 1 5 6 及び 1 5 8 は、カレントミラー回路が動作するためのスイッチの機能を果たし、電圧 E 0 が印加される場合にオンとなる。カレントミラー回路の性質より、可変抵抗 1 4 0 及びダイオード 1 4 2、ならびに、可変抵抗 1 4 4 及びダイオード 1 4 6 には、同じ大きさの電流が流れる。よって、比較器 1 6 0 において、可変抵抗 1 4 0 及びダイオード 1 4 2 にかかる電圧の変動量、ならびに、可変抵抗 1 4 4 及びダイオード 1 4 6 にかかる電圧の変動量とを比較することができる。比較器 1 6 0 は、比較結果に基づいて判定信号 1 6 2 を出力する。比較器 1 6 0 における判定処理については、実施例 1 と同様のため、省略する。M O S F E T 1 6 4 及び 1 6 6、ならびに、信号線 1 6 8 は、比較器 1 6 0 にヒステリシスを持たせるためのフィードバック回路である。

【 0 0 4 8 】

実施例 3 において、2 つの分圧値の変動量の差に関係する量に基づいて、基準時刻から評価時刻までの時間が所定時間を超えるか否かを判定する比較器 1 6 0 を含む構成とする判定回路の一例を説明した。

【 実施例 4 】

【 0 0 4 9 】

図 1 0 は、カレントミラー回路を応用した判定回路を示す回路図である。可変抵抗 1 7 0 及びダイオード 1 7 2 は、図 4 の第 1 参照セル 4 4 に対応する。可変抵抗 1 7 4 及びダイオード 1 7 6 は、図 4 の第 2 参照セル 4 6 に対応する。M O S F E T 1 7 8 及び抵抗 1 8 6 は、図 4 の第 1 制御回路 5 0 に対応する。M O S F E T 1 8 0 及び抵抗 1 8 8 は、図 4 の第 2 制御回路 5 2 に対応する。電源 E 1、E 2 間には電圧が印加される。電源 E 1、E 2 間で、可変抵抗 1 7 0 及びダイオード 1 7 2 と、M O S F E T 1 7 8 及び抵抗 1 8 6 と、は直列に接続され、分圧回路を構成する。電源 E 1、E 2 間で、可変抵抗 1 7 4 及びダイオード 1 7 6 と、M O S F E T 1 8 0 及び抵抗 1 8 8 と、は直列に接続され、分圧回路を構成する。電源 E 1、E 2 間で、可変抵抗 1 7 0 及びダイオード 1 7 2 並びに M O S F E T 1 7 8 及び抵抗 1 8 6 と、可変抵抗 1 7 4 及びダイオード 1 7 6 並びに M O S F E T 1 8 0 及び抵抗 1 8 8 と、は並列に接続される。M O S F E T 1 7 8 及び 1 8 0 はカレントミラー回路を構成する。カレントミラー回路の性質より、可変抵抗 1 7 0 及びダイオード 1 7 2、ならびに、可変抵抗 1 7 4 及びダイオード 1 7 6 には、同じ大きさの電流が流れる。よって、比較器 1 8 2 において、可変抵抗 1 7 0 及びダイオード 1 7 2 にかかる電圧の変動量と、可変抵抗 1 7 4 及びダイオード 1 7 6 にかかる電圧の変動量とを比較することができる。比較結果に基づいて、比較器 1 8 2 は判定信号 1 8 4 を出力する。比較器 1 8 2 における判定処理については、実施例 1 と同様のため、省略する。比較器 1 8 2 の入力電圧は可変抵抗 1 7 0 とダイオード 1 7 2 及び可変抵抗 1 7 4 とダイオード 1 7 6 に流れる電流値により依存するため、抵抗 1 8 6 及び 1 8 8 の抵抗値は自動的に調節することができる。このため、比較した結果を高速に出力することができる。M O S F E T 1 9 0 及び 1 9 2、ならびに、信号線 1 9 4 は、比較器 1 8 2 にヒステリシスを持たせるためのフィードバック回路である。

【 0 0 5 0 】

実施例 4 において、2 つの分圧値の変動量の差に関係する量に基づいて、基準時刻から評価時刻までの時間が所定時間を超えるか否かを判定する比較器 182 を含む構成とする判定回路の一例を説明した。

【実施例 5】

【0051】

図 11 は、電源間で参照セルと容量を直列に接続した分圧回路 2 つを並列に接続した判定回路を示す回路図である。可変抵抗 200 及びダイオード 202 は、図 4 の第 1 参照セル 44 に対応する。可変抵抗 204 及びダイオード 206 は、図 4 の第 2 参照セル 46 に対応する。容量 208 は、図 4 の第 1 制御回路 50 に対応する。容量 210 は、図 4 の第 2 制御回路 52 に対応する。電源 E1、E2 間には電圧が印加される。電源 E1、E2 間で、可変抵抗 200 及びダイオード 202 と、容量 208 とは直列に接続され、分圧回路を構成する。同様に、電源 E1、E2 間で、可変抵抗 204 及びダイオード 206 と、容量 210 とは直列に接続され、分圧回路を構成する。電源 E1、E2 間で、可変抵抗 200 及びダイオード 202 と、可変抵抗 204 及びダイオード 206 とは、並列に接続される。E1 の電圧を上げると、可変抵抗 200 及びダイオード 202、ならびに、可変抵抗 204 及びダイオード 206 には、抵抗率に応じた電流が流れる。この電流により、容量 208 及び 210 には電荷が蓄積され、この電荷量に比例して容量 208 及び 210 の電圧が変動する。比較器 212 において、容量 208 の電圧の変動量と、容量 210 の電圧の変動量とを比較することができる。比較器 212 は、比較結果に基づいて判定信号 214 を出力する。比較器 212 における判定処理については、実施例 1 と同様のため、省略する。

【0052】

実施例 5 において、2 つの分圧値の変動量の差に関係する量に基づいて、基準時刻から評価時刻までの時間が所定時間を超えるか否かを判定する比較器 212 を含む構成とする判定回路の一例を説明した。

【0053】

実施例 5 の判定回路では、図 4 の第 1 制御回路 50、第 2 制御回路 52 に対応する回路に、トランジスタではなく容量を用いている。このため、トランジスタ特有の温度変化による閾値の変動や劣化が少なく、ディスターブに強い構成とすることができる。比較器 212 は、ヒステリシスを持たせるためのフィードバック回路を、内部に有してもよい。

【実施例 6】

【0054】

図 12 は、電源間で 2 つの参照セルを直列に接続した分圧回路を用いた判定回路を示す回路図である。実施例 1 ~ 5 では、電源間で第 1 参照セルと第 2 参照セルとが並列に接続される例を示したが、図 12 では、電源間で第 1 参照セルと第 2 参照セルとが直列に接続される例を示す。電源 E1、E2 間には電圧が印加される。電源 E1、E2 間で直列に接続された可変抵抗 220 及びダイオード 222 は、第 1 参照セルに対応する。電源 E1、E2 間で直列に接続された可変抵抗 224 及びダイオード 226 は、第 2 参照セルに対応する。電源 E1、E2 間で、可変抵抗 220 及びダイオード 222 と、可変抵抗 224 及びダイオード 226 と、は直列に接続され、分圧回路を構成する。電源 E1、E2 間で、抵抗 228 と、抵抗 230 と、は直列に接続され、分圧回路を構成する。可変抵抗 220 の抵抗値と、可変抵抗 224 の抵抗値とを同じ大きさの値に設定する。このとき、可変抵抗 220 及びダイオード 222 と、可変抵抗 224 及びダイオード 226 との接続点 232 の電圧値は、電源 E1、E2 間に印加される電圧値の 2 分の 1 となる。時間経過に伴って、可変抵抗 220 及びダイオード 222 の抵抗状態と、可変抵抗 224 及びダイオード 226 の抵抗状態とは変化するため、接続点 232 の電圧値は、電源 E1、E2 間に印加される電圧値の 2 分の 1 の値から変動する。一方、抵抗 228 及び 230 の接続点 234 の電圧値は、時間経過によらず、電源 E1、E2 間に印加される電圧値の 2 分の 1 のまま一定である。すなわち、抵抗 228 と抵抗 230 とを含む分圧回路は、電源 E1、E2 間に印加される電圧値の 2 分の 1 となるリファレンス電圧値を出力する。比較器 236 にお

いて、接続点 2 3 2 の電圧値の変動量と、リファレンス電圧値の変動量とを比較することができる。可変抵抗 2 2 0 及び 2 2 4 に流れる電流は必ず等しくなるため判定の精度を向上することができる。比較結果に基づいて、比較器 2 3 6 は判定信号 2 4 2 を出力する。比較器 2 3 6 における判定処理については、実施例 1 と同様のため、省略する。抵抗 2 3 8、M O S F E T 2 4 0 及び信号線 2 4 4 は、比較器 2 3 6 にヒステリシスを持たせるためのフィードバック回路である。

【 0 0 5 5 】

実施例 6 において、抵抗 2 2 8 と抵抗 2 3 0 とを含む構成とするリファレンス電圧を出力する制御回路の一例を説明した。また、リファレンス電圧の値と、分圧値の変動量と、の差に関係する量に基づいて判定する比較器 2 3 6 を含む構成とする判定回路の一例を説明した。

10

【 0 0 5 6 】

実施例 4 ~ 6 の回路は、実施例 3 の回路と比較して、回路面積の縮小を図ることが可能である。

【 0 0 5 7 】

実施例 1 ~ 6 において、少なくともタイマー機能を実行する場合だけ、参照セルに対応する回路に電源を供給するようにしてもよい。

【 実施例 7 】

【 0 0 5 8 】

以下、図 1 3 及び図 1 4 を参照に、タイマー機能の精度のばらつきを低減したタイマー機能を利用して、所定時間が経過した後、メモリセルに記憶されたデータの消去動作、及び、メモリセルに記憶されたデータの読み出しの禁止動作を行う半導体装置の一例を説明する。

20

【 0 0 5 9 】

図 1 3 は、実施例 7 に係る半導体装置 2 5 0 の構成を示すブロック図である。

【 0 0 6 0 】

タイマー回路 2 5 2 は、例えば、実施例 1 ~ 6 に示すタイマー機能を有する半導体装置のうち、いずれかに対応する。以下、タイマー回路 2 5 2 は実施例 1 に示すタイマー機能を有する半導体装置 4 0 に対応するとし、図 4 に示す符号を用いて説明する。実施例 1 と重複する内容は説明を省略する。タイマー回路 2 5 2 が所定時間を経過したことを判定した場合、判定信号 2 5 8 が制御回路 2 6 0 へ入力される。V c c レベル判定回路 2 5 4 は、例えば、実施例 1 の活性化信号発生回路 6 4 に対応する。

30

【 0 0 6 1 】

メモリセルアレイ 2 5 6 は、複数のメモリセル M C を有する。本説明では、メモリセル M C は、不揮発性メモリとする。メモリセルアレイ 2 5 6 には、複数のビットライン B L 及びワードライン W L がそれぞれ平行に設けられている。ビットライン B L は、第 1 ビットライン B L z 及び第 2 ビットライン B L x からなるビットライン対を構成する。メモリセル M C はビットライン B L 及びワードライン W L の交差領域に設けられ、ワードライン W L 及びビットライン B L にそれぞれ接続されている。図示されるように、メモリセル M C は第 1 ビットライン B L z に接続された第 1 メモリセル M C z と、第 2 ビットライン B L x に接続された第 2 メモリセル M C x とを含む。第 1 メモリセル M C z 及び第 2 メモリセル M C x は、ワードライン W L 1 本おきに交互に設けられている。

40

【 0 0 6 2 】

ワードライン W L には行選択を行うためのロウデコーダ 2 6 2 が、ビットライン B L には列選択を行うためのカラムデコーダ 2 6 4 がそれぞれ接続され、列と行との組合せによりアクセス対象となるメモリセル M C が選択される。メモリセル M C を選択するためのアドレス信号 2 6 5 は、外部からアドレスバッファ 2 6 6 を介してロウデコーダ 2 6 2 及びカラムデコーダ 2 6 4 にそれぞれ送られる。

【 0 0 6 3 】

書き込み回路 2 6 8 は、データ書き込み時にメモリセル M C に印加されるデータ書き込

50

み用の高電圧を供給する。リセット回路 270 は、データ読み出し時にビットライン B L に印加される基準電圧 V r e f を供給する。クランプ回路 272 は、データ読み出し時にビットライン B L に印加されるクランプ電圧 V c l m p を供給する。センスアンプ 274 は、メモリセル M C からの信号の読み出し及び増幅を行う。センスアンプドライバ 276 は、データ読み出し時にセンスアンプ 274 を駆動させる。

【0064】

入出力回路 278 は、メモリセルアレイ 256 と外部の入出力ターミナル 292 との間でデータのやり取りを行う。選択レジスタ 280 は、半導体装置 250 の記憶モードに関する情報を格納する。制御回路 260 は、選択レジスタ 280 に記憶された記憶モードに関する情報に基づき、半導体装置 250 の記憶モードを選択する。また、制御回路 260 は外部からのコマンド信号 282 に応じて、書き込み回路 268、リセット回路 270、クランプ回路 272 及び入出力回路 278 に対する制御を行う。さらに、制御回路 260 はカラムデコーダ 264 を制御することにより、第 1 ビットライン B L z 及び第 2 ビットライン B L x からなるビットライン対の中から、データの書き込みまたは読み出し時に電圧を印加すべき 1 本のビットラインを選択する。

【0065】

実施例 7 に係る半導体装置 250 の記憶モードについて説明する。半導体装置 250 が有するメモリセルアレイ 256 は、3 種類の記憶モード (N V M モード、R A M モード、M I D モード) を備えている。制御回路 260 が 3 種類の記憶モードから一の記憶モードを選択する。不揮発性である N V M モードはデータ保持時間が長く、半導体装置 250 の電源オフ時にデータを長期間保存する用途に適している。揮発性の R A M モードはアクセス時間が短く、半導体装置 250 の電源オン時に高速にデータ処理を行う用途に適している。N V M モードと R A M モードの中間に位置する M I D モードは、N V M モードに比べアクセス時間が短い。また、通常のデータ保持時間は一日程度であるが、リフレッシュを行うことによりデータ保持時間を延長することができる。このため、例えば一日に一回程度データのリフレッシュを行うシステムであれば、実質的に不揮発性メモリとして使用することが可能であり、N V M モードよりアクセス時間が短い分メモリとして優れている。

【0066】

図 14 は、所定時間が経過した後、制御回路 260 が行う、メモリセル M C に記憶されたデータの消去動作、及び、メモリセル M C に記憶されたデータの読み出しの禁止動作のフローチャートである。半導体装置 250 は、M I D モード信号を起動回路 284 が受信することにより、起動する。起動回路 284 は、選択レジスタに M I D モードを設定する。制御回路 260 は、選択レジスタ 280 に基づいて、メモリセルアレイ 256 の記憶モードを M I D モードに設定する。半導体装置 250 が起動すると、スターター信号検出回路 288 は、スターター信号 s t t z を出力する。スターター信号 s t t z は、V c c レベル判定回路 254 に入力される (ステップ S 300)。V c c レベル判定回路 254 は、電圧 V c c 290 の電圧値が所定値に達するとタイマー活性化信号 e n z を出力する。所定値とは、例えば、タイマー回路 252 が有する第 1 参照セル 44 及び第 2 参照セル 46 の正常な動作が保障される電圧値である。タイマー回路 252 は、タイマー活性化信号 e n z により活性化する (ステップ S 302)。タイマー回路 252 は、第 1 参照セル 44 及び第 2 参照セル 46 の抵抗値の変化率が互いに異なるように、第 1 参照セル 44 及び第 2 参照セル 46 の抵抗値を設定して (ステップ S 304)、所定時間の経過判定を開始する。タイマー回路 252 は、第 1 参照セル 44 及び第 2 参照セル 46 の抵抗値をそれぞれ電圧値に変換する。比較器 54 は、第 1 参照セル 44 の電圧値と第 2 参照セル 46 の電圧値とを比較する (ステップ S 306)。タイマー回路 252 は、ステップ S 306 の比較処理の結果、第 1 参照セル 44 及び第 2 参照セル 46 の電圧値の変動量の差に関係する量が所定値を超えるか否かを確認する (ステップ S 308)。タイマー回路 252 は、ステップ S 308 が Y E S の場合、判定信号 258 を出力する (ステップ S 314)。タイマー回路 252 は、ステップ S 308 が N O の場合、判定信号 258 を出力せず (ステップ S 310)、メモリセルアレイ 256 のメモリセル M C に記憶されたデータの読み出し

を許可する（ステップS 3 1 2）。タイマー回路2 5 2が判定信号2 5 8を出力するまでステップS 3 0 4からステップS 3 1 2までの処理を繰り返す。

【0 0 6 7】

タイマー回路2 5 2が判定信号2 5 8を出力した場合、制御回路2 6 0はメモリセルMCに記憶されたデータが保護されているか否かの確認を行う（ステップS 3 1 6）。メモリセルMCに記憶されたデータが保護されていない場合（ステップS 3 1 6のNO）、制御回路2 6 0はメモリセルMCに記憶されたデータを消去する（ステップS 3 1 8）。その後、メモリセルアレイ2 5 6に設定されたMIDモードを解除して（ステップS 3 2 8）、動作を終了する。

【0 0 6 8】

メモリセルMCに記憶されたデータが保護されている場合（ステップS 3 1 6のYES）、制御回路2 6 0はメモリセルMCに記憶されたデータの読み出し動作の無効化を行う（ステップS 3 2 0）。読み出し動作の無効化とは、例えば、制御回路2 6 0が読み出し動作の無効化を解除するための特殊コマンドのみを受け付け可能とし、読み出し動作を行うための通常コマンドを受け付け不可とするように、制御回路2 6 0が非活性状態になることである。

【0 0 6 9】

制御回路2 6 0は、読み出し動作の無効化を解除する特殊コマンドが入力されたかをチェックし（ステップS 3 2 2）、特殊コマンドが入力された場合には、読み出し動作の無効化を解除する（ステップS 3 2 4）。データ読み出しの無効化の解除とは、例えば、制御回路2 6 0を活性化することである。

【0 0 7 0】

制御回路2 6 0は、MIDモードを解除するかどうかのチェックを行い（ステップS 3 2 6）、MIDモードを解除する場合（ステップS 3 2 6のYES）、MIDモードを解除して（ステップS 3 2 8）、終了する。MIDモードを継続する場合（ステップS 3 2 6のNO）、ステップS 3 0 4に戻る。以上が、実施例7に係る半導体装置2 5 0の動作である。

【0 0 7 1】

実施例7において、メモリセルMCは、抵抗変化型メモリセル及び相変化型メモリセルのうちいずれかであってもよい。抵抗変化型メモリセル及び相変化型メモリセルには、消去という概念が無い。したがって、メモリセルMCが抵抗変化型メモリセル及び相変化型メモリセルのうちいずれかである場合、ステップS 3 1 8において、メモリセルMCを有するメモリセルアレイ2 5 6に記憶されたデータを消去する動作の代わりに、メモリセルアレイ2 5 6が有するメモリセルMCに対して無効なデータの書き込みを行ってもよい。例えば、メモリセルアレイ2 5 6が有する全てのメモリセルMCに対して、“0”または“1”を書き込んでもよい。

【0 0 7 2】

実施例7において、データを記憶するメモリセルMCと、タイマー回路2 5 2と接続され、タイマー回路2 5 2の判定結果に基づき、メモリセルMCに記憶されたデータの消去動作を行う制御回路2 6 0とを具備する構成とする一例を説明した。また、データを記憶するメモリセルMCと、タイマー回路2 5 2と接続され、タイマー回路2 5 2の判定結果に基づき、メモリセルMCへの無効なデータの書き込み動作を行う制御回路2 6 0とを具備する構成とする一例を説明した。また、データを記憶するメモリセルMCと、タイマー回路2 5 2と接続され、タイマー回路2 5 2の判定結果に基づき、メモリセルMCに記憶されたデータの読み出しの禁止動作を行う制御回路2 6 0とを具備する構成とする一例を説明した。これらの構成によれば、タイマー機能の精度のばらつきを低減したタイマー回路2 5 2により所定時間が経過したことを精度よく判定して、制御回路2 6 0が、メモリセルMCに記憶されたデータの消去動作、メモリセルMCへの無効なデータの書き込み動作、及び、メモリセルMCに記憶されたデータの読み出しの禁止動作を行うことができる。したがって、可変抵抗を有する半導体装置のセキュリティの向上に効果がある。

10

20

30

40

50

【 0 0 7 3 】

実施例 7 において、タイマー回路 2 5 2 が有する参照セルの構成は、抵抗変化型メモリセル及び相変化型メモリセルのいずれであってもよい。

【 0 0 7 4 】

実施例 7 において、メモリセル M C の構成と、タイマー回路 2 5 2 が有する参照セルの構成とを、同じ構成としてもよい。これにより、メモリセルとタイマー回路が有する参照セルとを同じ製造方法により製造できるため、コストの低減に効果がある。

【 0 0 7 5 】

実施例 7 において、制御回路 2 6 0 が、メモリセルアレイ 2 5 6 の記憶モードを、データ保持時間が一日程度である M I D モードに設定する例を説明したが、他の記憶モードに設定してもよい。

10

【 0 0 7 6 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 図 1 は従来の半導体装置の構成を示す図である。

【 図 2 】 図 2 は従来の半導体装置の参照セルの評価時刻 t に対する電圧値の変化を示すグラフである。

20

【 図 3 】 図 3 は従来の半導体装置のタイマー機能の動作を示すフローチャートである。

【 図 4 】 図 4 は実施例 1 の半導体装置の構成を示す図である。

【 図 5 】 図 5 は実施例 1 の半導体装置の第 1 参照セル及び第 2 参照セルの評価時刻 t に対する電圧値の変化を示すグラフである。

【 図 6 】 図 6 は実施例 1 の半導体装置のタイマー機能の動作を示すフローチャートである。

【 図 7 】 図 7 は実施例 1 の参照セルの構成を示す図である。

【 図 8 】 図 8 は実施例 2 の半導体装置の構成を示す図である。

【 図 9 】 図 9 は実施例 3 の回路の構成を示す図である。

【 図 1 0 】 図 1 0 は実施例 4 の回路の構成を示す図である。

30

【 図 1 1 】 図 1 1 は実施例 5 の回路の構成を示す図である。

【 図 1 2 】 図 1 2 は実施例 6 の回路の構成を示す図である。

【 図 1 3 】 図 1 3 は実施例 7 の半導体装置の構成を示す図である。

【 図 1 4 】 図 1 4 は実施例 7 の半導体装置の動作を示すフローチャートである。

【 符号の説明 】

【 0 0 7 8 】

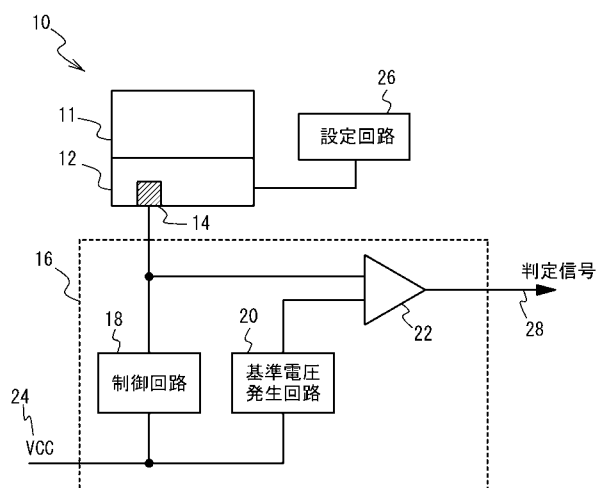
- 1 4 参照セル
- 1 6 判定回路
- 1 8 制御回路
- 2 0 基準電圧発生回路
- 2 2 比較器
- 2 4 電源電圧
- 4 4 第 1 参照セル
- 4 6 第 2 参照セル
- 4 8 判定回路
- 5 0 第 1 制御回路
- 5 2 第 2 制御回路
- 5 4 比較器
- 5 6 電源電圧
- 5 8 設定回路

40

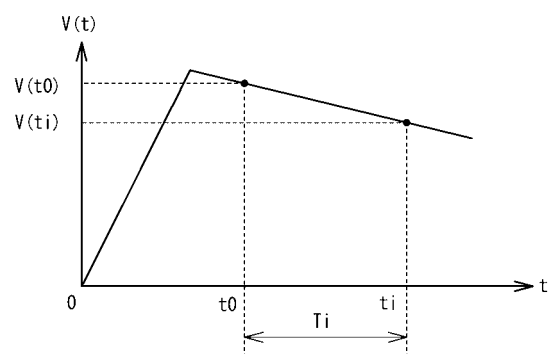
50

6 4 活性化信号発生回路

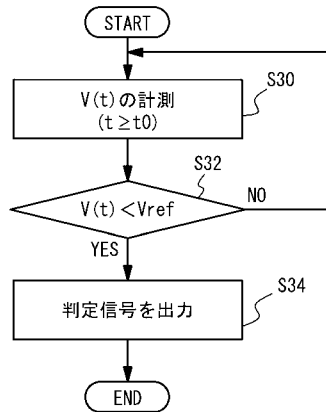
【図 1】



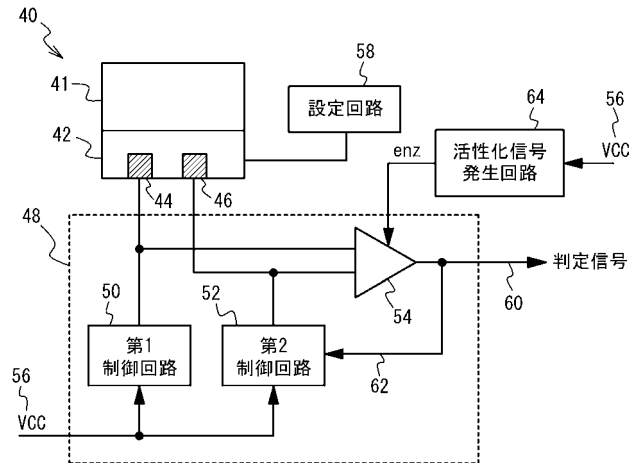
【図 2】



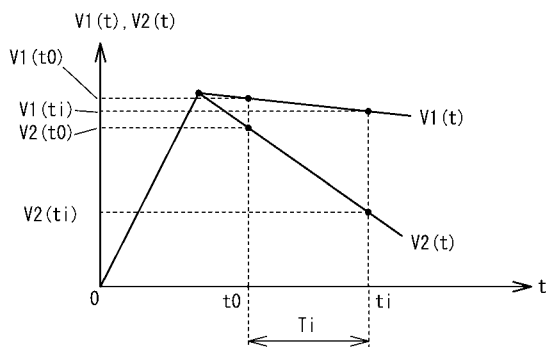
【図 3】



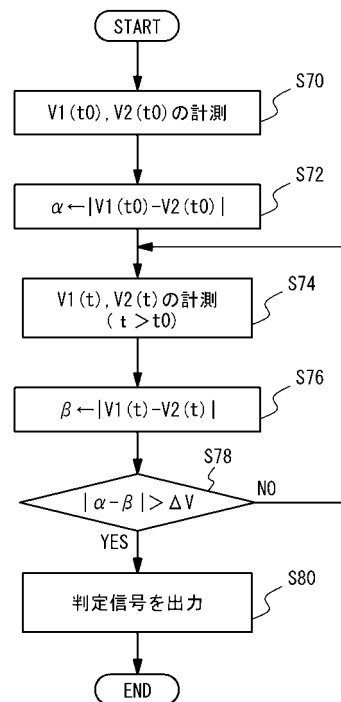
【図 4】



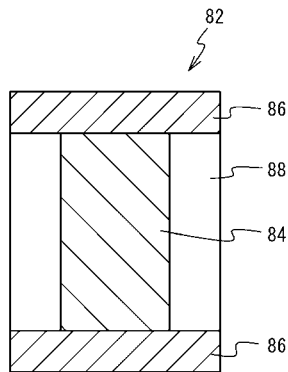
【図 5】



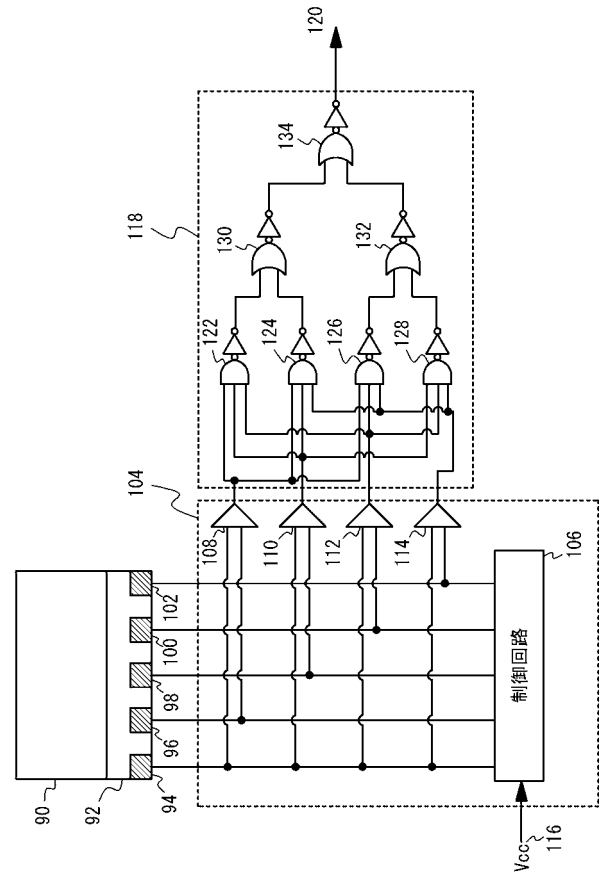
【図 6】



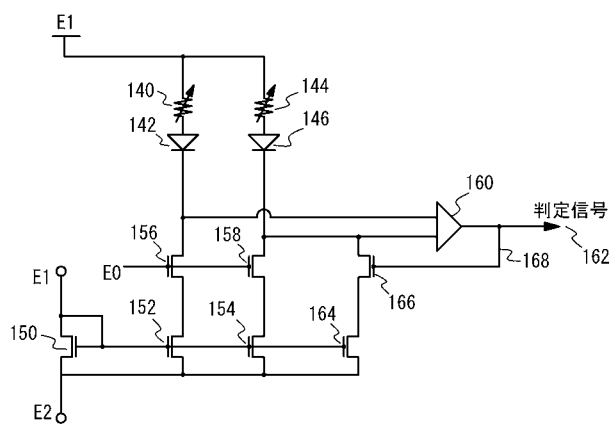
【図 7】



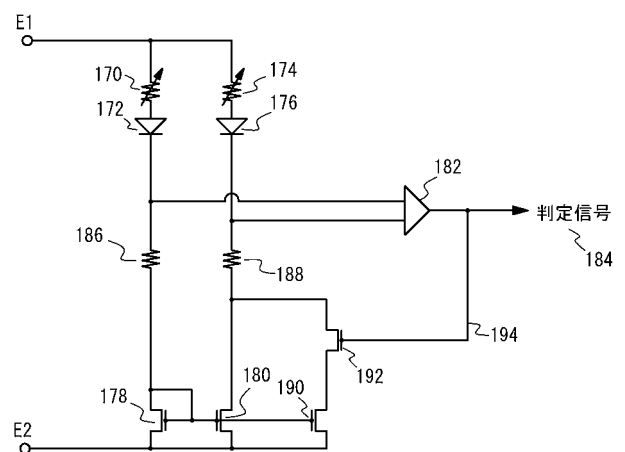
【図 8】



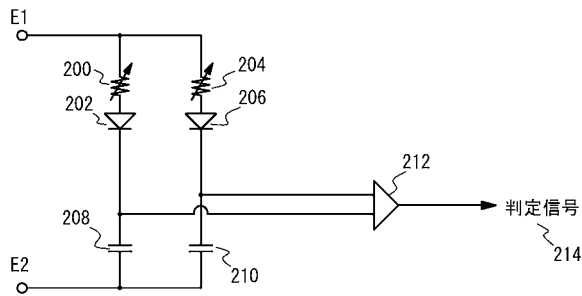
【図 9】



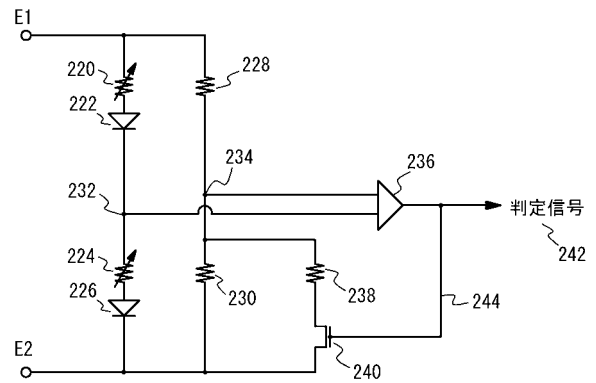
【図 10】



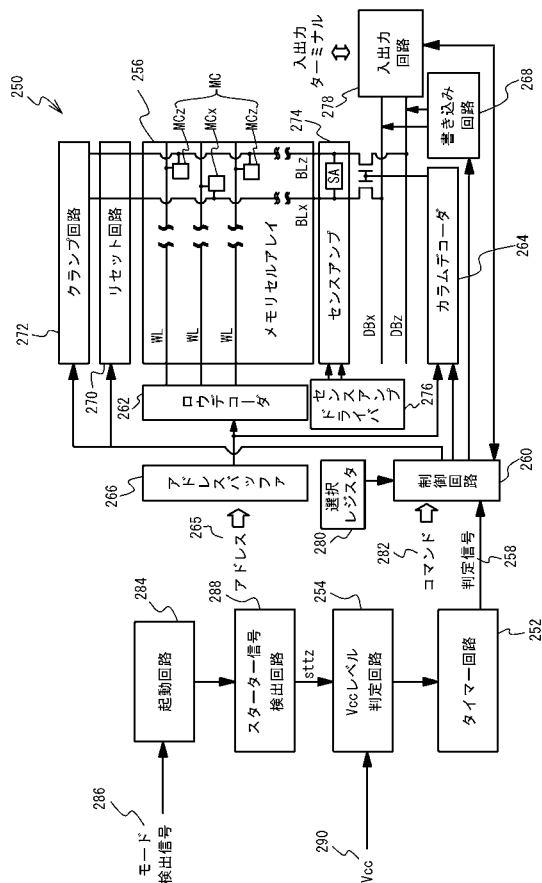
【図 1 1】



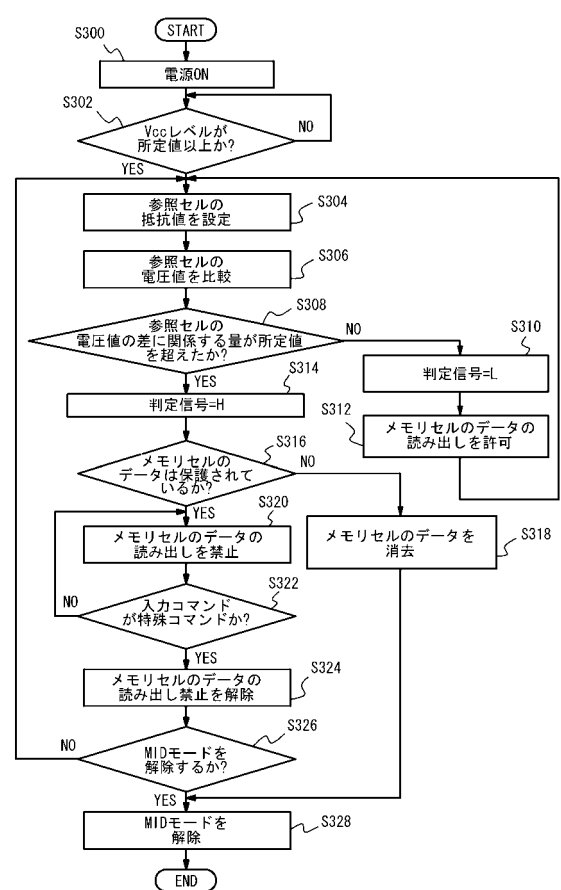
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(72)発明者 馬上 智志

福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n株式会社内

(72)発明者 桜川 聡

福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n株式会社内