

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年4月30日(2010.4.30)

【公開番号】特開2007-294925(P2007-294925A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2007-82210(P2007-82210)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

G 1 1 C 13/00 (2006.01)

【F I】

H 0 1 L 27/10 4 5 1

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 A

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

G 1 1 C 13/00 A

【手続補正書】

【提出日】平成22年3月11日(2010.3.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の表面付近にそれぞれ形成され、可変抵抗状態を保存する複数の抵抗層と、

前記複数の抵抗層下の前記半導体基板部分にそれぞれ形成され、前記複数の抵抗層とそれぞれ連結された複数の埋め込み電極と、

隣接する前記複数の抵抗層間を連結し、隣接する前記複数の下部電極を連結しないように、前記半導体基板の表面付近に形成された複数のチャネル領域と、

前記半導体基板のチャネル領域上のゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記複数の抵抗層上を横切って伸張しているゲート電極とを備えることを特徴とする不揮発性メモリ素子。

【請求項 2】

前記抵抗層は、両端に印加された電圧により、その抵抗状態が変わる物質を有することを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 3】

前記抵抗層は、Nb₂O₅、CrドーピングされたSrTiO₃、ZrO_x、GST (GeSb_xTe_y)、NiO、ZnO、TiO₂ 及びHfOからなる群から選択された少なくとも一つをそれぞれ含むことを特徴とする請求項 2 に記載の不揮発性メモリ素子。

【請求項 4】

前記ゲート絶縁膜は、前記複数の抵抗層上を横切るように伸張していることを特徴とす

る請求項 1 に記載の不揮発性メモリ素子。

【請求項 5】

前記複数の埋め込み電極とそれぞれ連結された複数のビットラインを、前記半導体基板上にさらに備えることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 6】

前記複数のビットラインは、前記ゲート電極と異なる方向に伸張していることを特徴とする請求項 5 に記載の不揮発性メモリ素子。

【請求項 7】

前記複数のビットラインは、前記ゲート電極上に層間絶縁膜を介在して形成されたことを特徴とする請求項 5 に記載の不揮発性メモリ素子。

【請求項 8】

前記複数の埋め込み電極は、前記半導体基板の一部分を不純物でドーピングしてそれぞれ形成されたことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 9】

前記半導体基板は、第 1 導電型の不純物でドーピングされ、前記複数の埋め込み電極は、第 2 導電型の不純物でドーピングしてそれぞれ形成されたことを特徴とする請求項 8 に記載の不揮発性メモリ素子。

【請求項 10】

前記半導体基板は、臨界電圧以上が印加された場合にのみ、電気伝導性を表す金属・絶縁膜転移物質から形成されたことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 11】

前記複数の埋め込み電極は、金属層または金属シリサイド層を含むことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 12】

ゲート、ソース及びドレインを含む制御素子と、

一端が前記制御素子のソースに連結され、可変抵抗状態を保存することができる第 1 抵抗ノードと、

一端が前記制御素子のドレインに連結され、可変抵抗状態を保存することができる第 2 抵抗ノードをそれぞれ備え、マトリックス状に配列された複数の単位セルと、

前記複数の単位セルのうち、同じ行に配列された単位セルの前記制御素子のゲートに共通に連結されるように、複数の行に配置された複数のワードラインと、

前記複数の単位セルのうち、隣接する 2 列に配列された単位セルの隣接する前記第 1 抵抗ノードの他の端及び前記第 2 抵抗ノードの他の端に共通に連結されるように、複数の列に配列された複数のビットラインとを備えることを特徴とする不揮発性メモリ素子。

【請求項 13】

前記第 1 抵抗ノード及び第 2 抵抗ノードは、両端に印加された電圧により、その抵抗状態が変わる物質を有することを特徴とする請求項 12 に記載の不揮発性メモリ素子。

【請求項 14】

前記第 1 抵抗ノード及び第 2 抵抗ノードは、 Nb_2O_5 、Cr ドーピングされた SrTiO_3 、 ZrO_x 、GST (GeSb_xTe_y)、 NiO 、 ZnO 、 TiO_2 及び HfO からなる群から選択された少なくとも一つをそれぞれ含むことを特徴とする請求項 13 に記載の不揮発性メモリ素子。

【請求項 15】

前記制御素子は、MOS 電界効果トランジスタであることを特徴とする請求項 12 に記載の不揮発性メモリ素子。

【請求項 16】

前記複数の単位セルのうち、同じ行に配列された隣接した 2 単位セルの隣接した前記第 1 抵抗ノードの他の端及び前記第 2 抵抗ノードの他の端は、互いに直接連結されたことを特徴とする請求項 12 に記載の不揮発性メモリ素子。

【請求項 17】

複数の単位層構造が複数の層に積層され、前記複数の単位層構造のそれぞれは、半導体基板と、

前記半導体基板の表面付近にそれぞれ形成され、可変抵抗状態を保存する複数の抵抗層と、

前記複数の抵抗層下の前記半導体基板部分にそれぞれ形成され、前記複数の抵抗層とそれぞれ連結された複数の埋め込み電極と、

隣接する前記複数の抵抗層間を連結し、隣接する前記複数の下部電極を連結しないように、前記半導体基板の表面付近に形成された複数のチャネル領域と、

前記半導体基板のチャネル領域上のゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記複数の抵抗層上を横切って伸張しているゲート電極とを備えることを特徴とする不揮発性メモリ素子。

【請求項 18】

前記複数の単位層構造それぞれの前記抵抗層は、両端に印加された電圧により、その抵抗状態が変わることを特徴とする請求項 17 に記載の不揮発性メモリ素子。

【請求項 19】

前記複数の単位層構造それぞれの前記抵抗層は、 Nb_2O_5 、Crドーピングされた $SrTiO_3$ 、 ZrO_x 、GST ($GeSb_xTe_y$)、 NiO 、 ZnO 、 TiO_2 及び HfO からなる群から選択された少なくとも一つをそれぞれ含むことを特徴とする請求項 18 に記載の不揮発性メモリ素子。

【請求項 20】

前記複数の単位層構造のうち、第 1 層の単位層構造の前記半導体基板は、シリコンウェーハを有し、第 2 層以上の単位層構造の前記半導体基板は、金属・絶縁体転移物質を有することを特徴とする請求項 17 に記載の不揮発性メモリ素子。

【請求項 21】

前記複数の単位層構造の前記半導体基板は互いに連結され、前記複数の単位層構造の前記ゲート電極は、互いに連結されたことを特徴とする請求項 17 に記載の不揮発性メモリ素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】不揮発性メモリ素子