



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 911506

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.03.80 (21) 2890022/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.03.82. Бюллетень № 9

Дата опубликования описания 07.03.82

(51) М. Кл.³

G 06 F 7/00

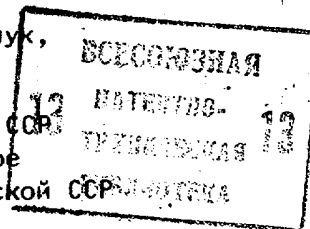
(53) УДК 681.325.
.5(088.8)

(72) Авторы
изобретения

Н.Н. Дученко, В.Ф. Евдокимов, П.А. Тарчук,
Н.П. Тимошенко и М.Е. Цыгановский

(71) Заявители

Институт электродинамики АН Украинской ССР
и Опытное-конструкторское технологическое
бюро Института металлофизики АН Украинской ССР



(54) УСТРОЙСТВО ДЛЯ УПОРЯДОЧЕНИЯ ДАННЫХ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в специализированных устройствах обработки информации, в которых требуется быстрое упорядочение массива информации, содержащего только четыре числа, поступающих параллельным кодом одно за другим.

Известно устройство для классификации двоичных чисел, выполненное на основе двух регистров и схемы сравнения. В нем одновременно производится сравнение только двух чисел [1].

Недостатком известного устройства является невысокое быстродействие при выполнении классификации четырех чисел в порядке убывания (или возрастания) их кода, что обусловлено поступлением чисел массива в последовательном коде и сравнительно большим числом операций сравнения.

2

Наиболее близкое к предлагаемому устройство для классификации двоичных чисел, содержащее сдвигающий приемный регистр, два буферных запоминающих блока, управляемый элемент задержки, двоичный счетчик, пять элементов И, два триггера, элемент задержки и формирователь импульсов. В основе классификации чисел лежит анализ каждого из n рядов чисел массива на наличие единицы или нуля. Числа массива поступают одно за другим в последовательном коде [2].

Недостатком известного устройства является его низкое быстродействие, которое зависит от разрядности обрабатываемых чисел.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройстве для упорядочения данных, содержащем регистры, мультиплексоры, схемы сравнения,

элемент ИЛИ, группу элементов И, триггер, постоянное запоминающее устройство, блок памяти, причем выходы блока памяти соединены с входами первого и второго мультиплексоров, выходы которых подключены к информационным входам первого и второго регистров соответственно, информационные выходы первого и второго регистров соединены с входами первой схемы сравнения, выход первой схемы сравнения соединен с входом установки в единичное состояние триггера и с первым входом элемента ИЛИ, выход которого подключен к управляющему входу первого регистра, адресные выходы которого соединены с управляющими входами первой группы постоянного запоминающего устройства, первая и вторая группы выходов которого подключены к входам первой и второй групп соответственно третьего и четвертого мультиплексоров и к информационным входам элементов И первой и второй групп соответственно, выходы элементов И первой и второй групп подключены к управляющим входам первого и второго мультиплексоров соответственно, входная информационная шина устройства соединена с входом блока памяти, с информационными входами второго мультиплексора и третьего регистра, выходы которого подключены к входам первой группы второй схемы сравнения и к входам четвертого регистра, информационные выходы которого соединены с входами второй группы второй схемы сравнения, выход которой подключен к первому управляющему входу четвертого регистра, адресные выходы которого соединены с управляющими входами второй группы постоянного запоминающего устройства, первая управляющая шина записи устройства подключена к управляющему входу блока памяти, вторая управляющая шина записи устройства соединена с управляющими входами первого, второго и третьего регистров, третья управляющая шина записи устройства подключена к второму входу элемента ИЛИ и к второму управляющему входу четвертого регистра, управляющая шина запуска устройства соединена с управляющими входами элементов И первой и второй групп и с счетным входом триггера.

На чертеже приведена блок-схема предлагаемого устройства.

Устройство содержит постоянное запоминающее устройство 1, мультиплексоры 2 и 3, группу элементов И 4, триггер 5, схему 6 сравнения, элемент ИЛИ 7, схему 8 сравнения, регистры 9-12, мультиплексоры 13 и 14, блок 15 памяти, группу элементов И 16, управляющие шины 17-19 записи, управляющую шину 20 запуска и выходные шины 21-24, входную информационную шину 25.

Устройство работает следующим образом.

Перед началом работы устанавливается в нулевое состояние все регистры устройства и триггер 5, на управляющую шину 20 запуска поступает потенциал логического нуля, формируя тем самым на выходах групп элементов И 4 и 16 нулевой код.

Блок 15 памяти состоит из четырех регистров, которые хранят четыре числа массива в соответствии с порядком их поступления. Каждый из регистров блока 15 памяти имеет информационную зону, в которую заносится число входного массива, и адресную зону, в которой хранится адрес (номер) этого регистра. В адресной зоне первого регистра блока 15 хранится код 01, в адресной зоне второго - 10 и т.д. Регистры 9-12 также имеют информационную и адресную зоны, причем в регистре 11 каждой из зон соответствует отдельный регистр. Каждое из четырех чисел обрабатываемого массива имеет информационную часть и адресную часть (три младших разряда), которая содержит номер данного числа, соответствующий порядку его поступления. Число, поступившее первым, имеет в адресной части код 001, второе число - код 010 и т.д.

Работа устройства начинается с поступлением по входной информационной шине 25 первого числа в параллельном коде, информационная часть которого записывается в первый регистр блока 15 памяти с поступлением импульса по управляющей шине 17 записи, а все число записывается в регистры 10 и 12 с поступлением импульса по управляющей шине 18 записи. Нулевой код на управляющем входе мультиплексора 13 обеспечивает подключение входа регистра 11 к выходу регистра 12, а нулевой код на управляющем выходе второго мульт-

типлексора 14 - подключение входной информационной шины 25 к регистру 12. Далее поступает импульс по управляющей шине 19 записи на второй управляющий вход регистра 9, что приводит к записи в него содержимого регистра 10, и через элемент ИЛИ 7 на управляющий вход регистра 11, что приводит к записи в него содержимого регистра 12. В начале второго такта работы по информационной шине 25 поступает второе число, информационная часть которого с поступлением импульса по управляющей шине 17 записи записывается в информационную зону второго регистра блока 15 памяти, само число записывается в регистры 10 и 12 с одновременным поступлением импульса по управляющей шине 18 записи. После этого схемы 6 и 8 сравнения выполняют операции сравнения. Схема 6 сравнения, сравнивая содержимое информационных зон регистров 9 и 10, выдает на выходе импульс только в случае, если содержимое информационной зоны регистра 10 больше содержимого такой же зоны регистра 9. Появившийся на выходе первой схемы 6 сравнения импульс, поступая на первый управляющий вход регистра 9, приводит к записи содержимого всего регистра 10 в регистр 9. Таким образом, в результате операции сравнения двух чисел в информационной зоне регистра 9 содержится больше из двух чисел, а в адресной зоне - номер этого числа. Схема 8 сравнения совместно с регистрами 11 и 12 работает совершенно аналогично, однако она выдает импульс на выходе только в том случае, если содержимое информационной зоны регистра 12 меньше содержимого информационной зоны регистра 11.

Аналогичные процессы происходят в третьем и четвертом тактах. В конце четвертого такта в информационной зоне регистра 9 находится максимальное из четырех поступивших чисел, а в адресной зоне этого регистра - номер максимального числа. В информационной зоне регистра 11 находится минимальное из четырех чисел, а в адресной зоне - номер минимального числа.

Номера максимального и минимального чисел поступают на адресные входы постоянного запоминающего

устройства 1, на выходе которого появляются номера двух других чисел обрабатываемого массива.

В начале пятого такта на управляющей шине 20 запуска появляется логическая единица, что приводит к прохождению через группы элементов И 4 и 16 на управляющие входы мультимплексоров 13 и 14 кодов с соответственно первого и второго выходов постоянного запоминающего устройства 1, а также блокирует запись информации в адресную зону регистра 11.

Одновременно трехразрядные коды с выходов постоянного запоминающего устройства 1 поступают на мультимплексоры 2 и 3. При наличии логического нуля на управляющих входах мультимплексоров 2 и 3 на выходе мультимплексора 2 присутствует код с первого выхода постоянного запоминающего устройства 1, на выходе мультимплексора 3 - код со второго выхода постоянного запоминающего устройства 1. Наличие логической единицы на управляющих входах мультимплексоров 2 и 3 соответствует обратному расположению трехразрядных кодов на выходах этих мультимплексоров. Таким образом, на выходе мультимплексора 2 находится трехразрядный номер большего из двух оставшихся чисел массива, на выходе мультимплексора 3 - трехразрядный номер меньшего. После появления логической единицы на управляющей шине 20 запуска поступают импульсы на управляющие шины 19 и 18 записи что приводит к записи в регистры 11 и 12 двоичных чисел из информационных зон тех регистров блока 15 памяти, номера которых поступили на управляющие входы соответственно мультимплексоров 13 и 14. Далее схема 8 сравнения выполняет операцию сравнения. Наличие или отсутствие импульса на выходе схемы 8 сравнения определяется соотношением величин сравниваемых чисел.

Появившись на управляющей шине 20 запуска, единичный сигнал в начале пятого такта сбрасывает в нулевое состояние триггер 5. Поэтому, если на выходе схемы 8 сравнения в пятом такте появляется импульс, то он, поступая на счетный вход триггера 5, устанавливает его в единичное состояние.

Таким образом, к концу пятого такта на выходных шинах 21-24 присутствуют трехразрядные номера четырех регистров блока 15, которые хранят числа массива соответственно уменьшению их абсолютных величин, т.е. процесс упорядочения массива из четырех чисел закончен.

Быстродействие предлагаемого устройства определяется временем выполнения четырех операций сравнения независимо от разрядности чисел массива. Выигрыш по быстродействию от его применения по сравнению с устройством-аналогом составляет 1,5 раза. При равенстве разрядности чисел в предлагаемом устройстве и устройстве-прототипе выигрыш по быстродействию возрастает с ростом разрядности. Так, при использовании предлагаемого устройства упорядочения данных в видеопроцессоре имитатора визуальной обстановки (ИВО) с разрядностью двоичных чисел, равной $n = 10$, выигрыш по быстродействию составляет $M = \frac{4/3 \cdot 10}{6} = 2\frac{2}{9}$ раза, что позволяет отображать на экране ИВО 6 существенно более сложную, более реальную картину внешней обстановки. Следует также отметить, что его применение дает возможность эффективно совместить по времени работу других блоков видеопроцессора с работой устройства упорядочения данных. Так, в указанном случае этап непосредственного упорядочения данных включает четвертый и пятый такты, т.е. упорядоченный массив данных появляется спустя два такта (четвертый и пятый) после окончания работы блока видеопроцессора, формирующего входной массив данных для предлагаемого устройства.

Формула изобретения

Устройство для упорядочения данных, содержащее регистры, мультиплексоры, схемы сравнения, элемент ИЛИ, группу элементов И, триггер, постоянное запоминающее устройство, блок памяти, причем выходы блока памяти соединены с входами первого и второго мультиплексоров, выходы которых подключены к информационным входам первого и второго регистров соответственно, информационные выходы первого и второго регистров соединены с входами первой схемы сравнения,

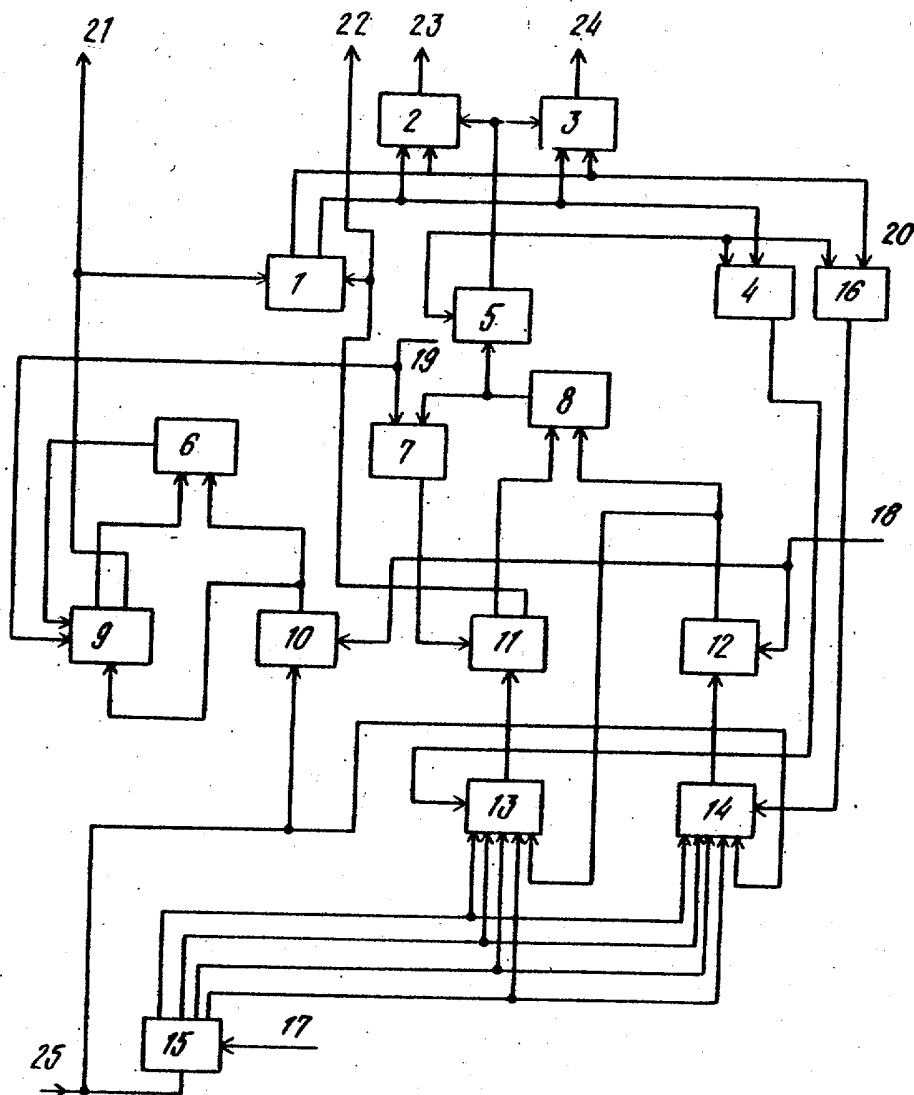
отличающееся тем, что, с целью повышения быстродействия устройства, в нем выход первой схемы сравнения соединен с входом установочной в единичное состояние триггера и с первым входом элемента ИЛИ, выход которого подключен к управляющему входу первого регистра, адресные выходы которого соединены с управляющими входами первой группы постоянного запоминающего устройства, первая и вторая группы выходов которого подключены к входам первой и второй групп соответственно третьего и четвертого мультиплексоров и к информационным входам элементов И первой и второй групп соответственно, выходы элементов И первой и второй групп подключены к управляющим входам первого и второго мультиплексоров соответственно, входная информационная шина устройства соединена с входом блока памяти, с информационными входами второго мультиплексора и третьего регистра, выходы которого подключены к входам первой группы второй схемы сравнения и к входам четвертого регистра, информационные выходы которого соединены с входами второй группы второй схемы сравнения, выход которой подключен к первому управляющему входу четвертого регистра, адресные выходы которого соединены с управляющими входами второй группы постоянного запоминающего устройства, первая управляющая шина записи устройства подключена к управляющему входу блока памяти, вторая управляющая шина записи устройства соединена с управляющими входами первого, второго и третьего регистров, третья управляющая шина записи устройства подключена к второму входу элемента ИЛИ и к второму управляющему входу четвертого регистра, управляющая шина запуска устройства соединена с управляющими входами элементов И первой и второй групп и с счетным входом триггера.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 466508, кл. G 06 F 7/04, 1973.

2. Авторское свидетельство СССР № 545982, кл. G 06 F 7/06, 1975 (прототип).



Составитель В. Белкин

Редактор А. Лежнина

Техред Т. Маточка

Корректор Ю. Макаренко

Заказ 1129/40

Тираж 732

Подписное

ВНИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4