

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月23日(23.11.2017)



(10) 国際公開番号

WO 2017/199790 A1

(51) 国際特許分類:
H03K 5/00 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)

(21) 国際出願番号: PCT/JP2017/017484

(22) 国際出願日: 2017年5月9日(09.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-101795 2016年5月20日(20.05.2016) JP
特願 2017-021274 2017年2月8日(08.02.2017) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

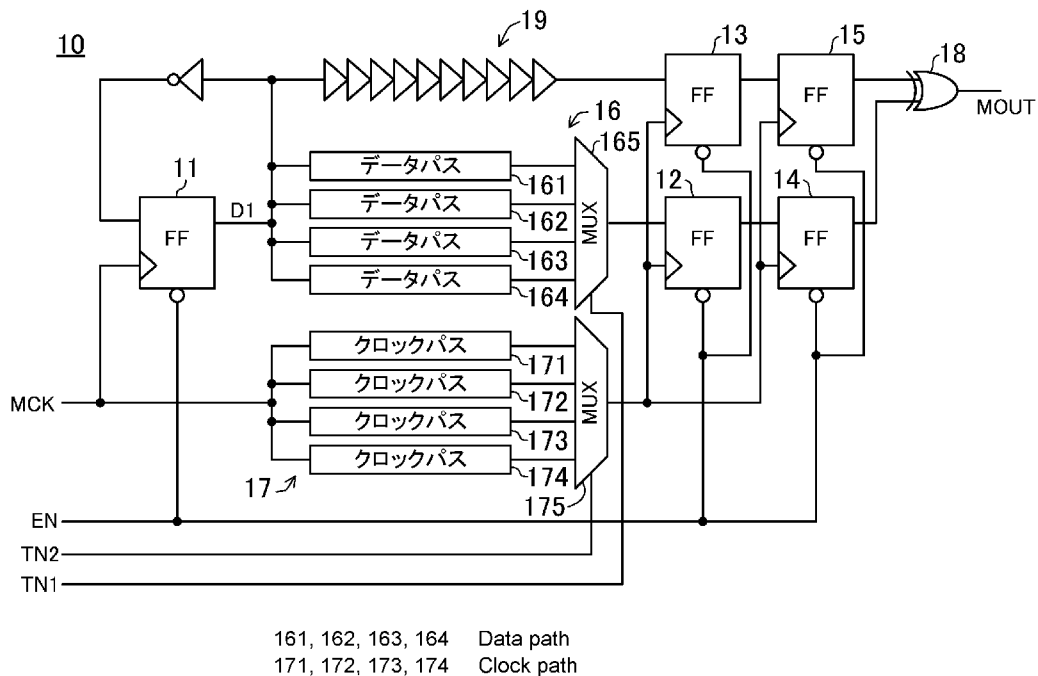
(72) 発明者:長山 準(NAGAYAMA Jun).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: In a monitor circuit (10), a data signal (D1) is propagated from an FF (11) to an FF (12) via a data delay circuit (16). The data delay circuit (16) selects, in accordance with a selection signal (TN1), any one from among data paths (161-164) for delaying the data signal (D1). A clock signal (MCK) inputted to the FF (11) is inputted to the FF (12) via a clock delay circuit (17). The clock delay circuit (17) selects, in accordance with a selection signal (TN2), any one from among clock paths (171-174) for delaying the clock signal (MCK).

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: モニタ回路(10)において、FF(11)からFF(12)に、データ遅延回路(16)を経由してデータ信号(D1)が伝播される。データ遅延回路(16)はデータ信号(D1)を遅延させるデータパス(161~164)の中から、選択信号(TN1)に従っていずれか1つを選択する。FF(11)に入力されるクロック信号(MCK)は、クロック遅延回路(17)を経由してFF(12)に入力される。クロック遅延回路(17)はクロック信号(MCK)を遅延させるクロックパス(171~174)の中から、選択信号(TN2)に従っていずれか1つを選択する。

明 細 書

発明の名称：半導体集積回路

技術分野

[0001] 本開示は、クリティカルパスを模擬的に実現可能に構成されたレプリカ遅延モニタを備えた半導体集積回路に関する。

背景技術

[0002] 近年、半導体チップの消費電力低減を目的として、データが正常に伝播されるか否かを模擬的に確認できるタイミングモニタが、半導体チップに搭載されている。例えば非特許文献1では、半導体チップにおけるクリティカルパスを模擬して、セットアップエラーの有無を検出するレプリカ遅延モニタが開示されている。このレプリカ遅延モニタでは、2つのフリップフロップ間のデータパスの遅延をクリティカルパスの遅延と同等に設定して、セットアップエラーの有無を確認することができる。半導体チップの電源電圧を低下させながら、レプリカ遅延モニタの判定結果を得ることによって、半導体チップの性能を保ちつつ、より低い電源電圧を設定することが可能になる。

先行技術文献

非特許文献

[0003] 非特許文献1：Minki Cho et al., "Post-Silicon Voltage-Guard-Band Reduction in a 22nm Graphics Execution Cores Using Adaptive Voltage Scaling and Dynamic Power Gating", IEEE, ISSCC(International Solid-State Circuits Conference) 2016, 2016

発明の概要

発明が解決しようとする課題

[0004] 非特許文献1に開示されたレプリカ遅延モニタでは、2つのフリップフロップ間のデータパスの遅延を、クリティカルパスの遅延に合わせて調整できるように過ぎない。一方、プロセスのばらつきの増大により増加傾向にある、ホールドエラーに対してクリティカルなパスに関しては、データパスの遅延の

みを調整可能であるレプリカ遅延モニタでは、確認することができない。

[0005] また、非特許文献 1 に開示されたレプリカ遅延モニタでは、フリップフロップがいわゆるメタステーブル状態になったとき、正常なデータ伝播が行われていないにもかかわらず、正常動作していると誤って判断される可能性がある。

[0006] 本開示は、半導体集積回路に搭載されるレプリカ遅延モニタについて、従来よりも性能を向上させることを目的とする。

課題を解決するための手段

[0007] 本開示の一態様では、半導体集積回路は、データ伝播エラーの有無を判定するモニタ回路を備え、前記モニタ回路は、クロック端子に第 1 クロック信号が入力される第 1 フリップフロップと、前記第 1 フリップフロップの出力である第 1 データ信号を遅延させるデータ遅延回路と、前記第 1 クロック信号を遅延させるクロック遅延回路と、データ入力端子に前記データ遅延回路の出力信号が入力され、クロック端子に前記クロック遅延回路の出力信号が入力される第 2 フリップフロップとを備え、前記データ遅延回路は、前記第 1 データ信号をそれぞれ遅延させる複数のデータパスと、与えられた第 1 選択信号に従って、前記複数のデータパスの中からいずれか 1 つを選択し、選択したデータパスを経た前記第 1 データ信号を、前記データ遅延回路の出力信号として出力するデータ選択回路とを備えたものであり、前記クロック遅延回路は、前記第 1 クロック信号をそれぞれ遅延させる複数のクロックパスと、与えられた第 2 選択信号に従って、前記複数のクロックパスの中からいずれか 1 つを選択し、選択したクロックパスを経た前記第 1 クロック信号を、前記クロック遅延回路の出力信号として出力するクロック選択回路とを備えたものである。

[0008] この態様によると、モニタ回路において、第 1 フリップフロップから第 2 フリップフロップに、データ遅延回路を経由して、第 1 データ信号が伝播される。データ遅延回路は、第 1 データ信号をそれぞれ遅延させる複数のデータパスを備えており、与えられた第 1 選択信号に従って、複数のデータパス

の中からいずれか1つが選択される。すなわち、データパスの遅延が調整可能になっている。また、第1フリップフロップに入力される第1クロック信号は、クロック遅延回路を経由して、第2フリップフロップに入力される。クロック遅延回路は、第1クロック信号をそれぞれ遅延させる複数のクロックパスを備えており、与えられた第2選択信号に従って、複数のクロックパスの中からいずれか1つが選択される。すなわち、クロックパスの遅延が調整可能になっている。これにより、フリップフロップ間のデータパスとクロックパスとの間でその遅延特性に差がある場合であっても、モニタ回路において、これを精度良く模擬的に実現することができる。したがって、このようなモニタ回路を有するレプリカ遅延モニタによって、実動作回路のホールドエラーに対してクリティカルなパスにおける、ホールドエラーの有無を、確認することが可能になる。

[0009] 本開示の他の態様では、半導体集積回路は、第1および第2フリップフロップを有し、前記第1および第2フリップフロップ間に模擬的に実現したクリティカルパスにおけるデータ伝播エラーの有無を判定し、判定結果を示す出力信号を出力するモニタ回路と、前記モニタ回路の出力信号を、複数回の判定分保持し、保持した出力信号がそれぞれ、データ伝播エラー無しを示すとき、前記モニタ回路においてデータ伝播が正常に行われたと判断する出力保持回路とを備える。

[0010] この態様によると、モニタ回路において、第1および第2フリップフロップ間に模擬的に実現したクリティカルパスにおけるデータ伝播エラーの有無が判定され、その判定結果を示す出力信号が出力される。出力保持回路は、モニタ回路の出力信号を複数回の判定分保持し、保持した出力信号がそれぞれデータ伝播エラー無しを示すとき、モニタ回路においてデータ伝播が正常に行われたと判断する。すなわち、複数回の判定においてすべてデータ伝播エラー無しの場合に、データ伝播が正常に行われたと判断される。これにより、モニタ回路のフリップフロップがメタステーブル状態になり、データ伝播エラー無しを示す出力信号が誤って出力されたとしても、誤った判断を防

止することができる。

[0011] 本開示の他の態様では、半導体集積回路は、データ伝播エラーの有無を判定するモニタ回路を備え、前記モニタ回路は、第1フリップフロップと、前記第1フリップフロップの出力であるデータ信号を遅延させるデータ遅延回路と、データ入力端子に前記データ遅延回路の出力信号が入力される第2フリップフロップとを備え、前記データ遅延回路は、前記データ信号をそれぞれ遅延させる複数のデータパスと、与えられた選択信号に従って、前記複数のデータパスの中からいずれか1つを選択し、選択したデータパスを経た前記データ信号を出力するデータ選択回路とを備えたものであり、前記データ遅延回路は、前記複数のデータパスを構成する要素として、第1配線層に形成された配線を遅延要素として有する複数のパスからなる第1遅延部と、前記第1配線層と異なる第2配線層に形成された配線を遅延要素として有する複数のパスからなる第2遅延部とを備え、前記データ選択回路は、前記第1遅延部に属する複数のパスの中からいずれか1つを選択する第1選択部と、前記第2選択部に属する複数のパスの中からいずれか1つを選択する第2選択部とを備える。

[0012] この態様によると、第1および第2フリップフロップ間のデータ遅延回路において、第1配線層に形成された配線を遅延要素として有する複数のパスからなる第1遅延部と、第1配線層と異なる第2配線層に形成された配線を遅延要素として有する複数のパスからなる第2遅延部とが設けられている。そして、第1遅延部に属する複数のパスの中からいずれか1つが選択され、第2選択部に属する複数のパスの中からいずれか1つが選択される。これにより、第1配線層と第2配線層とで独立して配線遅延を設定することができるので、実動作回路において複数の配線層にわたって構成されたクリティカルパスを、精度良く、模擬的に実現することが可能になる。

発明の効果

[0013] 本開示によると、半導体集積回路に搭載されたレプリカ遅延モニタによって、実動作回路のホールドエラーに対してクリティカルなパスにおける、ホ

ールドエラーの有無が確認可能になる。また、フリップフロップのメタステーブル状態に起因した誤判断を防ぐことができる。さらに、実動作回路において複数の配線層にわたって構成されたクリティカルパスを、精度良く、模擬的に実現することができる。

図面の簡単な説明

- [0014] [図1]本実施形態に係るレプリカ遅延モニタの全体構成例
- [図2]図1のレプリカ遅延モニタにおけるモニタ回路の構成例
- [図3]図2のモニタ回路の動作例を示すタイミングチャート
- [図4]図1のレプリカ遅延モニタにおけるクロック生成回路の構成例
- [図5]図4のクロック生成回路の動作例を示すタイミングチャート
- [図6]図1のレプリカ遅延モニタにおける出力保持回路の構成例
- [図7]図6の出力保持回路の動作例を示すタイミングチャート
- [図8]図1の構成全体の動作を示すタイミングチャート
- [図9]遅延回路の具体的な構成例を示す図
- [図10]配線遅延部に関する改良の例
- [図11]配線遅延部に関する改良の例
- [図12]配線遅延部のレイアウトの例
- [図13]図12の配線遅延部の回路構成

発明を実施するための形態

- [0015] 以下、実施の形態について、図面を参照して説明する。
- [0016] 図1は半導体集積回路に搭載されるレプリカ遅延モニタの全体構成例である。このレプリカ遅延モニタ1は、半導体集積回路の実動作回路におけるクリティカルパスを模擬的に実現可能に構成されており、クリティカルパスにおけるタイミングマージンをモニタして、データ伝播エラーの有無を判定する回路である。図1のレプリカ遅延モニタ1は、モニタ回路10と、クロック生成回路20と、出力保持回路30とを備えている。
- [0017] モニタ回路10は、クリティカルパスの遅延動作と同等の動作を設定可能に構成されており、クリティカルパスにおけるデータ伝播エラーの有無をモ

ニタする。本実施形態では、モニタ回路１０は、ホールドエラーに対してクリティカルなパスについて、ホールドエラーの有無を判定する。クロック生成回路２０は、原クロックＣＬＫからモニタ動作用のクロックＭＣＫを生成し、モニタ回路１０に供給する。出力保持回路３０は、モニタ回路１０の出力ＭＯＵＴを複数回分保持して、ホールドエラーに関してＯＫ／ＮＧを示す出力ＳＯＵＴを出力する。出力ＳＯＵＴ、すなわち、レプリカ遅延モニタによる判定結果に基づいて、最適な電源電圧を設定することによって、半導体集積回路の消費電力の最適化を実現することができる。

[0018] 以下、各回路の具体的な構成例について説明する。

[0019] 図２はモニタ回路１０の回路構成の一例である。図２に示す回路構成では、モニタ回路１０は、フリップフロップ１１～１５と、データ遅延回路１６と、クロック遅延回路１７と、ＥＸＯＲゲート１８とを備えている。第１フリップフロップとしてのフリップフロップ１１は、クロック端子に第１クロック信号としてのクロックＭＣＫが入力される。またフリップフロップ１１はデータ入力端子に、自己の出力である第１データ信号Ｄ１の反転信号が入力される。これにより、フリップフロップ１１はクロックＭＣＫの立ち上がりエッジ毎に、第１データ信号Ｄ１として、ハイとローを繰り返し出力する。

[0020] データ遅延回路１６は、フリップフロップ１１の出力である第１データ信号Ｄ１を遅延させる回路であり、第１選択信号ＴＮ１によって遅延量を変更可能に構成されている。データ遅延回路１６は、第１データ信号Ｄ１をそれぞれ遅延させる複数のデータパス１６１～１６４と、第１選択信号ＴＮ１に従って、複数のデータパス１６１～１６４の中からいずれか１つを選択し、選択したデータパスを経た第１データ信号Ｄ１を出力するマルチプレクサ１６５とを備えている。データ選択回路の一例であるマルチプレクサ１６５の選択出力が、データ遅延回路１６の出力信号となる。なお、複数のデータパス１６１～１６４は、インバータなどの回路要素を用いて実現してもよいし、配線要素を用いて実現してもよい。また、回路要素と配線要素を組み合わせ

せて実現してもかまわない。またここでは、4個のデータパス161～164を設けた構成を示しているが、データ遅延回路16に設けるデータパスの個数は4個に限られるものではない。

[0021] クロック遅延回路17は、クロックMCKを遅延させる回路であり、第2選択信号TN2によって遅延量を変更可能に構成されている。クロック遅延回路17は、クロックMCKをそれぞれ遅延させる複数のクロックパス171～174と、第2選択信号TN2に従って、複数のクロックパス171～174の中からいずれか1つを選択し、選択したクロックパスを経たクロックMCKを出力するマルチプレクサ175とを備えている。クロック選択回路の一例であるマルチプレクサ175の選択出力がクロック遅延回路17の出力信号となる。なお、クロックパス171～174は、インバータなどの回路要素を用いて実現してもよいし、配線要素を用いて実現してもよい。また、回路要素と配線要素を組み合わせ実現してもかまわない。またここでは、4個のクロックパス171～174を設けた構成を示しているが、クロック遅延回路17に設けるクロックパスの個数は4個に限られるものではない。

[0022] 第2フリップフロップとしてのフリップフロップ12は、データ入力端子にデータ遅延回路16の出力信号が入力され、クロック端子にクロック遅延回路17の出力信号が入力される。すなわち、フリップフロップ12は、フリップフロップ11の出力である第1データ信号D1をデータ遅延回路16でもって遅延させた信号を、クロックMCKをクロック遅延回路17でもって遅延させたクロック信号のタイミングで、保持する。ホールドエラーがなければ、フリップフロップ12の出力は第1データ信号D1と一致する。

[0023] 第3フリップフロップとしてのフリップフロップ13は、データ入力端子に、フリップフロップ11の出力信号である第1データ信号D1を受ける。フリップフロップ11のデータ出力端子とフリップフロップ13のデータ入力端子との間には、遅延バッファ19が挿入されている。遅延バッファ19は、クロック遅延回路17と比して十分に大きな遅延を有している。このた

め、第1データ信号D1はフリップフロップ13に正しく伝播される。すなわち、フリップフロップ13の出力は、フリップフロップ11からフリップフロップ12へ伝播されるべき信号すなわち第1データ信号D1と同一である。フリップフロップ12の出力とフリップフロップ13の出力とが一致すれば、フリップフロップ11からフリップフロップ12へのデータ伝播においてホールドエラーが生じていないと判断できる。

[0024] フリップフロップ14, 15は、フリップフロップ12, 13の出力をそれぞれ受ける。フリップフロップ14は、フリップフロップ12がメタステーブル状態になった場合であっても、出力をハイまたはローに確定させるために設けられている。フリップフロップ15は、フリップフロップ14とデータ出力のタイミングを合わせるために設けられている。XOR（排他的論理和）ゲート18はフリップフロップ14, 15の出力を入力として受ける。XORゲート18の出力MOUTは、フリップフロップ14, 15の出力が一致しているとき、言い換えると、フリップフロップ11からフリップフロップ12へのデータ伝播が正常に行われているときはローになり、フリップフロップ14, 15の出力が一致していないとき、言い換えると、フリップフロップ11からフリップフロップ12へのデータ伝播が正常に行われていないときはハイになる。XORゲート18は、フリップフロップ12の出力信号とフリップフロップ13の出力信号とが一致するか否かを判定する判定回路の一例である。

[0025] 図3は図2のモニタ回路10の動作例を示すタイミングチャートである。ここでは、イネーブル信号ENをハイにしてから、クロックMCKを5クロック分与えるものとする。イネーブル信号ENはフリップフロップ11～15にリセット入力として与えられており、イネーブル信号ENがハイになると、リセット状態が解除され、フリップフロップ11～15は動作を行う。すると、フリップフロップ11の出力がローからハイに遷移した場合（R1, R2）と、フリップフロップ11の出力がハイからローに遷移した場合（F1, F2）とで、それぞれ2回ずつ、判定が行われ、その結果が出力信号

MOU Tとしてシリアルに出力される。

[0026] このモニタ回路 10 では、データ遅延回路 16 における遅延を第 1 選択信号 T N 1 によって設定し、クロック遅延回路 17 における遅延を第 2 選択信号 T N 2 によって設定することによって、半導体集積回路内の実動作回路におけるホールドエラーに対してクリティカルなパスを模擬的に実現することができる。そして、この模擬的に実現したホールドエラーに対してクリティカルなパスにおけるデータ伝播エラー、ここではホールドエラーの有無を判定することによって、半導体集積回路内の実動作回路におけるホールドエラーの有無を判断することができる。

[0027] なお、ここでは、データ遅延回路 16 は、複数のデータパス 161 ~ 164 とマルチプレクサ 165 とによって構成するものとしたが、これに限られるものではなく、遅延量を調整可能な構成であればどのようなものであってもよい。また、クロック遅延回路 17 は、複数のデータパス 171 ~ 174 とマルチプレクサ 175 とによって構成するものとしたが、これに限られるものではなく、遅延量を調整可能な構成であればどのようなものであってもよい。

[0028] また、ここでは、フリップフロップ 11 には、その出力 D 1 を反転させた信号を入力するものとしたが、フリップフロップ 11 へのデータ信号の供給方法はこれに限られるものでない。例えば、モニタ回路 10 の外部から、フリップフロップ 11 にデータ信号を与えるようにしてもよい。

[0029] また、図 2 の構成において、フリップフロップ 14, 15 は省いてもかまわない。この場合は、E X O R ゲート 18 はフリップフロップ 12, 13 の出力を入力として受ける。ただし、フリップフロップ 12, 13 がメタステーブル状態になってしまい、誤判定が生じる可能性があるので、この問題を回避するためには、フリップフロップ 14, 15 を設けることが好ましい。

[0030] 図 4 はクロック生成回路 20 の回路構成の一例である。図 4 に示す回路構成では、クロック生成回路 20 は、クロックゲーティング回路 21 と、シフトレジスタ 22 と、A N D ゲート 23 と、インバータ 24, 226 とを備え

ている。

[0031] クロックゲーティング回路21は、与えられた原クロックCLKを、イネーブル信号ENがハイの期間、クロックGCKとしてスルーさせる。クロックゲーティング回路21は、イネーブル信号ENをデータ入力として受け、原クロックCLKを反転クロック入力として受けるフリップフロップ211と、フリップフロップ211の出力と原クロックCLKとを2入力として受けるANDゲート212とを備えている。

[0032] シフトレジスタ22は、直列接続された5個のフリップフロップ221～225を備えている。フリップフロップ221～225は、クロックGCKをインバータ226で反転した信号をクロック入力として受ける。また、イネーブル信号ENをリセット入力として受ける。シフトレジスタ22の出力は、信号OCKとしてクロック生成回路20から出力される。また、ANDゲート23は、信号OCKをインバータ24で反転した信号とクロックGCKとを2つの入力として受ける。ANDゲート23の出力は、クロックMCKとしてクロック生成回路20から出力される。

[0033] 図5は図4のクロック生成回路20の動作例を示すタイミングチャートである。イネーブル信号ENがハイになると、クロックゲーティング回路21は原クロックCLKをスルーして、クロックGCKとしてクロックパルスの出力を開始する。このときシフトレジスタ22の出力すなわち信号OCKはローなので、ANDゲート23を介して、クロックMCKとしてクロックパルスが出力される。またシフトレジスタ22がクロックGCKに従って動作し、クロックGCKの5個目のクロックパルスが発生すると、その立ち下がリエッジのタイミングで、シフトレジスタ22の出力すなわち信号OCKがハイになる。信号OCKがハイになることにより、ANDゲート23によってクロックMCKのクロックパルスが停止する。イネーブル信号ENがローになると、信号OCKがローに戻る。このような動作によって、クロック生成回路20は、クロックMCKとして、5個のクロックパルスを発生させることができる。

[0034] なお、クロックMCKとして5個のクロックパルスを発生させる理由は、上述したモニタ回路10において、4回の判定を行うためである。クロックMCKのクロックパルス数は、モニタ回路10における判定回数に応じて変更すればよい。例えば図4の回路構成では、シフトレジスタ22のフリップフロップの個数を変更することによって、クロックMCKのクロックパルス数を変更することができる。また、図4はクロック生成回路20の一例であり、クロックMCKとして所定数のクロックパルスを発生させる回路であれば、どのような回路によって実現してもかまわない。

[0035] 図6は出力保持回路30の回路構成の一例である。図6に示す回路構成では、出力保持回路30は、フリップフロップ31～33と、4入力ORゲート34と、フリップフロップ35とを備えている。出力保持回路30は、クロック生成回路20からクロックMCK、OCKを受け、モニタ回路10から判定結果を示す出力信号MOUTを受ける。

[0036] フリップフロップ31～33は直列に接続されており、それぞれ、クロック入力としてクロックMCKを受けるとともに、リセット入力としてイネーブル信号ENを受ける。また、フリップフロップ31はデータ入力として出力信号MOUTを受ける。4入力ORゲート34は、出力信号MOUTと、フリップフロップ31～33の各出力とを、4個の入力として受ける。フリップフロップ35は、4入力ORゲート34の出力をデータ入力として受ける。また、フリップフロップ35は、クロック入力としてクロックOCKを受けるとともに、リセット入力としてイネーブル信号ENを受ける。フリップフロップ35の出力が、出力保持回路30の出力信号SOUTになる。

[0037] 図7は図6の出力保持回路30の動作例を示すタイミングチャートである。イネーブル信号ENがハイになり、クロックMCKとして5個のクロックパルスが入力されるとともに、モニタ回路10から出力信号MOUTとして4回分の判定結果が入力される。クロックOCKの入力により、モニタ回路10における4回の判定結果の論理和が、出力信号SOUTとして出力される。

[0038] この回路構成では、モニタ回路10における4回の判定結果を示す出力信号MOUTがすべてローのとき、出力信号SOUTがローになり、それ以外は、出力信号SOUTはハイになる。すなわち、出力保持回路30は、モニタ回路10における4回の判定結果がいずれもホールドエラー無しを示す場合にのみ、出力信号SOUTとしてローを出力し、モニタ回路10においてデータ伝播が正常に行われたと判断する。これにより、たとえモニタ回路10のフリップフロップ12においてメタステーブル状態が発生したような場合であっても、誤ってデータ伝播が正常に行われたと判断してしまう可能性を低減することができる。

[0039] なお、図6の回路構成は、モニタ回路10による4回分の判定結果から、データ伝播が正常に行われたか否かを判断するものである。例えば図6の回路構成において、ORゲート34の入力数とその前段のフリップフロップの個数を変えることによって、4回とは異なる回数の判定結果から、データ伝播が正常に行われたか否かを判断する構成とすることができる。また、図6は出力保持回路30の一例であり、モニタ回路10による所定回数の判定結果から、データ伝播が正常に行われたか否かを判断する回路であれば、どのような回路によって実現してもかまわない。

[0040] 図8は図1のレプリカ遅延モニタ全体の動作を示すタイミングチャートである。図8から分かるように、図1の構成に原クロックCLKを与えることによって、モニタ回路10における4回分の判定結果MOUTに基づいた、データ伝播が正常に行われたか否かの判断結果を示す出力信号SOUTが出力される。

[0041] 以上のように本実施形態によると、モニタ回路10において、第1フリップフロップ11から第2フリップフロップ12に、データ遅延回路16を経由して第1データ信号D1が伝播される。また、第1フリップフロップ11に入力されるクロックMCKは、クロック遅延回路17を経由して第2フリップフロップ12に入力される。そして、フリップフロップ11, 12間において、データパスの遅延とクロックパスの遅延がそれぞれ調整可能になっ

ている。これにより、フリップフロップ 11, 12 間のデータパスとクロックパスとの間でその遅延特性に差がある場合であっても、レプリカ遅延モニタ 1 において、これを精度良く模擬的に実現することができる。したがって、実動作回路のホールドエラーに対してクリティカルなパスにおける、ホールドエラーの有無を、レプリカ遅延モニタ 1 によって確認することが可能になる。この結果、半導体集積回路について、ホールドエラーを考慮した最適な電圧制御が可能となる。

[0042] また、出力保持回路 30 は、モニタ回路 10 の出力信号を複数回の判定分保持し、保持した出力信号がそれぞれデータ伝播エラー無しを示すとき、モニタ回路 10 においてデータ伝播が正常に行われたと判断する。すなわち、複数回の判定においてすべてデータ伝播エラー無しの場合に、データ伝播が正常に行われたと判断される。これにより、モニタ回路 10 のフリップフロップがメタステーブル状態になり、データ伝播エラー無しを示す出力信号が誤って出力されたとしても、誤った判断を防止することができる。

[0043] なお、出力保持回路 30 は、モニタ回路 10 のようなホールドエラーの有無を確認できるモニタ回路だけに適用されるものではない。例えば、従来のようなセットアップエラーの有無を確認できるモニタ回路に対しても、ここで開示した出力保持回路 30 を適用することができる。

[0044] <遅延回路の具体的な構成例>

図 9 は図 2 のモニタ回路 10 において、データ遅延回路およびクロック遅延回路をより具体的に示した図である。図 9 の構成では、データ遅延回路 16 に代えて、データ遅延回路 40 が設けられており、クロック遅延回路 17 に代えて、クロック遅延回路 50 が設けられている。他の構成要素は、図 2 と基本的には同様である。

[0045] データ遅延回路 40 は、3 個のデータパス部 41, 42, 43 と、データパス部 41, 42, 43 にそれぞれ対応するマルチプレクサ 44, 45, 46 とを備えている。データパス部 41 は、バッファを含み、遅延量が互いに異なる 4 個のデータパスを備えている。マルチプレクサ 44 は、第 1 選択信

号T N 1に従って、データパス部4 1の4個のデータパスのいずれかを選択する。データパス部4 2は、配線要素を含み、遅延量が互いに異なる4個のデータパスを備えている。マルチプレクサ4 5は、第1選択信号T N 1に従って、データパス部4 2の4個のデータパスのいずれかを選択する。データパス部4 3は、バッファを含み、遅延量が互いに異なる4個のデータパスを備えている。マルチプレクサ4 6は、第1選択信号T N 1に従って、データパス部4 3の4個のデータパスのいずれかを選択する。この構成により、データ遅延回路4 0において、 $64 (= 4 \times 4 \times 4)$ 種類のデータパスのうちいずれか1つを選択して、フリップフロップ1 1の出力である第1データ信号D 1を遅延させて、フリップフロップ1 2に与えることができる。

[0046] クロック遅延回路5 0は、3個のクロックパス部5 1, 5 2, 5 3と、クロックパス部5 1, 5 2, 5 3にそれぞれ対応するマルチプレクサ5 4, 5 5, 5 6とを備えている。クロックパス部5 1は、NANDゲートおよびNORゲートを含み、遅延量が互いに異なる4個のクロックパスを備えている。マルチプレクサ5 4は、第2選択信号T N 2に従って、クロックパス部5 1の4個のデータパスのいずれかを選択する。クロックパス部5 2は、バッファを含み、遅延量が互いに異なる4個のデータパスを備えている。マルチプレクサ5 5は、第2選択信号T N 2に従って、クロックパス部5 2の4個のクロックパスのいずれかを選択する。クロックパス部5 3は、バッファを含み、遅延量が互いに異なる4個のクロックパスを備えている。マルチプレクサ5 6は、第2選択信号T N 2に従って、クロックパス部5 3の4個のクロックパスのいずれかを選択する。この構成により、クロック遅延回路5 0において、 $64 (= 4 \times 4 \times 4)$ 種類のクロックパスのうちいずれか1つを選択して、クロックMCKを遅延させて、フリップフロップ1 2に与えることができる。

[0047] 図9の構成例では、データ遅延回路4 0は、複数のデータパスを構成する要素として、回路機能を構成するゲートを遅延要素として有するゲート遅延部に相当するデータパス部4 1, 4 3と、ゲートを有さず、配線を遅延要素

として有する配線遅延部に相当するデータパス部42とを備えている。なお、図9の構成例では、クロック遅延部50には、ゲートを有さず、配線を遅延要素として有する配線遅延部を設けていないが、配線遅延部を設けてもかまわない。

[0048] 以降では、配線遅延部に関する改良例について、説明する。

[0049] <配線遅延部に関する改良例>

(その1)

図9のような構成では、ゲート遅延部のノイズが配線遅延部に影響を与えることによって、理想的な配線遅延が再現できない、という問題が起こり得る。そこで、図10に示すように、配線遅延部とゲート遅延部の領域を分けてレイアウトする。図10では、半導体集積回路のレイアウトにおいて、配線遅延部が設けられた第1領域AR1と、ゲート遅延部が設けられた第2領域AR2とは、平面視で重なりを有しないように、配置されている。これにより、配線遅延部とゲート遅延部との間の互いへの影響が抑制されるので、所望の遅延特性を得ることができる。

[0050] (その2)

配線遅延部において、配線間のクロストークの影響によって、理想的な配線遅延が再現できない、という問題が起こり得る。そこで、図11に示すように、配線遅延部を構成する配線61に対して、その周囲に、シールド配線62、63を設ける。シールド配線62、63は例えば接地電位に固定する。これにより、シールド配線62、63によって、配線間のクロストークの影響が低減されるので、所望の遅延特性を得ることができる。

[0051] (その3)

図12は配線遅延部のレイアウトの例、図13はその回路構成である。図12および図13に示す配線遅延部70は、配線層M3に形成された配線711を遅延要素として有する複数のパスからなる第1遅延部71と、配線層M2に形成された配線721を遅延要素として有する複数のパスからなる第2遅延部72とを備えている。第1選択部としてのマルチプレクサ73は、

第1遅延部71に属する複数のパスの中からいずれか1つを選択する。第2選択部としてのマルチプレクサ74は、第2遅延部72に属する複数のパスの中からいずれか1つを選択する。

[0052] ここで、モニタ回路は、半導体集積回路の実動作回路におけるクリティカルパスの配線遅延を、精度良く模擬的に実現できることが好ましい。ところが、クリティカルパスの配線は、必ずしも単一層の配線からなるものではなく、複数層の配線からなる場合がある。配線はその層によって抵抗や容量の特性が異なる場合があるため、複数層の配線からなるクリティカルパスの配線遅延を精度良く模擬的に実現するためには、モニタ回路においても、配線層毎に、配線遅延を設定できることが好ましい。図12および図13に示す配線遅延部70では、配線層M2と配線層M3とでそれぞれ独立して、配線遅延を設定することができる。これにより、実動作回路において複数の配線層にわたって構成されたクリティカルパスを、より精度良く、模擬的に実現することができる。

産業上の利用可能性

[0053] 本開示によると、半導体集積回路に搭載されるレプリカ遅延モニタについて、性能を向上させることができるので、例えば、LSIの消費電力低減に有用である。

符号の説明

- [0054] 1 レプリカ遅延モニタ
- 10 モニタ回路
 - 11 第1フリップフロップ
 - 12 第2フリップフロップ
 - 13 第3フリップフロップ
 - 16 データ遅延回路
 - 17 クロック遅延回路
 - 18 XORゲート（判定回路）
 - 30 出力保持回路

- 4 0 データ遅延回路
- 4 1, 4 3 データパス部（ゲート遅延部）
- 4 2 データパス部（配線遅延部）
- 5 0 クロック遅延回路
- 6 1 配線遅延部の配線
- 6 2, 6 3 シールド配線
- 7 0 配線遅延部
- 7 1 第 1 遅延部
- 7 2 第 2 遅延部
- 7 3 マルチプレクサ（第 1 選択部）
- 7 4 マルチプレクサ（第 2 選択部）
- 1 6 1 ~ 1 6 4 複数のデータパス
- 1 6 5 マルチプレクサ（データ選択回路）
- 1 7 1 ~ 1 7 4 複数のクロックパス
- 1 7 5 マルチプレクサ（クロック選択回路）
- 7 1 1, 7 2 1 配線
- A R 1 第 1 領域
- A R 2 第 2 領域
- D 1 第 1 データ信号
- M C K 第 1 クロック信号
- M O U T 出力信号
- T N 1 第 1 選択信号
- T N 2 第 2 選択信号

請求の範囲

[請求項1]

データ伝播エラーの有無を判定するモニタ回路を備え、
前記モニタ回路は、
クロック端子に第1クロック信号が入力される第1フリップフロップと、
前記第1フリップフロップの出力である第1データ信号を遅延させるデータ遅延回路と、
前記第1クロック信号を遅延させるクロック遅延回路と、
データ入力端子に前記データ遅延回路の出力信号が入力され、クロック端子に前記クロック遅延回路の出力信号が入力される第2フリップフロップとを備え、
前記データ遅延回路は、
前記第1データ信号をそれぞれ遅延させる複数のデータパスと、
与えられた第1選択信号に従って、前記複数のデータパスの中からいずれか1つを選択し、選択したデータパスを経た前記第1データ信号を、前記データ遅延回路の出力信号として出力するデータ選択回路とを備えたものであり、
前記クロック遅延回路は、
前記第1クロック信号をそれぞれ遅延させる複数のクロックパスと、
与えられた第2選択信号に従って、前記複数のクロックパスの中からいずれか1つを選択し、選択したクロックパスを経た前記第1クロック信号を、前記クロック遅延回路の出力信号として出力するクロック選択回路とを備えたものである
ことを特徴とする半導体集積回路。

[請求項2]

請求項1記載の半導体集積回路において、
前記モニタ回路は、
データ入力端子に前記第1データ信号が入力され、クロック端子に

前記クロック遅延回路の出力信号が入力される第3フリップフロップと、

前記第2フリップフロップの出力信号と前記第3フリップフロップの出力信号とが一致するか否かを判定する判定回路とを備えることを特徴とする半導体集積回路。

[請求項3]

請求項1記載の半導体集積回路において、

前記データ遅延回路は、前記複数のデータパスを構成する要素として、

回路機能を構成するゲートを遅延要素として有するゲート遅延部と

、

ゲートを有さず、配線を遅延要素として有する配線遅延部とを備える

ことを特徴とする半導体集積回路。

[請求項4]

請求項3記載の半導体集積回路において、

前記配線遅延部が設けられた第1領域と、前記ゲート遅延部が設けられた第2領域とは、平面視で重なりを有しないように、配置されている

ことを特徴とする半導体集積回路。

[請求項5]

請求項3記載の半導体集積回路において、

前記配線遅延部は、周囲にシールド配線が設けられた配線を含むことを特徴とする半導体集積回路。

[請求項6]

請求項3記載の半導体集積回路において、

前記データ遅延回路は、前記配線遅延部として、

第1配線層に形成された配線を遅延要素として有する複数のパスからなる第1遅延部と、

前記第1配線層と異なる第2配線層に形成された配線を遅延要素として有する複数のパスからなる第2遅延部とを備え、

前記データ選択回路は、

前記第 1 遅延部に属する複数のパスの中からいずれか 1 つを選択する第 1 選択部と、

前記第 2 遅延部に属する複数のパスの中からいずれか 1 つを選択する第 2 選択部とを備える
ことを特徴とする半導体集積回路。

[請求項7]

請求項 1 記載の半導体集積回路において、

前記モニタ回路は、判定結果を示す出力信号を出力するものであり、

前記半導体集積回路は、

前記モニタ回路の出力信号を、複数回の判定分保持し、保持した出力信号がそれぞれ、データ伝播エラー無しを示すとき、前記モニタ回路においてデータ伝播が正常に行われたと判断する出力保持回路を備える

ことを特徴とする半導体集積回路。

[請求項8]

第 1 および第 2 フリップフロップを有し、前記第 1 および第 2 フリップフロップ間に模擬的に実現したクリティカルパスにおけるデータ伝播エラーの有無を判定し、判定結果を示す出力信号を出力するモニタ回路と、

前記モニタ回路の出力信号を、複数回の判定分保持し、保持した出力信号がそれぞれ、データ伝播エラー無しを示すとき、前記モニタ回路においてデータ伝播が正常に行われたと判断する出力保持回路とを備えた

ことを特徴とする半導体集積回路。

[請求項9]

データ伝播エラーの有無を判定するモニタ回路を備え、

前記モニタ回路は、

第 1 フリップフロップと、

前記第 1 フリップフロップの出力であるデータ信号を遅延させるデータ遅延回路と、

データ入力端子に前記データ遅延回路の出力信号が入力される第2フリップフロップとを備え、

前記データ遅延回路は、

前記データ信号をそれぞれ遅延させる複数のデータパスと、

与えられた選択信号に従って、前記複数のデータパスの中からいずれか1つを選択し、選択したデータパスを経た前記データ信号を出力するデータ選択回路とを備えたものであり、

前記データ遅延回路は、前記複数のデータパスを構成する要素として、

第1配線層に形成された配線を遅延要素として有する複数のパスからなる第1遅延部と、

前記第1配線層と異なる第2配線層に形成された配線を遅延要素として有する複数のパスからなる第2遅延部とを備え、

前記データ選択回路は、

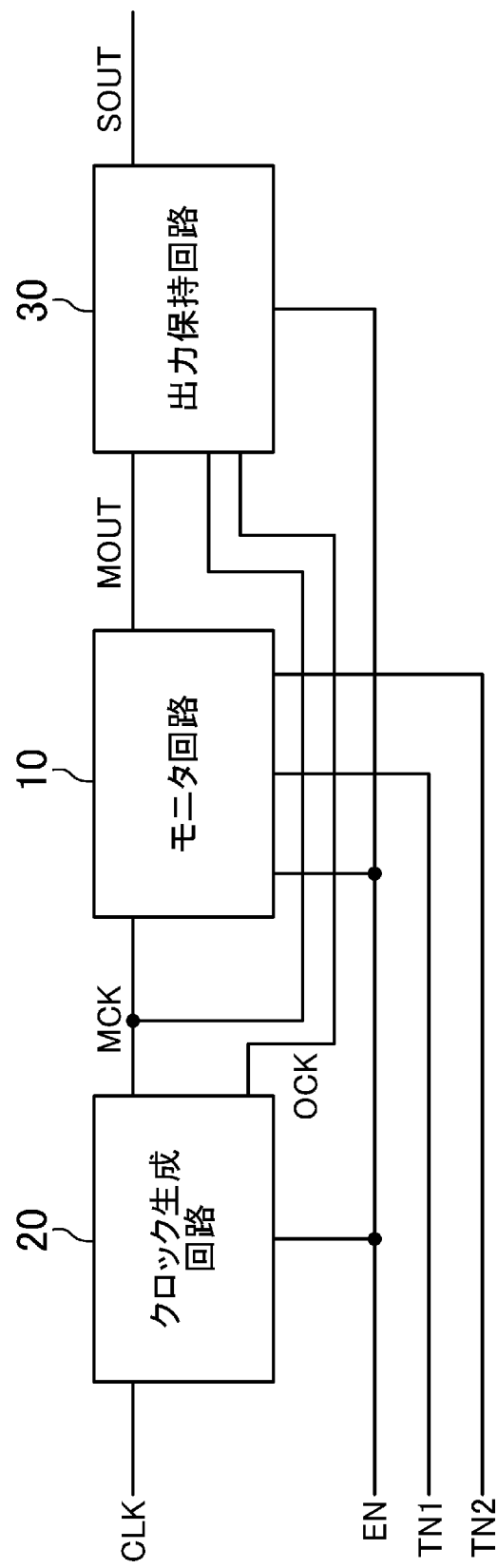
前記第1遅延部に属する複数のパスの中からいずれか1つを選択する第1選択部と、

前記第2遅延部に属する複数のパスの中からいずれか1つを選択する第2選択部とを備える

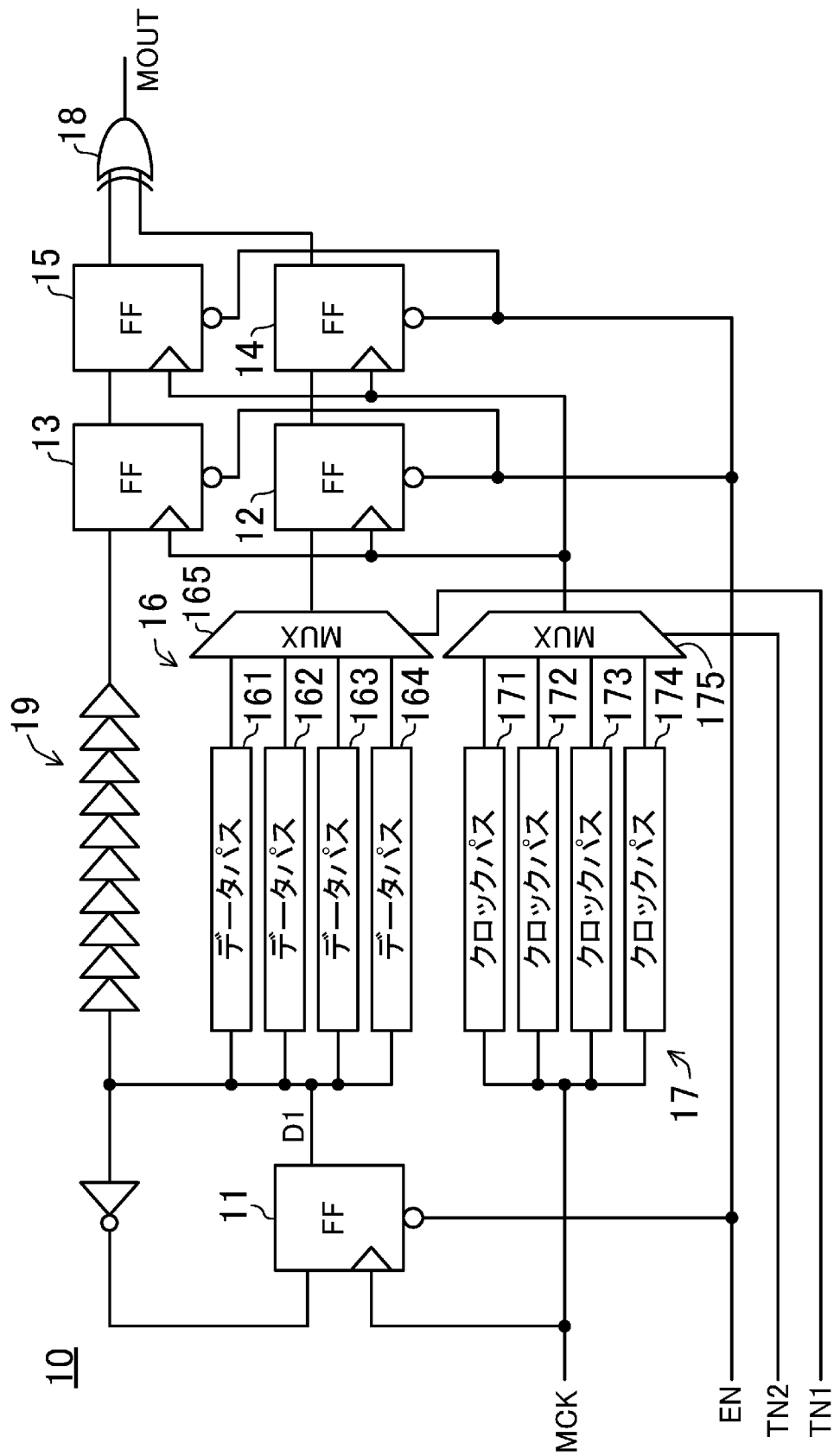
ことを特徴とする半導体集積回路。

[図1]

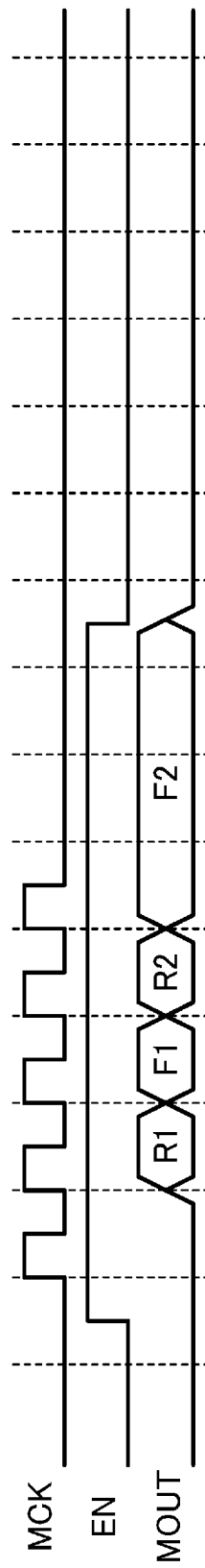
1



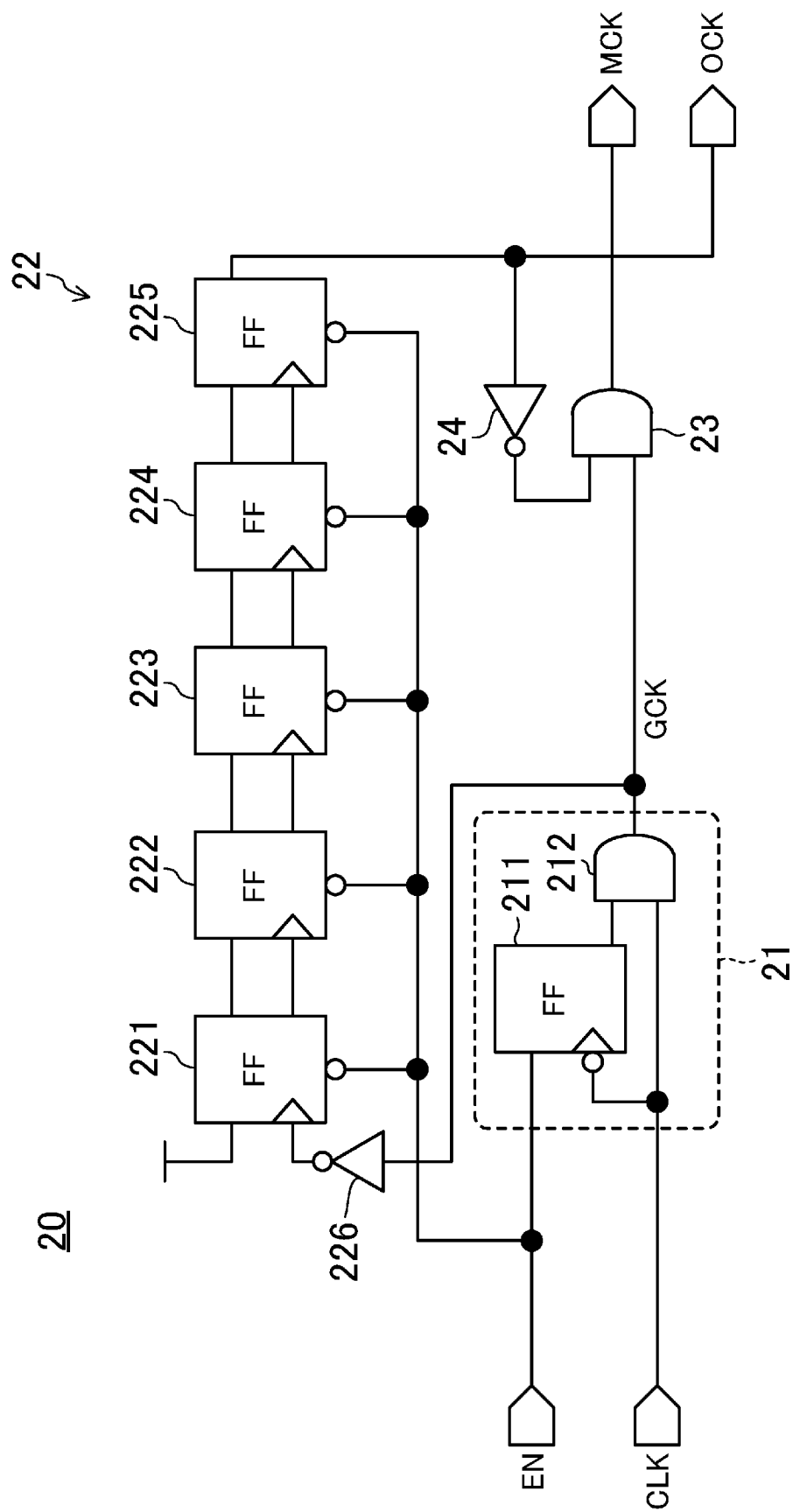
[図2]



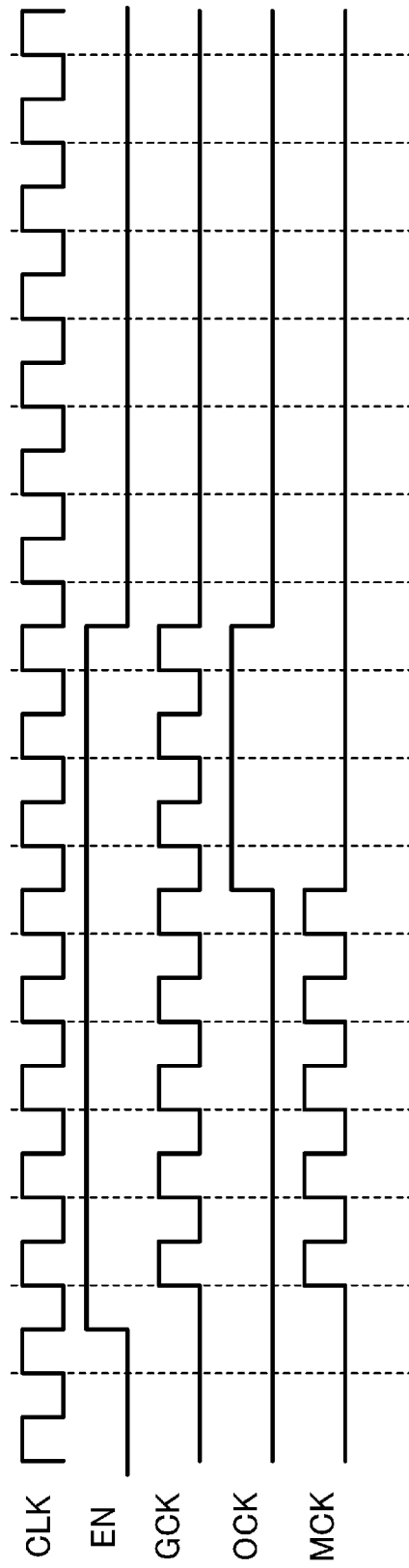
[図3]



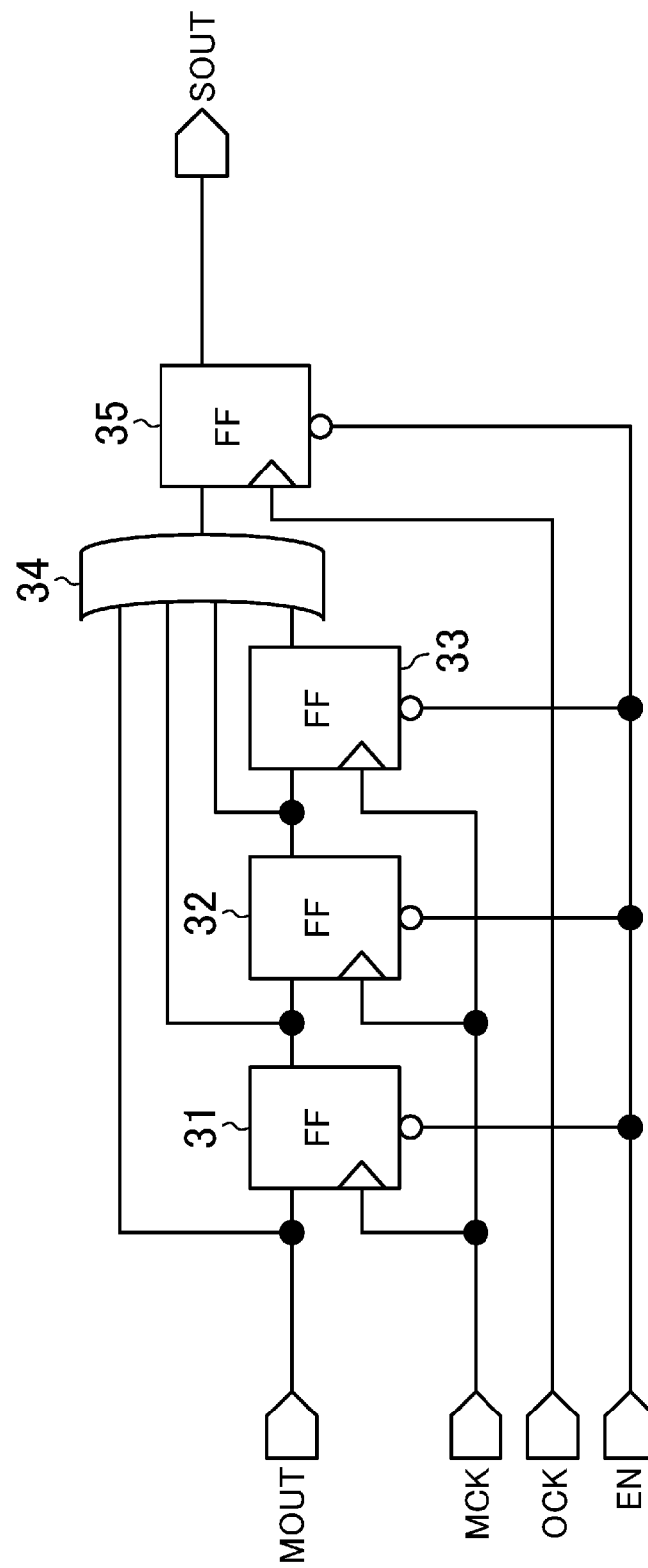
[図4]



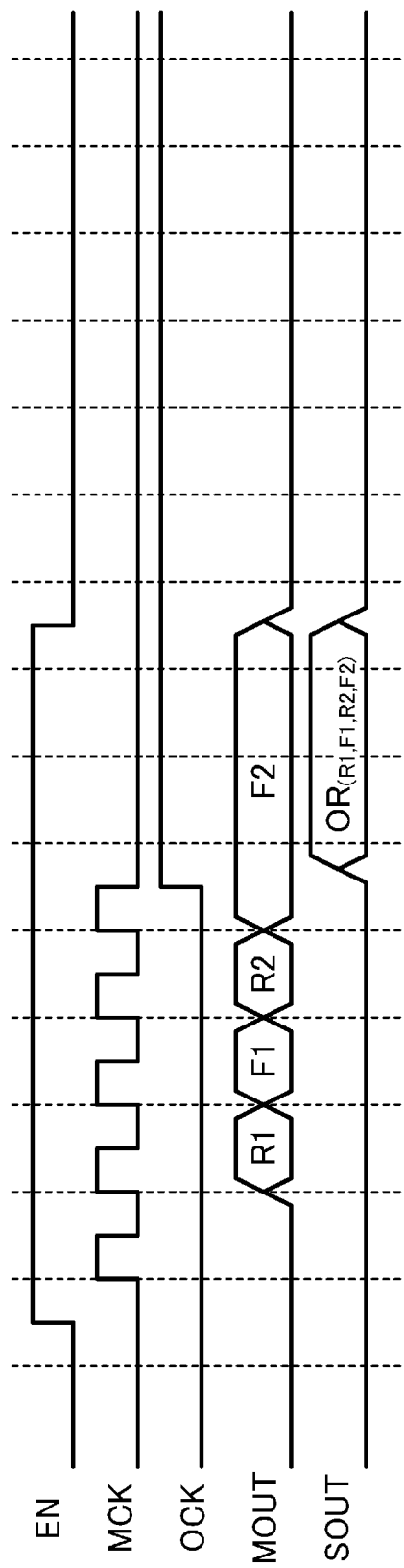
[図5]



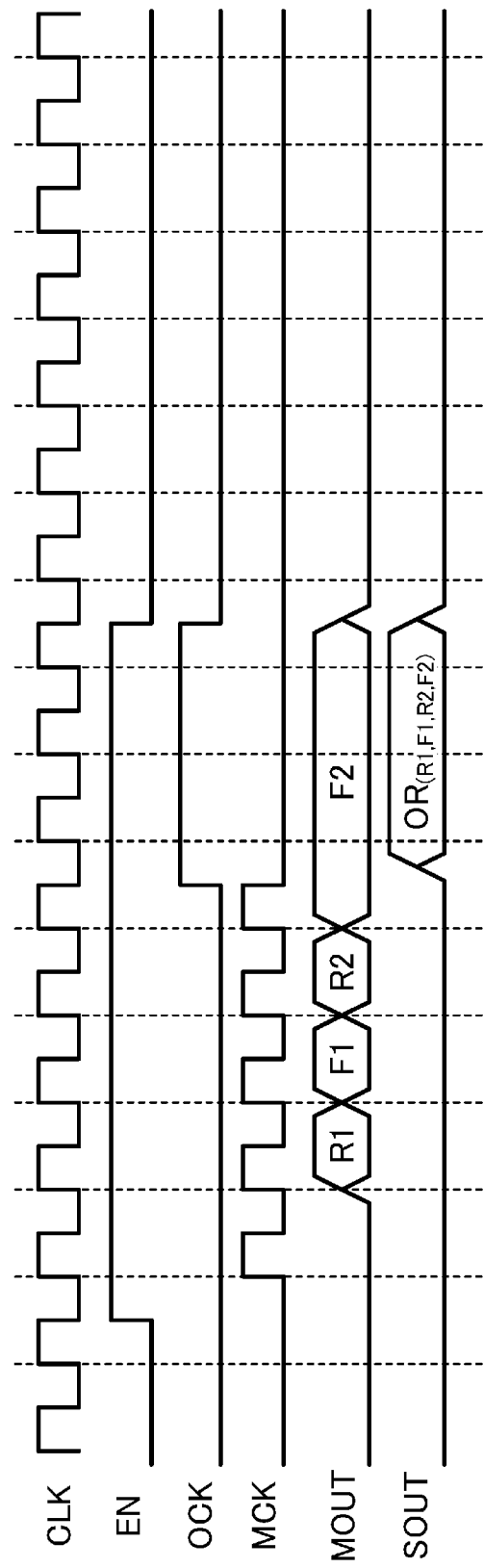
30



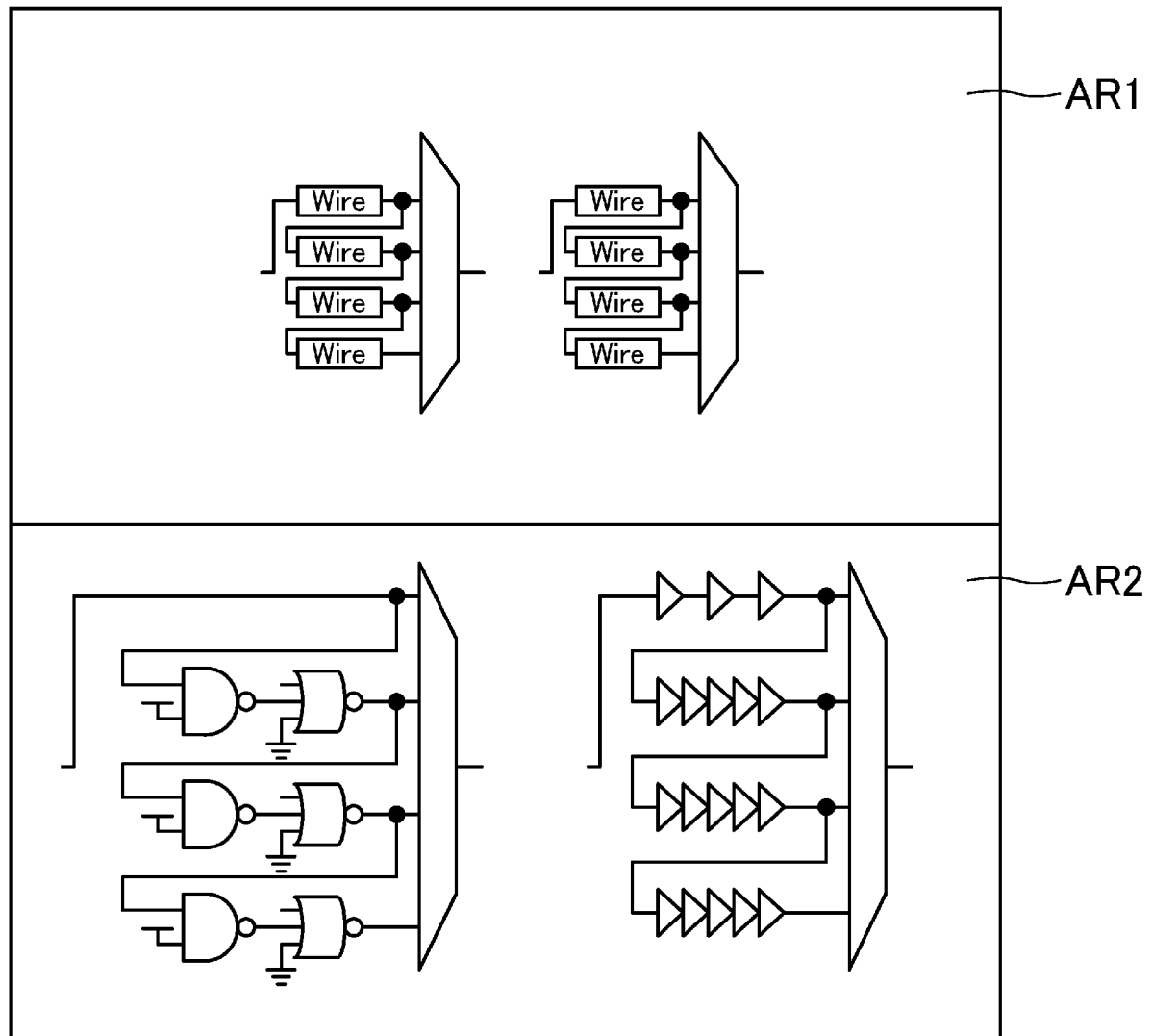
[図7]



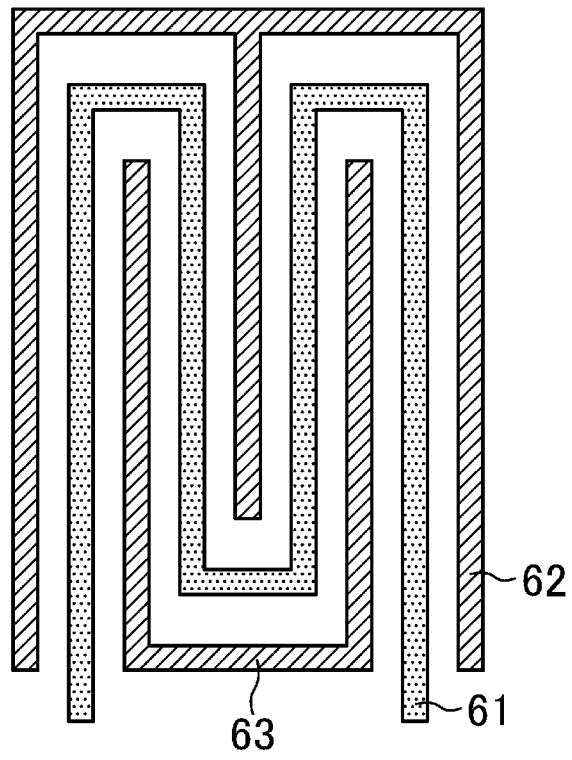
[図8]



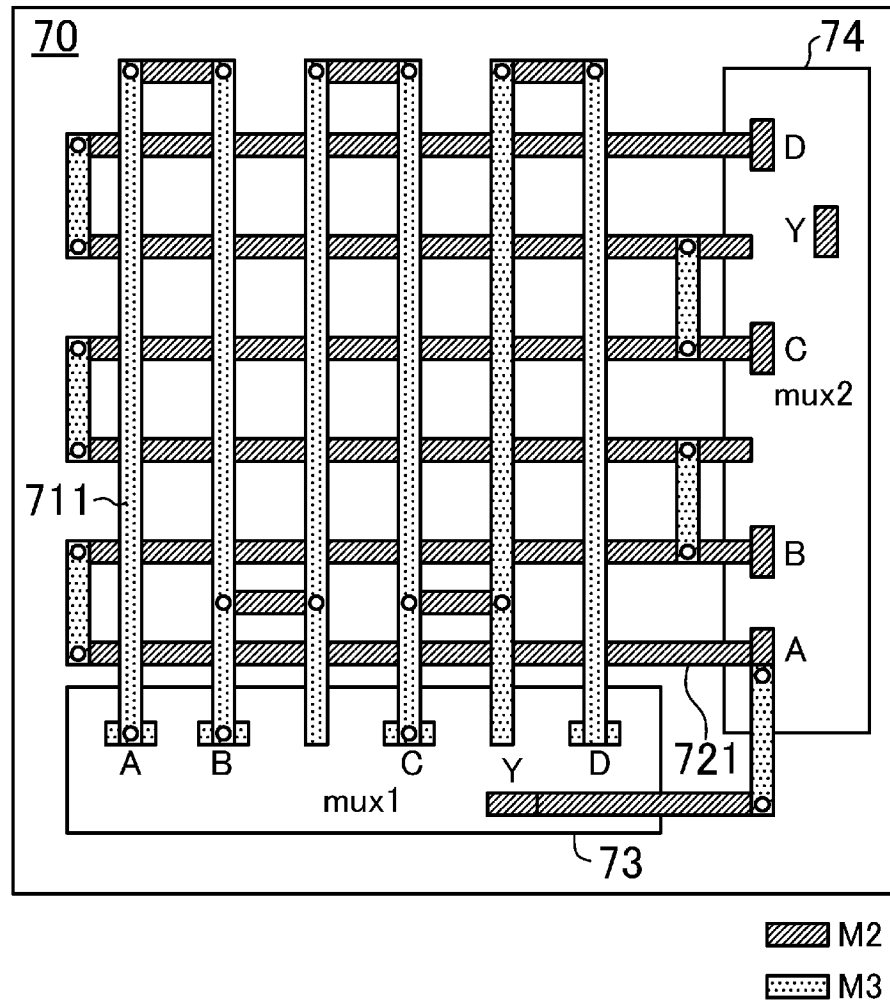
[図10]



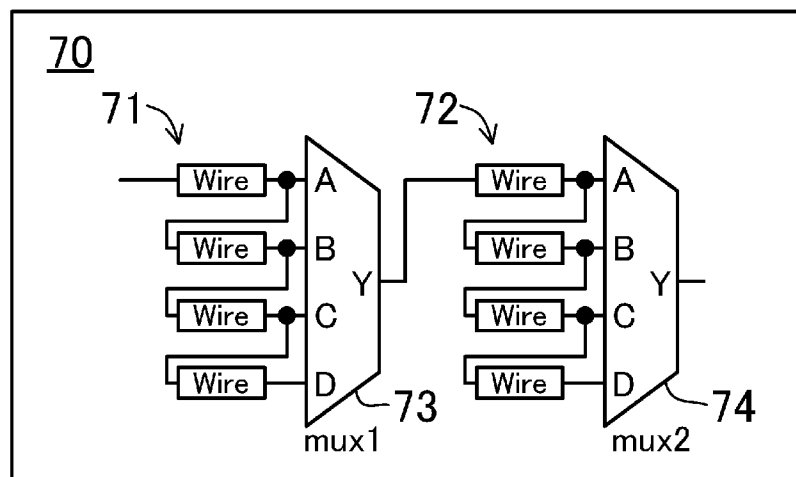
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017484

A. CLASSIFICATION OF SUBJECT MATTER

H03K5/00(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/00, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009/0031155 A1 (QUALCOMM INC.), 29 January 2009 (29.01.2009), paragraphs [0038] to [0043], [0051] to [0056]; fig. 5, 8 & JP 2010-534890 A & WO 2009/015326 A2 & CN 101765822 A	1-9
Y	US 2013/0241690 A1 (TEXAS INSTRUMENTS INC.), 16 September 2013 (16.09.2013), paragraph [0014]; fig. 2 (Family: none)	1-9
Y	JP 2005-310970 A (NEC Electronics Corp.), 04 November 2005 (04.11.2005), paragraphs [0013] to [0017]; fig. 1, 2 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July 2017 (19.07.17)

Date of mailing of the international search report
01 August 2017 (01.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017484

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-195751 A (Seiko Epson Corp.), 11 October 2012 (11.10.2012), paragraphs [0045] to [0066]; fig. 1, 2 (Family: none)	5
Y	JP 2005-106545 A (Matsushita Electric Industrial Co., Ltd.), 21 April 2005 (21.04.2005), paragraphs [0022] to [0032]; fig. 1, 2 (Family: none)	7, 8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K5/00(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K5/00, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2009/0031155 A1 (QUALCOMM INCORPORATED) 2009.01.29, 段落 [0038] - [0043], [0051] - [0056], 図5, 8 & JP 2010-534890 A & WO 2009/015326 A2 & CN 101765822 A	1-9
Y	US 2013/0241690 A1 (TEXAS INSTRUMENTS INCORPORATED) 2013.09.16, 段落 [0014], 図2（ファミリーなし）	1-9
Y	JP 2005-310970 A (NECエレクトロニクス株式会社) 2005.11.04, 段落 [0013] - [0017], 図1, 2（ファミリーなし）	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.07.2017

国際調査報告の発送日

01.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

5W

4776

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-195751 A (セイコーエプソン株式会社) 2012. 10. 11, 段落 [0 0 4 5] - [0 0 6 6], 図 1 , 2 (ファミリーなし)	5
Y	JP 2005-106545 A (松下電器産業株式会社) 2005. 04. 21, 段落 [0 0 2 2] - [0 0 3 2], 図 1 , 2 (ファミリーなし)	7 , 8