



(12) 发明专利

(10) 授权公告号 CN 110476240 B

(45) 授权公告日 2023. 10. 20

(21) 申请号 201880022465.3

(22) 申请日 2018.03.28

(65) 同一申请的已公布的文献号
申请公布号 CN 110476240 A

(43) 申请公布日 2019.11.19

(30) 优先权数据
15/473,294 2017.03.29 US

(85) PCT国际申请进入国家阶段日
2019.09.27

(86) PCT国际申请的申请数据
PCT/US2018/024778 2018.03.28

(87) PCT国际申请的公布数据
W02018/183453 EN 2018.10.04

(73) 专利权人 赛灵思公司
地址 美国加利福尼亚州

(72) 发明人 J·S·甘地 S·瑞玛林嘉 H·刘

(74) 专利代理机构 北京市君合律师事务所
11517
专利代理师 毛健 闵森森

(51) Int.Cl.
H01L 23/00 (2006.01)

(56) 对比文件
US 2017051426 A1, 2017.02.23
US 6218281 B1, 2001.04.17
CN 103035604 A, 2013.04.10
US 2010230811 A1, 2010.09.16
US 2005048798 A1, 2005.03.03
US 2014329382 A1, 2014.11.06
CN 102005397 A, 2011.04.06

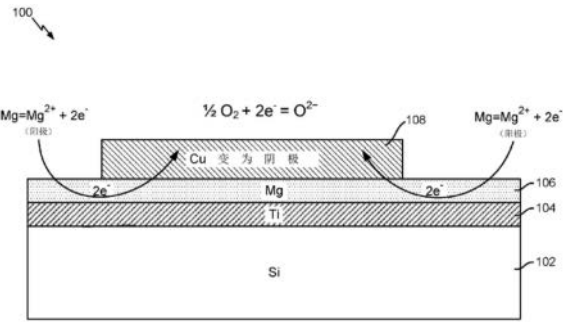
审查员 吕闾
权利要求书2页 说明书7页 附图5页

(54) 发明名称

用于高密度2.5D和3D集成的互连方法

(57) 摘要

本发明描述了通过显著减少Cu氧化物形成来在降低的温度(例如,至多200℃)下用于实现铜-铜(Cu-Cu)键合的方法和设备。这些技术提供更快的循环时间并不需要特殊措施(例如,形成气体)。这些技术还可实现更长的队列(Q)或分段时间。一个示例性半导体结构(100)一般包括半导体层(102)、被设置在所述半导体层(102)上方的粘附层(104)、被设置在所述粘附层(104)上方的阳极金属层(106),以及被设置在所述阳极金属层(106)上方的阴极金属层(108)。所述阳极金属层(106)的氧化电位可高于所述阴极金属层(108)的氧化电位。这种半导体结构(100)可用于制造IC封装(300,400),所述IC封装实现2.5D或3D的集成。



1. 一种半导体结构,其包括:

半导体层;

粘附层,所述粘附层被设置在所述半导体层上方;

阳极金属层,所述阳极金属层被设置在所述粘附层上方;以及

阴极金属层,所述阴极金属层被设置成覆盖并位于所述阳极金属层上方,其中:

所述阴极金属层包括铜;

所述阳极金属层具有从所述阴极金属层的侧壁远离延伸至所述阳极金属层的侧壁的表面;以及

所述阳极金属层和阴极金属层被配置为使得所述阳极金属层的所述表面暴露在与所述阴极金属层的所述侧壁所暴露的相同的周围环境中,其中所述阳极金属层包括镁。

2. 根据权利要求1所述的半导体结构,其特征在于,所述阳极金属层的氧化电位高于所述阴极金属层的氧化电位。

3. 根据权利要求1或2所述的半导体结构,其特征在于,所述阳极金属层包括第一金属,所述阴极金属层包括第二金属,所述第一金属的氧化电位比所述第二金属的氧化电位高。

4. 根据权利要求3所述的半导体结构,其特征在于,所述第一金属比所述第二金属具有更大的氧化物形成的负的吉布斯自由能。

5. 根据权利要求1所述的半导体结构,其特征在于,所述阳极金属层被配置为通过向所述阴极金属层提供阴极保护来抑制与所述阴极金属层相关的氧化物的生长。

6. 根据权利要求1所述的半导体结构,其特征在于,所述粘附层包括钛,并且所述半导体层包括硅。

7. 根据权利要求1所述的半导体结构,其特征在于,所述阴极金属层被直接设置在所述阳极金属层上方。

8. 根据权利要求1所述的半导体结构,其特征在于,所述阴极金属层包括一个或多个柱。

9. 一种集成电路封装,其特征在于,所述集成电路封装包括:

封装衬底;以及

第一管芯和第二管芯,所述第一管芯和第二管芯中的每个管芯被设置在所述封装衬底上方,其中:

所述第一管芯的多个铜柱微凸块电气地且机械地耦合至所述第二管芯;

所述第一管芯包括:

阴极金属层,所述阴极金属层形成所述铜柱微凸块;

阳极金属层,所述阳极金属层被设置成覆盖并位于所述阴极金属层上,所述阳极金属层的表面位于所述阳极金属层和所述阴极金属层之间的界面处,所述阳极金属层的所述表面横向远离所述界面而延伸,所述表面被配置为暴露在与所述阴极金属层所暴露的相同的周围环境中;

粘附层,所述粘附层被设置在所述阳极金属层上方;以及

半导体层,所述半导体层被设置在所述粘附层上方;以及

其中所述阳极金属层的氧化电位高于所述阴极金属层的氧化电位。

10. 根据权利要求9所述的集成电路封装,其特征在于,所述第一管芯的多个铜柱微凸

块直接键合至所述第二管芯的多个铜部件。

用于高密度2.5D和3D集成的互连方法

技术领域

[0001] 本发明公开的示例一般涉及集成电路,更具体来讲,涉及使用铜-铜(Cu-Cu)键合的集成电路封装。

背景技术

[0002] 电子设备(例如,计算机、膝上型电脑、平板电脑、复印机、数码相机、智能电话等)通常采用集成电路(IC,也称为“芯片”)。这些集成电路通常被实现为被封装在集成电路封装中的半导体管芯。所述半导体管芯可包括存储器、逻辑和/或各种其他合适的电路类型中的任何一种。

[0003] 许多集成电路和其他半导体器件利用凸块的布置,例如球阵列封装(BGA),用于将封装表面安装到电路板,例如印制电路板(PCB)。诸如可控塌陷芯片连接(C4)凸块或微凸块(比如,在堆叠硅互连(SSI)应用中使用的)的各种合适封装引脚结构中的任何一种,可用于在集成电路(IC)管芯(或其他封装器件)上的信道和所述电路板安装封装的所述电路板之间传导电信号。

发明内容

[0004] 本发明公开的一个示例是一种半导体结构。所述半导体结构一般包括半导体层、被设置在所述半导体层上方的粘附层、被设置在所述粘附层上方的阳极金属层,以及被设置在所述阳极金属层上方的阴极金属层。

[0005] 在一些实施例中,所述阳极金属层可包括镁(Mg)。

[0006] 在一些实施例中,所述阳极金属层可包括选自由铝(Al)、锌(Zn)和镍(Ni)组成的组中的元素。

[0007] 在一些实施例中,所述阴极金属层可包括铜(Cu)。

[0008] 在一些实施例中,所述阳极金属层的氧化电位可高于所述阴极金属层的氧化电位。

[0009] 在一些实施例中,所述阳极金属层可包括第一金属,所述阴极金属层可包括第二金属,并且所述第一金属具有高于所述第二金属的氧化电位。

[0010] 在一些实施例中,所述第一种金属比所述第二种金属具有更大的氧化物形成的负的吉布斯自由能。

[0011] 在一些实施例中,所述阳极金属层可包括与多孔氧化物相关的金属,并且所述多孔氧化物的氧化率可以是时间的线性函数。

[0012] 在一些实施例中,所述阳极金属层可包括金属,所述金属具有小于1.0的氧化物与金属的体积比。

[0013] 在一些实施例中,所述阳极金属层可被配置为通过向所述阴极金属层提供阴极保护来抑制与所述阴极金属层相关的氧化物的生长。

[0014] 在一些实施例中,所述粘附层可包括钛(Ti),并且所述半导体层可包括硅(Si)。

[0015] 在一些实施例中,所述阴极金属层可直接被设置在所述阳极金属层上方。

[0016] 在一些实施例中,所述阴极金属层包括一个或多个柱。

[0017] 本发明公开的另一个示例是一种制造半导体结构的方法。所述方法一般包括:设置粘附层在半导体层上方;设置阳极金属层在所述粘附层上方;以及设置阴极金属层在所述阳极金属层上方。

[0018] 本发明公开的另一个示例是一种制造集成电路封装的方法。所述方法一般包括:提供半导体结构,所述半导体结构具有被设置在半导体层上方的粘附层、被设置在所述粘附层上方的阳极金属层,以及被设置在所述阳极金属层上方的阴极金属层;以及在低于200℃的温度下将所述半导体结构的所述阴极层键合至另一个结构的金属层。

[0019] 在一些实施例中,所述方法进一步包括使用光刻和电镀在所述阴极金属层上方形成多个柱。所述多个柱可具有与所述阴极金属层相同的组成。

[0020] 在一些实施例中,所述方法可进一步包括蚀刻所述阴极金属层以去除所述多个柱之间的所述阴极金属层的至少一部分、用抗蚀剂涂覆包括所述多个柱的所述半导体结构的上表面、使用光刻法以去除所述多个柱之间的所述抗蚀剂的至少一部分使得所述阳极金属层被暴露,以及蚀刻所述阳极金属层的至少一部分和所述多个柱之间的所述粘附层使得所述半导体层被暴露并去除所述抗蚀剂。

[0021] 在一些实施例中,所述阳极金属层可包括镁(Mg),所述阴极金属层可包括铜(Cu)。

[0022] 在一些实施例中,所述阳极金属层的氧化电位可高于所述阴极金属层的氧化电位。

[0023] 在一些实施例中,所述方法可进一步包括在低于200℃的温度下将所述半导体结构的所述阴极金属层键合至另一个结构的金属层。

[0024] 本发明公开的又一个示例是一种集成电路封装。所述封装一般包括封装衬底和被设置在所述封装衬底上方的多个管芯,其中所述多个管芯中的至少一个管芯通过多个铜柱微凸块电耦合至所述多个管芯中的另一个管芯;所述多个管芯中的至少一个管芯包括形成所述铜柱微凸块的阴极金属层、被设置在所述阴极金属层上方的阳极金属层、被设置在所述阳极金属层上方的粘附层以及被设置在所述粘附层上方的半导体层;并且所述阳极金属层的氧化电位高于所述阴极金属层的氧化电位。

[0025] 参考以下详细描述可以理解这些和其他方面。

附图说明

[0026] 因此,可详细地理解本发明公开的上述特征的方式,可通过参考示例对上面简要概述的本公开的更具体的描述进行描述,其中一些在附图中示出。然而,应当理解,附图仅示出了本公开的典型示例,因此不应被视为限制其范围,因为本公开可允许其他同等有效的示例。

[0027] 图1是根据本发明公开的一个示例的示例性半导体结构的剖视图,所述半导体结构具有与阴极金属层形成电偶序连接(in galvanic series with)的阳极金属层。

[0028] 图2示出了根据本发明公开的示例的用于形成基于图1的所述半导体结构的铜-铜键合的铜柱的操作。

[0029] 图3是根据本发明公开的一个示例的示例性2.5D集成电路(IC)封装的剖视图。

[0030] 图4是根据本发明公开的一个示例的示例性3D的IC封装的剖视图。

[0031] 图5是根据本发明公开的一个示例的用于制造半导体结构的示例性操作的流程图。

具体实施方式

[0032] 本发明公开的示例提供用于Cu-Cu键合的技术和设备,并减少了对氧化物形成的关注,从而在降低的温度(例如,至多200℃)和更快的循环时间下提供充分的键合,而对该键合没有任何特殊要求。本发明公开的示例还可实现更长的队列(Q)或分段时间。

[0033] 用于铜-铜键合的阴极保护示例

[0034] 芯片到芯片(C2C)、芯片到晶圆(C2W)和晶圆到晶圆(W2W)键合技术依赖于互连技术,所述互连技术坚固耐用以避免当芯片和/或晶圆暴露于各种应力(例如,温度、应变、扭转等)时连接失效。几十年来,带有焊料互连的铜(Cu)柱已成为该行业的低密度和高密度设计的主力。然而,随着密度的不断增加和节距的减小,这种Cu柱技术遇到了各种问题,例如焊料量减少、金属间化合物(IMC)变脆、空隙、导热率低等。铜-铜(Cu-Cu)键合是业界多年追求的替代互连,但到目前为止,还没有真正的实用或大批量生产(HVM)解决方案。对Cu-Cu键合的一个重要挑战是Cu表面上的快速氧化物形成,这抑制了令人满意的互连。

[0035] 目前,要求成功键合需要400℃左右的温度。然而,这种高温可能会熔化某些材料(例如聚合物)。大学、联盟和工业界已经尝试了多年的各种方法,以实现低温Cu-Cu键合,但成效有限。例如,酸浸键合、插入键合、自组装单层(SAM)和表面活化键合(SAB)都试图解决这种长期需要,但迄今为止未能为HVM产生可接受的解决方案。

[0036] 本发明公开的示例提供了通过显著减少Cu氧化物形成,在降低的温度(例如,至多200℃)下用于Cu-Cu金属键合的技术。这些技术能够实现更快的循环时间且不需要特殊措施(例如,形成气体)。这些技术还可实现更长的队列(Q)或分段时间。

[0037] 得出这些技术涉及认识到不同的金属具有不同的氧化物形成动作,因为一些金属可能形成钝化氧化物、一些形成多孔氧化物,而另一些形成非常脆性的氧化物。Pilling-Bedworth比率(R_{PB})表示氧化物与金属的体积比。当 $R_{PB} < 1$ 时,所述氧化物涂层破裂,无法提供保护作用(例如,镁(Mg): $R_{PB} = 0.81$)。当 $R_{PB} > 2$ 时,所述氧化物涂层切断,也无法提供保护作用(例如,铁(Fe): $R_{PB} = 2.1$)。当 $1 \leq R_{PB} \leq 2$ 时,所述氧化物涂层被钝化(例如,铝(Al): $R_{PB} = 1.28$ 或钛(Ti): $R_{PB} = 1.73$)。对于Mg,所述氧化物是多孔的,因此所述氧化率表达是线性的(例如, $W = K_1 t$,其中W是每单位面积的重量增加, K_1 是常数,t是时间。具有无孔氧化物的金属(例如,Cu)可遵循抛物线或对数行为。例如,抛物线形氧化率可表示为 $W = K_2 t + K_3$,其中 K_2 和 K_3 在给定温度下是与时间无关的常数。Al或Fe的氧化率在接近环境温度下是对数的,并且可表示为 $W = K_4 \log(K_5 t + K_6)$,其中 K_4 、 K_5 和 K_6 是常数。

[0038] 使用上述概念,可在Cu和某些其他金属之间形成电偶对以抑制Cu氧化。理想情况是Cu/Mg对,如图1的示例半导体结构100中所示。Mg形成多孔氧化物,其氧化物生长率是线性的。镁的氧化电位(2.37V)高于Cu(-0.34V),如下表所示:

[0039]	氧化反应	氧化电位
	$K \rightarrow K^{+} + e^{-}$	2.93
	$Ca \rightarrow Ca^{2+} + 2 e^{-}$	2.87
	$Na \rightarrow Na^{+} + e^{-}$	2.71
	$Mg \rightarrow Mg^{2+} + 2 e^{-}$	2.37
	$Al \rightarrow Al^{3+} + 3 e^{-}$	1.66
	$Zn \rightarrow Zn^{2+} + 2 e^{-}$	0.76
[0040]	$Pb \rightarrow Pb^{2+} + 2 e^{-}$	0.13
	$Cu \rightarrow Cu^{2+} + 2 e^{-}$	-0.34
	$2 I^{-} \rightarrow I_2 + 2 e^{-}$	-0.54
	$2 Br^{-} \rightarrow Br_2 + 2 e^{-}$	-1.07
	$2 Cl^{-} \rightarrow Cl_2 + 2 e^{-}$	-1.36
	$2 F^{-} \rightarrow F_2 + 2 e^{-}$	-2.87

[0041] 表1

[0042] 因此,Mg在与Cu的电偶序中是非常阳极的。此外,Mg(-569.43kJ/mol)氧化物形成的吉布斯自由能比Cu(-127kJ/mol)的负的更多。Cu和Mg在互连中的集成将抑制或至少减少Cu氧化物的生长,因为Mg将自身牺牲,从而为Cu提供阴极保护。由于Mg氧化物是多孔性的而有线性生长率的,因此Mg将继续失去电子并形成氧化物而没有Cu氧化。

[0043] 图1是根据本发明公开的一个示例的示例性半导体结构100的剖视图。半导体结构100可表示晶圆或单个管芯(例如,在从晶圆分割之后)。半导体结构100包括晶圆层102(或衬底层)、被设置在晶圆层102上方的粘附层104、被设置在粘附层104上方的阳极金属层106,以及被设置在阳极金属层106上方并与其形成电偶序连接的阴极金属层108。晶圆层102可包括任何合适的半导体材料,例如硅(Si)。粘附层104可包括良好地粘附至晶圆层102的各种合适的金属材料(例如,钛(Ti)、钽(Ta)或铬(Cr))中的任何一种。阴极金属层108可包括Cu,使得Cu-Cu键合可以形成芯片和/或晶圆之间的互连。

[0044] 如图1所示,阳极金属层106可由Mg构成。然而,阳极金属层106可包括各种其他合适的金属中的任何一种作为Mg的替代物。用于阳极金属层106的合适金属具有高于阴极金属层108的氧化电位,使得这种金属比Cu更具阳极性,因此当与Cu形成电偶序连接时提供阴极保护。例如,阳极金属层106可包括Al、锌(Zn)或镍(Ni)。然而,这些金属中的一些金属不遵循线性氧化物生长率,因此氧化可随时间流逝而受到扩散控制,从而限制提供给氧(O)的电子。

[0045] 图2示出了根据本发明公开的示例的基于图1的半导体结构100来用于形成铜-铜键合的铜柱的示例性操作200。来自操作200的所得结构可用于在小于或等于200℃的温度下进行C2C、C2W或W2W键合。

[0046] 从Si的晶圆层102或另一个合适的半导体层开始,粘附层104、阳极金属层106和阴极金属层108可按顺序地被设置在晶圆层102上方。可利用各种合适的技术(例如,物理气相

沉积(PVD))中的任何技术将层104、106和108设置在晶圆层102上方以形成半导体结构100。根据光刻掩模,可使用光刻和电镀在指定区域中在半导体结构100上方形成多个柱202(例如,铜(Cu)柱)。按此方式,阴极金属层108可被认为包括柱202。接下来,可在柱202之间的区域204中去除(例如,通过蚀刻)阴极金属层108的一部分。因此,在该工艺中,阴极金属层108可被认为是用于电镀柱的种子层,其中在随后去除所述种子层的一部分,且所述种子层的剩余部分则形成每个柱的一部分。在区域204中蚀刻种子层之后,可用抗蚀剂206来涂覆所述结构的上表面。可使用光刻来去除柱202之间期望区域208中的抗蚀剂的一部分。然后,可在柱202之间区域210中使用各种合适的技术(例如,蚀刻)中的任何一种来去除阳极金属层106的一部分(并在一些情况下,去除粘附层104,如图所示)。也可去除抗蚀剂206。图2中得到的结构不能快速形成氧化铜,因此适于与另一种结构(例如芯片或晶圆)进行Cu-Cu键合,以在不高于200℃的温度下形成令人满意的互连。

[0047] 对于一些示例,在形成柱202之后或期间,阳极金属(例如,Mg)的侧壁可被形成在所述柱的侧表面上并可围绕所述柱。这些阳极侧壁可具有与柱202相同的高度或比其更低的高度。这些侧壁可保留在图2所示的其余所有操作中。

[0048] 示例性集成电路封装

[0049] 一种集成电路(IC)管芯(也称作“芯片”)一般被设置在封装中,用于与电路板(例如,印制电路板PCB)进行电连接。所述封装可保护所述集成电路管芯以免受潜在的物理损坏和潮湿所导致腐蚀。本发明公开的示例可用于芯片到芯片(C2C)、芯片到晶圆(C2W)或晶圆到晶圆(W2W)键合以形成这样的IC封装。根据本发明公开的示例,Cu-Cu键合可在低于200℃的温度下执行以实现C2C、C2W或W2W集成。

[0050] 许多不同类型的IC管芯可受益于本发明公开的示例并被包括在IC封装中。一种示例性类型的IC管芯是可编程IC管芯,例如现场可编程门阵列FPGA管芯。FPGA通常包括可编程拼片阵列。这些可编程拼片可包括例如输入/输出块IOB、可配置逻辑块CLB、专用随机存取存储器块BRAM、乘法器、数字信号处理块DSP、处理器、时钟管理器、延迟锁定循环DLL,等等。另一种类型的可编程IC管芯是复杂可编程逻辑器件CPLD管芯。CPLD包括通过互连开关矩阵连接在一起的两个或更多个“功能块”以及输入/输出I/O资源。CPLD的每个功能块包括两级AND/OR结构,类似于可编程逻辑阵列PLA和可编程阵列逻辑PAL器件中使用的结构。通过应用诸如金属层的处理层来编程其他可编程IC,所述处理层可编程地互连所述器件上的所述各种元件。这些可编程IC称为掩模可编程器件。短语“可编程IC”还可包括仅部分可编程的器件,例如专用集成电路(ASIC)。

[0051] 随着对具有增强功能的小型电子器件的需求的增加,IC封装技术已经扩展到不仅仅是传统的二维(2D)结构,从而增加了集成。所述传统的2D结构涉及多个IC管芯直接被设置在衬底(例如,系统级封装(SiP)衬底)上方和同一平面上。然而,已经并正在进一步开发具有2.5D和3D集成的IC封装。下面提供2.5D和3D集成的示例。

[0052] 图3是根据本发明公开的一个示例的利用堆叠硅互连SSI技术的示例性2.5D的IC封装300的剖视图。2.5D与传统2D的IC封装之间的主要区别在于包含具有硅管通孔(TSV)的中介层,所述IC管芯则被设置在所述中介层上。例如,IC封装300包括第一管芯302₁(标记为“管芯#1”)和第二管芯302₂(标记为“管芯#2”) (统称为“管芯302”)。管芯302可包括各种合适的管芯中的任何一种管芯,包括高度可制造的FPGA管芯切片,称为超级逻辑区域(SLR)。

尽管为了便于说明概念,图3中仅示出了两个管芯302,但是应当理解,2.5D的IC封装可包括两个以上的管芯。每个管芯302可包括芯片衬底304、器件层306和金属层308。管芯302可以是如图所示的倒装芯片(flip-chip)管芯,所述倒装芯片管芯通过微凸块310连接至中介层311。微凸块310可实现为铜柱微凸块(也称为铜柱凸块、铜柱微凸块或铜柱),所述凸块可与图2的柱202类似地形成。微凸块310实现了比传统焊料凸块更精细的间距。使用所述铜柱微凸块在管芯302和中介层311之间形成的互连是具有减少的氧化物形成的Cu-Cu键合的一个示例,所述示例可受益于本发明公开的示例。

[0053] SSI技术允许不同类型的管芯302或硅工艺在中介层311上互连。中介层311用作互连载体,在所述载体上IC管芯302被并排设置并被互连。例如,中介层311可以是无源硅中介层。尽管在图3中仅示出了一个中介层311,但是对于一些示例,可用多个中介层来实现IC封装。中介层311可包括中介层衬底316、设置在衬底316上方的顶侧金属层312,以及设置在衬底316下方的底侧金属层318。对于一些示例,中介层311还可包括多个互连线(未示出),所述多个互连线可通过所述中介层提供高带宽、低延迟的连接。中介层311还可包括TSV 314,用于在管芯302与被设置在中介层311和封装衬底322之间的多个共晶凸块320(例如,可控塌陷芯片连接(C4)凸块)之间来路由连接。TSV 314可提供管芯302和封装衬底322之间的连接,用于并行和串行I/O、电源/接地、时钟、配置信号等。多个共晶凸块320将中介层311电连接至封装衬底322,更具体地,连接至封装衬底322的表面上的导电元件和封装衬底322中的通孔。

[0054] IC封装300还具有被设置在封装衬底322下方的多个焊球324。例如,焊球324可以行和列的阵列来进行布置,用于与被设置在电路板326(例如,PCB)的表面上的匹配导电焊盘的布置进行电接触。

[0055] 图4是根据本发明公开的一个示例的示例性3D的IC封装400的剖视图。3D的IC封装涉及至少一个IC管芯堆叠在另一IC管芯的顶部上(例如,没有中间部件,例如中介层或其他无源管芯),其中这些有源管芯可以直接彼此键合。所述下部管芯可采用TSV以允许所述上部管芯与所述下部管芯及所述封装衬底的连通。例如,3D的IC封装400涉及安装在第二管芯 402_2 (标记为“管芯#2”)上方的第一管芯 402_1 (标记为“管芯#1”) (统称为“管芯402”)。尽管在图4中仅示出了两个管芯402,但是读者将理解可堆叠多于两个管芯。此外,尽管所示的两个管芯402具有相同的尺寸,但是应当理解,所述管芯可具有不同的尺寸。例如,管芯#2可比管芯#1宽,且在这种情况下,另一个管芯(未示出)可被设置在管芯#2上方,与管芯#1在同一平面上。

[0056] 如图4所示,管芯#2可包括被设置在芯片衬底304的背面上的后侧金属层309,用于与微凸块310连接,使得管芯#2可与管芯#1电连接。管芯#2还可包括TSV 414,使得管芯#1可直接电连接至封装衬底322。

[0057] 用于制造封装的示例性操作方法

[0058] 图5是根据本发明公开的一个示例的用于制造半导体结构和/或封装(例如,如下所述的IC封装)的示例性操作500的流程图,所述半导体结构和/或封装包括所述半导体结构。例如,可通过用于制造所述半导体结构的系统来执行操作500的至少一部分,所述系统可包括半导体处理室。

[0059] 操作500在方块502处开始,通过设置粘附层在半导体层上方。在方块504处,阳极

金属层可被设置在所述粘附层上方。在方块506处,阴极金属层可被设置在所述阳极金属层上方。

[0060] 根据一些示例,在方块502处设置所述粘附层、在方块504处设置所述阳极金属层或设置所述阴极金属层中的至少一个涉及使用物理气相沉积(PVD)。

[0061] 根据一些示例,操作500进一步需要使用光刻和电镀在所述阴极金属层上方形成多个柱。所述多个柱可具有与所述阴极金属层相同的组成。对于一些示例,操作500进一步涉及蚀刻所述阴极金属层以去除所述多个柱之间的至少一部分的所述阴极层。对于一些示例,操作500进一步包括用抗蚀剂涂覆包括所述多个柱的所述半导体结构的上表面。对于一些示例,操作500进一步需要使用光刻来去除所述多个柱之间的所述抗蚀剂的至少一部分以使所述阳极金属层被暴露。对于一些示例,操作500进一步涉及蚀刻所述阳极层的至少一部分和所述多个柱之间的所述粘附层,使得所述半导体层被暴露并去除所述抗蚀剂。

[0062] 根据一些示例,所述阳极金属层包括镁(Mg)。

[0063] 根据一些示例,所述阳极金属层包括选自铝(Al)、锌(Zn)和镍(Ni)组成的组中的元素。

[0064] 根据一些示例,所述阴极金属层包括铜(Cu)。

[0065] 根据一些示例,所述阳极金属层的氧化电位高于所述阴极金属层的氧化电位。

[0066] 根据一些示例,所述阳极金属层包括与多孔氧化物相关的金属。在该情况下,所述多孔氧化物的氧化率可以是时间的线性函数。

[0067] 根据一些示例,所述阳极金属层包括金属,所述金属具有小于1.0的氧化物与金属的体积比。

[0068] 根据一些示例,所述阳极金属层被配置为通过向所述阴极金属层提供阴极保护来抑制与所述阴极金属层相关的氧化物的生长。

[0069] 根据一些示例,操作500进一步包括在可选的方块508处,在低于200°C的温度下将所述半导体结构的所述阴极金属层键合至另一结构的金属层。

[0070] 本发明公开的示例提供用于Cu-Cu键合的一种集成方法,并减少了对氧化物形成的关注,从而在降低的温度和更快的循环时间下提供充分的键合,而对该键合没有任何特殊要求。本发明公开的示例还可实现更长的队列(Q)或分段时间。

[0071] 如本文所使用的(包括随后的权利要求),引用项目列表中的“至少一个”的短语涉及那些项目的任何组合,包括单个成员。作为示例,“x、y和z中的至少一个”旨在覆盖:x、y、z、x-y、x-z、y-z、x-y-z及其任何组合(例如,x-y-y和x-x-y-z)。

[0072] 虽然前述内容针对本发明公开的示例,但是在不脱离本发明的基本范围的情况下可以设计本发明公开的其他和进一步的示例,并且其范围由随后的权利要求确定。

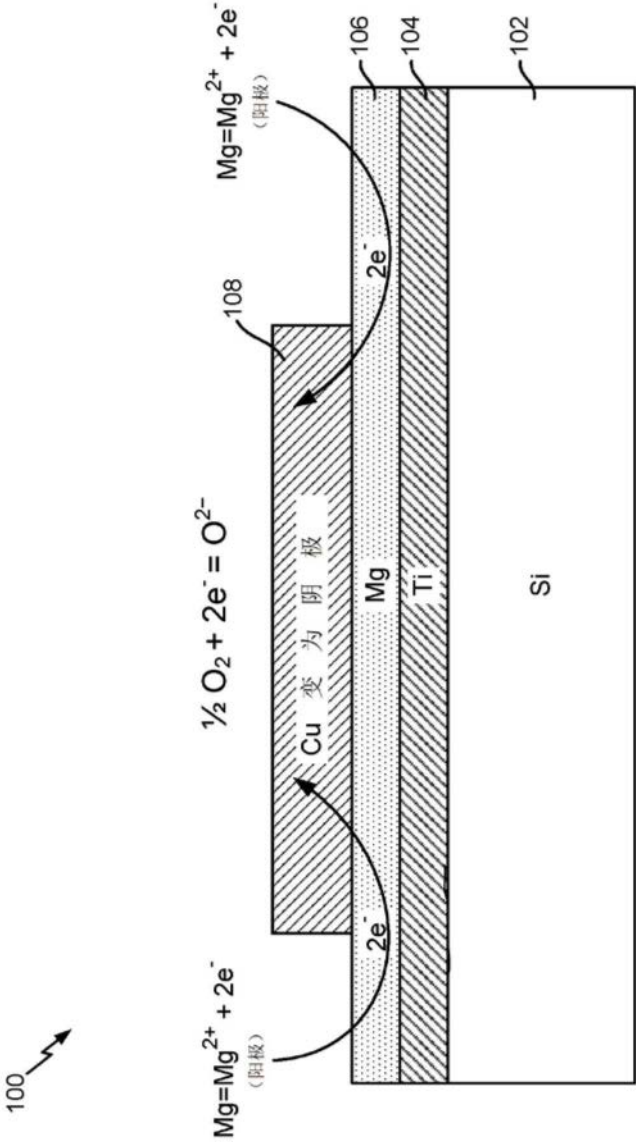


图1

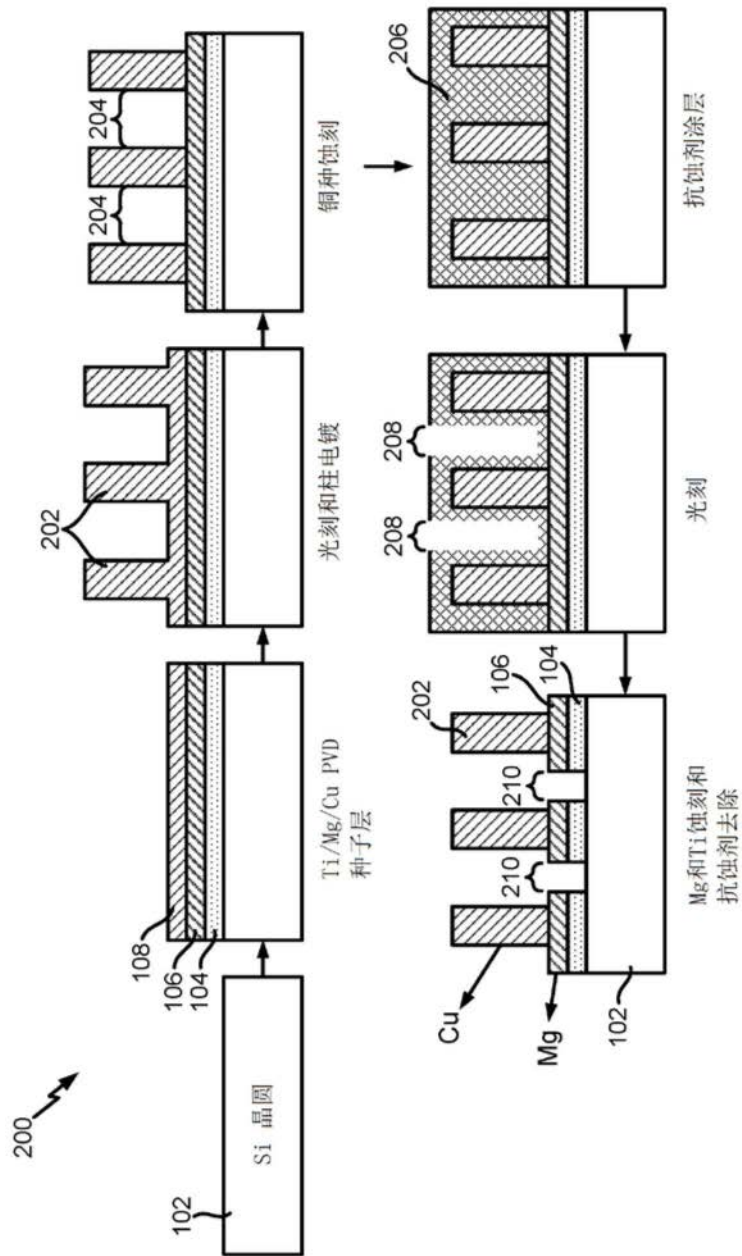


图2

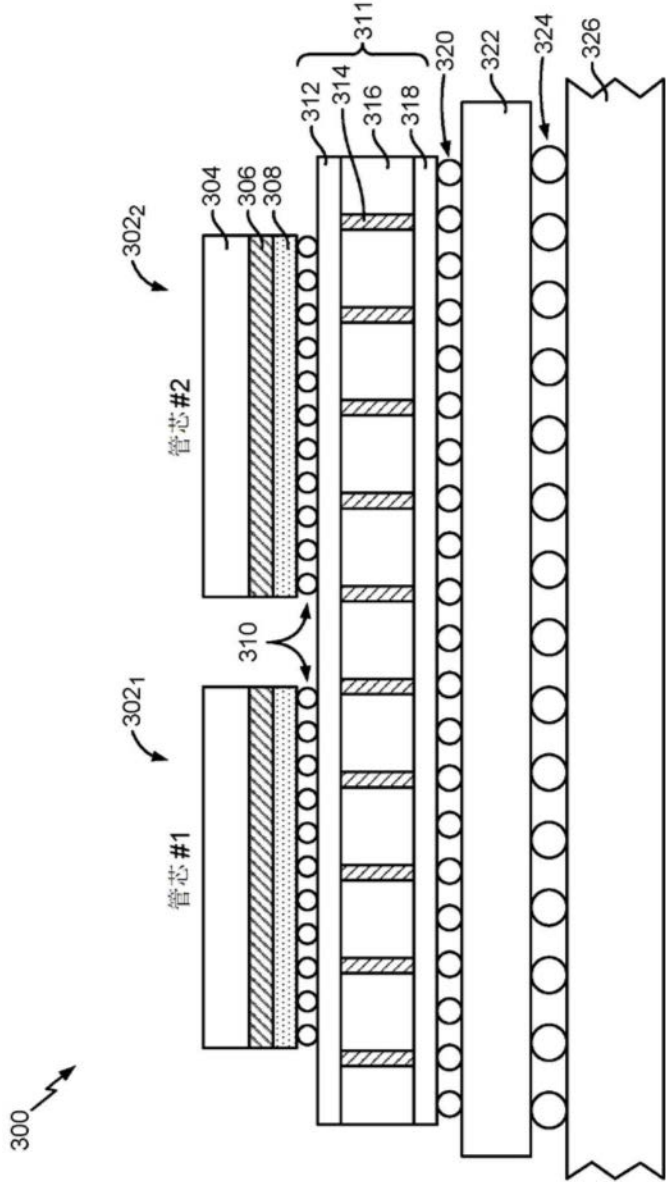


图3

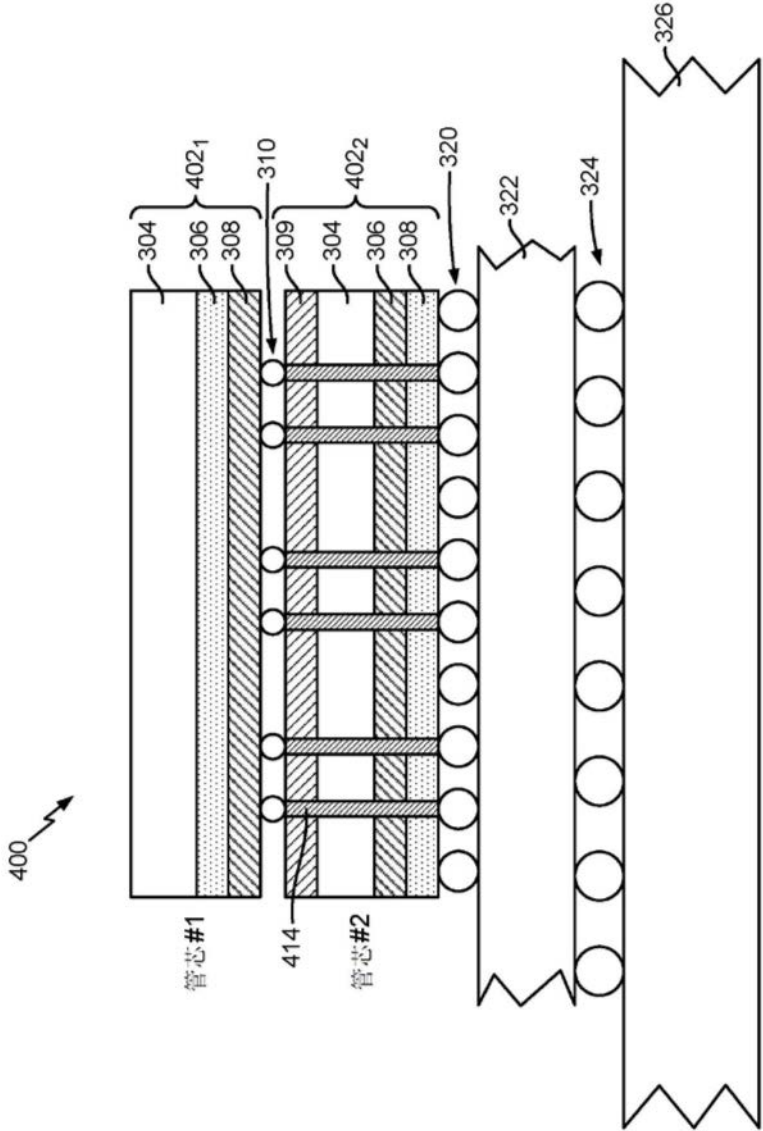


图4

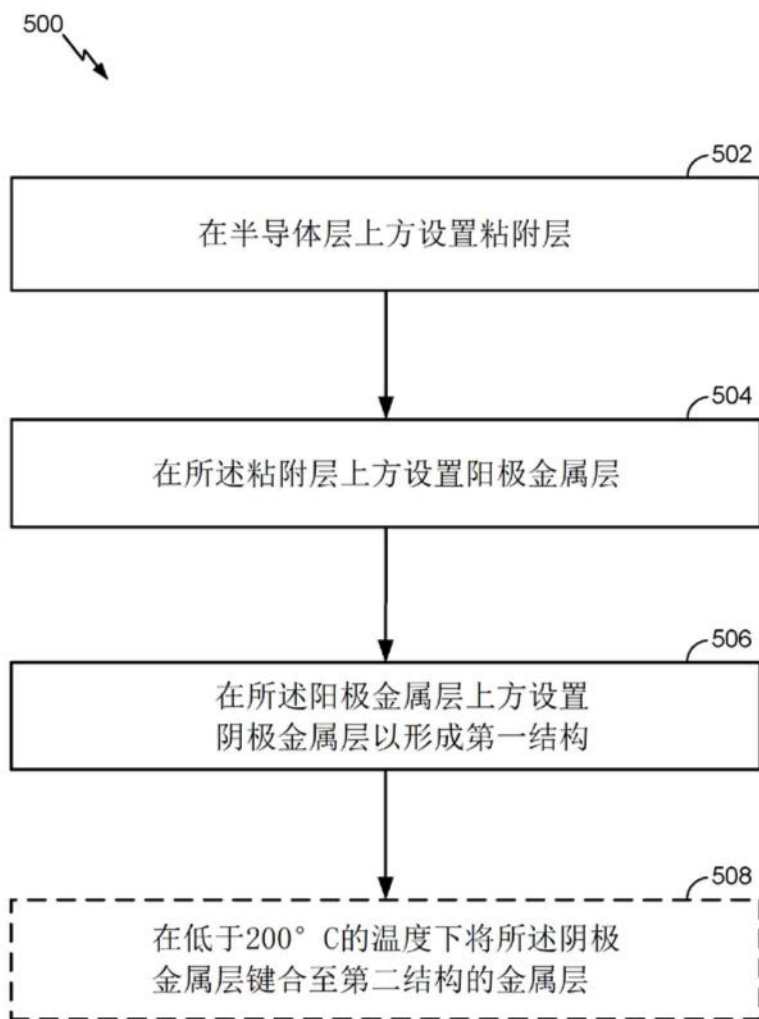


图5