

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成23年6月23日(2011.6.23)

【公表番号】特表2010-527059(P2010-527059A)
 【公表日】平成22年8月5日(2010.8.5)
 【年通号数】公開・登録公報2010-031
 【出願番号】特願2010-506793(P2010-506793)
 【国際特許分類】

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/06 5 2 5 A

G 0 6 F 12/06 5 2 3 C

G 0 6 F 12/00 5 9 7 U

【手続補正書】

【提出日】平成23年4月28日(2011.4.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のフラッシュメモリチャンネルのフラッシュチップ組を制御用パラレルフフラッシュメモリ制御装置において、

データの伝送を制御する伝送コントローラと、

チャンネル毎に一つの命令解析ユニットに対応する複数の命令解析ユニットと、

チャンネル毎に一つのフラッシュメモリ制御ユニットに対応する複数のフラッシュメモリ制御ユニットと、
 を備え、

前記複数の命令解析ユニットは、各チャンネルのフラッシュメモリ制御命令を受信し解析して、対応するフラッシュメモリ制御ユニットに送信し、

前記複数のフラッシュメモリ制御ユニットには、一つのチャンネルに対応するフラッシュメモリ制御ユニットが対応的な命令解析ユニットからのフラッシュメモリ制御命令を受信して当該チャンネルのフラッシュチップ組に送信することで、フラッシュチップ組が列で並列操作を実行するよう制御し、フラッシュチップ組の状態情報をチャンネルの命令解析ユニットにフィードバックする

ことを特徴とするパラレルフフラッシュメモリ制御装置。

【請求項2】

前記命令解析ユニットには複数の命令キューを含み、前記チャンネルに対応する一つの命令解析ユニットの命令キュー毎に記憶したフラッシュメモリ制御命令はそれぞれチャンネル内の一つのフラッシュ列に対応している

ことを特徴とする請求項1に記載のパラレルフフラッシュメモリ制御装置。

【請求項3】

前記各命令解析ユニットは互いに独立的かつ並列的にフラッシュメモリ制御命令を送信し、各命令解析ユニットは設定の列順番とチャンネル内のフラッシュ列の状態情報によって、各フレッシュ列に対する命令キュー中のフラッシュメモリ制御命令をフラッシュメモリ制御ユニットに送信する

ことを特徴とする請求項 2 に記載の平行フラッシュメモリ制御装置。

【請求項 4】

前記フラッシュメモリ制御ユニットはフラッシュメモリ制御命令をシリアルにフラッシュ列に送信する

ことを特徴とする請求項 1 に記載の平行フラッシュメモリ制御装置。

【請求項 5】

前記フラッシュ列のフラッシュチップを複数の層に分け、同列の複数層のフラッシュチップはシリアルに制御命令を実行する

ことを特徴とする請求項 1 に記載の平行フラッシュメモリ制御装置。

【請求項 6】

請求項 1 ~ 5 の何れか 1 項に記載の平行フラッシュメモリ制御装置を含むことを特徴とするチップ。

【請求項 7】

平行フラッシュメモリ制御方法であって、

主制御ユニットは各チャンネルへの制御信号をチャンネルの命令解析ユニットに送信し、命令解析ユニットは制御信号を各チャンネル内の各フラッシュ列への制御命令に解析し、設定の仲裁規則に基づいて各フラッシュ列への制御命令の送信順番を決めて制御命令をフラッシュメモリ制御ユニットに送信する第 1 ステップと、

フラッシュメモリ制御ユニットは命令解析ユニットから送信されたフラッシュメモリ制御命令を受信し、チャンネル内のフラッシュメモリを列で対応的な制御命令を実行するよう制御する第 2 ステップと、

フラッシュメモリチップは伝送コントローラーによりデータのインタラクションを行う第 3 ステップと、を含む

ことを特徴とする平行フラッシュメモリ制御方法。

【請求項 8】

前記第 2 ステップでは、フラッシュメモリ制御ユニットはフラッシュメモリ制御命令をフラッシュ列にシリアルに送信する

ことを特徴とする請求項 7 に記載の平行フラッシュメモリ制御方法。

【請求項 9】

前記第 1 ステップにおいて命令解析ユニットが制御命令を送信するでは、設定の列順番とチャンネル内のフラッシュ列の状態のフィードバック情報によって、フラッシュメモリ制御ユニットに各フラッシュ列の命令キューを送信する

ことを特徴とする請求項 7 又は請求項 8 に記載の平行フラッシュメモリ制御方法。

【請求項 10】

フラッシュメモリアレイの制御方法であって、

フラッシュメモリアレイはチャンネル・列・層に従って構成し、各チャンネルのフラッシュチップは互いに独立的かつ並列的に命令操作を実行し、各チャンネル内のフラッシュ列はシリアルに命令を受信し、並列的に命令操作を実行し、同じフラッシュ列中の異なる層のフラッシュチップはシリアルに命令操作を実行する

ことを特徴とするフラッシュメモリアレイの制御方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は平行フラッシュメモリ制御装置、チップ及びその制御方法に関し、より詳細には、フラッシュメモリをチャンネル及び列で構成した二次元(2D)的な平行フラッシュ

ラッシュメモリ制御装置、チップ及びその制御方法に関する。

【背景技術】

【0002】

PC技術の発展に伴い、ユーザの記憶装置への要求も高まり、それには、容量、機能、速度だけでなく、電力消費、外形、寸法、外部環境適応性及び特別環境対応性等も含まれている。現在汎用されている記憶装置は記憶媒体によってフラッシュメモリ装置とハードディスク装置との二種類がある。この二種類については、ハードディスクは値段が低いため、かなり広く利用され、市場シェアはフラッシュメモリ装置より高いが、それ自体にはいくつかの欠点があり、より広範囲に利用できず、フラッシュメモリ装置がその優位性によってハードディスクの応用分野の一部を占めるようになってきた。フラッシュメモリ装置の長所は、まずランダムリード・ライト速度が速く、また機械制御ではなく全てチップの操作によるため、データの安定性が優れ、電力消費も低く、さらにまた、データの記憶装置ユニットはフラッシュチップであるため、環境適応性が高く、温度、圧力、湿度、空気の清浄度等の影響は、あまり受けないので、広範囲で適用できる。ハードディスクの場合は、内部は機械構造であるため、電力消費が高く、外形は大きく、稼動中はノイズがあり、環境への要求も比較的高い。それとともに、機械構造のため、ランダムリード・ライト速度の速度が低い。故に、一部の利用分野で次第に市場要求を満たせなくなって、例えばノートパソコンには、電力消費が高い、耐震性が弱い、及び外形が大きい等の原因でますますこれらのパソコンに適用できなくなってきた。また、機能に厳しい要求のある場合、ハードディスクは機械構造のため、かなり機能が制限されるが、これらの環境では、フラッシュメモリがその優位性を表現する。一方、フラッシュチップ自身の特徴により、フラッシュメモリの使用範囲の拡大が制限される。これらの制限は主に、フラッシュメモリ装置のインターフェースのリード・ライト速度を大幅に増加することができないことで、そのため、大容量記憶装置分野、特に装置に対するアクセス速度への要求が高い環境において制限されている。故に、フラッシュメモリ装置のインターフェースでのリード・ライト速度を高めることがフラッシュメモリ装置の使用範囲を広げるポイントである。

【0003】

目下、汎用されているフラッシュチップのインターフェースのリード・ライト速度は、平均10MBps 或いは数十MBps であるが、記憶装置に常用されるインターフェースとしてのPATAとSATAの速度はこれよりはるかに高く、平均100MBps 以上に達する。即ち、フラッシュチップのインターフェースのリード・ライト速度は装置インターフェースのリード・ライト速度よりかなり低いため、フラッシュチップのインターフェースのリード・ライト速度は記憶装置のボトルネックであり、フラッシュチップと内部制御装置の間のインターフェースの速度を効率的に高めることはフラッシュメモリ装置の開発に最も重要なことであると考えられる。

【0004】

また、マルチチャンネルフラッシュプロセッサが市販されている。中国特許「マルチチャンネルフラッシュ伝送コントローラ、チップ及び記憶装置」(特許公開番号:CN 1790308A)は、マルチチャンネルの制御の考えを述べたが、当該特許では本格的なマルチチャンネルの平行稼動が実現できず、各チャンネルの制御信号線の多重化、及び独立した複数のデータラインによりデータの帯域幅を広げる目的を達するようにデザインされたため、下記のような欠点がある。フラッシュメモリのフィードバック信号線は多重されるため、あるフラッシュチップが操作を完了していなければ、全ての組は新たな操作ができず、装置の効率が低くなる。また、データを操作する場合、複数のチャンネルを同時に実行する必要があるため、データ操作において同時に四つのチャンネルでは足りない場合が頻りに現れ、サイズの小さいファイルを頻りに使用する場合はフラッシュメモリのスペースと使用寿命を無駄に消費することがよくある。故に、この方法はフラッシュチップのタイミングをある程度改善できるが、効率はわりあい低く、データの伝送速度はPATAとSATAよりやはりはるかに低い。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、フラッシュチップのリード・ライト場合のボトルネックを解決することである。

【課題を解決するための手段】

【0006】

本発明は、パラレルフラッシュメモリ制御装置及び制御手段を提供する。フラッシュチャンネルの並列及びフラッシュ列の並列との二次元的なパラレル制御方式により、記憶装置のリード・ライト速度を有効的に高めることができる。

【0007】

本発明の一実施の形態は、
データの伝送を制御する伝送コントローラと、
チャンネル毎に一つの命令解析ユニットに対応する複数の命令解析ユニットと、
チャンネル毎に一つのフラッシュメモリ制御ユニットに対応する複数のフラッシュメモリ制御ユニットとを備え、

前記複数の命令解析ユニットは、各チャンネルのフラッシュメモリ制御命令を受信し解析して、対応するフラッシュメモリ制御ユニットに送信し、

前記複数のフラッシュメモリ制御ユニットには、一つのチャンネルに対応するフラッシュメモリ制御ユニットが対応的な命令解析ユニットからのフラッシュメモリ制御命令を受信して当該チャンネルのフラッシュチップ組に送信することで、フラッシュチップ組が列で並列操作を実行するよう制御し、フラッシュチップ組の状態情報をチャンネルの命令解析ユニットにフィードバックする

パラレルフラッシュメモリ制御装置を提供する。

【0008】

前記命令解析ユニットには複数の命令キューを含み、前記チャンネルに対応する一つの命令解析ユニットの命令キュー毎に記憶したフラッシュメモリ制御命令はそれぞれチャンネル内の一つのフラッシュ列に対応していることも良い。

【0009】

前記各命令解析ユニットは互いに独立的かつ並列的にフラッシュメモリ制御命令を送信し、各命令解析ユニットは設定の列順番とチャンネルのフラッシュ列の状態情報によって、各フラッシュ列に対する命令キュー中のフラッシュメモリ制御命令をフラッシュメモリ制御ユニットに送信することも良い。

【0010】

前記フラッシュメモリ制御ユニットは、フラッシュメモリ制御命令をシリアルにフラッシュ列に送信することも良い。

【0011】

前記フラッシュ列のフラッシュチップを複数の層に分け、同列の複数層のフラッシュチップはシリアルに制御命令を実行することも良い。

【0012】

本発明の別の実施の形態は、上記パラレルフラッシュメモリ制御装置の機能を含むチップを提供する。

【0013】

本発明の更なる別の実施の形態は、パラレルフラッシュメモリ制御方法を提供し、該方法は、

主制御ユニットは各チャンネルへの制御信号をチャンネルに対応する命令解析ユニットに送信し、命令解析ユニットは制御信号をチャンネルの各フラッシュ列への制御命令に解析し、設定の仲裁規則に基づいて各フラッシュ列への制御命令の送信順番を決めて制御命令をフラッシュメモリ制御ユニットに送信する第1ステップと、

フラッシュメモリ制御ユニットは命令解析ユニットが送信したフラッシュメモリ制御命令を受信し、チャンネル内のフラッシュメモリチップが列で対応的な制御命令を並列的に

実行するよう制御する第2ステップと、

フラッシュメモリチップは伝送コントローラーによりデータのインタラクションを行う第3ステップと、を含む。

【0014】

前記第2ステップでは、フラッシュメモリ制御ユニットがフラッシュメモリ制御命令を各フラッシュ列にシリアルに送信することも良い。

【0015】

前記第1ステップの命令解析ユニットの制御命令を送信するでは、設定した列順番とチャンネルのフラッシュ列の状態のフィードバック情報によって、フラッシュメモリ制御ユニットに各フラッシュ列の命令キューを送信することも良い。

【0016】

本発明の更なる別の実施の形態は、フラッシュメモリアレイ制御方法を提供し、該方法では、フラッシュメモリアレイはチャンネル・列・層に従って構成され、各チャンネルのフラッシュはお互いに独立かつ並列的に命令を実行し、各チャンネル中のフラッシュ列はシリアルに命令を受信し、並列的に命令を実行する。同じフラッシュ列の中の異なる層のフラッシュチップはシリアルに命令を実行する。

【発明の効果】

【0017】

本発明の平行フラッシュメモリ制御装置、チップ及びその制御方法の長所は、二重レベルの平行処理を実現し、つまり、複数のチャンネルが平行処理を行う上に、各チャンネル内の複数の列も平行処理ができることである。各フラッシュメモリ制御ユニットは各チャンネル内の異なる列のフラッシュチップにパイプライン制御命令を送信し、各チャンネルの異なる列においてのフラッシュチップはパイプライン命令を受信して平行処理が可能である。このメリットは、操作全体で占めるフラッシュチップ命令の解析及び送信時間は極めて短く、操作時間は主にフラッシュ内部のデータコピー及びイレース等の操作に集中し、このパイプライン式の操作ではチャンネル内の命令を受信した異なるフラッシュチップが同時にこれらの操作を実行し、各チャンネルのフラッシュチップのデータバスの帯域幅は著しく高められるようになることである。また、本発明は各フラッシュ列をフラッシュ層に分け、同じフラッシュ列の異なる層のフラッシュチップに対してシリアル処理を行い、フラッシュメモリの記憶スペースをより増加できる。四つのチャンネル四列の場合16のフラッシュチップになることを例とし、本発明を利用した場合、理論上では記憶装置のデータ伝送速度が160Mbps前後にも達し、装置インターフェースのデータ伝送速度に対する実際のテストにより、読取り操作は110Mbps以上及び書込み操作は100Mbps以上に達し、現有のフラッシュメモリ装置と比べて、リード・ライト速度は何倍増もできる。

【図面の簡単な説明】

【0018】

【図1】本発明の平行フラッシュメモリ制御装置を備えた記憶装置の概略構成図である。

【図2】本発明の一好ましい実施形態による平行フラッシュメモリ制御装置の構成図。

【図3】本発明のチャンネルC_n内の各フラッシュ列のイレース動作のタイミングチャートである。

【図4】本発明の一好ましい実施の形態によるフラッシュメモリチップの配列分布の概略図である。

【発明を実施するための形態】

【0019】

以下、本発明を、具体的な実施の形態を用いて、図面を参照しながら詳細に説明する。

【0020】

図1は本発明の平行フラッシュメモリ制御装置を備えたフラッシュメモリ装置の基

本構成の概略図である。101はホストシステムで、通常はコンピュータシステムである。102はメモリ装置とホストシステムのインターフェースで、本発明はPATAインターフェースを例とする。110はメモリ装置インターフェースを含めたフラッシュメモリ装置である。111はインターフェース制御装置で、ホストとフラッシュメモリ装置の命令とデータのインタラクションを行い、本発明ではPATAインターフェース制御装置でも良く、インターフェース制御装置は一組のデータバスによりbuffer（データバッファ）と接続し、一組の制御信号バスによりMCUと接続する。112はフラッシュメモリ装置主制御ユニットMCUであり、ホストからの命令を受信し、ホスト命令に従ってフラッシュメモリ制御モジュールの操作を制御する。113はフラッシュメモリ装置のデバイスバッファであり、主にホストから記憶媒体の間のデータ伝送のバッファとし、及びフラッシュメモリ装置操作中のフラッシュメモリ装置のシステム情報を保存する。114は、本発明の実施形態におけるパラレルフラッシュメモリ制御装置である。115は、本発明のメモリ装置の情報記憶媒体とするフラッシュ媒体であり、フラッシュチップ、フラッシュチップアレイ或いはフラッシュカードのいずれでも構わない。本実施形態におけるフラッシュ媒体はチャンネルと列に従って二次元的に構成される。

【0021】

図2は本発明のパラレルフラッシュメモリ制御装置チップの内部構成の概略図である。201は本発明の実施形態におけるパラレルフラッシュメモリ制御装置である。メモリ装置主制御ユニットMCU112はフラッシュメモリ制御装置のチップ内制御バス202、203に介して伝送コントローラ205、複数の命令解析ユニット211にフラッシュメモリ制御命令を送信する。204はMCUと伝送コントローラ205の間に信号のインタラクションを示し、信号が伝送コントローラへの制御信号及び伝送制御の状態とエラー・インターラプション等のフィードバック情報を含む。伝送コントローラ205はデバイスバッファと操作するフラッシュチップとの間のデータ伝送を制御する。206は伝送コントローラ205とデバイスバッファの間の信号とデータのインタラクションを示し、信号がデバイスバッファに対する伝送コントローラの制御及びデバイスバッファの状態とエラー・インターラプション等のフィードバック情報を含み、データが伝送コントローラとデバイスバッファの間に伝送したデータを含む。メモリ装置は読取り操作する場合、伝送コントローラがデータを外部のデバイスバッファに送信し、メモリ装置書込み操作する場合、伝送コントローラがデータを外部のデバイスバッファから読取ってからフラッシュ媒体に送信する。複数の命令解析ユニット211は数組の信号線210によりチップ内の制御バス203との信号インタラクションを行う。信号インタラクションはMCUが各命令解析ユニット211へ制御信号を送信する及び各命令解析ユニット211がMCUへ信号をフィードバックすることが含まれる。各命令解析ユニットは命令210に対して解析及び仲裁を行い、フラッシュメモリ制御ユニット213からフィードバックした記憶媒体の状態により、フラッシュメモリアレイへの操作命令を列に従って順番に制御ユニットに送信すると同時に、制御ユニット213もフラッシュメモリアレイの状態とエラー・インターラプション等のフィードバック信号を命令解析ユニットに送信する。本実施形態におけるフラッシュメモリアレイには四つのチャンネルがあり、図に示すように、四つの命令解析ユニット211及び四つの制御ユニット213があり、214は命令解析ユニットにより作成された制御ユニット213への命令操作及びフラッシュメモリアレイの状態とインターラプション等のフィードバック信号である。213はフラッシュメモリ制御ユニットで、主に仲裁されたフラッシュメモリ制御命令をフラッシュチップの操作信号に解析してから対応の位置にあるフラッシュチップに送信し、かつ制御ユニット自身及びフラッシュメモリアレイの状態及びインターラプション等の信号を命令解析ユニットにフィードバックする。214はフラッシュメモリ制御ユニットからフラッシュチップへの制御信号であり、各チャンネル内のフラッシュメモリ制御ユニットは順番に命令を該当列と該当層のフラッシュチップへシリアルに送信し、かつ該当するチャンネル内フラッシュチップの状態及びエラー・インターラプション等のフィードバック信号を命令解析ユニットに送信する。215は各チャンネル内のフラッシュチップ組のデータ伝送バスであ

り、各フラッシュチップはこれにより設備データバッファとのデータ伝送を行う。209は記憶媒体であり、メモリ装置全体のデータ記憶センター及びチップを制御する端末であり、本実施形態の場合はフラッシュメモリアレイである。

【0022】

図3において、フラッシュチャンネル C_n ($n = 0, 1, 2, 3$)はイレース(Erase)操作を実行する際のタイミングチャートである。 t_c はフラッシュメモリ制御装置がフラッシュチップへ命令を送信する所要期間で、 t_d はフラッシュチップがイレース命令を実行する所要期間で、 t_h はバスが該当イレース操作を実行する所要期間である。図に示すように、命令キュー組は命令解析ユニット及びフラッシュメモリ制御ユニットを時分割多重で利用しチャンネル内のフラッシュチップにパイプライン命令を送信する。フラッシュチップの操作については、イレース或いは書込み或いは読取り等の命令に関わらず、命令のインタラクション時間は極めて短く、フラッシュチップの内部操作は大部分の時間を使うため、MCUからすると、同じ時間内に C_n チャンネル内の四つのフラッシュチップが同時にイレース操作を行い、このようなパイプライン式の操作効果は並列的に行うことである。

【0023】

図4に示すフラッシュチップはチャンネル(Channel)、列(Row)、層(Layer)との三つのレベルに分けられ、本実施形態は四チャンネル四列四層のフラッシュチップ配列である。全てのフラッシュメモリ制御装置がそれぞれ一つのフラッシュチャンネル内の複数のフラッシュチップへの制御に対応する。フラッシュメモリ制御ユニットはそれに対応するチャンネル内の各フラッシュ列を並列的に制御し、同じフラッシュ列の異なる層のフラッシュチップをシリアルに制御する。つまり、一回に操作されるフラッシュチップに対して、一つのチャンネルでは異なる列は同時に操作ができるが、あるチャンネルのある列だけでは一つの該当層しか稼働できない、即ち、いずれの操作期間にも同チャンネルで同列の異なる層のフラッシュチップを同時に操作する可能性はない。本実施形態ではメモリ装置のインターフェース・プロトコルの帯域幅及びフラッシュチップ配列のインターフェース帯域幅を総合考慮した上で、メモリ装置に広く使われるPATAインターフェースを利用し、フラッシュメモリアレイは四つのチャンネル四列つまり16個のフラッシュチップを利用する。理論上ではこの記憶装置のデータ伝送速度が160MBps前後も達し、装置インターフェースのデータ伝送速度に対する実際のテストにより、読取り操作は110MBps以上及び書込み操作は100MBps以上に達し、現有のフラッシュメモリ装置と比べて、アクセス速度は何倍増もでき、フラッシュチップを利用する場合の高速及び大容量の記憶装置のボトルネックを有効的に解決できる。

【0024】

上記の実施形態では四つのチャンネル四列のフラッシュメモリアレイを例として本発明を説明したが、ほかに、本発明のフラッシュメモリアレイは n チャンネル m 列に拡張しても良い。 n は2、4、8...、 m は1、2、4等で、多数のフラッシュメモリアレイ組合せができ、同時にフラッシュ設備の容量を拡大するよう列毎にいくつの層を増加することができ、類似した変化は本発明の主導的な考えのもとである上に、技術者にとっても顕然なことである。また、本発明の二次元パラレル制御装置は例えばASIC、CPLD或いはFPGA等のチップにより実現できる。このため、上記に説明した本発明は多様な変化ができ、これらの変化は本発明の主要思想と適用範囲から離脱せず、関連する技術者にとっても顕然的な変化のため、全て本発明の範囲に属する。