



(12) 发明专利申请

(10) 申请公布号 CN 103714792 A

(43) 申请公布日 2014. 04. 09

(21) 申请号 201310713643. 6

(22) 申请日 2013. 12. 20

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 成都京东方光电科技有限公司

(72) 发明人 谭文 祁小敬

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.  
G09G 3/36 (2006. 01)

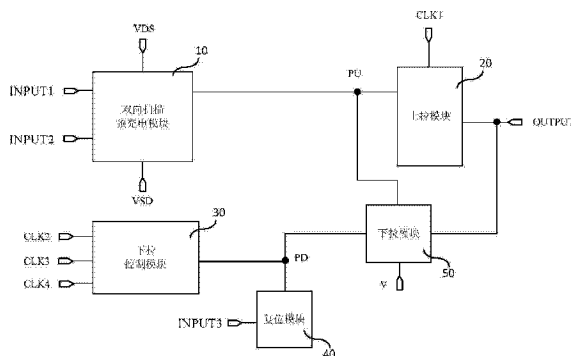
权利要求书2页 说明书9页 附图11页

(54) 发明名称

一种移位寄存器单元、栅极驱动电路及显示装置

(57) 摘要

本发明实施例提供一种移位寄存器单元、栅极驱动电路及显示装置, 涉及显示技术领域, 采用四个时钟信号 CLK 进行驱动, 能够实现直流双向下拉、双向扫描。该移位寄存器单元包括双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块。本发明实施例用于对栅线实现扫描驱动。



1. 一种移位寄存器单元,其特征在于,包括:双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块;

所述双向扫描预充电模块,分别连接第一信号输入端、第一电压端、第二信号输入端、第二电压端以及上拉控制节点,用于根据所述第一信号输入端以及所述第二信号输入端输入的信号控制所述上拉控制节点的电位,所述上拉控制节点为所述双向扫描预充电模块与所述上拉模块的连接点;

所述上拉模块,分别连接所述上拉控制节点、第一时钟信号端以及本级信号输出端,用于在所述上拉控制节点的电位控制下使得所述本级信号输出端输出所述第一时钟信号端的信号;

所述下拉控制模块,分别连接第二时钟信号端、第三时钟信号端、第四时钟信号端以及下拉控制节点;用于根据所述第二时钟信号端、所述第三时钟信号端、和所述第四时钟信号端输入的信号控制所述下拉控制节点的电位,所述下拉控制节点为所述下拉控制模块与所述下拉模块的连接点;

所述复位模块,分别连接第三信号输入端和所述下拉控制节点,用于根据所述第三信号输入端输入的信号控制所述下拉控制节点的电位,并在所述下拉控制节点电位的控制下在移位寄存器单元工作前将所述上拉控制节点的电位以及所述本级信号输出端输出信号的电位进行复位;

所述下拉模块,分别连接所述下拉控制节点、所述上拉控制节点、第三电压端和所述本级信号输出端,用于在所述下拉控制节点的电位控制下将所述上拉控制节点的电位以及所述本级信号输出端输出的信号下拉至所述第三电压端的电平。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述双向扫描预充电模块包括:

第一晶体管,其第一极连接所述第一电压端,栅极连接所述第一信号输入端,第二极与所述上拉控制节点相连接;

第二晶体管,其第一极连接所述上拉控制节点,栅极连接所述第二信号输入端,第二极与所述第二电压端相连接。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述上拉模块包括:

第三晶体管,其第一极连接所述第一时钟信号端,栅极连接所述上拉控制节点,第二极与所述本级信号输出端相连接;

第一电容,并联于所述第三晶体管的栅极与第二极之间。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉控制模块包括:

第四晶体管,其第一极连接所述第二时钟信号端,栅极与所述第二电压端相连接;

第五晶体管,其第一极连接所述第三时钟信号端,栅极与所述第一电压端相连接;

第六晶体管,其第一极连接第四电压端,第六晶体管的栅极连接所述第四晶体管和所述第五晶体管的第二极,第六晶体管的第二极与所述下拉控制节点相连接;

第七晶体管,其第一极连接所述第四电压端,栅极连接所述第四时钟信号端,第二极与所述下拉控制节点相连接;

第八晶体管,其第一极连接所述下拉控制节点,栅极连接所述上拉控制节点,第二极与所述第三电压端相连接;

第二电容,其一端连接所述第七晶体管的第二极,另一端与所述第三电压端相连接。

5. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述复位模块包括:

第九晶体管,其第一极连接所述第六晶体管的第二极,所述第九晶体管的栅极和第九晶体管的第二极与所述第三信号输入端相连接。

6. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述下拉模块包括:

第十晶体管,其第一极连接所述上拉控制节点,栅极连接所述下拉控制节点,第二极与所述第三电压端相连接;

第十一晶体管,其第一极连接所述本级信号输出端,栅极连接所述下拉控制节点,第二极与所述第三电压端相连接。

7. 一种栅极驱动电路,其特征在于,包括多级如权利要求 1 至 6 任一所述的移位寄存器单元;

除第一级移位寄存器单元外,其余每个移位寄存器单元的信号输入端连接与其相邻的上一级移位寄存器单元的本级信号输出端;

除最后一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端与其相邻的下一级移位寄存器单元的信号输入端相连接。

8. 一种显示装置,其特征在于,包括如权利要求 7 所述的栅极驱动电路。

## 一种移位寄存器单元、栅极驱动电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路及显示装置。

### 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)是由水平和垂直两个方向的栅线和数据线交叉定义的像素矩阵构成的,当 TFT-LCD 进行显示时,通过栅线上的栅极(Gate)驱动依次从上到下对每一像素行输入一定宽度的方波进行选通,再通过数据线上的源极(Source)驱动将每一行像素所需的信号依次从上往下输出,当分辨率较高时,显示器的栅极驱动和源极驱动的输出均较多,驱动电路的长度也将增大,这将不利于模组驱动电路的绑定(Bonding)工艺。

[0003] 为了解决上述问题,现有显示器的制造常采用 GOA (Gate Driver on Array,阵列基板行驱动)电路的设计,将 TFT (Thin Film Transistor,薄膜场效应晶体管)栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省掉栅极驱动电路的 Bonding 区域以及外围布线空间,从而实现显示面板的两边对称和窄边框的美观设计。

[0004] 在 LTPS (low-temperature polysilicon technology,低温多晶硅技术)GOA 电路设计中,可以采用 CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物)GOA 电路,其由 P 型和 N 型 TFT 共同构成的互补型集成电路。因此在电路的制作过程中需要同时保障两种 TFT 的性能,从而增加了 LTPS 工艺的复杂性和难度。降低了 TFT 的特性和良率以及增加了生产成本。

[0005] 现有技术中为了降低生产成本可以采用单一的 MOS GOA 电路。如图 1 所示的 NMOS LTPS GOA 单元电路,具有单向扫描(OUT<sub>n-1</sub>)、上拉控制(使得信号输出端为 OUT<sub>n</sub> 输出高电平)和单向直流下拉(将信号输出端为 OUT<sub>n</sub> 下拉至低电平)等特点。而单向扫描的 GOA 电路的适用范围相对较小。并且,该 GOA 电路的本级信号输出端 OUT<sub>n</sub> 仅仅通过晶体管 M01 在导通时下拉至低电平。因此当干扰信号导致晶体管 M01 误断开时,则无法实现对本级信号输出端 OUT<sub>n</sub> 的下拉。所以该单向下拉的方式会降低 GOA 电路的稳定性。此外,上述单一的 MOS GOA 电路采用两个时钟信号 CLK 和 CLKB 进行驱动,这样一来,在 GOA 电路的一个工作周期内只有两个时钟信号 CLK 和 CLKB 对其进行驱动,因此该 GOA 电路需要很大的外部驱动能力,从而导致电路功耗增大,降低了 GOA 电路的使用寿命。

### 发明内容

[0006] 本发明的实施例提供一种移位寄存器单元、栅极驱动电路及显示装置。采用四个时钟信号 CLK 进行驱动,能够实现直流双向下拉、双向扫描。

[0007] 为达到上述目的,本发明的实施例采用如下技术方案:

[0008] 本发明实施例的一方面提供一种移位寄存器单元,包括:双向扫描预充电模块、上

拉模块、下拉控制模块、复位模块以及下拉模块；

[0009] 所述双向扫描预充电模块，分别连接第一信号输入端、第一电压端、第二信号输入端、第二电压端以及上拉控制节点，用于根据所述第一信号输入端以及所述第二信号输入端输入的信号控制所述上拉控制节点的电位，所述上拉控制节点为所述双向扫描预充电模块与所述上拉模块的连接点；

[0010] 所述上拉模块，分别连接所述上拉控制节点、第一时钟信号端以及本级信号输出端，用于在所述上拉控制节点的电位控制下使得所述本级信号输出端输出所述第一时钟信号端的信号；

[0011] 所述下拉控制模块，分别连接第二时钟信号端、第三时钟信号端、第四时钟信号端以及下拉控制节点；用于根据所述第二时钟信号端、所述第三时钟信号端、和所述第四时钟信号端输入的信号控制所述下拉控制节点的电位，所述下拉控制节点为所述下拉控制模块与所述下拉模块的连接点；

[0012] 所述复位控制模块，分别连接第三信号输入端和所述下拉控制节点，用于根据所述第三信号输入端输入的信号控制所述下拉控制节点的电位，并在所述下拉控制节点电位的控制下在移位寄存器单元工作前将所述上拉控制节点的电位以及所述本级信号输出端输出信号的电位进行复位；

[0013] 所述下拉模块，分别连接所述下拉控制节点、所述上拉控制节点、第三电压端和所述本级信号输出端，用于在所述下拉控制节点的电位控制下将所述上拉控制节点的电位以及所述本级信号输出端输出的信号下拉至所述第三电压端的电平。

[0014] 本发明实施例的另一方面提供一种栅极驱动电路，包括如上所述的任意一种移位寄存器单元；

[0015] 除第一级移位寄存器单元外，其余每个移位寄存器单元的信号输入端连接与其相邻的上一级移位寄存器单元的本级信号输出端；

[0016] 除最后一级移位寄存器单元外，其余每个移位寄存器单元的本级信号输出端与其相邻的下一级移位寄存器单元的信号输入端相连接。

[0017] 本发明实施例的又一方面提供一种显示装置，包括如上所述的栅极驱动电路。

[0018] 本发明实施例提供一种移位寄存器单元、栅极驱动电路及显示装置，该移位寄存器单元包括双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块。这样一来，可以根据双向扫描预充电模块的第一信号输入端和第二信号输入端输入不同的电压信号对上述移位寄存器单元实现双向扫描从而扩大该栅极驱动电路的适用范围，并且通过下拉模块将上拉控制节点的电位以及本级信号输出端的信号下拉至低电平，从而使得上述移位寄存器单元具有双向下拉的特点，此外该移位寄存器单元在一个工作周期内通过四个时钟信号进行驱动从而能够降低电路功耗。

## 附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0020] 图 1 为现有技术提供一种移位寄存器单元的结构示意图；
- [0021] 图 2 为本发明实施例提供一种移位寄存器单元的结构示意图；
- [0022] 图 3 为本发明实施例提供的另一种移位寄存器单元的结构示意图；
- [0023] 图 4a 为本发明实施例提供一种移位寄存器单元工作信号时序波形图；
- [0024] 图 4b 为本发明实施例提供的另一种移位寄存器单元工作信号时序波形图；
- [0025] 图 5、图 6、图 7、图 8 为本发明实施例提供一种移位寄存器单元的工作状态示意图；
- [0026] 图 9、图 10、图 11 为本发明实施例提供的另一种移位寄存器单元的工作状态示意图；
- [0027] 图 12 为本发明实施例提供的又一种移位寄存器单元的结构示意图；
- [0028] 图 13 为本发明实施例提供一种栅极驱动电路的结构示意图；
- [0029] 图 14a 为本发明实施例提供一种栅极驱动电路的信号时序波形图；
- [0030] 图 14b 为本发明实施例提供的另一栅极驱动电路的信号时序波形图。

### 具体实施方式

[0031] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0032] 本发明所有实施例采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是没有区别的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。此外，按照晶体管的特性区分可以将晶体管分为 N 型晶体管或 P 型晶体管，在本发明实施例中，当采用 N 型晶体管时，其第一极可以是源极，第二极可以是漏极，当采用 P 型晶体管时，其第一极可以是漏极，第二极可以是源极。本发明实施例中所采用的晶体管可以均为 N 型晶体管，也可以均为 P 型晶体管。

[0033] 本发明实施例提供一种移位寄存器单元，如图 2 所示，包括：双向扫描预充电模块 10、上拉模块 20、下拉控制模块 30、复位模块 40 以及下拉模块 50。

[0034] 其中，双向扫描预充电模块 10，分别连接第一信号输入端 INPUT1 输入信号 STV<sub>n-1</sub>、第一电压端 VDS、第二信号输入端 INPUT2 输入信号 STV<sub>n+1</sub>、第二电压端 VSD 以及上拉控制节点 PU，用于根据第一信号输入端 INPUT1 以及第二信号输入端 INPUT2 输入的信号控制上拉控制节点 PU 的电位，上拉控制节点 PU 为双向扫描预充电模块 10 与上拉模块 20 的连接点。

[0035] 上拉模块 20，分别连接上拉控制节点 PU、第一时钟信号端 CLK1 以及本级信号输出端 OUTPUT，用于在上拉控制节点 PU 的电位控制下使得本级信号输出端 OUTPUT 输出第一时钟信号端 CLK1 的信号。

[0036] 下拉控制模块 30，分别连接第二时钟信号端 CLK2、第三时钟信号端 CLK3、第四时钟信号端 CLK4 以及下拉控制节点 PD；用于根据第二时钟信号端 CLK2、第三时钟信号端 CLK3、和第四时钟信号端 CLK4 输入的信号控制下拉控制节点 PD 的电位，下拉控制节点 PD

为下拉控制模块 30 与下拉模块 50 的连接点。

[0037] 复位模块 40, 分别连接第三信号输入端 INPUT3 和下拉控制节点 PD, 用于根据第三信号输入端 INPUT3 输入的信号 STV 控制下拉控制节点 PD 的电位, 并在下拉控制节点 PD 电位的控制下在移位寄存器单元工作前将上拉控制节点 PU 的电位以及本级信号输出端 OUTPUT 输出信号的电位进行复位。

[0038] 下拉模块 50, 分别连接下拉控制节点 PU、上拉控制节点 PD、第三电压端 V 以及本级信号输出端 OUTPUT, 用于在下拉控制节点 PU 的电位控制下将上拉控制节点 PU 的电位以及本级信号输出端 OUTPUT 输出的信号下拉至第三电压端 V 的电平。

[0039] 本发明实施例提供一种移位寄存器单元, 该移位寄存器单元包括双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块。这样一来, 可以根据双向扫描预充电模块的第一信号输入端和第二信号输入端输入不同的电压信号对上述移位寄存器单元实现双向扫描从而扩大该栅极驱动电路的适用范围, 并且通过下拉模块将上拉控制节点的电位以及本级信号输出端的信号下拉至低电平, 从而使得上述移位寄存器单元具有双向下拉的特点, 此外该移位寄存器单元在一个工作周期内通过四个时钟信号进行驱动从而能够降低电路功耗。

[0040] 进一步地, 如图 3 所示, 双向扫描预充电模块 10 包括:

[0041] 第一晶体管 T1, 其第一极连接第一电压端 VDS, 栅极连接第一信号输入端 INPUT1 输入信号 STV<sub>n-1</sub>, 第二极与上拉控制节点 PU 相连接。

[0042] 第二晶体管 T2, 其第一极连接上拉控制节点 PU, 栅极连接第二信号输入端 INPUT2 输入信号 STV<sub>n+1</sub>, 第二极与第二电压端 VSD 相连接。

[0043] 需要说明的是, 本发明实施例中, STV 为输入第一级移位寄存器单元的起始信号, STV<sub>n-1</sub> 为上一级移位寄存器单元的输出信号, STV<sub>n+1</sub> 为下一级移位寄存器单元的输出信号。

[0044] 进一步地, 上拉模块 20 包括:

[0045] 第三晶体管 T3, 其第一极连接第一时钟信号端 CLK1, 栅极连接上拉控制节点 PU, 第二极与本级信号输出端 OUTPUT 相连接。

[0046] 第一电容 C1, 并联于第三晶体管 T3 的栅极与第二极之间。

[0047] 进一步地, 下拉控制模块 30 包括:

[0048] 第四晶体管 T4, 其第一极连接第二时钟信号端 CLK2, 栅极与第二电压端 VSD 相连接。

[0049] 第五晶体管 T5, 其第一极连接第三时钟信号端 CLK3, 栅极与第一电压端 VDS 相连接。

[0050] 第六晶体管 T6, 其第一极连接第四电压端 V', 栅极连接第四晶体管 T4 和第五晶体管 T6 的第二极, 第二极与下拉控制节点 PD 相连接。

[0051] 第七晶体管 T7, 其第一极连接第四电压端 V', 栅极连接第四时钟信号端 CLK4, 第二极与下拉控制节点 PD 相连接。

[0052] 第八晶体管 T8, 其第一极连接下拉控制节点 PD, 栅极连接上拉控制节点 PU, 第二极与第三电压端 V 相连接。

[0053] 第二电容 C2, 其一端连接第七晶体管 T7 的第二极, 另一端与第三电压端 V 相连接。

[0054] 进一步地,复位模块 40 包括:

[0055] 第九晶体管 T9,其第一极连接第六晶体管 T6 的第二极,栅极和第二极与第三信号输入端 INPUT3 相连接。

[0056] 进一步地,下拉模块 50 包括:

[0057] 第十晶体管 T10,其第一极连接上拉控制节点 PU,栅极连接下拉控制节点 PD,第二极与第三电压端 V 相连接。

[0058] 第十一晶体管 T11,其第一极连接本级信号输出端 OUTPUT,栅极连接下拉控制节点 PD,第二极与第三电压端 V 相连接。

[0059] 以下以图 3 所示的结构为例,其中,该移位寄存器单元中的晶体管均是以 N 型晶体管为例进行的说明;并结合该移位寄存器单元的扫描时序图,对该移位寄存器单元的工作过程进行详细的描述。

[0060] 需要说明的是,第三电压端 V、第四电压端 V' 可以为接地端,或输入低电平 VSS 或 VGL;又或者第三电压端 V、第四电压端 V' 可以输入高电压 Vdd 或 VGH。由于在本实施例中的晶体管是以 N 型为例进行的说明,因此以下实施例均以第三电压端 V 输入低电平 VGL、第四电压端 V' 输入高电平 VGH 为例进行说明。

[0061] 当第一电压端 VDS 为高电平 VGH,第二电压端 VSD 为低电平 VGL 时,该移位寄存器单元处于正向扫描状态,其扫描时序图如图 4a 所示。

[0062] 在移位寄存器单元工作前,第三信号输入端 INPUT3 会输入一个高电平,该信号可以选择栅极驱动电路的起始信号 STV,使得下拉控制节点的电位 PD 升高至高电平从而打开第十晶体管 T10 和第十一晶体管 T11,将上拉控制节点 PU 和本级信号输出端 OUTPUT 的电位复位至低电平,从而使得移位寄存器单元能够正常工作,而避免本级信号输出端 OUTPUT 在其他干扰信号的作用下变为高电平,并使其所控制的一行栅线在高电平作用下打开,最终造成栅线打开错误。其它阶段第三信号输入端 INPUT3 输入信号 STV 均为低电平。此阶段可以称为复位阶段。

[0063] a 阶段:CLK1=0;CLK2=1;CLK3=0;CLK4=0;STV<sub>n-1</sub>=1;PU=1;PD=0;STV<sub>n+1</sub>=0;OUTPUT=0。需要说明的是,以下实施例中,0 表示低电平 VGL;1 表示高电平 VGH。

[0064] 如图 5 所示,第一信号输入端 INPUT1 输入信号 STV<sub>n-1</sub> 为高电平,预充电晶体管第一晶体管 T1 开启,上拉控制节点 PU 的电位升高至高电平 VGH,由于第四晶体管 T4 截止,第五晶体管 T5 开启,第六晶体管 T6 栅极接收到第三时钟信号端 CLK3 输入的低电平而截止。第七晶体管 T7 的栅极连接的第四时钟信号端 CLK4 为低电平,因而第七晶体管 T7 截止,第八晶体管 T8 栅极连接上拉控制节点 PU,而该上拉控制节点 PU 的电位为高电平,从而使得第八晶体管 T8 导通,则连接第二电容 C2 的下拉控制节点 PD 的电位被放电下拉至低电平,因而第十晶体管 T10 和第十一晶体管 T11 截止。其中,第三信号输入端 INPUT3 输入信号 STV 为低电平,使得第九晶体管 T9 截止。综上所述,a 阶段为该移位寄存器单元中第一电容 C1 的预充电阶段,第一电容 C1 电压预充电至 VGH-VGL。

[0065] b 阶段:CLK1=1;CLK2=0;CLK3=0;CLK4=0;STV<sub>n-1</sub>=0;PU=1;PD=0;STV<sub>n+1</sub>=0;OUTPUT=1。

[0066] 如图 6 所示,第一信号输入端 INPUT1 输入信号 STV<sub>n-1</sub> 为低电平,第一晶体管 T1 截止。由于第三时钟信号端 CLK3 和第四时钟信号端 CLK4 仍为低电平,上拉控制节点 PU 点



为高电平,所以第六晶体管 T6 和第七晶体管 T7 仍截止,第八晶体管 T8 仍导通。下拉控制节点 PD 保持为低电平 VGL。第十晶体管 T10 和第十一晶体管 T11 截止。第一电容 C1 的电压保持  $VGH-VGL$ 。由于第一时钟信号端 CLK1 由低电平变为高电平 VGH,则上拉控制节点 PU 的高电位被第一电容 C1 耦合至更高的电平  $2VGH-VGL$ ,并且该上拉控制节点 PU 的高电位控制第三晶体管 T3 打开,以使得本级信号输出端 OUTPUT 输出高电平。从上所述,b 阶段为该移位寄存器单元打开的阶段。

[0067] c 阶段:CLK1=0;CLK2=0;CLK3=1;CLK4=0;STV<sub>n-1</sub>=0;PU=0;PD=1;STV<sub>n+1</sub>=1;OUTPUT=0。

[0068] 如图 7 所示,第二信号输入端 INPUT2 输入信号 STV<sub>n+1</sub> 为高电平,第二晶体管 T2 开启,则上拉控制节点的 PU 的电位被下拉至低电平 VGL。第三时钟信号端 CLK3 输出高电平,第四时钟信号端 CLK4 仍为低电平,则第六晶体管 T6 开启,第七晶体管 T7 截止,第八晶体管 T8 也截止。因此下拉控制节点 PD 的电位变为高电平 VGH,可以保持第二电容 C2 电压充电至  $VGH-VGL$ 。在下拉控制节点 PD 的高电位控制下第十晶体管 T10 和第十一晶体管 T11 开启。本级信号输出端 OUTPUT 通过第十一晶体管 T11 下拉至低电平 VGL,上拉控制节点 PU 的电位通过第十晶体管 T10 下拉至低电平 VGL 从而实现下拉。因此,c 阶段为移位寄存器单元的下拉阶段。

[0069] d 阶段:CLK4、CLK2、CLK1、CLK3 依次为高电平;STV<sub>n-1</sub>=0;PU=0;PD=1;STV<sub>n+1</sub>=0;OUTPUT=0。

[0070] 如图 8 所示,第一信号输入端 INPUT1 输入信号 STV<sub>n-1</sub> 和第二信号输入端输入信号 INPUT2 输入信号 STV<sub>n+1</sub> 均为低电平 VGL,因此,第一晶体管 T1 和第二晶体管 T2 保持截止。当第四时钟信号 CLK4 为高电平时,第七晶体管 T7 开启,从而保持第二电容 C2 进行一次充电至  $VGH-VGL$ 。当第三时钟信号端 CLK3 为高电平时,第六晶体管 T6 开启,从而保持第二电容 C2 再进行一次充电至  $VGH-VGL$ 。在第一时钟信号端 CLK1 和第二时钟信号端 CLK2 为高电平阶段,依靠第二电容 C2 保持下拉控制节点 PD 为高电平。因此,在此阶段,由第六晶体管 T6,第七晶体管 T7 以及第二电容 C2 实现维持下拉控制节点 PD 为高电平 VGH。则下拉控制节点 PD 的高电位使得第十晶体管 T10 和第十一晶体管 T11 持续导通,从而实现对本级信号输出端 OUTPUT 以及上拉控制节点 PU 的直流下拉。从而能够避免本级信号输出端 OUTPUT 在其他干扰信号的作用下变为高电平,并使其所控制的一行栅线在高电平作用下打开,最终造成栅线打开错误。

[0071] 当第一电压端 VDS 为低电平 VGL,第二电压端 VSD 为高电平 VGH 时,该移位寄存器单元处于反向扫描状态,其扫描时序图如图 4b 所示。

[0072] a' 阶段:CLK1=0;CLK2=0;CLK3=1;CLK4=0;STV<sub>n-1</sub>=0;PU=1;PD=0;STV<sub>n+1</sub>=1;OUTPUT=0。

[0073] 如图 9 所示,第二信号输入端 INPUT2 输入信号 STV<sub>n+1</sub> 为高电平,预充电晶体管第二晶体管 T2 开启,VSD 高电平将上拉控制节点 PU 点充电为高电平 VGH。由于第五晶体管 T5 截止,第四晶体管 T4 开启,则第六晶体管 T6 栅极由于连接的第二时钟信号端 CLK2 为低电平而截止。第七晶体管 T7 栅极由于连接第四时钟信号端 CLK4 为低电平而截止。第八晶体管 T8 的栅极因连接上拉控制节点 PU 的电位为高电平而导通,则连接第二电容 C2 的下拉控制节点 PD 的电位被放电下拉至低电平,因而第十晶体管 T10 和第十一晶体管 T11 截止。

综上所述, a' 阶段为该移位寄存器单元中第一电容 C1 的预充电阶段, 第一电容 C1 的电压预充电至  $V_{GH}-V_{GL}$ 。

[0074] b' 阶段:  $CLK1=1; CLK2=0; CLK3=0; CLK4=0; STV_{n-1}=0; PU=1; PD=0; STV_{n+1}=0; OUTPUT=1$ 。

[0075] 如图 6 所示, 第二信号输入端 INPUT2 输入信号  $STV_{n+1}$  为低电平, 第二晶体管 T2 截止。由于第二时钟信号端 CLK2 和第四时钟信号端 CLK4 仍输入低电平, 上拉控制节点 PU 的电位为高电平, 所以第六晶体管 T6 和第七晶体管 T7 仍截止, 第八晶体管 T8 仍导通。下拉控制节点 PD 的电位保持低电平 VGL, 因此, 第十晶体管 T10 以及第十一晶体管 T11 仍然截止, 第一电容 C1 上的电压保持  $V_{GH}-V_{GL}$ 。第一时钟信号端 CLK1 由低电平变为高电平 VGH, 则上拉控制节点 PU 的高电位被第一电容 C1 耦合至更高的电平  $2V_{GH}-V_{GL}$ , 并且该上拉控制节点 PU 的高电位控制第三晶体管 T3 打开, 以使得本级信号输出端 OUTPUT 输出高电平。从上所述, b' 阶段为该移位寄存器单元打开的阶段。

[0076] c' 阶段:  $CLK1=0; CLK2=1; CLK3=0; CLK4=0; STV_{n-1}=1; PU=0; PD=1; STV_{n+1}=0; OUTPUT=0$ 。

[0077] 如图 10 所示, 第一信号输入端 INPUT1 输入信号  $STV_{n-1}$  为高电平, 第一晶体管 T1 开启, 则上拉控制节点 PU 的电位被下拉至低电平 VGL。第二时钟信号端 CLK2 变为高电平, 第四时钟信号端 CLK4 仍为低电平, 则第六晶体管 T6 开启, 第七晶体管 T7 仍截止, 第八晶体管 T8 也截止; 则下拉控制节点 PD 的电位变为高电平 VGH, 可以保持第二电容 C2 电压充电至  $V_{GH}-V_{GL}$ 。同时, 第十晶体管 T10 和第十一晶体管 T11 开启, 因此, 本级信号输出端 OUTPUT 通过第十一晶体管 T11 下拉至低电平 VGL, 上拉控制节点 PU 的电位通过第十晶体管 T10 下拉至低电平 VGL。最后, PU 和 OUTPUT 都下拉至低电平 VGL, 实现下拉。从而实现下拉。因此, c' 阶段为移位寄存器单元的下拉阶段。

[0078] d' 阶段: CLK4、CLK3、CLK1、CLK2 依次为高电平;  $STV_{n-1}=0; PU=0; PD=1; STV_{n+1}=0; OUTPUT=0$ 。

[0079] 如图 11 所示, 第一信号输入端 INPUT1 输入信号  $STV_{n-1}$  和第二信号输入端 INPUT2 输入信号  $STV_{n+1}$  均为低电平 VGL, 第一晶体管 T1 和第二晶体管 T2 保持截止。当第四时钟信号端 CLK4 输入高电平时, 第七晶体管 T7 开启, 保持第二电容 C2 进行一次充电至  $V_{GH}-V_{GL}$ 。当第二时钟信号端 CLK2 为高电平时, 第六晶体管 T6 开启, 保持第二电容 C2 再进行一次充电至  $V_{GH}-V_{GL}$ 。在第一时钟信号端 CLK1 和第三时钟信号端 CLK3 为高电平阶段, 依靠第二电容 C2 保持下拉控制节点 PD 为高电平。因此, 在此阶段, 由于第六晶体管 T6, 第七晶体管 T7 和第二电容 C2 实现维持下拉控制节点 PD 的电位为高电平 VGH。则下拉控制节点 PD 的高电位使得第十晶体管 T10 和第十一晶体管 T11 持续导通, 从而实现对本级信号输出端 OUTPUT 以及上拉控制节点 PU 的直流下拉。从而能够避免本级信号输出端 OUTPUT 在其他干扰信号的作用下变为高电平, 并使其所控制的一行栅线在高电平作用下打开, 最终造成栅线打开错误。

[0080] 上述实施例是以移位寄存器单元中的晶体管均采用 N 型晶体管为例进行的说明, 当均采用 P 型晶体管时其结构如图 12 所示。具体的工作过程可以参照上述 N 型晶体管构成的移位寄存器单元的工作原理, 其中需要相应调整驱动信号的时序, 此处不再赘述。

[0081] 本发明实施例提供一种栅极驱动电路, 如图 13 所示, 包括多级如上所述的移位寄

寄存器单元。图 13 中仅以五个移位寄存器为例进行说明,分别为第 1 级移位寄存器、第 2 级移位寄存器、第 n-2 级移位寄存器、第 n-1 级移位寄存器和第 n 级移位寄存器。

[0082] 其中,每一级移位寄存器单元的输出端 OUTPUT 输出本级的行扫描信号 G;每个移位寄存器单元都有一个第一时钟信号端 CLK1、第二时钟信号端 CLK2、第三始终信号 CLK3 以及一个第四时钟信号端 CLK4 输入信号。

[0083] 除第一级移位寄存器单元外,其余每个移位寄存器单元的信号输入端例如 G(n-1) 连接与其相邻的上一级移位寄存器单元的本级信号输出端 OUTPUT。

[0084] 除最后一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端 OUTPUT 与其相邻的下一级移位寄存器单元的信号输入端例如 G(n-1) 相连接。

[0085] 具体的,当栅极驱动电路进行正向扫描时,各个信号输入的时序图如图 14a 所示,该 GOA 电路的各行扫描信号为 G1、G2、G3、G4、...Gn-1、Gn;当栅极驱动电路进行反向扫描时,各个信号输入的时序图如图 14b 所示,该 GOA 电路的各行扫描信号为 Gn、Gn-1、Gn-2、Gn-3...G2、G1。其中,第三信号输入端 INPUT3 输入栅极驱动电路的起始信号 STV 对所有移位寄存器单元进行复位。正向扫描时,上一级 GOA 单元输出为下一级 GOA 单元的起始信号,下一级 GOA 单元输出为上一级 GOA 单元的复位信号;反向扫描时,下一级 GOA 单元为上一级 GOA 单元的起始信号,上一级 GOA 单元输出为下一级 GOA 单元的复位信号。每级第三信号输入端 INPUT3 连接接电路的起始信号输入端,在每一帧起始时,对所有 GOA 电路的下拉控制节点 PD 进行一次充电,使其电位升高至 VGH。

[0086] 本发明实施例提供一种栅极驱动电路,包括移位寄存器单元,该移位寄存器单元包括双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块。这样一来,可以根据双向扫描预充电模块的第一信号输入端和第二信号输入端输入不同的电压信号对上述移位寄存器单元实现双向扫描从而扩大该栅极驱动电路的适用范围,并且通过下拉模块将上拉控制节点的电位以及本级信号输出端的信号下拉至低电平,从而使得上述移位寄存器单元具有双向下拉的特点,此外该移位寄存器单元在一个工作周期内通过四个时钟信号进行驱动从而能够降低电路功耗。

[0087] 本发明实施例提供一种显示装置,包括如上所述的任意一种栅极驱动电路。具有与本发明前述实施例提供的栅极驱动电路相同的有益效果,由于栅极驱动电路在前述实施例中已经进行了详细说明,此处不再赘述。

[0088] 该显示装置具体可以为液晶显示器、液晶电视、数码相框、手机、平板电脑等任何具有显示功能的液晶显示产品或者部件。

[0089] 本发明实施例提供一种显示装置,包括栅极驱动电路。该栅极驱动电路包括移位寄存器单元,该移位寄存器单元包括双向扫描预充电模块、上拉模块、下拉控制模块、复位模块以及下拉模块。这样一来,可以根据双向扫描预充电模块的第一信号输入端和第二信号输入端输入不同的电压信号对上述移位寄存器单元实现双向扫描从而扩大该栅极驱动电路的适用范围,并且通过下拉模块将上拉控制节点的电位以及本级信号输出端的信号下拉至低电平,从而使得上述移位寄存器单元具有双向下拉的特点,此外该移位寄存器单元在一个工作周期内通过四个时钟信号进行驱动从而能够降低电路功耗。

[0090] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序

在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0091] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

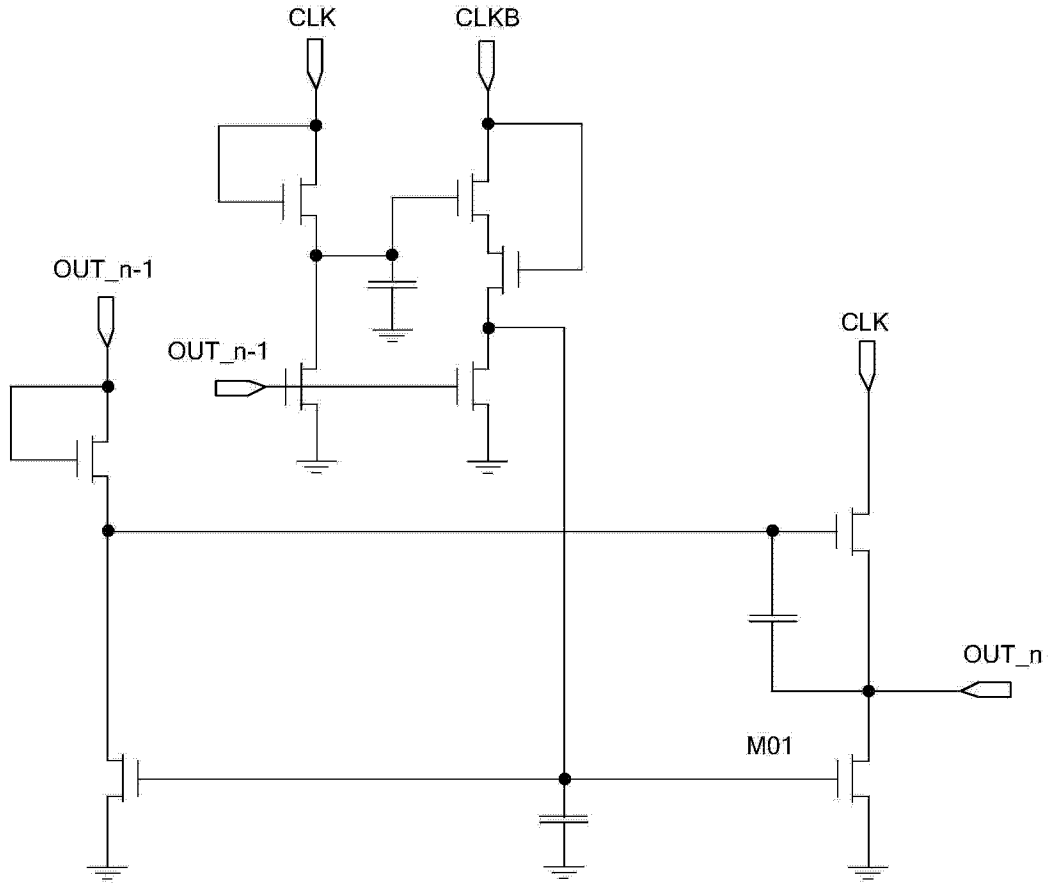


图 1

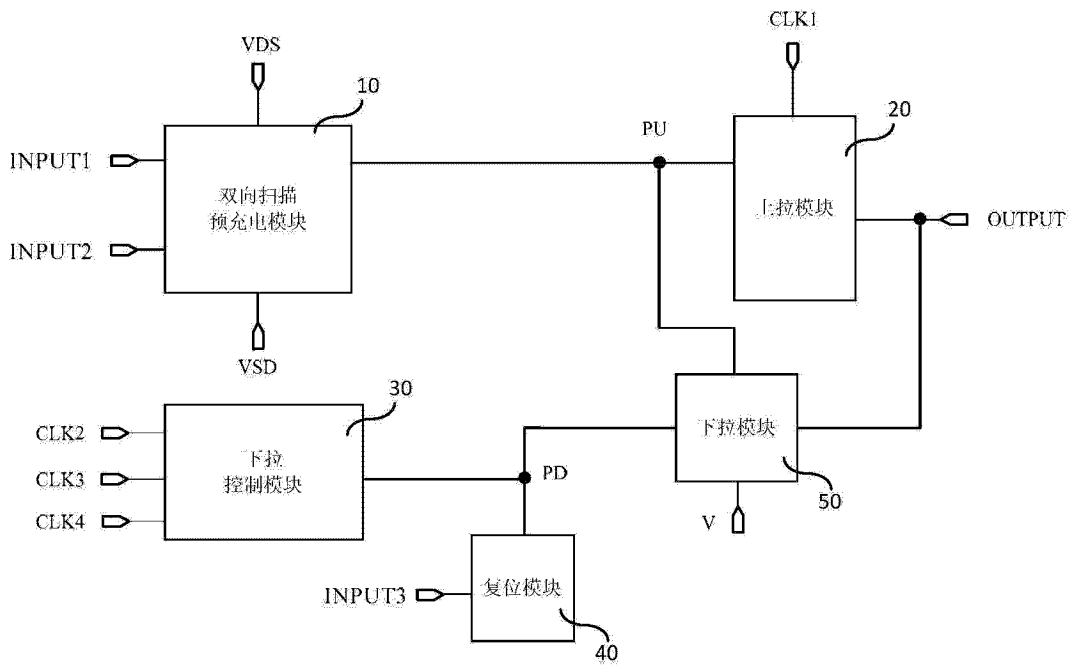


图 2

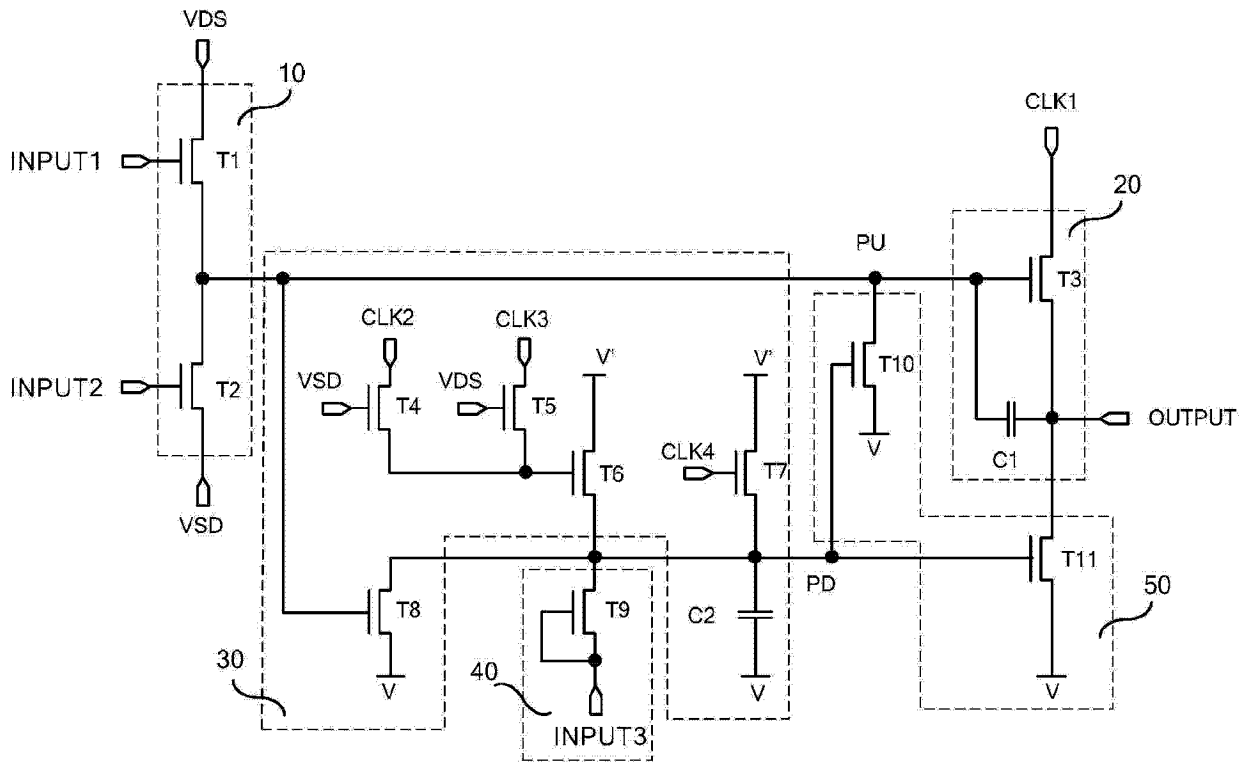


图 3

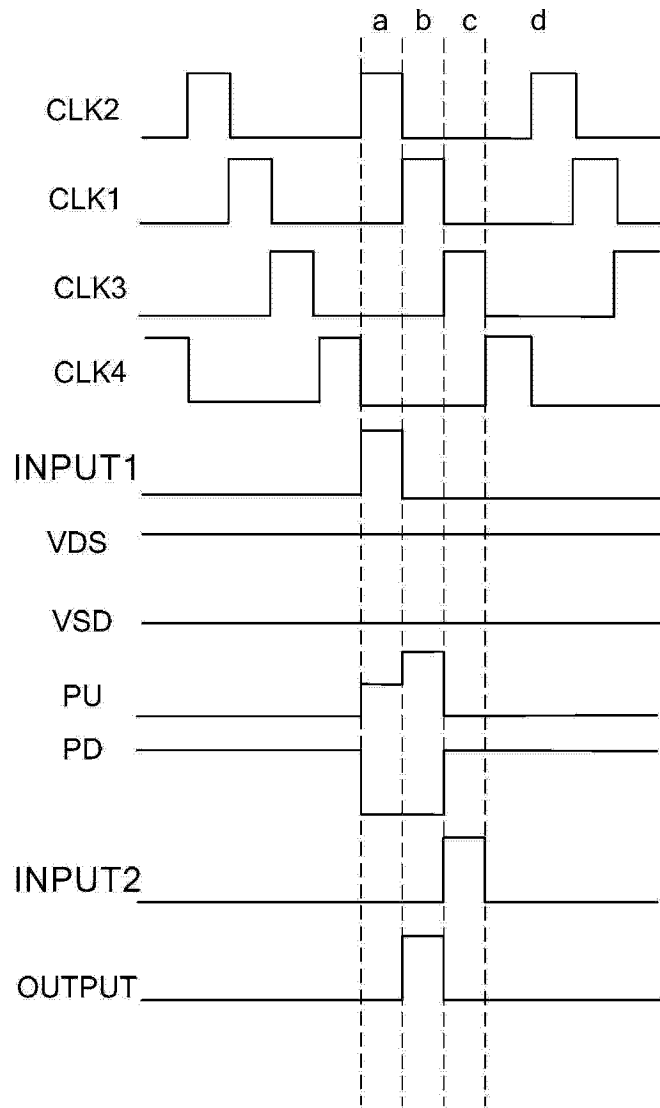


图 4a

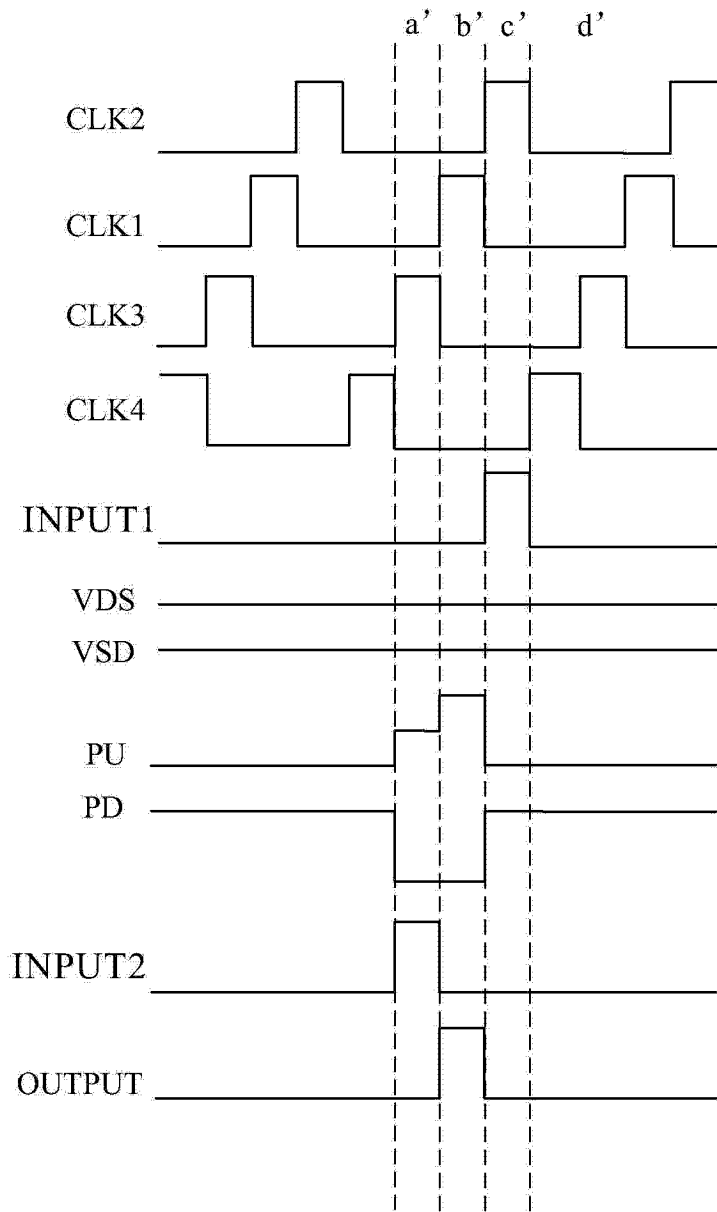


图 4b



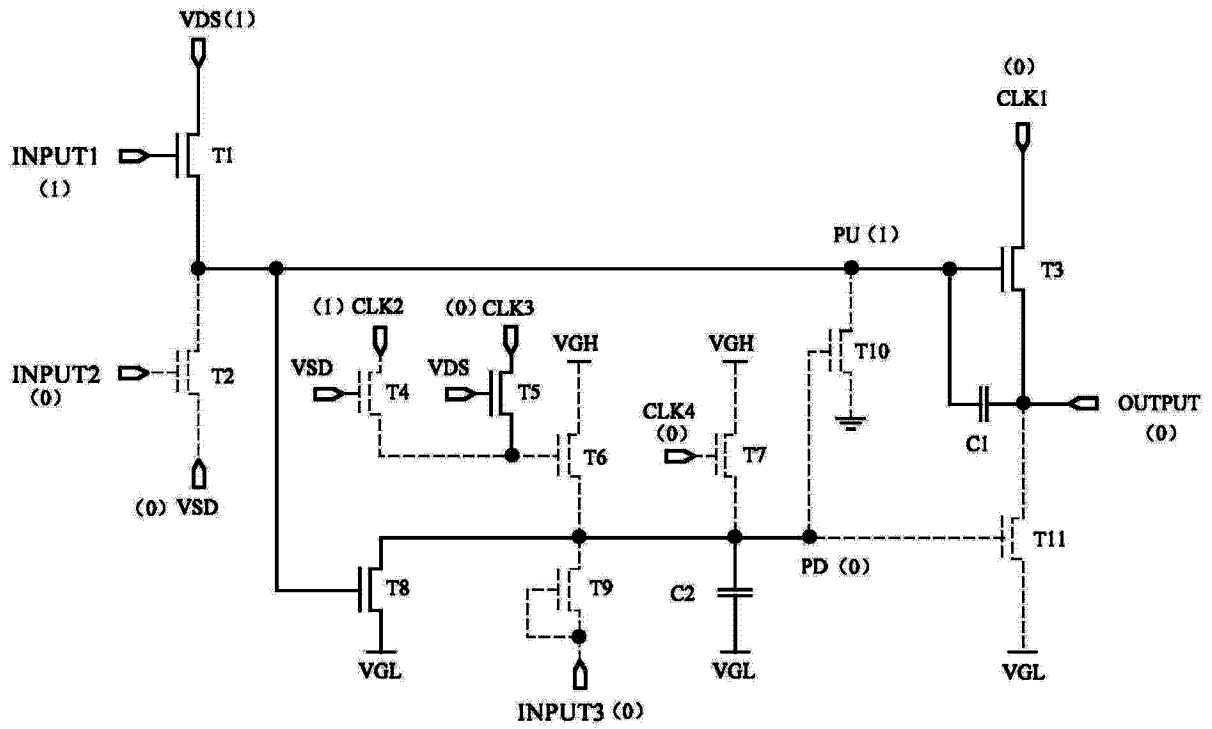


图 5

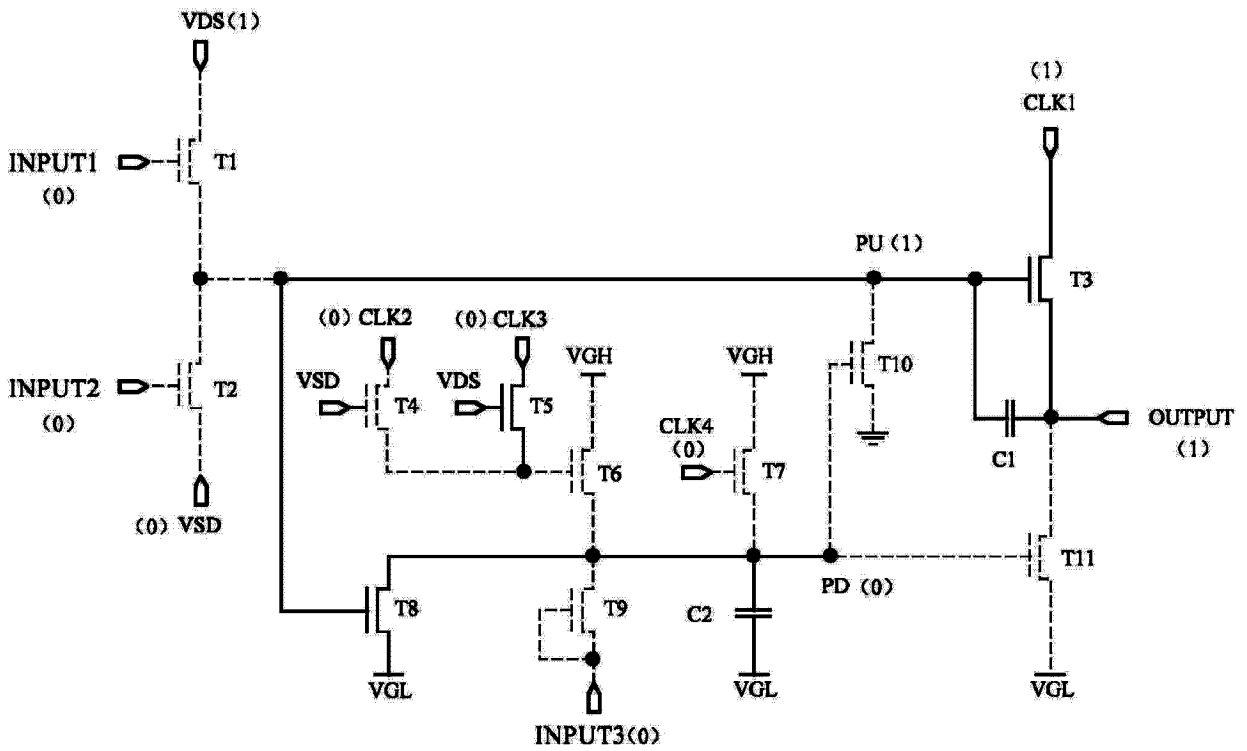


图 6

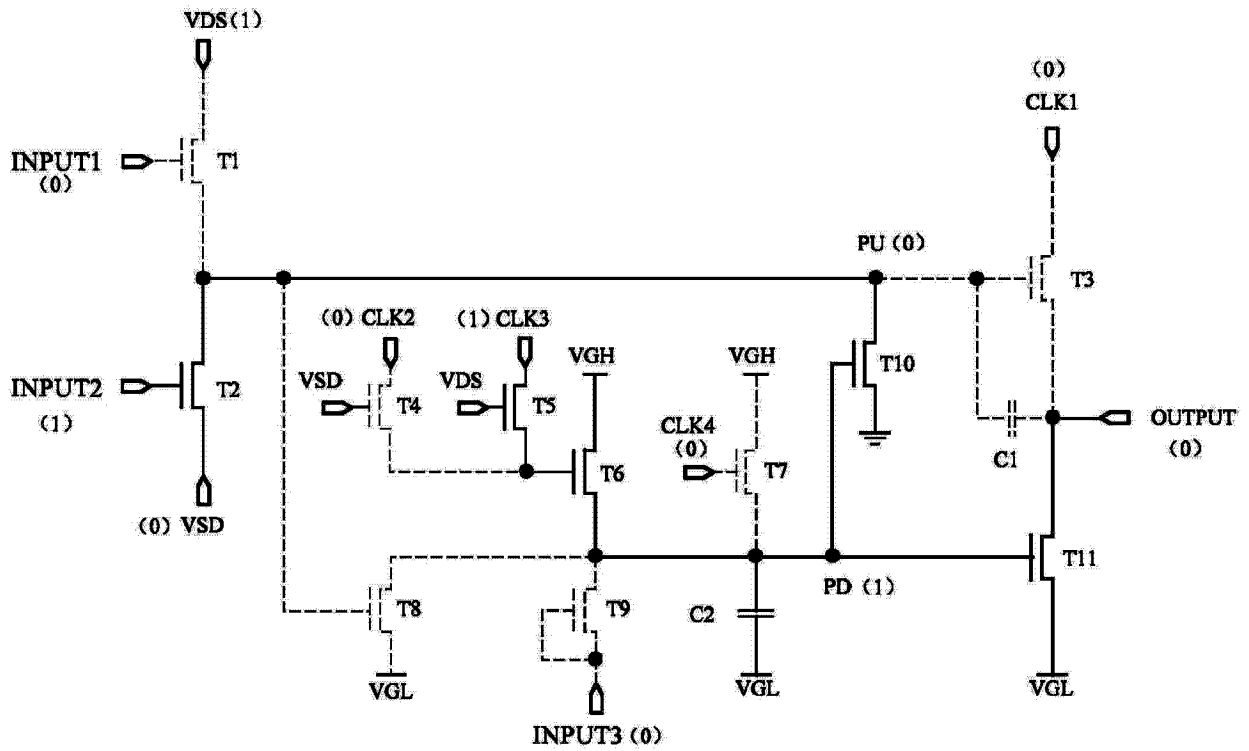


图 7

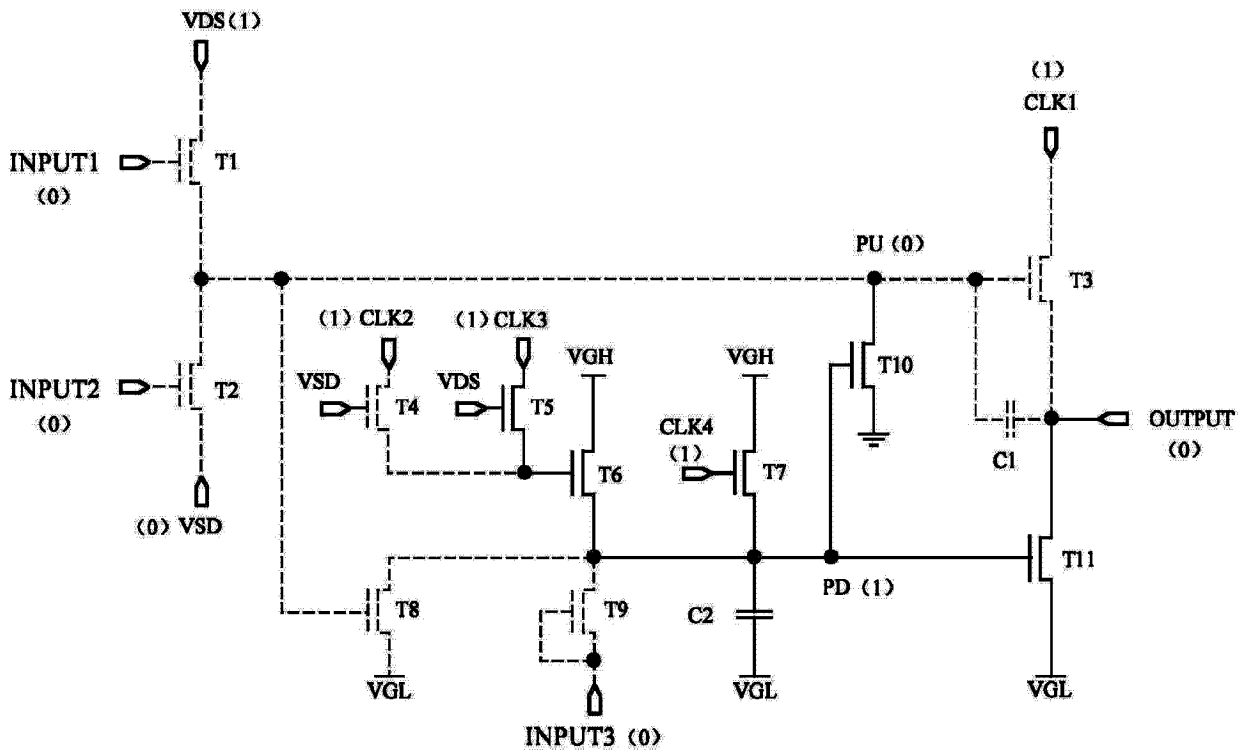


图 8

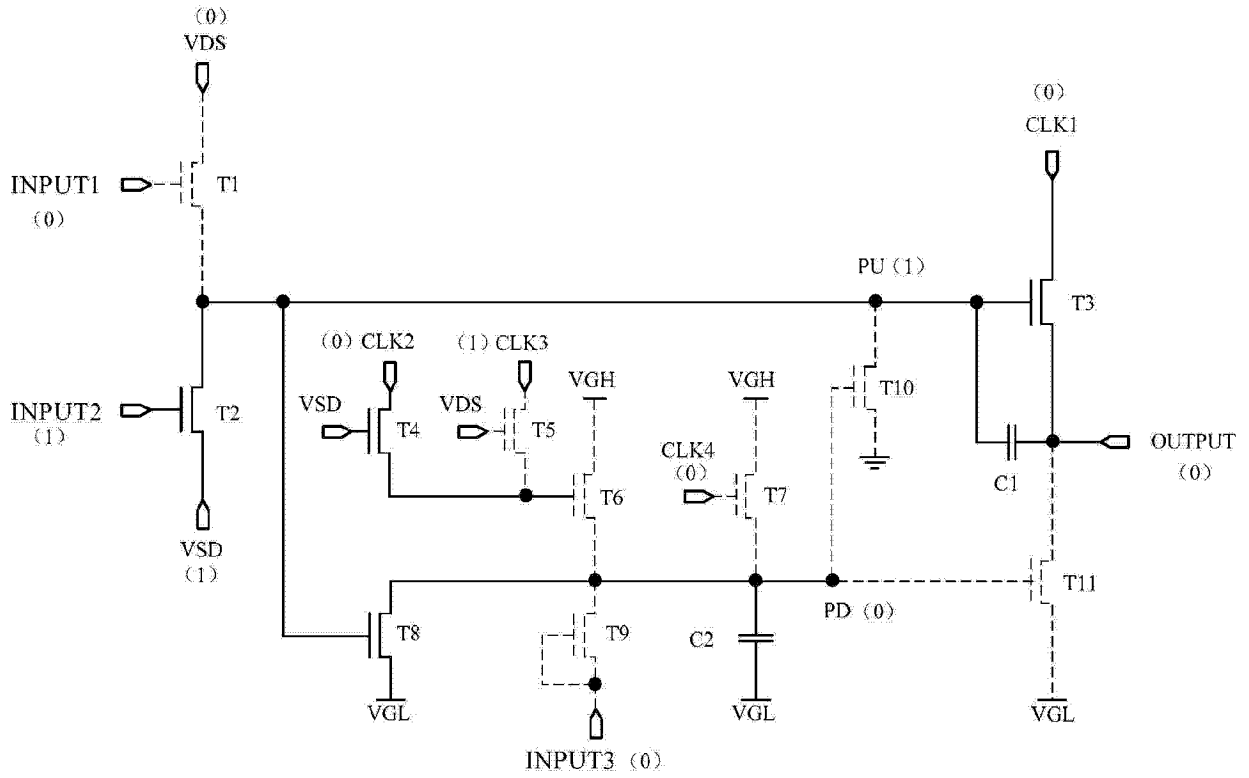


图 9

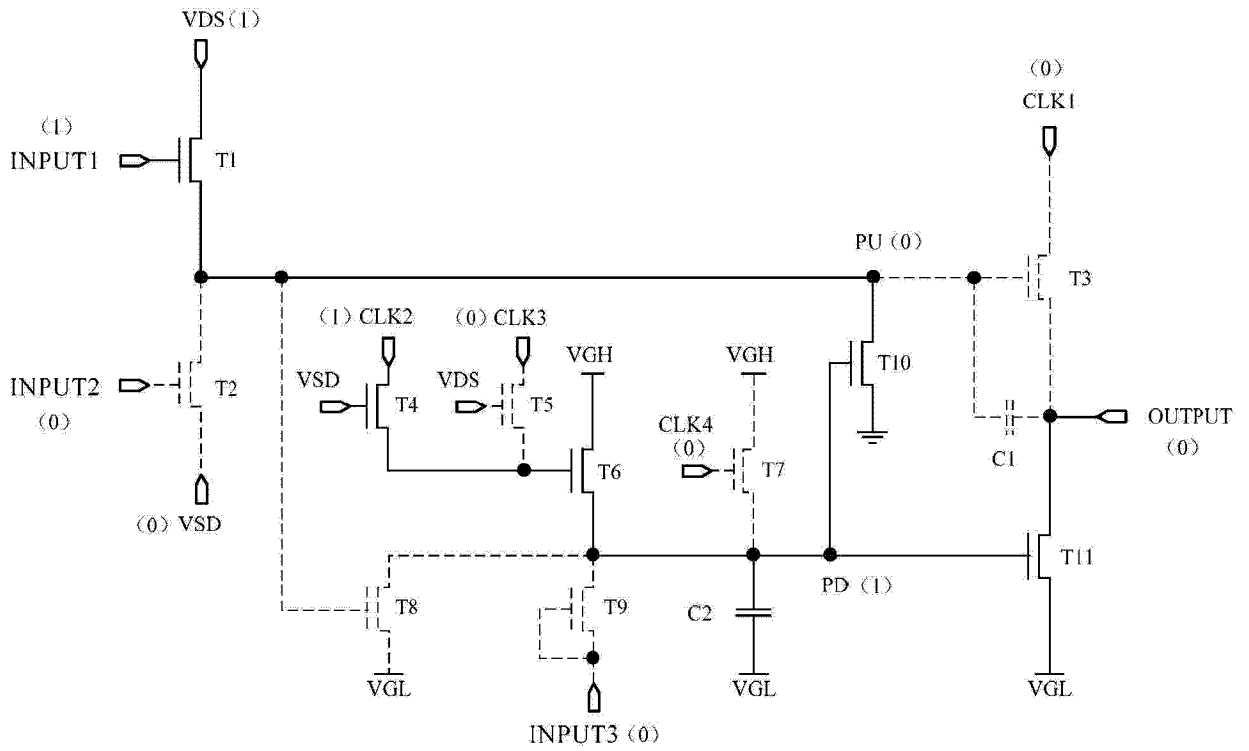


图 10

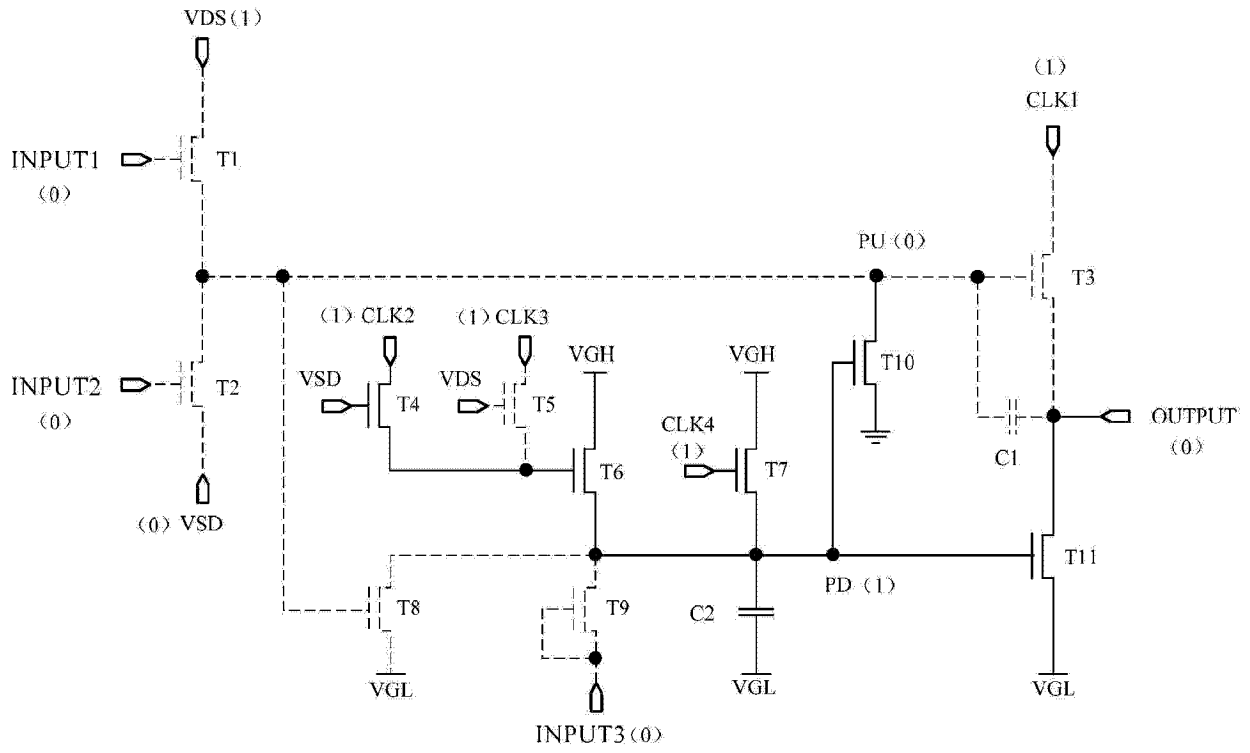


图 11

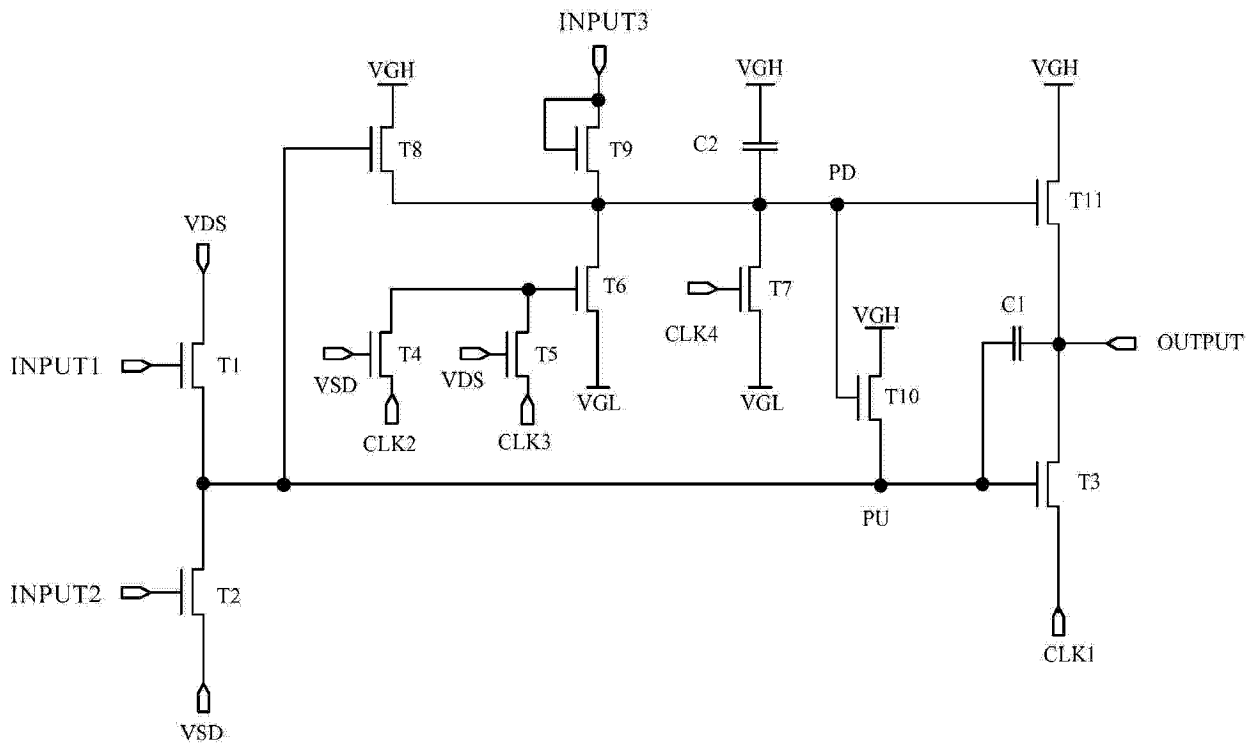


图 12

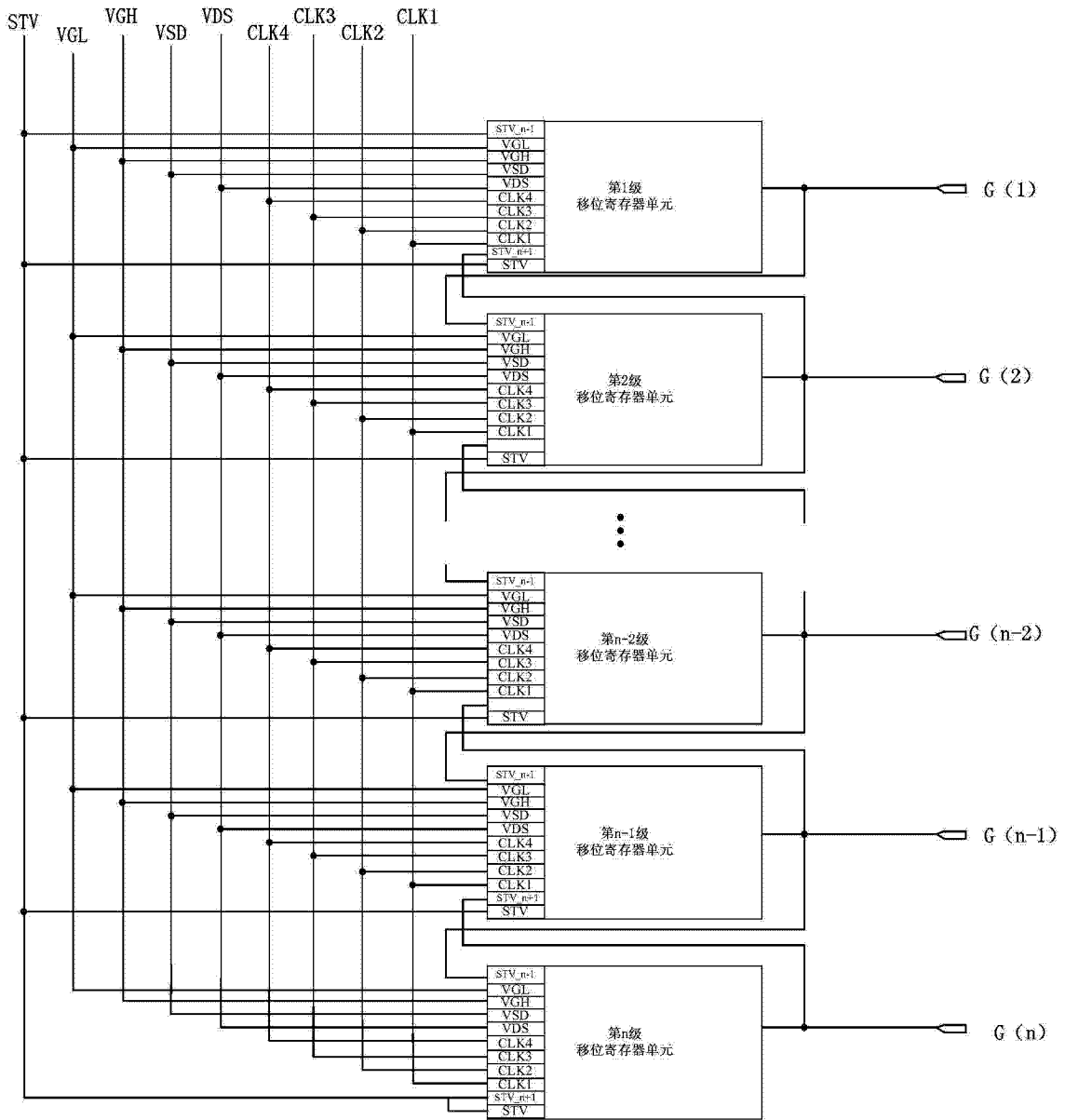


图 13

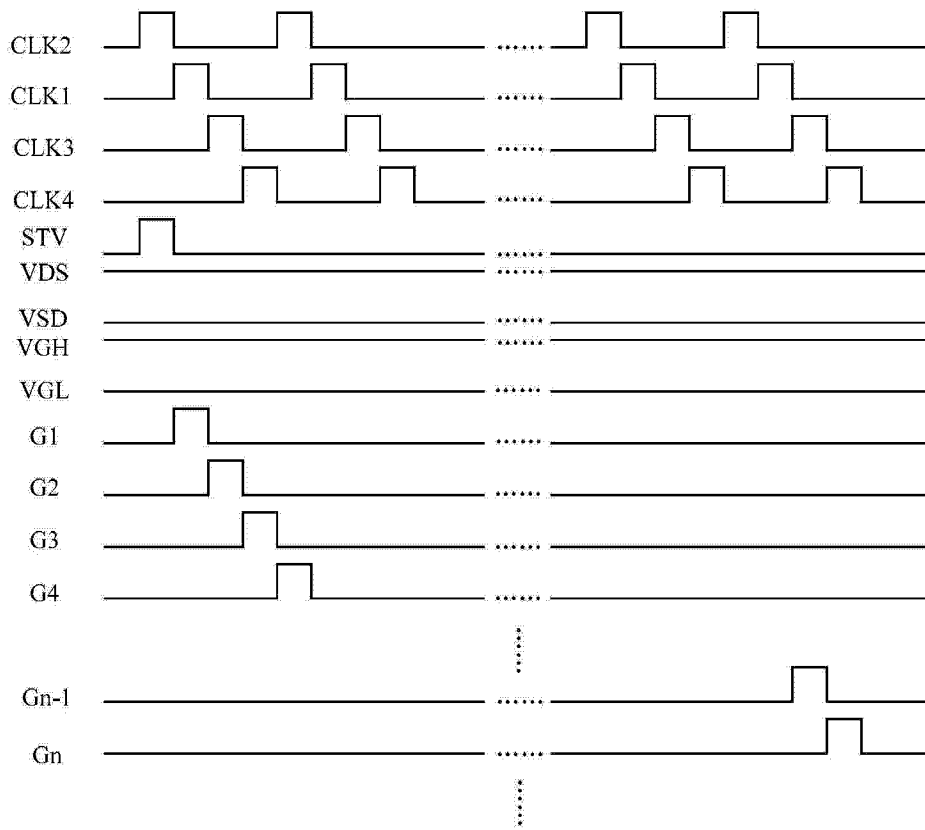


图 14a

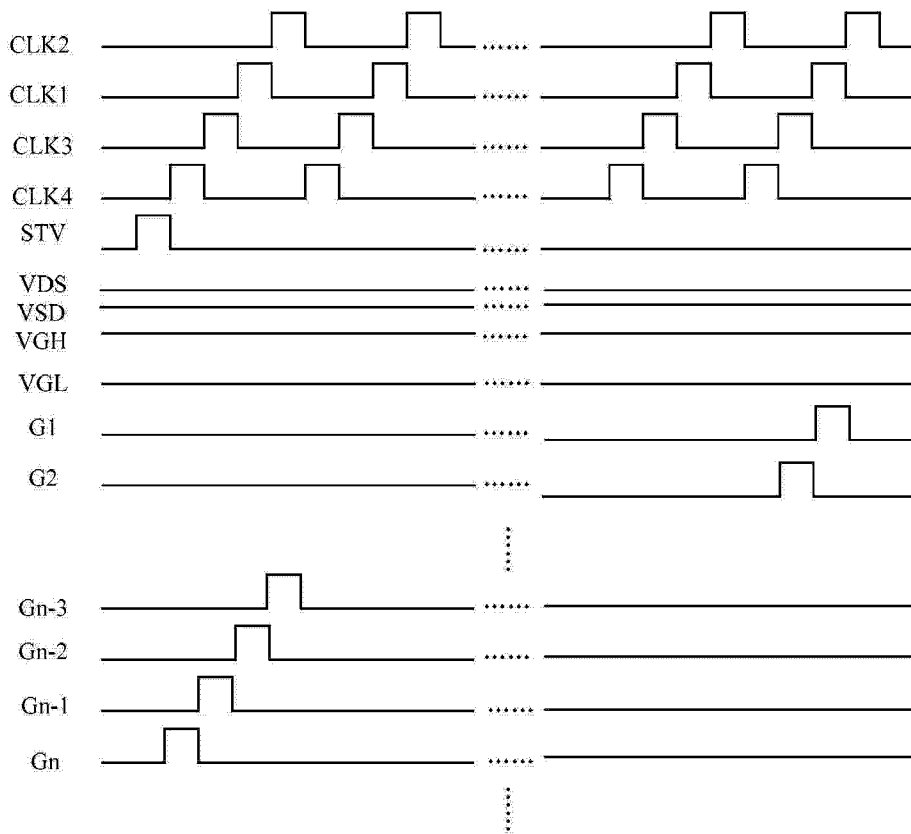


图 14b