



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월20일  
(11) 등록번호 10-1801411  
(24) 등록일자 2017년11월20일

(51) 국제특허분류(Int. Cl.)  
*H01L 51/52* (2006.01)

(21) 출원번호 10-2012-7010614

(22) 출원일자(국제) 2010년08월26일  
심사청구일자 2015년07월24일

(85) 번역문제출일자 2012년04월25일

(65) 공개번호 10-2012-0091123

(43) 공개일자 2012년08월17일

(86) 국제출원번호 PCT/US2010/046812

(87) 국제공개번호 WO 2011/041050  
국제공개일자 2011년04월07일

(30) 우선권주장  
12/570,024 2009년09월30일 미국(US)

(56) 선행기술조사문헌  
US20060066223 A1\*  
JP2005332773 A\*  
KR1020060110875 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
보에 테크놀로지 그룹 컴퍼니 리미티드  
중국 베이징 100016, 차오양 디스트릭트, 지우시  
양치아오 로드 10호

(72) 발명자  
파카르 도날드 세톤  
미국 뉴욕주 12309 니스카유나 빌딩 케이1-4  
에이59 패턴트 도켓 룸 글로벌 리씨치  
듀갈 애널 라즈  
미국 뉴욕주 12309 니스카유나 빌딩 케이1-4  
에이59 패턴트 도켓 룸 글로벌 리씨치  
(뒷면에 계속)

(74) 대리인  
양영준

전체 청구항 수 : 총 10 항

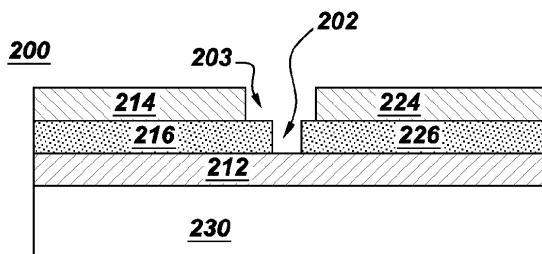
심사관 : 이옥우

(54) 발명의 명칭 일체식 평행 상호접속 구조물

**(57) 요 약**

일체식 상호접속 구조를 갖는 광전자 소자는, 연속 애노드 층, 불연속 캐쏘드 층, 및 상기 애노드 층과 불연속 캐쏘드 층 사이의 전기활성 층을 포함한다.

**대 표 도** - 도2b



(72) 발명자

**허조그 마이클 스콧**

미국 뉴욕주 12309 니스카유나 빌딩 케이1-4에이59  
파텐트 도켓 룸 글로벌 리씨치

**유랜스 제프리 마이클**

미국 뉴욕주 12309 니스카유나 빌딩 케이1-4에이59  
파텐트 도켓 룸 글로벌 리씨치

---

**라커프 스텝판**

미국 뉴욕주 12309 니스카유나 빌딩 케이1-4에이59  
파텐트 도켓 룸 글로벌 리씨치

**보이드 린다 앤**

미국 뉴욕주 12309 니스카유나 빌딩 케이1-4에이59  
파텐트 도켓 룸 글로벌 리씨치

## 명세서

### 청구범위

#### 청구항 1

광전자 소자를 제조하기 위한 공정으로서,

상기 공정은,

롤-투-롤(roll to roll) 장비를 통해 연속 비패턴화된 애노드 층을 포함하는 웹을 전달하는 한편, 상기 연속 비패턴화된 애노드 층 위에 패턴화된 전기활성 층을 형성하는 단계; 및

상기 전기활성 층 위에 패턴화된 캐쏘드 층을 형성하는 단계

를 포함하고,

상기 전기활성 층의 일부는 웹 수송 방향에 평행한 방향으로 선택적으로 제거되고, 상기 캐쏘드 층은 상기 전기활성 층의 일부를 선택적으로 제거한 후에 잔류하는 상기 전기활성 층의 일부에만 침착되어 중단없이 크로스-웹 패턴(cross-web pattern)을 형성하는, 광전자 소자 제조 공정.

#### 청구항 2

제1항에 있어서,

상기 연속 비패턴화된 애노드 층으로의 복수개의 전기 접속부를 형성하는 단계를 추가로 포함하고, 상기 복수개의 전기 접속부 중 적어도 하나는 복수개의 비아 중 하나를 통과하는, 광전자 소자 제조 공정.

#### 청구항 3

제1항에 있어서,

상기 연속 비패턴화된 애노드 층 위에 패턴화된 전기활성 층을 형성하는 단계는:

상기 연속 비패턴화된 애노드 층 위에 전기활성 층을 침착하는 단계; 및

상기 전기활성 층의 일부를 선택적으로 제거하는 단계

를 포함하는, 광전자 소자 제조 공정.

#### 청구항 4

제1항에 있어서,

애노드 버스 층은 상기 애노드의 노출된 영역들 상에만 상기 캐쏘드 층과 동시에 침착되는, 광전자 소자 제조 공정.

#### 청구항 5

제1항에 있어서,

불연속 캐쏘드로의 적어도 하나의 피드쓰루 개구를 포함하는 피드쓰루 층을 형성하는 단계; 및

적어도 하나의 피드쓰루 개구를 가로질러 상기 연속 비패턴화된 애노드 층에 전기적으로 커플링된 적어도 하나의 전도성 패치를 배치하는 단계

를 추가로 포함하는, 광전자 소자 제조 공정.

#### 청구항 6

제1항에 있어서,

불연속 캐쏘드 층 위에 절연층을 배치하고, 상기 절연층 위에 전도성 층을 배치하고 상기 연속 비패턴화된 애노

드 층에 상기 전도성 층을 전기적으로 커플링하는 단계를 추가로 포함하는, 광전자 소자 제조 공정.

#### 청구항 7

제1항에 있어서,

상기 캐쏘드 층으로부터 전기적으로 분리되고, 상기 연속 비패턴화된 애노드 층에 전기적으로 커플링된 전도성 물질의 복수개의 영역을 상기 연속 비패턴화된 애노드 층 바로 위에 배치하는 단계를 추가로 포함하는, 광전자 소자 제조 공정.

#### 청구항 8

제1항에 있어서,

상기 패턴화된 캐쏘드 층은 복수개의 리본형 구조로 구성되는, 광전자 소자 제조 공정.

#### 청구항 9

제1항에 있어서,

적어도 하나의 애노드 버스 영역을 상기 연속 비패턴화된 애노드 층의 일부 바로 위에 배치하는 단계를 추가로 포함하는, 광전자 소자 제조 공정.

#### 청구항 10

제1항에 있어서,

상기 광전자 소자는 유기 발광 소자인, 광전자 소자 제조 공정.

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

## 청구항 20

## 삭제

## 발명의 설명

## 배경기술

[0001]

광전자 소자는 일반적으로 발광 소자 및 광전지 소자를 포함한다. 이러한 소자들은, 일반적으로 종종 전방 및 후방 전극(이들 중 적어도 하나는 전형적으로 투명함)으로 지칭되는 2개의 전극들 사이의 활성 층을 포함한다. 활성 층은 전형적으로 하나 이상의 반도체 물질을 포함한다. 발광 소자, 예를 들어 유기 발광 다이오드(OLED) 소자에서, 2개의 전극들 사이에 인가된 전압은 전류가 활성 층을 통해 흐르도록 한다. 전류는 활성 층이 광을 방출하도록 한다. 광전지 소자, 예를 들어 태양 전지에서, 활성 층은 광으로부터 에너지를 흡수하여 이것을 전기 에너지로 전환시키고, 이 전기 에너지는 2개의 전극들 사이에 일부 특징적인 전압에서 전류의 흐름을 발생시킨다.

[0002]

소자를 전기적으로 구성하는 한가지 방법이 "일체식 직렬 상호접속(monolithic series interconnection)"으로 지칭되어 왔고, 제너럴 일렉트릭 캄파니(General Electric Company)로 양도된 미국특허 제 7,049,757 호 및 미국특허 제 7,518,148 호에 기술되어 있다. 도 1a에서 개략적으로 도시한 이러한 구성에서, 소자(100)는 기판(130) 위에 배치된 2개의 개체 또는 픽셀(110 및 120)로 구성되고 직렬로 전기적으로 접속되어 있다. 소자(100)은 2개의 픽셀을 갖는 것으로 도시되어 있지만, 임의적인 개수의 픽셀들이 직렬로 접속될 수 있다. 픽셀(110)은 애노드(112), 캐쏘드(114) 및 그 사이의 전기활성 층(116)으로 구성되며, 유사하게 픽셀(120)은 애노드(122), 캐쏘드(124) 및 그 사이의 전기활성 층(126)으로 구성된다.

[0003]

소자(100)내 직렬 상호접속은 캐쏘드(114) 및 애노드(112)를 중첩(overlapping)시켜, 상호접속 대역(140)을 형성함으로써, 형성된다. 각각의 픽셀은 공칭 전압  $V$  및 전류  $i$ 에서 작동한다. 따라서 말단-말단(end-to-end) 인가된 전압은  $2V$ 이고, 인가된 전류는  $I$ 이다. 각각의 픽셀을 발광하게 하는데 요구되는 전류의 양은 그의 크기에 비례한다. 픽셀이 클수록, 전류가 상응하는 보다 큰 전극을 가로질러 퍼지기 때문에, 보다 높은 전류가 저항 손실을 증가시킨다. 저항 손실은 전압 강하로서 나타나고, 이는  $V = iR$ 로서 산출된다. 따라서, 보다 높은 요구 전류를 갖는 큰 픽셀은 또한 전극을 가로질러 보다 큰 전압 강하를 나타내고, 결과적으로 픽셀 전반에 걸쳐 불균일한 휘도를 나타낸다. 이러한 직렬 디자인은, 저항 손실이 적도록 직렬로 접속된 보다 작은 픽셀을 사용함으로써 휘도 가변성을 줄인다. 픽셀이 너무 큰 경우, 전압 강하는, 발광 층을 통하는 불균일한 전류 밀도 및 그로 인한 픽셀내 휘도 가변성을 유발한다. 전형적으로, 투명한 전극은, 그의 시트 비저항이 불투명(가능하게는, 금속) 전극보다 크기 때문에, 제한 인자이다.

[0004]

도 1b는, 제조와 관련된 OLED(100)의 구조의 세부 사항을 도시한다. 상기 소자는, 순차적인 공정으로 다양한 층들을 침착시키고 패턴화함으로써 제조되었다. 하나의 예에서, 유리 또는 플라스틱 기판(130) 위에 지지된 인듐 주석 옥사이드(ITO)의 연속 층을, 기계적, 레이저 또는 화학적 에칭 공정을 사용하여 (101)에서 스크라이빙하여 패턴화된 애노드(112 및 122)를 만든다. 다르게는, ITO는 마스크를 통해 침착되어 패턴을 형성할 수 있다. 전형적으로 예를 들어 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입 층을 포함하는 전기활성 층들을 각각 연속 층으로서 침착하고, 그다음 용매 세척 또는 또다른 제거 공정에 의해 선택적으로 제거하여, 스크라이브(102)를 형성한다. 다르게는, 전기활성 층들은 잉크젯 인쇄 또는 선택적 코팅 공정과 같은 인쇄 공정을 사용하여 요구되는 패턴으로 침착할 수 있다. 마지막으로, 캐쏘드(114/124)는, 예를 들어 마스크를 통해 금속 층을 증발시킴으로서 침착시켜 스크라이브(103)를 형성한다. 전체 공정은, 애노드 층, 전기활성 층 또는 캐쏘드 층이 결핍된 영역에서 스크라이브(101)로부터 스크라이브(103)로 연장되는 다크 영역(dark area)을 최소화하기 위하여, 각각의 단계에서 정확한 레지스트레이션 및 정렬을 요구한다.

[0005]

소자는, 캐쏘드( $V_0$ ) 및 애노드( $V_2$ )에 외부 접속을 제공함으로써 동력이 공급된다. 스크라이브(101)와 스크라이브(103) 사이의 영역(109)은 발광되지 않는데, 그 이유는 애노드 및 캐쏘드가 이러한 영역에서 동일한 전압( $V_1$ )이고, 광이 단지 화살표(117 및 127)로 표시된 바와 같이 방출되기 때문이다. 스크라이브 선 및 연속적인 선으로 보이는 생성 다크 영역은, 그렇지 않으면 균일한 광 출력을 방해한다. 다크 영역은, 스크라이브의 폭 및 스크라이브의 간격을 줄임으로써 감소될 수 있지만, 완전히 제거될 수는 없다. 따라서, 다크 영역을 줄이고 픽셀의 크기를 증가시키도록 장치를 구성하는 대체 방법을 발견할 필요가 있다.

[0006] 픽셀의 크기를 제한하는 주요 인자는, ITO 애노드의 시트 저항 및 그로 인한 전압 강하이다. 예를 들어, 알루미늄으로 구성된 금속 캐쏘드는 비교적 전도성이 있고, 즉  $10\Omega/\square$  이하의 시트 저항을 갖는 반면, ITO 애노드는 다소 전도성이 있고, 즉  $10\Omega/\square$  이상의 시트 저항을 갖는다. 따라서,  $iR$  손실이 작고, 이 때문에 캐쏘드는 필수적으로 인가된 전압과 동일한, 균일한 전기 포텐셜에 놓인다. 그러나, ITO의 비교적 큰 시트 저항은 보다 큰  $iR$  손실 및 애노드 전반의 상응하는 전압 비-균일성을 유발한다. 따라서, 캐쏘드와 애노드 사이의 전압차는, 위치에 따라 변하고, 따라서 픽셀의 휘도는 균일하지 않다. ITO(또는 다른 투명 전도체)의 저항의 한계를 극복하기 위해서, 층들을 두껍게 만듦으로써(그러나, 이로 인해 덜 투명해짐) 또는 ITO 밑에 얇은 금속층 또는 금속 그리드를 부가함으로써(그러나, 이 또한 층을 덜 투명하게 함) 전도도를 증가시키는 것이 가능할 수 있다. 픽셀 크기가 제한되는 경우, 제작 공차가 보다 엄격해짐에 따라 암흑 라인의 폭이 감소될 수 있지만, 픽셀 간격에 대한 하한치가 존재하고 암흑 라인이 계속 보인다.

[0007] 직렬 디자인의 추가 제한점은, 안정성의 이유로, 최대 허용가능한 외부적으로 인가된 전압에 의해 전체 개수의 픽셀이 제한될 수 있다는 점이다. 즉, 인가되어야만 하는 외부 전압이 제품 한계치를 초과하기 전에, 얼마나 많은 직렬 접속부가 만들어질 수 있는지에 대한 한계치가 있다. 예를 들어, 직렬로 10개의 픽셀을 접속하기 위해서는 50V가 적합한 반면, 100개의 픽셀을 위한 500V는 전형적으로 사용자 제품의 경우 적합하지 않다.

[0008] 따라서, 가공 비용을 줄이고, OLED의 경우 다크 영역 및 광전자(PV) 소자의 경우에는 비-흡수 영역을 줄이고, 특히 큰 면적 픽셀을 허용하기 위해서 광전자 소자를 위한 상이한 구조가 바람직할 수 있다.

### 발명의 내용

[0009] 간략하게, 하나의 양태에서, 본 발명은 연속 애노드 층, 불연속 캐쏘드 층, 및 상기 연속 애노드 층과 불연속 캐쏘드 층 사이의 전기활성 층을 포함하는 광전자 소자에 관한 것이다. 일부 실시양태에서, 상기 소자는, 제 1 포텐셜의, 연속 애노드에 대한 복수개의 접속부, 및 제 2 포텐셜의, 불연속 캐쏘드에 대한 하나 이상의 접속부를 포함하고; 상기 복수개의 접속부 중 하나 이상이 상기 불연속 캐쏘드 층을 통과한다. 일부 실시양태에서, 상기 불연속 캐쏘드 층은, 복수개의 접속부 중 하나 이상이 각각 통과하는 복수개의 비아를 포함한다.

[0010] 또 다른 실시양태에서, 본 발명은, 연속 비-패턴화된 애노드 층 및 패턴화된 캐쏘드 층을 포함하되, 여기서 패턴화된 캐쏘드 층이 복수개의 리본형 구조로 구성된, 광전자 소자에 관한 것이다.

[0011] 또 다른 양태에서, 본 발명은 광전자 소자를 제조하기 위한 롤-투-롤 공정(roll to roll process)에 관한 것이다. 상기 방법은, 연속 비패턴화된 애노드 층을 제공하는 단계; 상기 연속 비패턴화된 애노드 층 위에 전기활성 층을 침착시키는 단계; 선택적으로 웹 방향으로 상기 전기활성 층의 일부를 제거하는 단계; 그의 일부를 선택적으로 제거한 후 잔류하는 상기 전기활성 층 부분에만 캐쏘드 층을 침착시키는 단계를 포함하되, 크로스-웹 패턴(cross-web pattern)을 형성하기 위해 중단되지 않는다.

### 도면의 간단한 설명

[0012] 본 발명의 이러한 및 다른 특징부, 양태 및 장점은, 첨부된 도면을 참고하여 하기 상세한 설명을 읽는 경우 보다 잘 이해될 것으로 이해되고, 상기 도면에서 유사한 글자들은 도면 전반에 걸쳐 유사한 부품을 나타낸다.

도 1a 및 1b는, 직렬의 상호접속 아키텍처를 갖는 종래 기술 소자의 개략도이다.

도 2a는 본 발명에 따른 광전자 소자의 하나의 실시양태의 개략도이다.

도 2b는 제작에 관한 상세한 사항을 도시한 도 2a의 소자의 단면도를 도시한다.

도 3a 내지 3c는, 광전자 소자를 제조하기 위해 본 발명에 따른 방법의 하나의 실시양태를 도시한 개략도이다.

도 4는 본 발명에 따른 광전자 소자의 밀폐-포장된 실시양태의 개략도이다.

도 5는 리본 픽셀을 갖는 본 발명에 따른 광전자 소자의 실시양태의 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

[0013] 도 2a는, 본 발명에 따른 광전자 소자의 간단한 개략도이다. 광전자 소자(200)는 연속 애노드 층(212), 캐쏘드 영역(214 및 224), 및 상기 연속 애노드 층(212)과 캐쏘드 영역(214 및 224) 사이의 전기활성 영역(216 및 226)을 포함한다. 불연속부(209)는 연속 라인, 라인 분절, 원형 개구부 또는 임의의 다른 형태일 수 있는, 캐

쏘드(214)내 개구부이다. 연속 애노드(212)로의 복수개의 접속부는, (201, 209 및 211)에서 제 1 포텐셜로 형성되고, 캐쏘드 영역(214 및 224)으로의 하나 이상의 접속부는 접속점(213)에서 제 2 포텐셜로 형성된다. 결과적으로, 동일한 휘도 균일성을 유지하면서, 도 1a 및 1b의 소자(100)에 비해, 픽셀의 크기는 보다 클 수 있고, 다크 영역은 보다 작을 수 있다.

[0014] 도 2b는, 제조와 관련된 그의 구조의 세부사항을 도시한, 소자(200)의 단면도를 도시한다. 상기 장치는, 연속 애노드(212)는 연속 층으로서 침착되고 어떠한 스크라이빙도 요구되지 않는 것을 제외하고는 도 2에서 도시한 직렬 상호접속을 생성하는데 사용되는 동일한 공정 단계를 사용하여 구성될 수 있다. 하나의 실시양태에서, 전기활성 영역(216 및 226)은, 연속 층들을 침착시키고 그다음 (용매 세척 또는 다른 공정에 의해) 선택적으로 제거하여 스크라이브(202)를 형성함으로써, 형성된다. 전기활성 영역(216 및 226)을 형성하는 전기활성 층들은 전형적으로 다중 하부층들을 포함한다. OLED 소자의 경우, 존재할 수 있는 하부층들은 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층을 포함하고, 이러한 하부층들은 각각 추가의 하부층들로 구성될 수 있다. 캐쏘드 영역(214 및 224)은, 마스크를 통해 금속 층을 침착시켜, 스크라이브(202)와 공동으로 위치한, 스크라이브(203)를 형성함으로써, 형성된다.

[0015] 애노드 층(202)에 대해 전압  $V_1$ 로, 캐쏘드에 대해 전압  $V_0$ 으로 전기적으로 접속시킨다. 인가된 전압은  $V_0$ 이고 여기서 전류는  $I_1$ 이다. 부가적인 전기 접속은, 각각의 층의 시트 저항에 따라, 일차적으로 애노드 층(202)에 대해 중요하고, 이차적으로 캐쏘드 층(204)에 대해 중요하다. 스크라이브 영역(202/203)은 구멍(바이어) 또는 선일 수 있다. 캐쏘드 영역(214 및 224)으로 구성된 캐쏘드 층은, 하나의 인가된 전압에서 전기적으로 연속 층이고, 캐쏘드 영역(214 및 224)은, 캐쏘드 층의 모든 영역이 전기적으로 상호접속되도록, 충분한 개수의 위치에서 연결된다. 스크라이브(203)가 캐쏘드 층에서 하나(또는 그 이상)의 구멍 또는 개구를 나타내는 경우, 캐쏘드 영역(214 및 224)은 전기적으로 연속적이고, 단지 하나의 연결부가 요구된다. 스크라이브(203)가 캐쏘드 층의 좌측 부분과 우측 부분을 캐쏘드 영역(214 및 224)으로 분리하는 연속 라인인 경우, 2개의 접속부가 양쪽 부분을 접속하기 위해서 요구된다. 외부 전력 공급원에 대한 전기 접속부는 소자(200)의 가장자리 및 후방에 형성될 수 있다. 가장자리에서만 이러한 접속부를 갖는 소자 구조를 제공하기 위해서, 부가적인 전도성 층이 부가될 수 있다.

[0016] 본 발명에 따른 광전자 소자를 제조하기 위한 방법은 도 3a 내지 도 3c에서 소자(300)에 대해 개략적으로 도시한다. ITO로 구성된 연속 애노드 층(312)은, 제공된다. 선택적으로 기판(330) 위에 배치된다. 비-제한적인 예에서, 기판(330)은 유리, 금속 호일, 또는 플라스틱 물질, 예를 들어 폴리에스터를 포함할 수 있다. 상기 기판은, 유리, 금속 호일 또는 플라스틱 물질과 애노드 층(312) 사이에 위치한 차단벽 층(도시하지 않음)을 포함할 수 있다. 전기활성 영역(316 및 326)은, 연속 층들을 침착시키고, 그다음 (용매 세척 또는 다른 공정에 의해) 선택적으로 제거하여 스크라이브(302)를 형성함으로써, 연속 애노드(312) 위에 배치된다. 다르게는, 전기활성 영역(316 및 326)은, 마스크 또는 다이를 통해 침착되어 스크라이브(302)를 형성할 수 있다. 캐쏘드 영역(314 및 324)은 마스크를 통해 전기활성 영역(316 및 326) 위에 침착시켜 스크라이브(303)를 형성한다. 적합한 물질로는, 낮은 일함수 물질들, 예를 들어 알루미늄, 은, 칼슘, 마그네슘 또는 마그네슘/은 합금을 포함할 수 있지만, 이로서 한정되는 것은 아니다. 다르게는, 캐쏘드는 전자 주입을 개선시키기 위해서 2개의 층들로 구성될 수 있다. 캐쏘드 영역(214 및 224)을 위한 적합한 물질의 비-제한적인 예로는 LiF/알루미늄, Ca/알루미늄, 및 Ca/은이다. 그다음, 절연층(342)을 캐쏘드 영역(314 및 324) 위에 침착시키며; 절연층(342)은, 이로서 한정하는 것은 아니지만, 열가소성 또는 열경화성 중합체 물질, 예를 들어 에폭시, 아크릴릭 우레탄, 실리콘, 고무, 비닐 또는 폴리올레핀을 포함할 수 있는, 임의의 박막 형성 유기 또는 무기 물질일 수 있다. 절연층(342)을 위한 적합한 물질의 구체적인 예로는 일렉트로-라이트 코포레이션(Electro-lite Corporation)에서 입수 가능한 UV 경화성 에폭시 접착체 ELC 2500이다. 스크라이브(302 & 303)에 의해 노출된 애노드 영역은 마스킹 테이프를 사용하여 마스킹된다. 캐쏘드 영역(314 및 324)은, 와이어 막대, 스판 코팅, 또는 2 내지  $20\mu\text{m}$ , 바람직하게는 약 5 내지  $10\mu\text{m}$ 의 두께를 달성하기 위한 또 다른 공지된 코팅 기법을 사용하여 접착제로 코팅한다. 그다음, 접착제를 30초 동안  $50\text{ mW/cm}^2$ 의 에너지 및 365nm의 파장의 UV선에 노출시킨다. 마스킹 테이프를 제거하여, 선택된 위치에서 애노드를 노출시킨다. 다르게는, 절연층(342)을 마스크를 통해 침착시키거나 스크라이빙 공정에서 침착시킨 후 폐턴화함으로써 선택적으로, 애노드(302)가 노출된 스크라이브(315)로서 도시된 영역을 형성할 수 있다. 도 3b에서 도시한 후속적인 단계에서, 부가적인 금속 층(344)을 절연층(342) 위에 침착시켜 애노드(302)와의 전기 접속부를 형성한다. 전도성 층은 애노드와 평행하게 전류를 수송하여, 그렇지 않으면 투명 애노드의 시트 저항으로부터 유발될 전합 강하를 완화시킨다. 도 3c는, 어떻게 다중층 평행 접속부가 동일한 방법을 사용하여 제조될 수 있는지를 단면으로 도시한다. 다중층 접속부는, 애노드에 대해 제조되어, 전류가 애노드에서

측방향으로 움직임에 따른 저항 손실을 완화시켜준다.

[0017] 또 다른 양태에서, 본 발명은, 연속 비패턴화된 애노드 층, 및 복수개의 리본형 구조로 구성된 불연속 캐쏘드 층을 포함하는 광전자 소자에 관한 것이다. '리본형'이란 용어는, 길고, 단면으로는 좁고 얕을 수 있는, 소자의 발광 영역의 크기를 지칭한다. 리본은, 길이 치수에서만 요구되는 레지스트레이션 및 특징을 가진 채 연속될 수 있다. 즉, 리본의 길이 치수에 대해 수직인 어떠한 레지스트레이션 또는 정렬에 대한 요구가 없다. 이러한 특징은 연속 룰 투 룰 제작 공정에서 리본 디자인의 수행을 간략하게 한다.

[0018] 도 4는, 기판(430), 연속, 비패턴화된 애노드(412), 전기활성 층(426), 캐쏘드 영역(414 및 424), (선택적으로) 애노드 버스(452, 454 및 456), 피드쓰루 층 또는 백시트(462), 애노드 전도성 패치(472) 및 캐쏘드 전도성 패치(482)로 구성된, 밀폐-포장된 소자(400)를 도시한다. 전도성 패치(472 및 482)는, 전도성 물질, 바람직하게는 금속으로 구성되고, 외부 전원 공급원과 애노드 및 캐쏘드 영역 사이의 전기적 접속을 허용하도록 구성된 피드쓰루 개구(도시되지 않음)를 덮고, 백시트(462)로부터 전기적으로 절연되어 있다. 밀폐 팩키지 패치를 형성하고 소자에 접속시키기 위한 패치 및 개구를 사용하는 이러한 구성은, 그 전체를 본원에서 참고로 인용하는 것으로, 2009년 5월 21일자로 미국 특허출원 제 12/470033 호에 기재되어 있다.

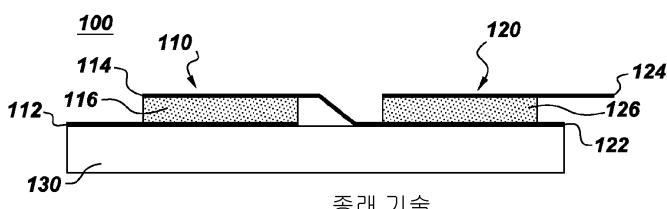
[0019] 도 5는, 캐쏘드 밑의 발광 영역에 해당하는 리본형 점화된 영역(514) 애노드 버스에 의해 덮힌 영역에 해당하는 비-점화된 영역(552), 애노드 피드쓰루 개구(582) 및 캐쏘드 피드쓰루 개구(591)를 포함한다. 도 4 및 5는 전도성 패치를 사용하는 외부 접속부를 도시하지만, 직렬 상호접속 아키텍처의 경우, 접속부가 상기 소자의 측면 영역에서 형성될 수 있다.

[0020] OLED 팩키지(500)는 롤-투-롤 과정에 의해 제조된다. 선택적인 차단벽 층 및 연속 비패턴화된 투명 전도성 애노드, 예를 들어 ITO를 갖는 기판이 제공된다. 이로서 한정하는 것은 아니지만, 발광층, 선택적인 정공 주입층, 선택적인 정공 수송층, 선택적인 전자 수송층 및 선택적인 전자 주입층을 포함하는 전기활성 층이 애노드 위에 침착되어 있고, 웨b 방향으로 일부 물질을 선택적으로 제거함으로써 패턴화된다. 캐쏘드 층은 전기활성 층의 나머지 부분 위에만 침착되고, (선택적인) 애노드 버스 층은, 캐쏘드 층과 동시에 애노드의 노출된 영역에만 침착되어, ITO 층의 전도도를 증가시킨다. 웨b을 중단시켜 크로스-웨b 패턴을 형성할 필요 없이 전기활성 층 및 캐쏘드 층 둘다가 연속적인 공정으로 침착된다. 이는 공정 및 설비 간략화 때문에 일반적으로 유리하다. 불투과성 백시트가 구조물에 적층되며, 백시트에 애노드 및 캐쏘드 접속부의 위치에 해당하는 개구가 제공된다. 개구는 애노드 또는 캐쏘드와 전기적으로 접촉하는 불투과성 패치로 덮여 있어, 예를 들어 전도성 입자로 충전된 아크릴레이트 또는 에폭시로 구성된 전도성 접착제, 또는 다른 수단을 사용하여 접촉되며 상기 패치는 백시트에 밀봉된다. 마지막으로, 패치를 전원 공급 장치에 접속시키고 상기 소자에 에너지를 제공하기 위해서 외부 버스가 제공된다.

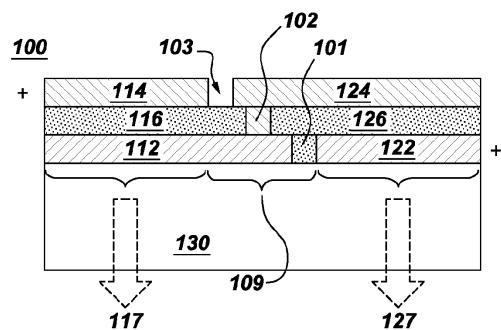
[0021] 본 발명의 단지 특정 특징부가 본원에서 도시되고 기술되어 있지만, 당분야의 숙련자라면 많은 개조 및 변형을 만들 수 있을 것이다. 따라서, 첨부된 특허청구범위는 본 발명의 진의에 속하는 모든 이러한 개조 및 변형을 커버하고자 하는 것으로 이해되어야 한다.

## 도면

### 도면 1a

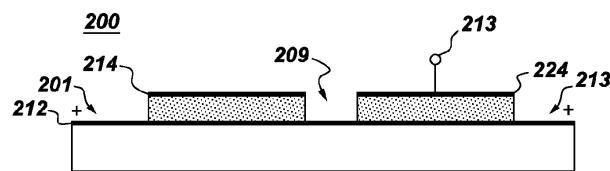


## 도면1b

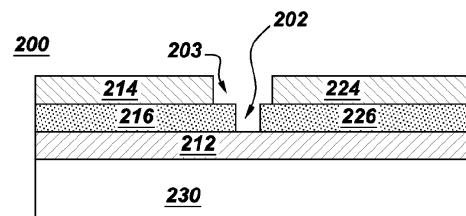


종래 기술

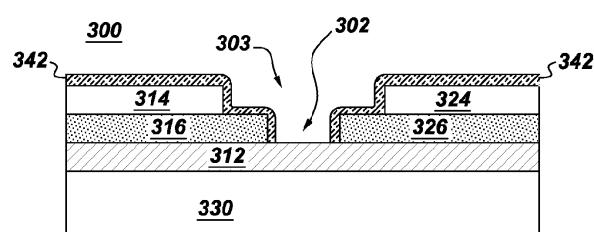
## 도면2a



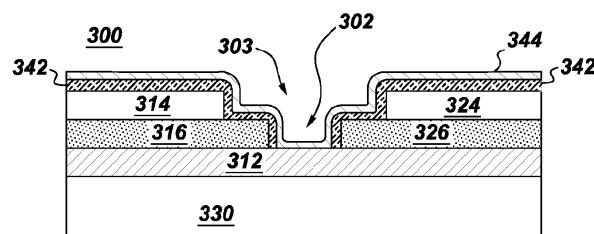
## 도면2b



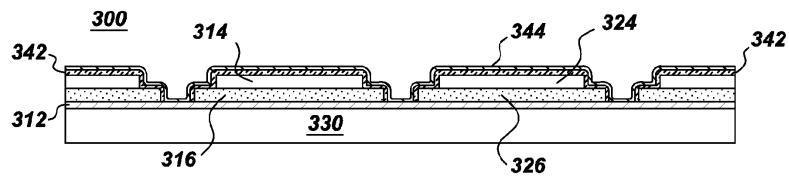
## 도면3a



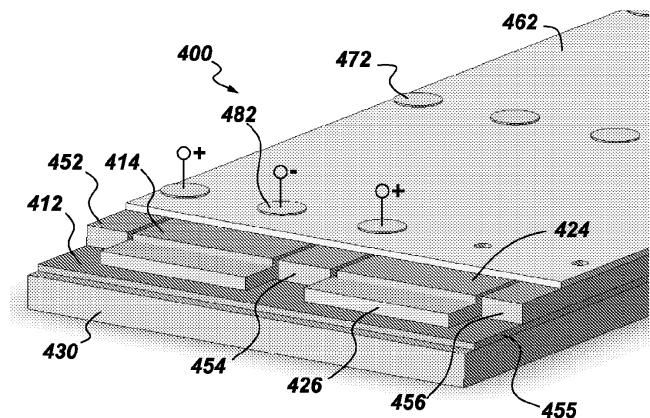
## 도면3b



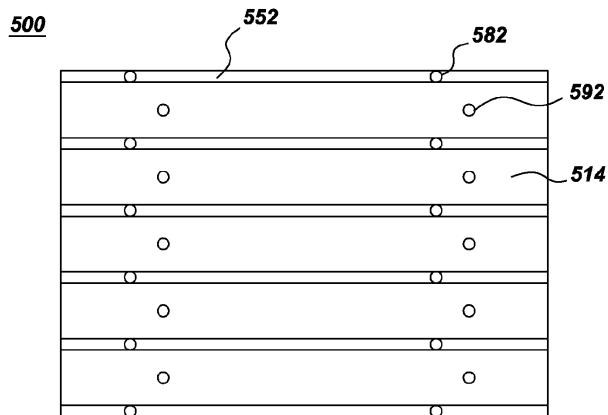
## 도면3c



## 도면4



## 도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

상기 연속 애노드에

【변경후】

상기 연속 비패턴화된 애노드 층에

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

상기 애노드 층

【변경후】

상기 연속 비패턴화된 애노드 층

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 6

【변경전】

상기 연속 애노드 층에

【변경후】

상기 연속 비패턴화된 애노드 층에