



## (12) 发明专利

(10) 授权公告号 CN 103151266 B

(45) 授权公告日 2016. 08. 03

(21) 申请号 201310055161. 6

(22) 申请日 2010. 10. 25

(30) 优先权数据

2009-264768 2009. 11. 20 JP

(62) 分案原申请数据

201080052375. 2 2010. 10. 25

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 细羽幸 坂田淳一郎 大原宏树

山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 叶晓勇 朱海煜

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

W0 2008/133456 A1, 2008. 11. 06,

US 2008/0038882 A1, 2008. 02. 14,

W0 2008/126879 A1, 2008. 10. 23,

W0 2009/041713 A2, 2009. 04. 02,

W0 2009/084537 A1, 2009. 07. 09,

W0 2009/081885 A1, 2009. 07. 02,

W0 2008/133456 A1, 2008. 11. 06,

审查员 谢正旺

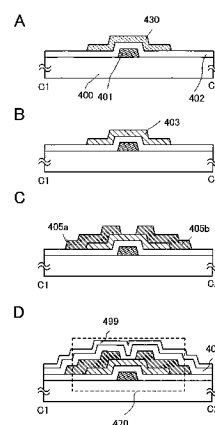
权利要求书2页 说明书52页 附图47页

(54) 发明名称

用于制造半导体器件的方法

(57) 摘要

一个目的是提供具有稳定电特性的使用氧化物半导体的半导体器件。氧化物半导体层经受在氮气体或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的用于脱水或脱氢处理的热处理以及经受在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 40C, 更优选地低于或等于 50C) 气氛中的用于提供氧的处理的冷却步骤。因此, 氧化物半导体层经过高度纯化, 由此形成 i 型氧化物半导体层。制造包括具有氧化物半导体层的薄膜晶体管的半导体器件。



1. 一种用于制造半导体器件的方法,包括下列步骤:  
在衬底之上形成栅电极;  
在所述衬底和所述栅电极之上形成栅绝缘膜;  
在所述衬底的温度设置为100℃至600℃、包括100℃和600℃的条件下,通过溅射在所述栅绝缘膜之上形成氧化物半导体层;  
对所述氧化物半导体层进行加热处理以降低所述氧化物半导体层的氢浓度;  
在进行所述加热处理后将氧提供至所述氧化物半导体层中;以及  
在所述氧化物半导体层之上形成源电极和漏电极。
2. 一种用于制造半导体器件的方法,包括下列步骤:  
在衬底之上形成栅电极;  
在所述衬底和所述栅电极之上形成栅绝缘膜;  
在所述衬底的温度设置为100℃至600℃、包括100℃和600℃的条件下,通过溅射在所述栅绝缘膜之上形成氧化物半导体层;  
对所述氧化物半导体层进行加热处理以降低所述氧化物半导体层的氢浓度;  
在进行所述加热处理后将氧提供至所述氧化物半导体层中;  
在所述氧化物半导体层之上形成源电极和漏电极;以及  
在形成所述源电极和所述漏电极后进行等离子体处理。
3. 如权利要求1或2所述的方法,  
其中,进行所述加热处理以便去除所述氧化物半导体层中的水分。
4. 如权利要求1或2所述的方法,  
其中,为执行所述氧化物半导体层的脱水处理和脱氢处理而进行所述加热处理。
5. 一种用于制造半导体器件的方法,包括下列步骤:  
在衬底之上形成栅电极;  
在所述衬底和所述栅电极之上形成栅绝缘膜;  
在所述衬底的温度设置为100℃至600℃、包括100℃和600℃的条件下,通过溅射在所述栅绝缘膜之上形成氧化物半导体层;  
对所述氧化物半导体层进行第一加热处理以降低所述氧化物半导体层的氢浓度;  
在进行所述第一加热处理后将氧提供至所述氧化物半导体层中;  
在所述氧化物半导体层之上形成源电极和漏电极;  
在形成所述源电极和所述漏电极后进行等离子体处理;  
在所述氧化物半导体层、所述源电极和所述漏电极之上形成绝缘膜;以及  
在形成所述绝缘膜后进行第二热处理。
6. 如权利要求5所述的方法,  
其中,进行所述第一加热处理以便去除所述氧化物半导体层中的水分。
7. 如权利要求5所述的方法,  
其中,为执行所述氧化物半导体层的脱水处理和脱氢处理而进行所述第一加热处理。
8. 如权利要求2或5所述的方法,  
其中,N<sub>2</sub>O气体被用于进行所述等离子体处理。
9. 如权利要求1、2或5的任一项所述的方法,

其中,通过氧气氛中的冷却处理来进行将氧提供至所述氧化物半导体层中的步骤。

10.如权利要求1、2或5的任一项所述的方法,

其中,将氧提供至所述氧化物半导体层中的步骤在空气气氛下进行。

11.如权利要求1、2或5的任一项所述的方法,

其中,将氧提供至所述氧化物半导体层中的步骤在氧气氛或氧氮气氛下进行。

12.如权利要求1、2或5的任一项所述的方法,

其中,进行将氧提供至所述氧化物半导体层中的步骤以便填充所述氧化物半导体层中的氧缺陷。

## 用于制造半导体器件的方法

### 技术领域

[0001] 本发明涉及包括氧化物半导体的半导体器件以及用于制造半导体器件的方法。

[0002] 在本说明书中,半导体器件一般表示能够通过利用半导体特性来起作用的装置,并且光电装置、半导体电路和电子设备都是半导体器件。

### 背景技术

[0003] 一种用于通过使用在具有绝缘表面的衬底之上形成的半导体薄膜来形成薄膜晶体管(TFT)的技术已经引起关注。薄膜晶体管用于以液晶电视为代表的显示装置。硅基半导体材料被认为是可适用于薄膜晶体管的半导体薄膜的材料。作为另一种材料,氧化物半导体引起了关注。

[0004] 作为氧化物半导体的材料,氧化锌或者包含氧化锌作为其成分的材料是已知的。此外,公开了使用电子载流子浓度小于 $10^{18}$  / $\text{cm}^3$ 的非晶氧化物(氧化物半导体)所形成的薄膜晶体管(参见专利文献1至3)。

[0005] [参考文献]

[0006] [专利文献]

[0007] [专利文献1] 日本专利申请公开No. 2006-165527。

[0008] [专利文献2] 日本专利申请公开No. 2006-165528。

[0009] [专利文献3] 日本专利申请公开No. 2006-165529。

### 发明内容

[0010] 但是,与氧化物半导体中的化学计量组成的差异在薄膜形成过程中发生。例如,氧化物半导体的电导率因氧过剩或氧缺陷而发生变化。此外,在薄膜的形成期间进入氧化物半导体薄膜的氢或水分形成O-H(氧-氢)键,并且用作作为改变电导率的因子的电子施主。此外,由于O-H键是极性分子,所以它用作诸如使用氧化物半导体所制造的薄膜晶体管之类的有源装置的变化特性的因子。

[0011] 鉴于这类问题,本发明的实施例的一个目的是提供一种具有稳定电特性的使用氧化物半导体的半导体器件。

[0012] 为了抑制包括氧化物半导体层的薄膜晶体管的电特性的变化,特意从氧化物半导体层中去除诸如氢、水分、羟基或氢化物(又称作氢化合物)之类的引起变化的杂质。另外,提供作为氧化物半导体的主成分并且在去除杂质的步骤中减少的氧。因此,氧化物半导体层经过高度纯化,由此得到作为电学上i型(本征)的氧化物半导体层。

[0013] 因此,优选的是,氧化物半导体中的氢尽可能较少。氧化物半导体中包含的氢的浓度优选地设置为 $1 \times 10^{16}$  / $\text{cm}^3$ 或更小,使得将氧化物半导体层中包含的氢去除为尽可能接近零。

[0014] 此外,高纯度氧化物半导体中的载流子的数量极小(接近零),并且载流子浓度小于 $1 \times 10^{14}$  / $\text{cm}^3$ ,优选地小于 $1 \times 10^{12}$  / $\text{cm}^3$ ,更优选地为 $1 \times 10^{11}$  / $\text{cm}^3$ 或更小。由于氧化物半

导体中的载流子的数量如此小,使得截止态电流(off-state current)能够在薄膜晶体管中降低。截止态电流量越小则越好。截止态电流(又称作泄漏电流)是在施加-1 V至-10 V之间的给定栅极电压的情况下在薄膜晶体管的源极与漏极之间流动的电流。包括本说明书中公开的氧化物半导体的薄膜晶体管的沟道宽度(w)的每1  $\mu\text{m}$ 的电流值为100 aA/ $\mu\text{m}$ 或更小,优选地为10 aA/ $\mu\text{m}$ 或更小,更优选地为1 aA/ $\mu\text{m}$ 或更小。此外,薄膜晶体管没有pn结,并且没有被热载流子退化;因此,薄膜晶体管的电特性没有受到pn结和退化影响。

[0015] 氢的上述浓度范围能够通过二次离子质谱法(SIMS)或者基于SIMS的数据来得到。另外,载流子浓度能够通过霍耳效应测量来测量。作为用于霍耳效应测量的设备的一个示例,能够给出比电阻/霍耳效应测量系统ResiTest 8310(TOYO Corporation制造)。利用比电阻/霍耳效应测量系统ResiTest 8310,磁场的方向和强度以一定周期变化,并且与其同步地仅检测样品中引起的霍耳电动势电压,使得能够执行AC(交流)霍耳测量。甚至在具有低迁移率和高电阻率的材料的情况下,也能够检测霍耳电动势电压。

[0016] 除了氧化物半导体膜中存在的诸如水分之类的杂质之外,还降低栅绝缘层中以及氧化物半导体膜和设置成与其接触的上、下膜之间的界面处存在的诸如水分之类的杂质。

[0017] 为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氧化物半导体膜的形成之后,在氮气氛或者在诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下、在暴露氧化物半导体膜的状态中以200°C至700°C、优选地以350°C至700°C、更优选地以450°C至700°C来执行热处理(用于脱水或脱氢的热处理)。因此,降低氧化物半导体膜中包含的水分。随后,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40°C,更优选地低于或等于-50°C)气氛中执行缓慢冷却。

[0018] 作为脱水或脱氢处理,在氮气氛或惰性气体气氛中或者在降低的压力下执行热处理,由此降低氧化物半导体膜中包含的水分。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40°C,更优选地低于或等于-50°C)气氛中对氧化物半导体膜执行冷却。借助于这样得到的氧化物半导体膜,薄膜晶体管的电特性得到改进。此外,能够实现能够大规模生产的具有高性能的薄膜晶体管。

[0019] 在氮气氛中对多个样品施加温度变化。采用热脱附谱(TDS)设备来测量这类多个样品。测量结果如图4、图5、图6和图7所示。

[0020] 热脱附谱设备用于由四极质谱分析器来检测和识别当样品被加热并且其温度在高真空中增加时从样品所脱附和生成的气体成分;因此,能够观测从样品的表面和内部所脱附的气体和分子。借助于ESCO Ltd.制造的热脱附谱设备(产品名称:EMD-WA1000S),在如下条件下执行测量:上升温度在测量开始时大约为10°C/min;压力为 $1 \times 10^{-8}$  (Pa);以及压力在测量期间为大约 $1 \times 10^{-7}$  (Pa)的真空度。

[0021] 图37是示出仅包括玻璃衬底的样品(比较样品)与厚度为50 nm的In-Ga-Zn-O基膜通过溅射方法在玻璃衬底之上形成的样品(样品1)之间的比较的TDS结果的图表。图37示出通过测量H<sub>2</sub>O所得到的结果。从In-Ga-Zn-O基膜的诸如水分(H<sub>2</sub>O)之类的杂质的脱附能够从300°C附近的峰值来确认。

[0022] 对如下样品执行比较:其中厚度为50 nm的In-Ga-Zn-O基膜通过溅射方法在玻璃衬底之上形成的样品(样品1);其中样品1的衬底在氮气氛中以350°C经过一小时热处理的样品(样品2);其中样品1的结构在氮气氛中以375°C经过一小时热处理的样品(样品3);其

中样品1的结构在氮气氛中以400℃经过一小时热处理的样品(样品4);其中样品1的结构在氮气氛中以425℃经过一小时热处理的样品(样品5);以及其中样品1的结构在氮气氛中以450℃经过一小时热处理的样品(样品6)。

[0023] 图4示出对H<sub>2</sub>O的TDS结果。图5示出对OH的TDS结果。图6示出对H的TDS结果。图7示出对O的TDS结果。注意,在热处理的上述条件下,氮气氛中的氧浓度为20 ppm或更低。

[0024] 从图4、图5和图6所示的结果中发现,氮气氛中的加热温度越高,则从In-Ga-Zn-O基膜所脱附的诸如水分(H<sub>2</sub>O)、OH和H之类的杂质质量变得越小。

[0025] 此外,如图7所示,氧的峰值也通过在氮气氛中的热处理来降低。

[0026] 上述结果表明,通过执行In-Ga-Zn-O基膜的热处理,主要排放水分。换言之,热处理引起主要从In-Ga-Zn-O基膜脱附水分(H<sub>2</sub>O)。图5所示的H、图6所示的OH和图7所示的O的TDS测量值受到通过分解水分子所得到的材料影响。

[0027] 通过在氮气氛中执行的热处理以及在氮气氛中执行的冷却来得到的样品7经过TDS测量。In-Ga-Zn-O基膜在氩和氧的气氛(氩:氧=30 sccm:15 sccm)中在如下条件下使用In-Ga-Zn-O基氧化物半导体膜形成靶(In:Ga:Zn=1:1:1[原子比])在玻璃衬底之上形成为50 nm的厚度:衬底与靶之间的距离为60 mm,压力为0.4 Pa,以及RF电源为0.5 kW。这样得到的膜的温度在氮气氛中升高1.5小时,并且膜以450℃加热一小时。此后,膜在氧气氛中冷却大约五小时。这样形成样品7。另一方面,膜按照与该膜相似的方式来形成,在氮气氛中加热,然后仍然在氮气氛中而不是在氧气氛中冷却。这样形成样品8。

[0028] 图44A示出对样品7的氧(O)的TDS结果,以及图44B示出对样品8的氧(O)的TDS结果。在氧气氛中冷却的图44A的样品7的氧的峰值高于不是在氧气氛中冷却的图44B的样品8的氧的峰值。从这些结果能够证实,将氧提供给样品7的膜。

[0029] 图44A和图44B表明,通过在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却氧化物半导体层,能够将氧提供给氧化物半导体层,并且因而能够填充因氧的排放引起的氧缺陷。因此,能够得到电学上i型(本征)的高纯度氧化物半导体层。

[0030] 在本说明书中,在氮气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的热处理称作用于脱水或脱氢的热处理。在本说明书中,为了方便起见,脱水或脱氢不仅指H<sub>2</sub>的脱附,而且还指H、OH等的脱附。

[0031] 用于脱水或脱氢的热处理对氧化物半导体层来执行,并且因此氧化物半导体层改变成氧缺陷类型,由此得到n型(n<sup>-</sup>型、n<sup>+</sup>型等)氧化物半导体层。然后,所得到的氧化物半导体层在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却,由此将氧提供给氧化物半导体层。因此,氧化物半导体层经过高度纯化,由此得到i型氧化物半导体层。借助于这样得到的i型氧化物半导体层,能够制造和提供包括具有优良电特性的极可靠薄膜晶体管的半导体器件。

[0032] 按照本说明书中公开的本发明的结构的一个实施例,形成栅电极层以及覆盖栅电极层的栅绝缘层;将栅电极层和栅绝缘层引入保持在降低的压力下的处理室;通过引入与从处理室中去除残留水分同时地去除了氢和水分的溅射气体,借助于附连到处理室的金属氧化物靶,在栅绝缘层之上形成氧化物半导体层;通过在氮气氛或稀有气体气体中的热处理对氧化物半导体层执行脱水或脱氢,然后通过在氧气氛中的冷却处理来将氧提供给氧化

物半导体层;源电极层和漏电极层在经过了脱水或脱氢并且对其提供了氧的氧化物半导体层之上形成;以及绝缘层通过溅射方法在栅绝缘层、氧化物半导体层、源电极层和漏电极层之上形成。

[0033] 按照本说明书中公开的本发明的结构的一个实施例,形成栅电极层以及覆盖栅电极层的栅绝缘层;将栅电极层和栅绝缘层引入保持在降低的压力下的处理室;通过引入与从处理室中去除残留水分同时地去除了氢和水分的溅射气体,借助于附连到处理室的金属氧化物靶,在栅绝缘层之上形成氧化物半导体层;通过在氮气氛或稀有气体气体中的热处理对氧化物半导体层执行脱水或脱氢,然后通过氧和氮气氛或者露点为低于或等于 $-40^{\circ}\text{C}$ 的空气气氛中的冷却处理来将氧提供给氧化物半导体层;源电极层和漏电极层在经过了脱水或脱氢并且对其提供了氧的氧化物半导体层之上形成;以及绝缘层通过溅射方法在栅绝缘层、氧化物半导体层、源电极层和漏电极层之上形成。

[0034] 在制造半导体器件的方法中,氧化物半导体层或绝缘层优选地在沉积室(处理室)中形成,其杂质浓度通过采用诸如低温泵之类的吸附真空泵的排空来降低。作为吸附真空泵,例如优选地使用低温泵、离子泵或钛升华泵。吸附真空泵起作用,以使得降低氧化物半导体层或绝缘层中包含的氢、水、羟基或氢化物的量。

[0035] 作为用于形成氧化物半导体层或绝缘层的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0036] 在用于制造半导体器件的方法中,包含氧化锌作为其主要成分的靶能够用作用于形成氧化物半导体膜的靶。备选地,包含铟、镓和锌的金属氧化物能够用作靶。

[0037] 本发明的一个特征是使氧化物半导体层经过在氮气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的用于脱水或脱氢处理的热处理以及经过在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中的用于提供氧的处理的冷却步骤。

[0038] 脱水或脱氢处理以及用于提供氧的处理中的氧化物半导体层(和衬底)的温度状态是上升状态、恒定状态和下降状态。气体(气氛)可在下列定时的任一个从氮或者诸如稀有气体(例如氩或氦)之类的惰性气体切换到氧和氮或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ ):在氧化物半导体层的温度处于恒定状态的时候,在氧化物半导体层的温度下降开始的时候,以及在氧化物半导体层的温度处于下降状态的时候。

[0039] 通过这些结构,能够解决问题的至少一个。

[0040] 作为本说明书中使用的氧化物半导体膜,能够使用诸如 $\text{In-Sn-Ga-Zn-O}$ 膜之类的四元金属氧化物、诸如 $\text{In-Ga-Zn-O}$ 膜、 $\text{In-Sn-Zn-O}$ 膜、 $\text{In-Al-Zn-O}$ 膜、 $\text{Sn-Ga-Zn-O}$ 膜、 $\text{Al-Ga-Zn-O}$ 膜和 $\text{Sn-Al-Zn-O}$ 膜之类的三元金属氧化物或者诸如 $\text{In-Zn-O}$ 膜、 $\text{Sn-Zn-O}$ 膜、 $\text{Al-Zn-O}$ 膜、 $\text{Zn-Mg-O}$ 膜、 $\text{Sn-Mg-O}$ 膜、 $\text{In-Mg-O}$ 膜之类的二元金属氧化物、 $\text{In-O}$ 膜、 $\text{Sn-O}$ 膜和 $\text{Zn-O}$ 膜。氧化物半导体膜可包含 $\text{SiO}_2$ 。

[0041] 作为氧化物半导体膜,能够使用由 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 所表示的薄膜。在这里,M表示从Ga、Al、Mn和Co中所选的一种或多种金属元素。例如,M能够是Ga、Ga和Al、Ga和Mn、Ga和Co等。其组成式表示为 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 、其中至少包含Ga作为M的氧化物半导体膜称作以上所述的 $\text{In-Ga-Zn-O}$ 氧化物半导体,并且其薄膜又称作 $\text{In-Ga-Zn-O}$ 膜。

[0042] 由于薄膜晶体管因静电等而易于损坏,所以用于保护驱动器电路的保护电路优选地设置在用于栅极线或源极线的相同衬底之上。保护电路优选地采用包括氧化物半导体的非线性元件来形成。

[0043] 可在没有暴露于空气的情况下连续地处理(又称作连续处理、就地过程、连续膜形成)栅绝缘层和氧化物半导体膜。没有暴露于空气的连续处理使栅绝缘层与氧化物半导体膜之间的界面能够在没有受到漂浮在空气中的诸如水或烃之类的大气成分或杂质污染的情况下形成。因此,能够减小薄膜晶体管的特性的变化。

[0044] 注意,本说明书中的术语“连续处理”意味着,在从通过PCVD方法或溅射方法所执行的第一处理步骤到通过PCVD方法或溅射方法所执行的第二处理步骤的过程期间,其中设置待处理衬底的气氛没有受到诸如空气之类的污染物气氛污染,并且恒定地控制为真空、惰性气体气氛(氮气气氛或稀有气体气氛)、氧气体、包含氧和氮的气体(例如 $N_2O$ 气体)或者超干空气(露点优选地低于或等于 $-40^{\circ}C$ ,更优选地低于或等于 $-50^{\circ}C$ )。通过连续处理,能够形成膜,同时防止水分等再次附于经过清洗的待处理衬底。

[0045] 在同一室中执行从第一处理步骤到第二处理步骤的过程处于本说明书中的连续处理的范围之内。

[0046] 另外,如下情况也在本说明书中的连续处理的范围之内:在不同室中执行从第一处理步骤到第二处理步骤的过程的情况下,衬底在第一处理步骤之后传递到另一室而没有暴露于包含诸如氢、水分、羟基或氢化物之类的杂质的空气并且经过第二处理。

[0047] 注意,第一处理步骤与第二处理步骤之间存在衬底传递步骤、对齐步骤、缓慢冷却步骤、加热或冷却衬底以将衬底温度调整到用于第二处理步骤的适当温度的步骤等的情况也处于本说明书中的连续处理的范围中。

[0048] 但是,如下情况不在本说明书中的连续处理的范围之内:第一处理步骤与第二处理步骤之间存在使用液体的步骤,例如清洗步骤、湿式蚀刻步骤或者抗蚀剂形成步骤。

[0049] 能够提供具有稳定电特性的薄膜晶体管。此外,能够提供包括具有优良电特性和高可靠性的薄膜晶体管的半导体器件。

## 附图说明

[0050] 图1A至图1D是示出本发明的一个实施例的制造工序的截面图;

[0051] 图2A和图2B示出本发明的一个实施例的半导体器件;

[0052] 图3是本发明的一个实施例中使用的电炉的截面图;

[0053] 图4是示出TDS测量结果的图表;

[0054] 图5是示出TDS测量结果的图表;

[0055] 图6是示出TDS测量结果的图表;

[0056] 图7是示出TDS测量结果的图表;

[0057] 图8A至图8D是示出本发明的一个实施例的制造工序的截面图;

[0058] 图9A和图9B示出本发明的一个实施例的半导体器件;

[0059] 图10A至图10D是示出本发明的一个实施例的制造工序的截面图;

[0060] 图11A至图11C是示出本发明的一个实施例的制造工序的截面图;

[0061] 图12示出本发明的一个实施例的半导体器件;

- [0062] 图13A1、图13A2、图13B1和图13B2示出本发明的一个实施例的半导体器件；
- [0063] 图14示出一种半导体器件；
- [0064] 图15A至图15C示出半导体器件；
- [0065] 图16A和图16B示出一种半导体器件；
- [0066] 图17示出半导体器件的像素的等效电路图；
- [0067] 图18A至图18C示出半导体器件；
- [0068] 图19A和图19B是示出半导体器件的框图；
- [0069] 图20A和图20B示出信号线驱动器电路的结构；
- [0070] 图21A至图21D是示出移位寄存器的结构的电路图；
- [0071] 图22A和图22B是示出移位寄存器的操作的电路图和时序图；
- [0072] 图23示出一种半导体器件；
- [0073] 图24是示出薄膜晶体管的电特性的等效结果的图表；
- [0074] 图25示出一种半导体器件；
- [0075] 图26示出一种电子装置；
- [0076] 图27示出一种电子装置；
- [0077] 图28A和图28B示出电子装置；
- [0078] 图29A和图29B示出电子装置；
- [0079] 图30A和图30B示出电子装置；
- [0080] 图31A至图31D是示出本发明的一个实施例的制造工序的截面图；
- [0081] 图32示出本发明的一个实施例的半导体器件；
- [0082] 图33示出本发明的一个实施例的半导体器件；
- [0083] 图34A至图34C示出本发明的一个实施例的半导体器件；
- [0084] 图35A和图35B示出本发明的一个实施例的半导体器件；
- [0085] 图36示出本发明的一个实施例的半导体器件；
- [0086] 图37是示出TDS测量结果的图表；
- [0087] 图38示出本发明的一个实施例中使用的热处理设备；
- [0088] 图39示出本发明的一个实施例中使用的热处理设备；
- [0089] 图40是其中使用氧化物半导体的反交错(inverted staggered)薄膜晶体管的纵向截面图；
- [0090] 图41示出沿图40所示的A-A'截面的能带图(示意图)；
- [0091] 图42A示出其中正电位(+V<sub>G</sub>)施加到栅极(GE1)的状态,以及图42B示出其中负电位(-V<sub>G</sub>)施加到栅极(GE1)的状态；
- [0092] 图43是示出真空能级与金属的功函数( $\phi_M$ )之间以及真空能级与氧化物半导体的电子亲和势( $\chi$ )之间的关系；
- [0093] 图44A和图44B是示出TDS测量结构的图表。

### 具体实施方式

[0094] 下面将参照附图详细描述本发明的实施例。但是,本发明并不局限于以下描述,并且本领域的技术人员易于理解,本文所公开的模式和细节能够通过各种方式来修改,而没

有背离本发明的精神和范围。因此,本发明不是要被理解为局限于实施例的描述。

[0095] (实施例1)

[0096] 将参照图1A至图1D以及图2A和图2B来描述半导体器件以及用于制造半导体器件的方法。

[0097] 图2A是半导体器件中包含的薄膜晶体管470的平面图,以及图2B是沿图2A的线C1-C2所截取的截面图。薄膜晶体管470是反交错薄膜晶体管,并且在作为具有绝缘表面的衬底的衬底400之上包括栅电极层401、栅绝缘层402、氧化物半导体层403、源电极层405a和漏电极层405b。薄膜晶体管470覆盖有与氧化物半导体层403相接触的绝缘层407。保护绝缘层499层叠在绝缘层407之上。

[0098] 为了抑制薄膜晶体管470的电特性的变化,特意从氧化物半导体层中去除诸如氢、水分、羟基或氢化物(又称作氢化合物)之类的引起变化的杂质。另外,提供作为氧化物半导体的主成分并且在去除杂质的步骤中还原的氧。因此,得到电学上i型(本征)的高度纯化氧化物半导体层。这样,形成氧化物半导体层403。

[0099] 因此,优选的是,氧化物半导体层403中的氢尽可能比较少。氧化物半导体层403中包含的氢的浓度优选地设置为 $1 \times 10^{16}/\text{cm}^3$ 或更小,使得将氧化物半导体层403中包含的氢去除为尽可能接近零。

[0100] 此外,高纯度氧化物半导体层403中的载流子的数量极小(接近零),并且载流子浓度小于 $1 \times 10^{14}/\text{cm}^3$ ,优选地小于 $1 \times 10^{12}/\text{cm}^3$ ,更优选地为 $1 \times 10^{11}/\text{cm}^3$ 或更小。由于氧化物半导体层403中的载流子的数量如此小,使得截止态电流能够在薄膜晶体管470中降低。截止态电流量越小则越好。薄膜晶体管470的沟道宽度(w)的每1  $\mu\text{m}$ 的电流值为100 aA/ $\mu\text{m}$ 或更小,优选地为10 aA/ $\mu\text{m}$ 或更小,更优选地为1 aA/ $\mu\text{m}$ 或更小。此外,薄膜晶体管470没有pn结,并且没有被热载流子退化;因此,薄膜晶体管470的电特性没有受到pn结和退化影响。

[0101] 为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氧化物半导体层的形成之后,在氮气气氛或者在诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下、在暴露氧化物半导体层的状态中以200°C至700°C、优选地以350°C至700°C、更优选地以450°C至700°C来执行热处理(用于脱水或脱氢的热处理)。因此,降低氧化物半导体层中包含的水分。随后,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40°C,更优选地低于或等于-50°C)气氛中执行冷却。

[0102] 作为脱水或脱氢处理,膜中包含的水分通过在氮气气氛或惰性气体气氛或者在降低的压力下的热处理来降低。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40°C,更优选地低于或等于-50°C)气氛中执行冷却。借助于这样得到的氧化物半导体层403,薄膜晶体管470的电特性得到改进。此外,能够实现能够大规模生产的具有高性能的薄膜晶体管。

[0103] 此外,降低了不仅在氧化物半导体层403而且还在栅绝缘层402以及氧化物半导体层403和设置成与其接触的上、下膜之间的界面(具体来说是氧化物半导体层403与栅绝缘层402之间的界面以及氧化物半导体层403与绝缘层407之间的界面)中存在的诸如水分之类的杂质。

[0104] 因此,为了可以尽可能少地包含氢、羟基和水分,优选的是,在形成栅绝缘层402和绝缘层407中脱附并且排出诸如氢或水分之类的杂质。此外,为了使脱附到衬底400的诸如

氢或水分之类的杂质被脱附和排出,优选地在形成栅绝缘层402、氧化物半导体层403和绝缘层407之前执行预热。

[0105] 包括沟道形成区的氧化物半导体层403可使用具有半导体特性的氧化物材料来形成。作为氧化物半导体层,能够使用任意下列氧化物半导体膜:诸如In-Sn-Ga-Zn-O膜之类的四元金属氧化物;诸如In-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜和Sn-Al-Zn-O膜之类的三元金属氧化物;诸如In-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜或In-Mg-O膜之类的二元金属氧化物;In-O膜;Sn-O膜;Zn-O膜;或者能够使用类似的氧化物半导体。氧化物半导体膜可包含SiO<sub>2</sub>。

[0106] 作为氧化物半导体层,能够使用由InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)所表示的薄膜。在这里,M表示从Ga、Al、Mn或Co中选取的一种或多种金属元素。例如,M能够是Ga、Ga和Al、Ga和Mn、Ga和Co等。其组成式由InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)来表示、其中至少包含Ga作为M的氧化物半导体膜称作以上所述的In-Ga-Zn-O氧化物半导体,并且其薄膜又称作In-Ga-Zn-O膜。

[0107] 图40是包括背栅电极并且使用氧化物半导体的双栅薄膜晶体管的纵向截面图。氧化物半导体(OS)层隔着栅绝缘膜(GI)设置在栅电极(GE1)之上,并且源电极(S)和漏电极(D)设置在其之上。绝缘层设置成覆盖源电极(S)和漏电极(D)。背栅电极(GE2)设置在绝缘层之上与栅电极(GE1)重叠的区域中。

[0108] 图41示出沿图40所示的A-A'截面的能带图(示意图)。图41中,黑点(●)表示电子,而白点表示空穴。图41示出其中正电压(V<sub>b</sub>>0)施加到漏电极但没有电压施加到栅电极(V<sub>G</sub>>0)的情况(由虚线示出)以及其中正电压(V<sub>b</sub>>0)施加到漏电极并且正电压(V<sub>G</sub>>0)施加到栅电极的情况(由实线示出)。当没有电压施加到栅电极时,载流子(电子)因高电位势垒而没有从电极注入到氧化物半导体侧,从而引起其中没有电流流动的截止态。相反,当正电压施加到栅极时,电位势垒降低,从而引起其中电流流动的导通态。

[0109] 图42A和图42B是沿图40所示的B-B'截面的能带图(示意图)。图42A示出一种其中正电位(+V<sub>G</sub>)施加到栅电极(GE1)的状态,即,薄膜晶体管处于导通态的状态,其中载流子(电子)在源电极与漏电极之间流动。图42B示出其中负电位(-V<sub>G</sub>)施加到栅电极(GE1)的状态,即,其中薄膜晶体管处于截止态的情况(其中少数载流子没有流动的状态)。

[0110] 图43示出真空能级与金属的功函数( $\Phi_M$ )之间的关系以及真空能级与氧化物半导体的电子亲合势( $\chi$ )之间的关系。

[0111] 在正常温度下,金属中的电子简并化,并且费米能级位于导带中。常规氧化物半导体层属于n型,并且费米能级(E<sub>F</sub>)在带隙的中间远离本征费米能级(E<sub>i</sub>),并且位于更接近导带。注意,已知的是,氢的一部分是氧化物半导体中的施主,并且是使氧化物半导体作为n型半导体的一个因素。

[0112] 相反,按照本发明的氧化物半导体是通过从氧化物半导体中去除作为n型杂质的氢以及增加纯度以使得尽可能多地没有包含除了氧化物半导体的主要成分之外的杂质所得到的本征(i型)或基本上本征氧化物半导体膜。换言之,按照本发明的氧化物半导体是高度纯化的本征(i型)氧化物半导体膜或者不是通过添加杂质而是通过尽可能多地去除诸如氢、水、羟基或氢化物之类的杂质所得到的接近高度纯化的本征氧化物半导体膜的氧化物半导体膜。这样,费米能级(E<sub>F</sub>)能够处于与本征费米能级(E<sub>i</sub>)相同的能级。

[0113] 据说,氧化物半导体的电子亲合势( $\chi$ )在其带隙(E<sub>g</sub>)为3.15 eV的情况下为4.3

eV。源电极和漏电极中包含的钛(Ti)的功函数大致等于氧化物半导体的电子亲和势( $\chi$ )。在那种情况下,在金属与氧化物半导体之间的界面处没有形成肖特基电子势垒。

[0114] 在这种情况下,如图42A所示,电子沿栅绝缘膜与高纯度氧化物半导体之间的界面处的能量上稳定的氧化物半导体的最低部分移动。

[0115] 图42B中,当负电位施加到栅电极(GE1)时,作为少数载流子的空穴的数量大致为零;因此,电流值变为尽可能接近零的值。

[0116] 例如,甚至当薄膜晶体管具有 $1 \times 10^4 \mu\text{m}$ 的沟道宽度W以及 $3 \mu\text{m}$ 的沟道长度时,也能够得到 $10^{-13} \text{ A}$ 或更低的截止态电流以及 $0.1 \text{ V/dec.}$ 的亚阈值(S值)(栅绝缘膜的厚度为 $100 \text{ nm}$ )。

[0117] 如上所述,氧化物半导体经过高度纯化,使得尽可能少地包含除了氧化物半导体的主要成分之外的杂质,由此能够得到薄膜晶体管的有利操作。

[0118] 虽然使用作为薄膜晶体管470的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0119] 在这个实施例中,包含In-Ga-Zn-O的半导体膜用作氧化物半导体层403。

[0120] 图1A至图1D是示出图2A和图2B所示的薄膜晶体管470的制造工序的截面图。

[0121] 图1A中,栅电极层401设置在作为具有绝缘表面的衬底的衬底400之上。所形成的栅电极的边缘部分优选地具有渐窄的形状,因为其上层叠的栅绝缘层的覆盖率能够得到改进。注意,抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0122] 虽然对于能够用作具有绝缘表面的衬底400的衬底没有具体限制,然而必要的是,衬底至少具有耐受后来执行的热处理的充分耐热性。例如,能够使用采用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等等所形成的玻璃衬底。

[0123] 在使用玻璃衬底并且用以后来执行热处理的温度较高的情况下,优选地使用其应变点大于或等于 $730^\circ\text{C}$ 的玻璃衬底。作为玻璃衬底,例如使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。注意,通过包含比氧化硼更大量的氧化钡( $\text{BaO}$ ),得到更实用的耐热玻璃衬底。因此,优选地使用包含使得 $\text{BaO}$ 的量比 $\text{B}_2\text{O}_3$ 要大的 $\text{BaO}$ 和 $\text{B}_2\text{O}_3$ 的玻璃衬底。

[0124] 注意,作为上述玻璃衬底,可使用采用诸如陶瓷衬底、石英衬底或蓝宝石衬底之类的绝缘体所形成的衬底。备选地,可使用晶化玻璃等。又备选地,能够适当地使用塑料衬底等。

[0125] 用作基底膜的绝缘膜可设置在衬底400与栅电极层401之间。基底膜具有防止杂质元素从衬底400扩散的功能,并且能够形成为具有使用氮化硅膜、氧化硅膜、氮氧化硅膜和氧氮化硅膜中的一个或多个的单层结构或分层结构。

[0126] 栅电极层401能够在使用诸如钼、钛、铬、钽、钨、铝、铜、钕或铟之类的金属材料或者包含这些材料的任一种作为主要成分的合金材料的单层或叠层中形成。

[0127] 例如,作为栅电极层401的二层结构,下列结构是优选的:铝层以及层叠在其上的钼层的二层结构,铜层以及层叠在其上的钼层的二层结构,铜层以及层叠在其上的氮化钛层或氮化钽层的二层结构,以及氮化钛层和钼层的二层结构。作为三层结构,钨层或氮化钨层、铝和硅的合金或者铝和钛的合金层以及氮化钛层或钛层的层叠结构是优选的。注意,栅

电极层能够使用具有透光性质的导电膜来形成。作为具有透光性质的导电膜的一个示例，能够给出透明导电氧化物等。

[0128] 随后，栅绝缘层402在栅电极层401之上形成。

[0129] 栅绝缘层402能够通过等离子体CVD方法、溅射方法等等形成具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、氧化铝层、氮化铝层、氧氮化铝层、氮氧化铝层和氧化钪层的任一个的单层结构或分层结构。注意，优选的是，栅绝缘层402中没有包含大量氢。在氧化硅膜通过溅射方法来形成的情况下，硅靶或石英靶用作靶，并且氧气体或者氧和氩的混合气体用作溅射气体。

[0130] 栅绝缘层402可具有一种结构，其中从栅电极层401侧来层叠氮化硅层和氧化硅层。例如，通过溅射方法来形成作为第一栅绝缘层的厚度为50 nm至200 nm(包括两端)的氮化硅层( $\text{SiN}_y$  ( $y>0$ ))，并且在第一栅绝缘层之上层叠作为第二栅绝缘层的厚度为5 nm至300 nm(包括两端)的氧化硅层( $\text{SiO}_x$  ( $x>0$ ))；这样，形成厚度为100 nm的栅绝缘层。栅绝缘层402的厚度可根据薄膜晶体管所需的特性来适当设置，并且可以是大约350 nm至400 nm。

[0131] 此外，为了可能在栅绝缘层402和氧化物半导体膜中尽可能少地包含氢、羟基和水分，优选的是，其上形成栅电极层401的衬底400或者其上形成直到栅绝缘层402的层的衬底400在溅射设备的预热室中经过预热作为用于膜形成的预处理，使得脱附和排出吸附于衬底400的诸如氢和水分之类的杂质。注意，作为排空单元，低温泵优选地设置在预热室中。还要注意，这种预热处理在一些情况下能够省略。此外，这种预热可类似地在形成绝缘层407之前对其上形成了直到源电极层405a和漏电极层405b的层的衬底400来执行。

[0132] 然后，氧化物半导体膜在栅绝缘层402之上形成成为2 nm至200 nm(包括两端)的厚度。

[0133] 注意，在氧化物半导体膜通过溅射方法来形成之前，栅绝缘层402的表面的灰尘优选地通过其中引入氩气体并且生成等离子体的反向溅射被去除。反向溅射指的是一种方法，其中，在没有将电压施加到靶侧的情况下，RF电源用于在氩气氛中将电压施加到衬底侧，使得等离子体在衬底附近生成，以便修正表面。注意，代替氩气氛，可使用氮气气氛、氦气氛、氧气气氛等。

[0134] 氧化物半导体膜通过溅射方法来形成。作为氧化物半导体膜，能够使用任意下列氧化物半导体膜：诸如In-Sn-Ga-Zn-O膜之类的四元金属氧化物；诸如In-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜和Sn-Al-Zn-O膜之类的三元金属氧化物；诸如In-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜或In-Mg-O膜之类的二元金属氧化物；In-O膜；Sn-O膜；Zn-O膜；等等。在这个实施例中，氧化物半导体膜通过溅射方法、借助于In-Ga-Zn-O基氧化物半导体膜形成靶来形成。氧化物半导体膜能够通过溅射方法在稀有气体(通常为氩)气氛、氧气气氛或者稀有气体(通常为氩)和氧的气氛中形成。在使用溅射方法的情况下，包含2 wt%至10 wt%(包括两端)的 $\text{SiO}_2$ 的靶可用于膜形成。

[0135] 作为用于形成氧化物半导体膜的溅射气体，优选地使用高纯度气体，其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0136] 作为用于通过溅射方法来形成氧化物半导体膜的靶，能够使用包含氧化锌作为其主要成分的金属氧化物的靶。作为金属氧化物靶的另一个示例，能够使用包含In、Ga和Zn的氧化物半导体膜形成靶(其中组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$  [摩尔比]， $\text{In}:\text{Ga}:\text{Zn}=1:1:$

0.5 [原子比])。作为包含In、Ga和Zn的氧化物半导体膜形成靶,能够使用组成比为In:Ga:Zn=1:1:1 [原子比]或In:Ga:Zn=1:1:2 [原子比]的靶。氧化物半导体膜形成靶的填充率为90%至100%(包括两端),优选地为95%至99.9%(包括两端)。通过使用具有高填充率的氧化物半导体膜形成靶,所形成的氧化物半导体膜成为密集膜。

[0137] 衬底保持在控制为降低的压力的处理室中,并且衬底温度设置为100℃至600℃(包括两端)、优选地为200℃至400℃(包括两端)。膜形成在加热衬底的同时执行,由此所形成的氧化物半导体膜中包含的杂质的浓度能够降低。另外,通过溅射引起的损坏能够减小。在去除处理室中剩余的水分的同时,引入去除了氢和水分的溅射气体,以便使用金属氧化物作为靶在衬底400之上形成氧化物半导体膜。为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,例如,排出氢原子、诸如水(H<sub>2</sub>O)之类的包含氢原子的化合物(更优选地还有包含碳原子的化合物)等;因此,在沉积室中形成的氧化物半导体膜中包含的杂质的浓度能够降低。

[0138] 在形成氧化物半导体膜的情况下,优选地使用诸如低温泵之类的排空单元,以便防止在形成与氧化物半导体膜相接触的膜之前和之后的步骤中以及在形成氧化物半导体膜之前和之后的步骤中混入处理室中(不用说,包括用于形成氧化物半导体膜的处理室)作为杂质的剩余水分。

[0139] 作为膜形成条件的一个示例,衬底与靶之间的距离为100 mm,压力为0.6 Pa,直流(DC)电源为0.5 kW,以及气氛为氧气氛(氧流率的比例为100%)。优选的是使用脉冲直流(DC)电源,因为能够降低粉状物质(又称作粒子或灰尘),并且膜厚度能够是均匀的。氧化物半导体膜的厚度优选地为5 nm至30 nm(包括两端)。由于适当厚度取决于所使用的氧化物半导体材料,所以厚度能够根据材料来适当地确定。

[0140] 溅射方法的示例包括:RF溅射方法,其中高频电力用于溅射电源;DC溅射方法;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0141] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜能够形成为层叠在同一室中,或者多种材料的膜能够通过在同一室中同时放电来形成。

[0142] 备选地,能够使用提供有室内部的磁体系统并且用于磁控管溅射方法的溅射设备或者用于ECR溅射方法、其中使用借助于微波所生成的等离子体而没有使用辉光放电的溅射设备。

[0143] 此外,作为使用溅射方法的膜形成方法,能够使用其中靶物质和溅射气体成分在膜形成期间相互起化学反应以形成其化合物薄膜的反应溅射方法或者其中电压在膜形成期间还施加到衬底的偏压溅射方法。

[0144] 然后,通过光刻步骤将氧化物半导体膜处理成岛状氧化物半导体层430(参见图1A)。用于形成岛状氧化物半导体层430的抗蚀剂掩模可使用喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0145] 注意,氧化物半导体膜的蚀刻可以是干式蚀刻,而无需局限于湿式蚀刻。

[0146] 蚀刻条件(例如蚀刻剂、蚀刻时间和温度)根据材料来适当地调整,使得材料能够

蚀刻成预期形状。

[0147] 在栅绝缘层402中形成接触孔的情况下,可在形成氧化物半导体层430中执行该步骤。

[0148] 为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氮气气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下以200℃至700℃(或者衬底的应变点)、优选地以350℃至700℃、更优选地以450℃至700℃来对氧化物半导体层430执行热处理(用于脱水或脱氢的热处理,又称作第一热处理)。因此,减少氧化物半导体层中包含的水分。

[0149] 随后,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却氧化物半导体层。这样,得到高度纯化的i型(本征)氧化物半导体层。因此,得到电学上i型(本征)的高度纯化氧化物半导体膜。这样,形成氧化物半导体层403(参见图1B)。

[0150] 对氧化物半导体(IGZO)表面的氧的吸附能量通过第一原理计算来计算。注意,由Accelrys Software Inc.生产的第一原理计算的软件CASTEP用于第一原理计算。通过从O<sub>2</sub>的内能与IGZO的内能之和(E(O<sub>2</sub>)+E(IGZO))中减去O<sub>2</sub>吸附到其中的IGZO的内能,来确定吸附能量(E<sub>ad</sub>),即,吸附能量(E<sub>ad</sub>)定义为E<sub>ad</sub>=(E(O<sub>2</sub>)+E(IGZO))-E(O<sub>2</sub>吸附到其中的IGZO)。计算结果表明,氧的吸附是放热反应,并且放热能量为1.46 eV。

[0151] 当氢分子存在时,氢分子与氧分子之间的氧化反应、即表示为“2H<sub>2</sub>+O<sub>2</sub>→2H<sub>2</sub>O”的氧化反应因用于脱水或脱氢的热处理而可能发生。如果通过氧的吸附所得到的能量用于氧化反应并且因而氧化反应发生,则存在H<sub>2</sub>不能离开IGZO并且可能保留在IGZO中的问题。因此,无法对IGZO执行充分脱水或脱氢处理。

[0152] 因此,为了防止产生水的反应,优选的是通过下列过程来形成电学上i型的高度纯化氧化物半导体层:通过在氮气气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下对氧化物半导体层执行脱水或脱氢处理,然后在氧的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中执行冷却,以便提供作为氧化物半导体的主要成分的氧。

[0153] 在这个实施例中,将衬底引入作为一种热处理设备的电炉中,在氮气气氛中以450℃对氧化物半导体层执行一小时热处理,并且在氧气气氛中执行冷却。

[0154] 本发明的一个特征是使氧化物半导体层经过在氮气气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的用于脱水或脱氢处理的热处理以及经过在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中的用于提供氧的处理的冷却步骤。

[0155] 脱水或脱氢处理以及用于提供氧的处理中的氧化物半导体层(和衬底)的温度状态是上升状态、恒定状态和下降状态。气体(气氛)可在下列定时的任一个从氮或者诸如稀有气体(例如氩或氦)之类的惰性气体切换到氧和氮或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃):在氧化物半导体层的温度处于恒定状态的时候,在氧化物半导体层的温度下降开始的时候,以及在氧化物半导体层的温度处于下降状态的时候。

[0156] 注意,热处理设备并不局限于电炉,而是可包括用于通过来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理对象的任何装置。例如,能够使用诸如

GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA设备是用于使用高温气体的热处理的设备。作为气体,使用诸如氮之类或者诸如氩之类的稀有气体等的不会通过热处理来与待处理对象发生反应的惰性气体。

[0157] 例如,用于脱水或脱氢的热处理能够采用GRTA,其中将衬底移入加热到650°C至700°C的高温的惰性气体中,并且在其中加热数分钟,然后将衬底移出加热到高温的惰性气体。通过GRTA,能够实现短时间段的高温热处理。

[0158] 注意,优选的是,在用于脱水或脱氢处理的热处理中,诸如氢、水分、羟基或氢化物之类的杂质没有包含在氮或者诸如氩、氦或氙之类的惰性气体中。优选的是,引入热处理设备中的氮或者诸如氩、氦或氙之类的稀有气体的纯度为6N(99.9999%)或更高、优选地为7N(99.99999%)或更高(也就是说,杂质浓度为1 ppm或更低,优选地为0.1 ppm或更低)。

[0159] 在这里,使用电炉601的加热方法参照图3描述为氧化物半导体层430的热处理的一种模式。

[0160] 图3是电炉601的示意图。加热器603设置在室602外部,并且加热室602。在室602内部,设置了其中设置衬底604的基座605。向/从室602传递衬底604。另外,室602提供有气体供应单元606和排空单元607。通过气体供应单元606,将气体引入室602中。排空单元607排空室602的内部,或者降低室602中的压力。注意,电炉601的温度上升特性优选地设置为从0.1°C/min至20°C/min。电炉601的温度降低特性优选地设置为从0.1°C/min至15°C/min。

[0161] 气体供应单元606包括气体供应源611a、气体供应源611b、压力调整阀612a、压力调整阀612b、提纯设备613a、提纯设备613b、质量流控制器(mass flow controller)614a、质量流控制器614b、截止阀615a和截止阀615b。在这个实施例中,优选的是,提纯设备613a和提纯设备613b设置在气体供应源611a和611b与室602之间。通过提纯设备613a和提纯设备613b,从气体供应源611a和气体供应源611b引入室602的气体中的诸如氢、水分、羟基或氢化物之类的杂质能够由提纯设备613a和提纯设备613b去除,使得能够抑制诸如氢、水分、羟基或氢化物之类的杂质进入室602。

[0162] 在这个实施例中,氮或稀有气体从气体供应源611a和气体供应源611b引入室602,使得室的内部设置为氮或稀有气体气氛。在加热到200°C至700°C(或者衬底604的应变点)、优选地为350°C至700°C、更优选地为450°C至700°C的温度的室602中,加热在衬底604之上形成的氧化物半导体层430,由此氧化物半导体层430能够脱水或脱氢。

[0163] 备选地,以200°C至700°C(或者衬底604的应变点)、优选地以350°C至700°C、更优选地以450°C至700°C来加热由排空单元降低了压力的室602。在这种室602中,加热在衬底604之上形成的氧化物半导体层430,由此氧化物半导体层430能够经过脱水或脱氢。

[0164] 随后,停止将氮或稀有气体从气体供应源611a引入室602,并且关断加热器。然后,氧或者氧和氮从气体供应源611b引入室602中,并且缓慢地冷却加热设备的室602。也就是说,室602的内部设置成氧气氛,并且缓慢地冷却衬底604。在这里,优选的是,从气体供应源611b引入室602的氧没有包含诸如水和氢之类的杂质。另外,优选的是,从气体供应源611b引入室602的氧的纯度为6N(99.9999%)或更低、优选地为7N(99.99999%)(即,氧的杂质浓度为1 ppm,优选地为0.1 ppm)或更低。

[0165] 虽然在空气气氛而不是氧的气氛或者氧和氮的气氛中对氧化物半导体层执行冷却,但是优选的是,诸如水和氢之类的杂质没有包含在引入室602的空气中,并且使用露点优选地低于或等于-40℃、更优选地低于或等于-50℃的超干空气。

[0166] 氧化物半导体层被加热以经过脱水或脱氢,并且在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却氧化物半导体层。因此,得到电学上i型(本征)的高度纯化氧化物半导体膜。这样,能够形成氧化物半导体层403。

[0167] 注意,关断用于加热室602的加热器的定时可与氧或稀有气体与氧、氧和氮或者空气气氛之间的切换定时是相同的。氮或稀有气体与氧、氧和氮或空气气氛之间的切换定时可比关断加热器的定时更早或更迟,只要在脱水或脱氢处理之后执行切换。

[0168] 因此,后来完成的薄膜晶体管的可靠性能得到提高。

[0169] 注意,在降低的压力下执行热处理的情况下,氧和氮或空气气氛(超干空气)可在热处理之后引入室602中,压力可返回到大气压力,然后执行冷却。

[0170] 另外,当氧从气体供应源611b引入室602时,氮和诸如氦、氖或氩之类的稀有气体中的一个或两者可引入室602。

[0171] 如果加热设备具有多室结构,则热处理和冷却处理能够在不同室中执行。通常,在填充有氮或稀有气体并且以200℃至700℃(或者衬底604的应变点)、优选地以350℃至700℃、更优选地以450℃至700℃加热的第二室中加热衬底之上的氧化物半导体层。随后,通过引入了氮或稀有气体的传递室,经过了热处理后的衬底移入填充有氮、氧和氮或空气气氛(超干空气)的第二室,并且执行冷却处理。通过这些步骤,产量能够提高。

[0172] 此外,用于提供氧的处理以及用于氧化物半导体层的脱水或脱氢处理的热处理可对尚未处理成岛状氧化物半导体层的氧化物半导体膜执行。在那种情况下,在用于脱水或脱氢处理的热处理以及用于提供氧的处理之后,从处理设备中取出衬底,并且执行光刻步骤。

[0173] 对氧化物半导体层具有脱水或脱氢的作用的热处理可在下列定时的任一个执行:在形成氧化物半导体层之后;以及在源电极和漏电极层叠在氧化物半导体层之上之后。

[0174] 此外,在栅绝缘层402中形成接触孔的情况下,该步骤可在对氧化物半导体层430执行脱水或脱氢处理之前或之后执行。

[0175] 随后,将要作为源电极层和漏电极层(包括在与源电极层和漏电极层相同的层中形成的布线)的导电膜在栅绝缘层402和氧化物半导体层403之上形成。导电膜可通过溅射方法或真空蒸镀方法来形成。作为将要成为源电极层和漏电极层(包括在与源电极层和漏电极层相同的层中形成的布线)的导电膜的材料,能够给出从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素、包含任意这些元素作为成分的合金、组合地包含任意这些元素的合金等。此外,诸如Cr、Ta、Ti、Mo或W之类的难熔金属层可层叠在诸如Al或Cu之类的金属层的一侧或两侧上。此外,可使用添加了诸如Si、Ti、Ta、W、Mo、Cr、Nd、Sc或Y之类的用于防止Al膜中生成小丘和触须的元素的Al材料,从而引起耐热性的改进。

[0176] 导电膜可具有单层结构或者两层或更多层的分层结构。例如,能够给出包含硅的铝膜的单层结构、其中钛膜层叠在铝膜之上的二层结构、其中钛膜、铝膜和钛膜按照所示顺序层叠的三层结构等。

[0177] 备选地,将要作为源电极层和漏电极层(包括在与源电极层和漏电极层相同的层中形成的布线)的导电膜可使用导电金属氧化物来形成。作为导电金属氧化物,能够使用氧化铟( $\text{In}_2\text{O}_3$ )、氧化锡( $\text{SnO}_2$ )、氧化锌( $\text{ZnO}$ )、氧化铟和氧化锡的合金( $\text{In}_2\text{O}_3\text{-SnO}_2$ ,缩写成ITO)、氧化铟和氧化锌的合金( $\text{In}_2\text{O}_3\text{-ZnO}$ )或者任意包含硅或氧化硅的金属氧化物材料。

[0178] 在形成导电膜之后执行热处理的情况下,优选的是,导电膜具有足够高以耐受热处理的耐热性。

[0179] 抗蚀剂掩模通过光刻步骤在导电膜之上形成。有选择地执行蚀刻,使得形成源电极层405a和漏电极层405b。然后,去除抗蚀剂掩模(参见图1C)。

[0180] 紫外线、KrF激光束或者ArF激光束用于在光刻步骤中形成抗蚀剂掩模的曝光。后来将要形成的薄膜晶体管的沟道长度L取决于氧化物半导体层403之上彼此相邻的源电极层的底部与漏电极层的底部之间的距离的宽度。注意,在沟道长度L小于25 nm的情况下执行曝光时,具有数纳米至数十纳米的极短波长的远紫外线用于在光刻步骤中形成抗蚀剂掩模的曝光。采用远紫外线的曝光产生高分辨率和大景深。相应地,以后将要形成的薄膜晶体管的沟道长度L能够设置为10 nm至1000 nm(包括两端)。因此,电路的操作速度能够增加,并且截止态电流也明显较小,使得能够实现低功率消耗。

[0181] 注意,各材料和蚀刻条件经过适当调整,使得氧化物半导体层403在蚀刻导电膜时没有被去除。

[0182] 在这个实施例中,Ti膜用作导电膜;In-Ga-Zn-O基氧化物半导体用作氧化物半导体层403;以及氨过氧化氢混合物(31 wt%的过氧化氢水:28 wt%的氨水:水=5:2:2)用作蚀刻剂。

[0183] 注意,在光刻步骤中,在一些情况下,蚀刻氧化物半导体层403的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。此外,用于形成源电极层405a和漏电极层405b的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0184] 此外,氧化物导电层可在氧化物半导体层与源电极层和漏电极层之间形成。用于形成源电极层和漏电极层的氧化物导电层和金属层能够连续形成。氧化物导电层能够用作源区和漏区。

[0185] 当氧化物导电层作为源区和漏区设置在氧化物半导体层与源和漏电极层之间时,源区和漏区能够具有较低电阻,并且晶体管能够高速工作。

[0186] 为了减少光刻步骤中使用的光掩模的数量并且减少光刻步骤的数量,蚀刻步骤可借助于作为可透射光以具有多个强度的曝光掩模的多色调(multi-tone)掩模来执行。借助于多色调掩模所形成的抗蚀剂掩模具有多个厚度并且还能够通过蚀刻来改变形状,因此,抗蚀剂掩模能够在多个蚀刻步骤中用于处理为不同图案。因此,与至少两种或更多种不同图案对应的抗蚀剂掩模能够通过一个多色调掩模来形成。因此,曝光掩模的数量能够减少,并且对应光刻步骤的数量也能够减少,由此能够实现过程的简化。

[0187] 通过采用诸如 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 或Ar之类的气体的等离子体处理,可去除吸附于氧化物半导体层的外露部分的表面的水。等离子体处理也可使用氧和氩的混合气体来执行。

[0188] 随后,用作保护绝缘膜的绝缘层407形成为与氧化物半导体层403的一部分相接触。

[0189] 绝缘层407能够适当地使用诸如溅射方法之类的用以使诸如水或氢之类的杂质没有进入绝缘层407的方法来形成为至少1 nm的厚度。当氢包含在绝缘层407中时,引起氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此使氧化物半导体层的背沟道的电阻较低(具有n型导电性),使得可能形成寄生沟道。因此,重要的是,采用其中没有使用氢的膜形成方法,以便形成包含尽可能少的氢的绝缘层407。

[0190] 在这个实施例中,200 nm厚的氧化硅膜通过溅射方法作为绝缘层407来形成。膜形成中的衬底温度可高于或等于室温且低于或等于300℃,并且在这个实施例中为100℃。通过溅射方法形成氧化硅膜能够在稀有气体(通常为氩)气氛、氧气氛或者稀有气体(通常为氩)和氧的气氛中执行。作为靶,可使用氧化硅靶或硅靶。例如,借助于硅靶,氧化硅能够在氧和氮的气氛中通过溅射方法来形成。作为绝缘层407,使用没有包含诸如水分、氢离子和OH<sup>-</sup>之类的杂质的无机绝缘膜。通常使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0191] 在那种情况下,优选地在去除处理室中剩余的水分时形成绝缘层407。这用于防止氢、羟基或水分包含在氧化物半导体层403和绝缘层407中。

[0192] 为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,排出氢原子、诸如水(H<sub>2</sub>O)之类的包含氢原子的化合物等;因此,在沉积室中形成的绝缘层407中包含的杂质的浓度能够降低。

[0193] 作为用于形成绝缘层407的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0194] 随后,可在惰性气体气氛或氧气体气氛中执行热处理(第二热处理)(优选地以200℃至400℃(包括两端),例如以250℃至350℃(包括两端))。例如,热处理在氮气氛中以250℃执行1小时。热处理在氧化物半导体层的一部分(沟道形成区)与绝缘层407相接触的同时执行加热。

[0195] 通过上述工序,形成包括氧化物半导体层403的薄膜晶体管470,氧化物半导体层403在氮气氛或惰性气体气氛中或者在降低的压力下经过作为脱水或脱氢处理所执行的热处理以降低膜中的诸如氢、水分、羟基或氢化物之类的杂质,然后在氧的气氛、氧和氮的气氛或空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中经过作为用于提供氧的处理所执行的冷却。

[0196] 当具有多个缺陷的氧化硅层用作绝缘层时,通过在形成氧化硅层之后执行的热处理,氧化物半导体层中包含的诸如氢、水分、羟基或氢化物之类的杂质能够扩散到绝缘层,使得氧化物半导体层中的杂质能够进一步降低。

[0197] 保护绝缘层可在绝缘层407之上形成。例如,氮化硅膜通过RF溅射方法来形成。由于RF溅射方法允许高生产率,所以它优选地用作保护绝缘层的膜形成方法。作为保护绝缘层,使用没有包含诸如水分、氢离子和OH<sup>-</sup>之类的杂质并且阻止这些杂质从外部进入的无机绝缘膜;使用氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等。在这个实施例中,保护绝缘层499使用氮化硅膜作为保护绝缘层来形成(参见图1D)。

[0198] 在这个实施例中,作为保护绝缘层499,通过将其上形成了直到绝缘层407的层的衬底400加热到100℃至400℃的温度,引入去除了氢和水分的包含高纯度氮的溅射气体,并且使用硅半导体的靶,来形成氮化硅膜。在这种情况下,优选地在去除处理室中剩余的水分

时形成保护绝缘层499,与绝缘层407相似。

[0199] 在形成保护绝缘层之后,还可在空气中以100℃至200℃(包括两端)来执行1小时至30小时(包括两端)热处理。这种热处理可在固定加热温度下执行。备选地,加热温度的下列变化可重复进行多次:加热温度从室温增加到100℃至200℃的温度,然后降低到室温。此外,这种热处理可在形成绝缘层之前以降低的压力来执行。在降低的压力下,热处理时间能够缩短。

[0200] 用于脱水或脱氢的热处理对氧化物半导体层来执行,并且因此氧化物半导体层改变成氧缺陷类型,由此得到n型( $n^-$ 型、 $n^{+1}$ 型等)氧化物半导体层。然后,所得到的氧化物半导体层在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却,由此将氧提供给氧化物半导体层。因此,氧化物半导体层经过高度纯化,由此得到i型氧化物半导体层。借助于这样得到的i型氧化物半导体层,能够制造和提供包括具有优良电特性的极可靠薄膜晶体管的半导体器件。

[0201] (实施例2)

[0202] 将参照图8A至图8D以及图9A和图9B来描述半导体器件以及用于制造半导体器件的方法。与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例1中所述的相似的方式来执行;因此省略重复描述。

[0203] 图9A是半导体器件中包含的薄膜晶体管460的平面图,以及图9B是沿图9A的线D1-D2的截面图。薄膜晶体管460是底栅薄膜晶体管,并且在作为具有绝缘表面的衬底的衬底450之上包括栅电极层451、栅绝缘层452、源或漏电极层455a和455b以及氧化物半导体层453。薄膜晶体管460覆盖有与氧化物半导体层453相接触的绝缘层457。In-Ga-Zn-O基膜用于氧化物半导体层453。

[0204] 在薄膜晶体管460中,栅绝缘层452存在于包括薄膜晶体管460的整个区域,并且栅电极层451设置在栅绝缘层452与作为具有绝缘表面的衬底的衬底450之间。在栅绝缘层452之上,设置了源或漏电极层455a和455b。此外,在栅绝缘层452和源或漏电极层455a、455b之上,设置了氧化物半导体层453。在这个实施例中,源或漏电极层455a和455b延伸到氧化物半导体层453的周边之外。

[0205] 为了抑制薄膜晶体管460的电特性的变化,特意从氧化物半导体层中去除诸如氢、水分、羟基或氢化物(又称作氢化合物)之类的引起变化的杂质。另外,提供作为氧化物半导体的主成分并且在去除杂质的步骤中还原的氧。因此,得到电学上i型(本征)的高度纯化氧化物半导体层。这样,形成氧化物半导体层453。

[0206] 因此,优选的是,氧化物半导体层453中的氢尽可能比较少。氧化物半导体层453中包含的氢的浓度优选地设置为 $1 \times 10^{16} / \text{cm}^3$ 或更小,使得将氧化物半导体层453中包含的氢去除为尽可能接近零。

[0207] 此外,高纯度氧化物半导体层453中的载流子的数量极小(接近零),并且载流子浓度小于 $1 \times 10^{14} / \text{cm}^3$ ,优选地小于 $1 \times 10^{12} / \text{cm}^3$ ,更优选地为 $1 \times 10^{11} / \text{cm}^3$ 或更小。由于氧化物半导体层453中的载流子的数量如此小,使得截止态电流能够在薄膜晶体管460中降低。截止态电流量越小则越好。薄膜晶体管460的沟道宽度(w)的每1  $\mu\text{m}$ 的电流值为100 aA/ $\mu\text{m}$ 或更小,优选地为10 aA/ $\mu\text{m}$ 或更小,更优选地为1 aA/ $\mu\text{m}$ 或更小。此外,薄膜晶体管460没有

pn结,并且没有被热载流子退化;因此,薄膜晶体管460的电特性没有受到pn结和退化影响。

[0208] 为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氧化物半导体层的形成之后,在氮气氛或者在诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下、在暴露氧化物半导体层的状态中以200℃至700℃、优选地以350℃至700℃、更优选地以450℃至700℃来执行热处理(用于脱水或脱氢的热处理)。由此,减少氧化物半导体层中包含的水分。随后,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中执行冷却。

[0209] 作为脱水或脱氢处理,膜中包含的水分通过在氮气氛或惰性气体气氛或者在降低的压力下的热处理来降低。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中执行冷却。借助于这样得到的氧化物半导体层453,薄膜晶体管460的电特性得到改进。此外,能够实现能够大规模生产的具有高性能的薄膜晶体管。

[0210] 此外,降低了不仅在氧化物半导体层453而且还在栅绝缘层452以及氧化物半导体层453和设置成与其接触的上、下膜之间的界面(具体来说是氧化物半导体层453与栅绝缘层452之间的界面以及氧化物半导体层453与绝缘层457之间的界面)中存在的诸如水分之类的杂质。

[0211] 图8A至图8D是示出图9A和图9B所示的薄膜晶体管460的制造工序的截面图。

[0212] 栅电极层451设置在作为具有绝缘表面的衬底的衬底450之上。用作基底膜的绝缘膜可设置在衬底450与栅电极层451之间。栅电极层451能够使用与实施例1中所述的栅电极层401相似的材料来形成。

[0213] 栅绝缘层452在栅电极层451之上形成。栅绝缘层452能够按照与实施例1中所述的栅绝缘层402相似的方式来形成。

[0214] 导电膜在栅绝缘层452之上形成,并且通过光刻步骤来处理成岛状源或漏电极层455a和455b(参见图8A)。源或漏电极层455a和455b能够按照与实施例1中所述的源电极层405a和漏电极层405b相似的方式来形成。

[0215] 然后,氧化物半导体膜在栅绝缘层452和源或漏电极层455a、455b之上形成。在这个实施例中,氧化物半导体膜通过溅射方法、借助于In-Ga-Zn-O基氧化物半导体膜形成靶来形成。通过光刻步骤将氧化物半导体膜形成图案为岛状氧化物半导体层483(参见图8B)。

[0216] 在那种情况下,优选地在去除处理室中剩余的水分时形成氧化物半导体膜。这用于防止氢、羟基或水分包含在氧化物半导体膜中。

[0217] 为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,排出氢原子、诸如水(H<sub>2</sub>O)之类的包含氢原子的化合物等;因此,在沉积室中形成的氧化物半导体膜中包含的杂质的浓度能够降低。

[0218] 作为用于形成氧化物半导体膜的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0219] 然后,为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氮气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下以200℃至700℃、优选地以350℃至700℃、更优选地以450℃至700℃对氧化物半导体层483执行热处理。由此,减少氧

化物半导体层中包含的水分。

[0220] 随后,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中冷却被加热氧化物半导体层。因此,得到电学上i型(本征)的高度纯化氧化物半导体层。这样,形成氧化物半导体层453(参见图8C)。

[0221] 在这个实施例中,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以 $450^{\circ}\text{C}$ 对氧化物半导体层执行一小时热处理,并且在氧气氛中执行冷却。

[0222] 本发明的一个特征在于,氧化物半导体层经过在氮气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的用于脱水或脱氢处理的热处理,并且经过在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中的用于提供氧的处理的冷却步骤。

[0223] 脱水或脱氢处理以及用于提供氧的处理中的氧化物半导体层(和衬底)的温度状态是上升状态、恒定状态和下降状态。气体(气氛)可在下列定时的任一个从氮或者诸如稀有气体(例如氩或氦)之类的惰性气体切换到氧和氮或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ ):在氧化物半导体层的温度处于恒定状态的时候,在氧化物半导体层的温度下降开始的时候,以及在氧化物半导体层的温度处于下降状态的时候。

[0224] 随后,用作保护绝缘膜的绝缘层457形成为与氧化物半导体层453相接触。

[0225] 绝缘层457能够适当地使用诸如溅射方法之类的用以使诸如水或氢之类的杂质没有进入绝缘层457的方法来形成为至少1 nm的厚度。当氢包含在绝缘层457中时,引起氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此使氧化物半导体层的背沟道的电阻较低(具有n型导电性),使得可能形成寄生沟道。因此,重要的是,采用其中没有使用氢的膜形成方法,以便形成包含尽可能少的氢的绝缘层457。

[0226] 在这个实施例中,200 nm厚的氧化硅膜通过溅射方法作为绝缘层457来形成。膜形成中的衬底温度可高于或等于室温且低于或等于 $300^{\circ}\text{C}$ ,并且在这个实施例中为 $100^{\circ}\text{C}$ 。通过溅射方法形成氧化硅膜能够在稀有气体(通常为氩)气氛、氧气氛或者稀有气体(通常为氩)和氧的气氛中执行。作为靶,可使用氧化硅靶或硅靶。例如,借助于硅靶,氧化硅能够在氧和氮的气氛中通过溅射方法来形成。作为绝缘层457,使用没有包含诸如水分、氢离子和OH之类的杂质的无机绝缘膜。通常使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0227] 在那种情况下,优选地在去除处理室中剩余的水分时形成绝缘层457。这用于防止氢、羟基或水分包含在氧化物半导体层453和绝缘层457中。

[0228] 为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,排出氢原子、诸如水( $\text{H}_2\text{O}$ )之类的包含氢原子的化合物等;因此,在沉积室中形成的绝缘层457中包含的杂质的浓度能够降低。

[0229] 作为用于绝缘层457的膜形成的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的水平。

[0230] 随后,可在惰性气体气氛或氧气体气氛中执行热处理(第二热处理(优选地以 $200^{\circ}\text{C}$ 至 $400^{\circ}\text{C}$ (包括两端),例如以 $250^{\circ}\text{C}$ 至 $350^{\circ}\text{C}$ (包括两端))。例如,热处理在氮气氛中以 $250^{\circ}\text{C}$ 执行1小时。在热处理中,氧化物半导体层在与绝缘层457相接触的同时被加热。

[0231] 通过上述工序,形成包括氧化物半导体层453的薄膜晶体管460,氧化物半导体层

453在氮气氛或惰性气体气氛中或者在降低的压力下经过作为脱水或脱氢处理的热处理以降低膜中的诸如氢、水分、羟基或氢化物之类的杂质,然后在氧的气氛、氧和氮的气氛或空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中经过作为用于提供氧的处理的冷却(参见图8D)。

[0232] 保护绝缘层可在绝缘层457之上形成。例如,氮化硅膜通过RF溅射方法来形成。由于RF溅射方法允许高生产率,所以它优选地用作保护绝缘层的膜形成方法。作为保护绝缘层,使用没有包含诸如水分、氢离子和 $\text{OH}^-$ 之类的杂质并且阻止这些杂质从外部进入的无机绝缘膜;使用氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等。

[0233] 在形成绝缘层457之后(或者在形成保护绝缘层之后),还可在空气中以 $100^{\circ}\text{C}$ 至 $200^{\circ}\text{C}$ (包括两端)来执行1小时至30小时(包括两端)热处理。这种热处理可在固定加热温度下执行。备选地,加热温度的下列变化可重复进行多次:加热温度从室温增加到 $100^{\circ}\text{C}$ 至 $200^{\circ}\text{C}$ 的温度,然后降低到室温。此外,这种热处理可在形成绝缘层之前以降低的压力来执行。在降低的压力下,热处理时间能够缩短。

[0234] 用于脱水或脱氢的热处理对氧化物半导体层来执行,并且因此氧化物半导体层改变成氧缺陷类型,由此得到n型( $\text{n}^-$ 型、 $\text{n}^+$ 型等)氧化物半导体层。然后,所得到的氧化物半导体层在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中冷却,由此将氧提供给氧化物半导体层。因此,氧化物半导体层经过高度纯化,由此得到i型氧化物半导体层。借助于这样得到的i型氧化物半导体层,能够提供包括具有优良电特性的极可靠薄膜晶体管的半导体器件。

[0235] 这个实施例能够与实施例1自由结合。

[0236] (实施例3)

[0237] 这个实施例使用图34A、图34B和图34C来描述沟道阻止类型(channel-stop-type)薄膜晶体管的示例。图34C示出薄膜晶体管的顶视图的示例,它沿虚线Z1-Z2的截面图对应于图34B。与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例1中所述的相似的方式来执行;因此省略重复描述。

[0238] 如同图34A中那样,栅电极层1401在衬底1400之上形成。随后,氧化物半导体层在覆盖栅电极层1401的栅绝缘层1402之上形成。

[0239] 在这个实施例中,通过溅射方法所形成的Sn-Zn-O基氧化物半导体层用于氧化物半导体层1403。

[0240] 用于脱水或脱氢的热处理紧接形成氧化物半导体膜之后或者将氧化物半导体膜处理为岛状之后执行。

[0241] 为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氮气氛或者在诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下、在暴露氧化物半导体层的状态中以 $200^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 、优选地以 $350^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 、更优选地以 $450^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 来执行热处理(用于脱水或脱氢的热处理)。因此,降低氧化物半导体膜中包含的水分。随后,在氧的气氛、氧和氮的气氛或者空气(超干空气)(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中执行冷却。因此,得到电学上i型(本征)的高度纯化氧化物半导体膜。这样,形成氧化物半导体层1403(参见图34A)。

[0242] 作为脱水或脱氢处理,在氮气氛或惰性气体气氛中或者在降低的压力下执行热处理,由此降低膜中的诸如氢、水分、羟基或氢化物之类的杂质。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(超干空气)气氛(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )中执行冷却。借助于这样得到的氧化物半导体层,薄膜晶体管的电特性得到改进。此外,能够实现能够大规模生产的具有高性能的薄膜晶体管。

[0243] 随后,沟道保护层1418设置成与氧化物半导体层1403相接触。氧化物半导体层1403之上的沟道保护层1418能够防止形成源区或漏区的后一步骤中的损坏(例如,因蚀刻中的等离子体或蚀刻剂引起的厚度的减小)。相应地,薄膜晶体管1430的可靠性能得到提高。

[0244] 此外,在脱水或脱氢之后,沟道保护层1418能够在没有暴露于空气的情况下连续形成。没有暴露于空气的连续膜形成使得有可能得到叠层之间的界面,该界面没有受到大气成分或者漂浮在空气中的诸如水或烃之类的杂质元素污染。因此,能够降低薄膜晶体管的特性的变化。

[0245] 沟道保护层1418能够使用氧化物绝缘材料(例如氧化硅、氧氮化硅或者氮氧化硅)来形成。作为用于形成沟道保护层1418的方法,能够使用溅射方法。沟道保护层1418通过蚀刻沉积的膜来处理。在这个实施例中,氧化硅膜通过溅射方法来形成,然后使用通过光刻所形成的掩模来蚀刻,由此得到沟道保护层1418。

[0246] 随后,源电极层1405a和漏电极层1405b在沟道保护层1418和氧化物半导体层1403之上形成;因此制造薄膜晶体管1430(参见图34B)。源电极层1405a和漏电极层1405b能够按照与实施例1中所述的源电极层405a和漏电极层405b相似的方式来形成。

[0247] 此外,在形成沟道保护层1418的形成之后,薄膜晶体管1430在氮气氛或空气气氛中(在空气中)经过热处理(优选地在高于或等于 $150^{\circ}\text{C}$ 且低于 $350^{\circ}\text{C}$ 的温度下)。例如,热处理在氮气氛中以 $250^{\circ}\text{C}$ 执行1小时。在这种热处理中,加热在与沟道保护层1418相接触的条件下的氧化物半导体层1403;因此,薄膜晶体管1430的电特性的变化能够减小。不存在对热处理(优选地在高于或等于 $150^{\circ}\text{C}$ 且低于 $350^{\circ}\text{C}$ 的温度下)的定时的具体限制,只要它在形成沟道保护层1418之后执行。当热处理还用作另一个步骤、例如用于形成用作平面化膜的绝缘层中的热处理或者用于降低透明导电膜的电阻的热处理时,步骤的数量没有增加。

[0248] 用于脱水或脱氢的热处理对氧化物半导体层来执行,并且因此氧化物半导体层改变成氧缺陷类型,由此得到n型( $n^{-}$ 型、 $n^{+}$ 型等)氧化物半导体层。然后,所得到的氧化物半导体层在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中冷却,由此将氧提供给氧化物半导体层。因此,氧化物半导体层经过高度纯化,由此得到i型氧化物半导体层。借助于这样得到的i型氧化物半导体层,能够制造和提供包括具有优良电特性的极可靠薄膜晶体管的半导体器件。

[0249] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0250] (实施例4)

[0251] 将参照图10A至图10D、图11A至图11C、图12以及图13A1、图13A2、图13B1和图13B2来描述包括薄膜晶体管的半导体器件的制造工序。

[0252] 图10A中,作为具有透光性质的衬底100,能够使用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃的玻璃衬底。

[0253] 随后,导电层完全在衬底100的表面之上形成,然后执行第一光刻步骤以形成抗蚀剂掩模。然后,通过蚀刻去除不必要的部分,使得形成布线和电极(包括栅电极层101的栅极布线、电容器布线和第一端子121)。这时,执行蚀刻,使得栅电极层101的至少端部具有渐窄的形状。

[0254] 包括栅电极层101的栅极布线、电容器布线108和端子部分的第一端子121能够适当地使用与用于实施例1中所述的栅电极层401相同的材料来形成。当栅电极层101使用耐热导电材料来形成时,可使用任意下列材料:从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中选取的元素;包含任意上述这些元素作为成分的合金;结合地包含这些元素的合金,以及包含任意上述这些元素作为成分的氮化物。

[0255] 随后,栅绝缘层102在栅电极层101的整个表面之上形成。

[0256] 例如,作为栅绝缘层102,氧化硅膜通过溅射方法形成为100 nm的厚度。不用说,栅绝缘层102并不局限于这种氧化硅膜,而是可形成为具有使用诸如氮化硅膜、氮化硅膜、氧化铝膜或氧化钪膜之类的另一种绝缘膜的单层结构或者叠层结构。

[0257] 然后,氧化物半导体膜在栅绝缘层102之上形成为大于或等于2 nm且小于或等于200 nm的厚度。在这个实施例中,氧化物半导体膜通过溅射方法、借助于In-Ga-Zn-O基氧化物半导体膜形成靶来形成。

[0258] 在那种情况下,优选地在去除处理室中剩余的水分时形成氧化物半导体膜。这用于防止氢、羟基或水分包含在氧化物半导体膜中。

[0259] 为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,排出氢原子、诸如水(H<sub>2</sub>O)之类的包含氢原子的化合物等;因此,在沉积室中形成的氧化物半导体膜中包含的杂质的浓度能够降低。

[0260] 作为用于形成氧化物半导体膜的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0261] 然后,在第二光刻步骤中将氧化物半导体膜处理为岛状氧化物半导体层133。例如,通过使用磷酸、醋酸和硝酸的混合溶液的蚀刻去除不必要的部分,使得形成氧化物半导体层133(参见图10A)。注意,这里的蚀刻并不局限于湿式蚀刻,而是也可执行干式蚀刻。

[0262] 作为用于干式蚀刻的蚀刻气体,优选地使用包含氯的气体(氯基气体,例如氯(Cl<sub>2</sub>)、氯化硼(BCl<sub>3</sub>)、氯化硅(SiCl<sub>4</sub>)或四氯化碳(CCl<sub>4</sub>))。

[0263] 备选地,包含氟的气体(氟基气体,例如四氟化碳(CF<sub>4</sub>)、六氟化硫(SF<sub>6</sub>)、三氟化氮(NF<sub>3</sub>)或者三氟甲烷(CHF<sub>3</sub>))的气体、溴化氢(HBr)、氧(O<sub>2</sub>)、添加了诸如氦(He)或氩(Ar)之类的稀有气体的任意这些气体等等能够用作用于干式蚀刻的气体。

[0264] 作为干式蚀刻方法,能够使用平行板RIE(反应离子蚀刻)方法、ICP(电感耦合等离子体)蚀刻方法等。为了将膜蚀刻成预期形状,蚀刻条件(施加到线圈形状电极的电量、施加到衬底侧的电极的电量和衬底侧的电极的温度等)经过适当调整。

[0265] 作为用于湿式蚀刻的蚀刻剂,能够使用磷酸、醋酸和硝酸的混合溶液、氨过氧化氢混合物(31 wt%的过氧化氢水:28 wt%的氨水:水=5:2:2)等。另外,还可使用IT007N(由KANTO CHEMICAL CO., INC.生产)。

[0266] 湿式蚀刻中使用的蚀刻剂通过清洗连同蚀刻掉的材料一起去除。包含蚀刻剂和蚀

刻掉的材料废液可经过纯化,并且材料可再使用。当氧化物半导体层中包含的诸如铟之类的材料在蚀刻之后从废液中被收集并且再使用时,能够有效地使用资源,并且能够降低成本。

[0267] 蚀刻条件(例如蚀刻剂、蚀刻时间和温度)根据材料来适当地调整,使得材料能够蚀刻成预期形状。

[0268] 随后,为了降低诸如氢、水分、羟基或氢化物之类的杂质,在氮气气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下以200℃至700℃、优选地以350℃至700℃、更优选地以450℃至700℃对氧化物半导体层133执行热处理(用于脱水或脱氢的热处理)。由此,减少氧化物半导体层中包含的水分。

[0269] 随后,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中冷却被加热氧化物半导体层。因此,得到电学上i型(本征)的高度纯化氧化物半导体层。这样,形成氧化物半导体层103(参见图10B)。

[0270] 在这个实施例中,将衬底引入作为热处理设备之一的电炉中,氧化物半导体层经受过在氮气气氛中以450℃所执行的一小时热处理,并且经过氧气气氛中的冷却。

[0271] 本发明的一个特征在于,氧化物半导体层经过在氮气气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下的用于脱水或脱氢处理的热处理,并且经过在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中的用于提供氧的处理的冷却步骤。

[0272] 脱水或脱氢处理以及用于提供氧的处理中的氧化物半导体层(和衬底)的温度状态是上升状态、恒定状态和下降状态。气体(气氛)可在下列定时的任一个从氮或者诸如稀有气体(例如氩或氦)之类的惰性气体切换到氧和氮或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃):在氧化物半导体层的温度处于恒定状态的时候,在氧化物半导体层的温度下降开始的时候,以及在氧化物半导体层的温度处于下降状态的时候。

[0273] 随后,导电膜132使用金属材料采用溅射方法或真空蒸镀方法在氧化物半导体层103之上形成(参见图10C)。

[0274] 对于导电膜132的材料,能够适当地使用与实施例1中所述的源电极层405a和漏电极层405b相似的材料。

[0275] 在形成导电膜132之后执行热处理的情况下,优选的是,导电膜具有足够高以耐受热处理的耐热性。

[0276] 随后,执行第三光刻步骤。形成抗蚀剂掩模,并且通过蚀刻去除不必要的部分,使得形成源电极层105a或漏电极层105b和第二端子122(参见图10D)。这时,将湿式蚀刻或干式蚀刻用作蚀刻方法。例如,当铝膜或铝合金膜用作导电膜132时,能够执行使用磷酸、醋酸和硝酸的混合溶液的湿式蚀刻。备选地,导电膜132可通过使用氨过氧化氢混合物(31 wt%的过氧化氢水:28 wt%的氨水:水=5:2:2)的湿式蚀刻来蚀刻,以便形成源电极层105a和漏电极层105b。在这个蚀刻步骤中,还可蚀刻氧化物半导体层103的外露区域的一部分,使得可形成具有凹陷部分的氧化物半导体层。

[0277] 在第三光刻步骤中,使用与源电极层105a或漏电极层105b相同的材料来形成的第二端子122留在端子部分中。注意,第二端子122电连接到源极布线(源极布线包括源电极层105a和105a)。

[0278] 此外,通过使用采用多色调掩模来形成的具有多个厚度(通常两个不同厚度)的区域的抗蚀剂掩模,能够减少抗蚀剂掩模的数量,从而导致简化的工序和更低的成本。

[0279] 然后,去除抗蚀剂掩模,并且保护绝缘层107形成为覆盖栅绝缘层102、氧化物半导体层103和源电极层105a或漏电极层105b。

[0280] 绝缘层107能够适当地使用诸如溅射方法之类的用以使诸如水或氢之类的杂质没有进入绝缘层107的方法来形成为至少1 nm的厚度。当氢包含在绝缘层107中时,引起氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此使氧化物半导体层的背沟道的电阻较低(具有n型导电性),使得可能形成寄生沟道。因此,重要的是,采用其中没有使用氢的膜形成方法,以便形成包含尽可能少的氢的绝缘层107。

[0281] 在这个实施例中,200 nm厚的氧化硅膜通过溅射方法作为绝缘层107来形成。膜形成中的衬底温度可高于或等于室温且低于或等于300°C,并且在这个实施例中为100°C。通过溅射方法形成氧化硅膜能够在稀有气体(通常为氩)气氛、氧气气氛或者稀有气体(通常为氩)和氧的气氛中执行。作为靶,可使用氧化硅靶或硅靶。例如,借助于硅靶,氧化硅能够在氧和氮的气氛中通过溅射方法来形成。作为绝缘层107,使用没有包含诸如水分、氢离子和OH<sup>-</sup>之类的杂质的无机绝缘膜。通常使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0282] 在那种情况下,优选地在去除处理室中剩余的水分时形成绝缘层107。这用于防止氢、羟基或水分包含在氧化物半导体层103和绝缘层107中。

[0283] 为了去除处理室中的剩余水分,优选地使用吸附真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。排空单元能够是提供有冷阱的涡轮泵。从借助于低温泵执行了排空的沉积室,排出氢原子、诸如水(H<sub>2</sub>O)之类的包含氢原子的化合物等;因此,在沉积室中形成的绝缘层107中包含的杂质的浓度能够降低。

[0284] 作为用于绝缘层107的膜形成的溅射气体,优选地使用高纯度气体,其中诸如氢、水、羟基或氢化物之类的杂质降低到杂质浓度级由单位“ppm”或“ppb”来表示的程度。

[0285] 然后,热处理可在形成绝缘层107之后执行。可在惰性气体气氛或氧气气氛中执行热处理(第二热处理)(优选地以200°C至400°C(包括两端),例如以250°C至350°C(包括两端))。例如,热处理在氮气气氛中以250°C执行1小时。热处理在氧化物半导体层与绝缘层107相接触的同时执行加热。

[0286] 通过该工序,能够制造薄膜晶体管170(参见图11A)。

[0287] 随后,执行第四光刻步骤以形成抗蚀剂掩模。蚀刻绝缘层107以形成达到漏电极层105b的接触孔125。另外,达到第二端子122的接触孔127以及达到连接端子121的接触孔126也在这个蚀刻步骤中形成。在这个阶段的截面图如图11B所示。

[0288] 随后,透光导电膜在去除抗蚀剂掩模之后形成。作为透光导电膜的材料,能够使用氧化铟(In<sub>2</sub>O<sub>3</sub>)、氧化锡(SnO<sub>2</sub>)、氧化锌(ZnO)、氧化铟和氧化锡的合金(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>,缩写成ITO)、氧化铟和氧化锌的合金(In<sub>2</sub>O<sub>3</sub>-ZnO)或者任意包含硅或氧化硅的金属氧化物材料。

[0289] 随后,执行第五光刻步骤以形成抗蚀剂掩模。然后,蚀刻掉不必要的部分,使得形成像素电极层110。

[0290] 在这个第五光刻步骤中,存储电容器采用电容器布线108和像素电极层110来形成,其中电容器部分中的栅绝缘层102和绝缘层107用作电介质。

[0291] 另外,在第五光刻步骤中,第一端子121和第二端子122覆盖有抗蚀剂掩模,并且透

明导电膜128和129留在端子部分中。透明导电膜128和129用作连接到FPC的电极或布线。在第一端子121之上形成的透明导电膜128是用作栅极布线的输入端子的连接端子电极。在第二端子122之上形成的透明导电膜129是用作源极布线的输入端子的连接端子电极。

[0292] 然后,去除抗蚀剂掩模。在这个阶段的截面图如图11C所示。注意,这个阶段中的平面图对应于图12。

[0293] 图13A1和图13A2分别是在这个阶段的栅极布线端子部分的截面图和平面图。图13A1对应于沿图13A2的线E1-E2所截取的截面图。图13A1中,在保护绝缘膜154之上形成的透明导电膜155是用作输入端子的连接端子电极。此外,在图13A1的端子部分中,使用与栅极布线相同的材料所形成的第一端子151以及使用与源极布线相同的材料所形成的连接电极153隔着栅绝缘层152相互重叠,并且通过透明导电膜155相互电连接。注意,图11C中透明导电膜128与第一端子121相接触的一部分对应于图13A1中透明导电膜155与第一端子151相接触的一部分。

[0294] 图13B1和图13B2分别是与图11C所示不同的源极布线端子部分的截图和平面图。图13B1对应于沿图13B2的线F1-F2所截取的截面图。图13B1中,在保护绝缘膜154之上形成的透明导电膜155是用作输入端子的连接端子电极。此外,图13B1中,在端子部分,使用与栅极布线相同的材料所形成的电极层156位于电连接到源极布线的第二端子150下面并且隔着栅绝缘层152与其重叠。电极层156没有电连接到第二端子150,以及如果电极156的电位设置成与第二端子150不同的电位、例如浮动、GND或0 V,则能够形成防止噪声或静电的电容器。第二端子150隔着保护绝缘膜154电连接到透明导电膜155。

[0295] 多个栅极布线、源极布线和电容器布线层根据像素密度来设置。此外在端子部分中,处于与栅极布线相同的电位的第一端子、处于与源极布线相同的电位的第二端子、处于与电容器布线相同的电位的第三端子等各设置多个。各端子的数量可以是任何数量,并且端子的数量可由专业人员适当地确定。

[0296] 通过这五个光刻步骤,存储电容器以及包括底栅交错薄膜晶体管的薄膜晶体管170的像素薄膜晶体管部分能够使用五个光掩模来完成。通过在设置成矩阵形式的像素部分的各像素中设置薄膜晶体管和存储电容器,能够得到用于制造有源矩阵显示装置的衬底之一。在本说明书中,为了方便起见,这种衬底称作有源矩阵衬底。

[0297] 在制造有源矩阵液晶显示装置的情况下,有源矩阵衬底和设置有对电极(counter electrode)的对衬底(counter substrate)隔着液晶层相互接合。注意,电连接到对衬底上的对电极的公共电极设置在有源矩阵衬底之上,并且电连接到公共电极的第四端子设置在端子部分中。第四端子设置成使得公共电极设置为诸如GND电位或0 V之类的固定电位。

[0298] 备选地,像素电极可隔着保护绝缘膜和栅绝缘层与相邻像素的栅极布线重叠,以便形成存储电容器而无需电容器布线。

[0299] 本说明书中公开的薄膜晶体管包括用于沟道形成区并且具有优良动态特性的氧化物半导体膜;因此,这能够与这些驱动方法相结合。

[0300] 在制造发光显示装置中,有机发光元件的一个电极(又称作阴极)设置成低电源电位、如GND或0 V;因此,端子部分设置有助于将阴极设置成低电源电位、如GND或0 V的第四端子。又在制造发光显示装置中,除了源极布线和栅极布线之外,还设置电源线。相应地,端子部分设置有电连接到电源线的第五端子。

[0301] 用于脱水或脱氢的热处理对氧化物半导体层来执行,并且因此氧化物半导体层改变成氧缺陷类型,由此得到n型( $n^-$ 型、 $n^+$ 型等)氧化物半导体层。然后,所得到的氧化物半导体层在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中冷却,由此将氧提供给氧化物半导体层。因此,氧化物半导体层经过高度纯化,由此得到i型氧化物半导体层。借助于这样得到的i型氧化物半导体层,能够提供包括具有优良电特性的极可靠薄膜晶体管的半导体器件。

[0302] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0303] (实施例5)

[0304] 这个实施例描述用于制造半导体器件的方法的另一个示例。

[0305] 图38示出用于对氧化物半导体执行脱水或脱氢以及用于提供氧的处理的热处理设备的示例。热处理设备在向/从其中传递保持设置有氧化物半导体膜的衬底250的衬底卡匣(cassette)260a的加载室251与向/从其中传递衬底卡匣260b的卸载室254之间包括用于脱水或脱氢处理的处理室252以及用于提供氧的处理室253。注意,处理室252设置有作为加热单元的灯光源258。

[0306] 排真空单元(vacuum evacuation unit)259连接到加载室251、处理室252和处理室253,以及通过排气管来排空加载室251、处理室252和处理室253中的气体。加载室251、处理室252和处理室253之间的选择通过切换阀的开启和闭合来进行。其中使氢和水分降低到使得浓度级由单位“ppb”来表示的程度的高纯度气体通过供气管从气体供应单元提供给加载室251、处理室252、处理室253和卸载室254。

[0307] 遮挡板256a设置在加载室251与处理室252之间,遮挡板256b设置在处理室252与处理室253之间,以及遮挡板256c设置在处理室253与卸载室254之间。遮挡板随同向/从室传递衬底250而开启和闭合。

[0308] 将保持衬底的衬底卡匣260a传递到加载室251。加载室251采用排真空单元259来排空,使得压力降低。然后,将氮气体或惰性气体提供给加载室251。类似地,处理室252采用排真空单元259来排空,使得压力降低。然后,将氮气体或惰性气体提供给处理室252。

[0309] 从衬底卡匣260a中取出衬底250,并且通过开启遮挡板256a将衬底250传递给具有氮气氛或惰性气体气氛的处理室252。借助于灯光源258,在氮气氛或惰性气体气氛中以 $200^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 、优选地以 $350^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 、更优选地以 $450^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 来执行热处理(用于脱水或脱氢的热处理)。由此,减少氧化物半导体膜中包含的诸如水分之类的杂质。注意,用于脱水或脱氢的热处理可在降低的压力下执行。

[0310] 随后,处理室253采用排真空单元259来排空,使得压力降低。然后,将氧气体、包含氧和氮的气体(例如 $\text{N}_2\text{O}$ 气体)或超干空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )提供给处理室253。随后,通过开启遮挡板256a将经过热处理的衬底250传递到具有氧的气氛、氧和氮的气氛或超干空气气氛的处理室253,并且在氧的气氛、氧和氮的气氛或超干空气气氛中执行冷却。通过在氧的气氛、氧和氮的气氛或超干空气气氛中执行冷却,将氧提供给氧化物半导体膜。因此,能够得到电学上i型(本征)的高纯度氧化物半导体膜。

[0311] 随后,开启遮挡板256c,之后接着将经过用于提供氧的处理的衬底250传递到卸载室254。衬底250保持在衬底卡匣260b中。如同处理室253那样,将包含氧和氮的气体(例如

N<sub>2</sub>O气体)或超干空气提供给卸载室254,卸载室254的气氛是氧、氧和氮或者超干空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)。

[0312] 这样,用于脱水或脱氢的热处理以及用于提供氧的处理能够借助于图38所示的热处理设备对氧化物半导体层来执行。

[0313] 借助于经过这样高度纯化的氧化物半导体膜,能够提供具有稳定电特性的极可靠半导体器件。

[0314] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0315] (实施例6)

[0316] 这个实施例描述用于制造半导体器件的方法的另一个示例。

[0317] 图39示出用于对氧化物半导体执行脱水或脱氢以及用于提供氧的处理的热处理设备的示例。热处理设备包括衬底卡匣传递室200和热处理室201。在衬底卡匣传递室200中,向/从室传递保持提供有氧化物半导体膜的衬底208的衬底卡匣206。在热处理室201中,在多个衬底208存放于所保持的衬底卡匣206的状态中将清洁空气引入其中,并且执行热处理。

[0318] 排真空单元214连接到衬底卡匣传递室200,并且通过排空管210来排出衬底卡匣传递室200中的气体。氮气体或惰性气体通过供气管212从气体供应单元(1)216提供给衬底卡匣传递室200。

[0319] 闸阀204设置在衬底卡匣传递室200与热处理室201之间。闸式阀随同向/从室传递衬底卡匣206而开启和闭合。传递到热处理室201的衬底卡匣206保持在清洗槽202中。

[0320] 供气管220连接到热处理室201,使得氮气体或惰性气体从气体供应单元(1)216来提供,并且氧气体从气体供应单元(2)218来提供。其中氢和水分降低到使得浓度级由单位“ppb”来表示的高纯度气体从气体供应单元(1)216和气体供应单元(2)218来提供。

[0321] 提供给热处理室201的气体采用加热器222来加热,并且采用风扇224吹入清洗槽202。吹入清洗槽202的气体中的微粒由过滤器226去除。

[0322] 虽然处理室201设计成使得气体在其中循环,但是气体的一部分通过排空管228从热处理室201中排出。待排出的气体的量按照附连到排空管228的管道232的开启程度来控制。已排出气体中诸如水分之类的杂质采用气体提纯设备(gas refining apparatus)230再次去除,并且返回到供气管220。注意,气体的一部分由排空单元234来排放。

[0323] 用于脱水或脱氢的热处理以及用于提供氧的处理能够借助于图39所示的热处理设备对氧化物半导体层来执行。

[0324] 借助于经过这样高度纯化的氧化物半导体膜,能够提供具有稳定电特性的极可靠半导体器件。

[0325] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0326] (实施例7)

[0327] 这个实施例给出其过程与实施例1部分不同的制造方法的示例。在这个实施例中,用于脱水或脱氢的热处理在形成源电极层405a和漏电极层405b之后执行的示例如图31A至图31D所示。注意,与图1A至图1D相似的部分由相同参考标号来表示。

[0328] 按照与实施例1相似的方式,在具有绝缘表面的衬底400之上,形成栅电极层401、栅绝缘层402和氧化物半导体层430(参见图31A)。

[0329] 源电极层405a和漏电极层405b在氧化物半导体层430之上形成(参见图31B)。

[0330] 随后,作为脱水或脱氢处理,在惰性气体(例如氮、氩、氦或氙)的气氛中或者在降低的压力下对氧化物半导体层430、源电极层405a和漏电极层405b执行热处理。这种热处理降低氧化物半导体层430的电阻,使得得到低电阻氧化物半导体层。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中缓慢地冷却被加热氧化物半导体层。对氧化物半导体层的外露部分执行用于提供氧的处理;因此,使半导体层495的一部分进入氧过剩状态。相应地,与栅电极层401重叠的沟道形成区496成为i型,并且与源电极层405a重叠的高电阻源区497a以及与漏电极层405b重叠的高电阻漏区497b以自调整(self-aligning)方式来形成(参见图31C)。

[0331] 注意,作为源电极层405a和漏电极层405b,优选地使用具有足以耐受热处理的耐热性的材料、例如钨或钼。

[0332] 随后,通过溅射方法或PCVD方法,绝缘层407形成为与半导体层495相接触。保护绝缘层499层叠在绝缘层407之上。在这个实施例中,氧化硅层通过溅射方法作为绝缘层407来形成,并且氮化硅层通过溅射方法作为保护绝缘层499来形成。

[0333] 通过该过程,形成薄膜晶体管494(参见图31D)。

[0334] 通过在与漏电极层405b(和源电极层405a)重叠的氧化物半导体层中形成高电阻漏区497b(或高电阻源区497a),晶体管的可靠性能得到提高。具体来说,通过形成高电阻漏区497b,导电率能够从漏电极层405b到高电阻漏区497b和沟道形成区496逐渐改变。因此,在采用连接到用于提供高电源电位 $V_{DD}$ 的布线的漏电极层405b来执行操作的情况下,高电阻漏区用作缓冲器,并且即使高电场施加在栅电极层401与漏电极层405b之间,也没有局部施加高电场,使得薄膜晶体管的耐受电压能够得到改进。

[0335] 借助于经过这样高度纯化的氧化物半导体层,能够提供具有稳定电特性的极可靠半导体器件。

[0336] 这个实施例能够适当地结合任意其它实施例来实现。

[0337] (实施例8)

[0338] 将参照图32来描述半导体器件以及制造半导体器件的方法。与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例1中所述的相似的方式来执行;因此省略重复描述。

[0339] 图32所示的薄膜晶体管471是一个示例,其中导电层409设置成隔着绝缘膜与栅电极层401和氧化物半导体层403的沟道区重叠。

[0340] 图32是半导体器件中包含的薄膜晶体管471的截面图。薄膜晶体管471是底栅薄膜晶体管,并且在作为具有绝缘表面的衬底的衬底400之上包括栅电极层401、栅绝缘层402、氧化物半导体层403、源电极层405a、漏电极层405b、绝缘层407、保护绝缘层499和导电层409。导电层409设置在保护绝缘层499之上,以使得与栅电极层401重叠。

[0341] 导电层409能够使用与栅电极层401、源电极层405a或漏电极层405b相似的材料、通过与其相似的方法来形成。在设置像素电极层的情况下,导电层409可使用与像素电极层相似的材料、通过与其相似的方法来形成。在这个实施例中,导电层409使用钛膜、铝膜和钛膜的叠层来形成。

[0342] 导电层409可具有与栅电极层401相同的电位,或者具有与栅电极层401不同的电位,并且能够用作第二栅电极层。此外,导电层409可处于浮动状态。

[0343] 通过在与氧化物半导体层403重叠的位置中设置导电层409,在用于检查薄膜晶体管的可靠性的偏置温度应力测试(BT测试)中,能够使BT测试之前与之后之间的薄膜晶体管471的阈值电压的偏移量较小。具体来说,在衬底温度增加到150℃之后将-20 V的电压施加到栅极的负BT测试中,能够抑制阈值电压的偏移。

[0344] 这个实施例能够适当地结合其它实施例来实现。

[0345] (实施例9)

[0346] 将参照图33来描述半导体器件以及用于制造半导体器件的方法。与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例中所述的相似的方式来执行;因此省略重复描述。

[0347] 图33所示的薄膜晶体管472是一个示例,其中导电层419设置成隔着绝缘层407、保护绝缘层409和绝缘层410与栅电极层401和氧化物半导体层403的沟道区重叠。

[0348] 图33是半导体器件中包含的薄膜晶体管472的截面图。薄膜晶体管472是底栅薄膜晶体管,并且在作为具有绝缘表面的衬底的衬底400之上包括栅电极层401、栅绝缘层402、氧化物半导体层403、源电极层405a、漏电极层405b、绝缘层407、绝缘层410和导电层419。导电层419设置在绝缘层410之上,以便与栅电极层401重叠。

[0349] 在这个实施例的薄膜晶体管中,用作平面化膜的绝缘层410层叠在保护绝缘层499之上,在绝缘层407、保护绝缘层499和绝缘层410中形成并且达到漏电极层405b的开口中形成导电膜,以及将导电膜蚀刻成具有预期形状,使得形成导电层419和像素电极层411。这样,导电层419能够在形成像素电极层411的过程中形成。在这个实施例中,包含氧化硅的氧化铟-氧化锡合金(包含氧化硅的In-Sn-O基氧化物)用于像素电极层411和导电层419。

[0350] 备选地,导电层419可使用与栅电极层401、源电极层405a和漏电极层405b相似的材料和制造方法来形成。

[0351] 导电层419可具有与栅电极层401相同的电位,或者具有与栅电极层401不同的电位。备选地,导电层419和401可具有不同的电位。导电层419能够用作第二栅电极层。此外,导电层419可处于浮动状态。

[0352] 另外,通过在与氧化物半导体层403重叠的部分中设置导电层419,在用于检查薄膜晶体管的可靠性的偏置温度应力测试中,能够降低BT测试之前与之后之间的薄膜晶体管472的阈值电压的偏移量。

[0353] 这个实施例能够适当地结合任意其它实施例来实现。

[0354] (实施例10)

[0355] 将参照图35A和图35B来描述半导体器件以及用于制造半导体器件的方法。与实施例3中所述相同的部分或者具有与实施例3中所述的相似的功能的一部分能够按照与实施例3中所述的相似的方式来形成,并且与实施例3的相似的步骤能够按照与实施例中所述的相似的方式来执行;因此省略重复描述。

[0356] 图35A所示的薄膜晶体管1431是具有一种结构的示例,在该结构中,导电层1409设置成隔着沟道保护层1418和绝缘层1407与栅电极层1401和氧化物半导体层1403的沟道区

重叠。

[0357] 图35A是半导体器件中包含的薄膜晶体管1431的截面图。薄膜晶体管1431是底栅薄膜晶体管,并且在具有绝缘表面的衬底1400之上包括栅电极层1401、栅绝缘层1402、氧化物半导体层1403、源电极层1405a、漏电极层1405b、绝缘层1407和导电层1409。导电层1409设置成隔着绝缘层1409与栅电极层1401重叠。

[0358] 导电层1409能够使用与栅电极层1401、源电极层1405a或漏电极层1405b相似的材料、通过与其相似的方法来形成。在设置像素电极层的情况下,导电层1409可使用与像素电极层相似的材料、通过与其相似的方法来形成。在这个实施例中,钛膜、铝膜和钛膜的叠层用作导电层1409。

[0359] 导电层1409可具有与栅电极层1401相同的电位,或者具有与栅电极层1401不同的电位,并且能够用作第二栅电极层。此外,导电层1409可处于浮动状态。

[0360] 另外,通过在与氧化物半导体层1403重叠的部分中设置导电层1409,在用于检查薄膜晶体管的可靠性的偏置温度应力测试(以下称作BT测试)中,能够使BT测试之前与之后之间的薄膜晶体管1431的阈值电压的偏移量较小。

[0361] 图35B示出与图35A部分不同的示例。与图35A所示的相同的部分以及具有与图35A所示的相似的功能的步骤或部分能够按照与图35A所示的相似的方式来进行;因此,省略重复描述。

[0362] 图35B所示的薄膜晶体管1432是具有一种结构的示例,在该结构中,导电层1409设置成与栅电极层1401和氧化物半导体层1403的沟道区重叠,其中在导电层1409与栅电极层1401之间夹入沟道保护层1418、绝缘层1407和绝缘层1408。

[0363] 图35B中,用作平面化膜的绝缘层1408层叠在绝缘层1407之上。

[0364] 与图35A相似,导电层1409设置在与图35B的结构的氧化物半导体层1403重叠的部分中,由此,在用于检查薄膜晶体管的可靠性的偏置温度应力测试中,能够降低BT测试之前与之后之间的薄膜晶体管1432的阈值电压的偏移量。

[0365] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0366] (实施例11)

[0367] 在这个实施例中,将参照图36来描述与实施例1部分不同的结构的示例。与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例中所述的相似的方式来执行;因此省略重复描述。

[0368] 描述一个示例,其中在图36所示的结构中,源区(又称作 $N^+$ 层或缓冲层)设置在氧化物半导体层403与源电极层之间,并且漏区(又称作 $N^+$ 层或缓冲层)设置在氧化物半导体层与漏电极层之间。例如,具有n型导电性的氧化物半导体层用于源区和漏区。在这个实施例中,源区404a或漏区404b使用In-Ga-Zn-O基膜来形成。

[0369] 另外,在氧化物半导体层用于薄膜晶体管473的源区404a和漏区404b的情况下,氧化物半导体层优选地比用于沟道形成区的氧化物半导体层403要薄,并且优选地具有比氧化物半导体层403要高的导电率(电传导率)。

[0370] 此外,氧化物导电层可在氧化物半导体层与源和漏电极层之间作为源区或漏区来形成。用于形成源和漏电极的氧化物导电层和金属层可连续形成。

[0371] 当氧化物导电层作为源区和漏区设置在氧化物半导体层与源和漏电极层之间时,源区和漏区能够具有较低电阻,并且晶体管能够高速工作。有效的是将氧化物导电层用于源区和漏区,以便改进外围电路(驱动器电路)的频率特性。这是因为,与金属电极(例如Ti)与氧化物半导体层之间的接触相比,金属电极(例如Ti)与氧化物导电层之间的接触能够降低接触电阻。

[0372] 在这个实施例中,在将氧化物半导体层处理为岛状氧化物半导体层之后,在氮气氛或者诸如稀有气体(例如氩或氦)之类的惰性气体气氛中或者在降低的压力下以200℃至700℃、优选地以350℃至700℃、更优选地以450℃至700℃对氧化物半导体层执行热处理。此后,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于-40℃,更优选地低于或等于-50℃)气氛中执行冷却。氧化物半导体层在某种气氛中经过热处理并且在该气氛中经过冷却,由此氧化物半导体层能够经过脱水或脱氢处理以及用于提供氧的处理。因此,能够得到电学上i型(本征)的高纯度氧化物半导体层。这样,能够形成氧化物半导体层403。

[0373] 此外,在形成绝缘层407之后,薄膜晶体管473可在氮气氛或空气气氛中(在空气中)经过热处理(优选地在高于或等于150℃且低于350℃的温度下)。例如,热处理在氮气氛中以250℃执行1小时。通过热处理,氧化物半导体层403在与绝缘层407相接触的同时被加热。因此,能够减小薄膜晶体管470的电特性的变化。

[0374] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0375] (实施例12)

[0376] 这个实施例描述一个示例,其中在参照图23的截面来看时,氧化物半导体层由氮化物绝缘层包围。图23所示的薄膜晶体管与实施例1中所述的薄膜晶体管相同,除了顶面的形状和氧化物绝缘层的端部的位置以及栅绝缘层的结构之外。因此,与实施例1中所述相同的部分或者具有与实施例1中所述的相似的功能的一部分能够按照与实施例1中所述的相似的方式来形成,并且与实施例1的相似的步骤能够按照与实施例中所述的相似的方式来执行;因此省略重复描述。

[0377] 图23所示的薄膜晶体管650是底栅薄膜晶体管,并且在具有绝缘表面的衬底394之上包括栅电极层391、使用氮化物绝缘层所形成的栅绝缘层652a、使用氧化物绝缘层所形成的栅绝缘层652b、氧化物半导体层392、源电极层395a和漏电极层395b。另外,薄膜晶体管650覆盖有与氧化物半导体层392相接触的氧化物绝缘层656。使用氮化物绝缘层所形成的保护绝缘层653还设置在氧化物绝缘层656之上。保护绝缘层653与使用氮化物绝缘层所形成的栅绝缘层652a相接触。

[0378] 在这个实施例的薄膜晶体管650中,栅绝缘层具有叠层结构,其中氮化物绝缘层和氧化物绝缘层层叠在栅电极层之上。此外,在形成使用氮化物绝缘层来形成的保护绝缘层653之前,有选择地去除氧化物绝缘层656和栅绝缘层652b,以便暴露使用氮化物绝缘层来形成的栅绝缘层652a。

[0379] 至少氧化物半导体层656的顶面的面积和栅绝缘层652b的顶面的面积比氧化物半导体层392的顶面要大,并且氧化物绝缘层656的顶面和栅绝缘层652b的顶面优选地覆盖薄膜晶体管650。

[0380] 此外,作为氮化物绝缘层的保护绝缘层653覆盖氧化物绝缘层656的顶面以及氧化物绝缘层656和栅绝缘层652b的侧表面,并且与使用氮化物绝缘层所形成的栅绝缘层652a

相接触。

[0381] 对于使用氮化物绝缘层来形成的保护绝缘层653和栅绝缘层652a,使用没有包含诸如水分、氢离子和OH<sup>-</sup>之类的杂质并且阻止杂质从外部进入的无机绝缘膜:例如,使用通过溅射方法或等离子体CVD方法所得到的氮化硅膜、氧氮化硅膜、氮化铝膜、氧氮化铝膜。

[0382] 在这个实施例中,作为使用氮化物绝缘层所形成的保护绝缘层653,厚度为100 nm的氮化硅层通过RF溅射方法来形成,以使得覆盖氧化物半导体层392的底面、顶面和侧表面。

[0383] 通过图23所示的结构,氧化物半导体层中诸如氢、水分、羟基或氢化物之类的杂质通过设置成包围并且接触氧化物半导体层的栅绝缘层652b和氧化物绝缘层656来减少,并且能够防止形成保护绝缘层653之后在制造工序中水分从外部进入,因为氧化物半导体层还由各使用氮化物绝缘层来形成的栅绝缘层652a和保护绝缘层652包围。此外,甚至在装置作为触摸屏、例如作为显示装置来完成之后,也能够长期防止水分从外部进入;因此,装置的长期可靠性能够得到提高。

[0384] 在这个实施例中,描述一个薄膜晶体管由氮化物绝缘层包围的结构,但是,本发明的一个实施例并不局限于这种结构。多个薄膜晶体管可由氮化物绝缘层包围,或者像素部分中的多个薄膜晶体管可共同由氮化物绝缘层包围。其中保护绝缘层653和栅绝缘层652a相互接触的区域可形成使得至少包围有源矩阵衬底的像素部分的周边。

[0385] 这个实施例能够适当地结合任意其它实施例来实现。

[0386] (实施例13)

[0387] 在这个实施例中,下面将描述一个示例,其中驱动器电路的至少一部分和设置在像素部分中的薄膜晶体管在一个衬底之上形成。

[0388] 设置在像素部分中的薄膜晶体管能够按照实施例1至4的任一个来形成。此外,实施例1至10的任一个中所述的薄膜晶体管是n沟道TFT。因此,驱动器电路之中能够使用n沟道TFT来形成的驱动器电路的一部分在与用于像素部分的薄膜晶体管相同的衬底之上形成。

[0389] 图19A是有源矩阵显示装置的框图的一个示例。像素部分5301、第一扫描线驱动器电路5302、第二扫描线驱动器电路5303和信号线驱动器电路5304在显示装置的衬底5300之上形成。在像素部分5301中,设置从信号线驱动器电路5304所延伸的多个信号线,并且设置从第一扫描线驱动器电路5302和第二扫描线驱动器电路5303所延伸的多个扫描线。注意,包括显示元件的像素在扫描线和信号线彼此相交的相应区域中设置成矩阵。此外,显示装置中的衬底5300通过诸如柔性印刷电路(FPC)之类的连接部分连接到定时控制电路5305(又称作控制器或控制器IC)。

[0390] 图19A中,第一扫描线驱动器电路5302、第二扫描线驱动器电路5303和信号线驱动器电路5304在与像素部分5301相同的衬底5300之上形成。相应地,设置在外部的驱动器电路等的组件的数量减少,使得能够实现成本的降低。此外,如果驱动器电路设置在衬底5300外部,则布线需要延长,并且布线连接的数量会增加,但是如果驱动器电路设置在衬底5300之上,则布线连接的数量能够减少。因此,能够实现可靠性和成品率的提高。

[0391] 注意,作为一个示例,定时控制电路5305例如向第一扫描线驱动器电路5302提供第一扫描线驱动器电路启动信号(GSP1)和扫描线驱动器电路时钟信号(GCK1)。定时控制电

路5305例如向第二扫描线驱动器电路5303提供第二扫描线驱动器电路启动信号(GSP2)(又称作启动脉冲)和扫描线驱动器电路时钟信号(GCK2)。此外,定时控制电路5305向信号线驱动器电路5304提供信号线驱动器电路启动信号(SSP)、信号线驱动器电路时钟信号(SCK)、视频信号数据(DATA,又简单地称作视频信号)和锁存信号(LAT)。注意,各时钟信号可以是其周期不同的多个时钟信号,或者可连同反相时钟信号(inverted clock signal)(CKB)一起提供。注意,能够省略第一扫描线驱动器电路5302和第二扫描线驱动器电路5303其中之一。

[0392] 图19B示出一种结构,其中各具有低驱动频率的电路(例如第一扫描线驱动器电路5302和第二扫描线驱动器电路5303)在设置有像素部分5301的衬底5300之上形成,并且信号线驱动器电路5304在与提供有像素部分5301的衬底不同的另一个衬底之上形成。通过这种结构,在衬底5300之上形成的驱动器电路能够通过使用其场效应迁移率比使用单晶半导体所形成的晶体管要低的薄膜晶体管来构成。相应地,能够实现显示装置的大小的增加、步骤数量的减少、成本的降低、成品率的提高等。

[0393] 实施例1至10中所述的薄膜晶体管是n沟道TFT。图20A和图20B中,描述使用n沟道TFT所形成的信号线驱动器电路的结构和操作的示例。

[0394] 信号线驱动器电路包括移位寄存器5601和开关电路5602。开关电路5602包括多个开关电路5602\_1至5602\_N(N为自然数)。开关电路5602\_1至5602\_N各包括多个薄膜晶体管5603\_1至5603\_k(k为自然数)。将阐述其中薄膜晶体管5603\_1至5603\_k是n沟道TFT的情况。

[0395] 将通过使用开关电路5602\_1作为示例来描述信号线驱动器电路的连接关系。薄膜晶体管5603\_1至5603\_k的第一端子分别连接到布线5604\_1至5604\_k。薄膜晶体管5603\_1至5603\_k的第二端子分别连接到信号线S1至Sk。薄膜晶体管5603\_1至5603\_k的栅极连接到布线5604\_1。

[0396] 移位寄存器5601具有按照顺序向布线5605\_1至5605\_N输出H电平信号(又称作H信号或高电源电位电平)以及按照顺序选择开关电路5602\_1至5602\_N的功能。

[0397] 开关电路5602\_1具有控制布线5604\_1至5604\_k与信号线S1至Sk之间的电连续性(第一端子与第二端子之间的电连续性)的功能,即,控制是否向信号线S1至Sk提供布线5604\_1至5604\_k的电位的功能。这样,开关电路5602\_1用作选择器。此外,薄膜晶体管5603\_1至5603\_k各具有控制布线5604\_1至5604\_k与其相应信号线S1至Sk之间的电连续性的功能,即,向其相应信号线S1至Sk提供布线5604\_1至5604\_k的电位的功能。这样,薄膜晶体管5603\_1至5603\_k的每个用作开关。

[0398] 注意,将视频信号数据(DATA)输入到布线5604\_1至5604\_k的每个。在许多情况下,视频信号数据(DATA)是与图像数据或图像信号对应的模拟信号。

[0399] 接下来,参照图20B的时序图来描述图20A中的信号线驱动器电路的操作。图20B示出信号Sout\_1至Sout\_N和信号Vdata\_1至Vdata\_k的示例。信号Sout\_1至Sout\_N是移位寄存器5601的输出信号的示例,以及信号Vdata\_1至Vdata\_k是输入到布线5604\_1至5604\_k的信号的示例。注意,信号线驱动器电路的一个操作期间对应于显示装置中的一个栅极选择期间。例如,一个栅极选择期间分为期间T1至TN。期间T1至TN是用于将视频信号数据(DATA)写到属于所选行的像素的期间。

[0400] 在期间T1至TN中,移位寄存器5601向布线5605\_1至5605\_N依次输出H电平信号。例

如,在期间T1,移位寄存器5601向布线5605\_1输出H电平信号。然后,薄膜晶体管5603\_1至5603\_k导通,使得布线5604\_1至5604\_k和信号线S1至Sk具有电连续性。在这种情况下,Data(S1)至Data(Sk)分别输入到布线5604\_1至5604\_k。Data(S1)至Data(Sk)分别通过薄膜晶体管5603\_1至5603\_k输入到所选行中的第一至第k列的像素。这样,在期间T1至TN中,视频信号数据(DATA)依次写到每k列的所选行中的像素。

[0401] 通过将视频信号数据(DATA)写到每多个列的像素,能够降低视频信号数据(DATA)的数量或者布线的数量。因此,能够减少连到外部电路的连接。通过将视频信号写入每多列的像素,能够延长写入时间,并且能够防止视频信号的不充分写入。

[0402] 注意,包括实施例1至10的任一个中所述的薄膜晶体管的电路能够用作移位寄存器5601和开关电路5602。在这种情况下,移位寄存器5601中包含的所有晶体管能够形成为仅具有N沟道或P沟道。

[0403] 接下来描述的是扫描线驱动器电路的构成。扫描线驱动器电路包括移位寄存器。在一些情况下,扫描线驱动器电路还可包括电平移位器、缓冲器等。在扫描线驱动电路中,当时钟信号(CLK)和起始脉冲信号(SP)输入到移位寄存器时,生成选择信号。所生成的选择信号由缓冲器来缓冲和放大,并且将所产生的信号提供给对应扫描线。一行的像素中的晶体管的栅电极连接到扫描线。由于一行的像素中的晶体管必须同时导通,所以使用能够提供大电流的缓冲器。

[0404] 将参照图21A至图21D以及图22A和图22B来描述用于扫描线驱动器电路和/或信号线驱动器电路的一部分的移位寄存器的一个实施例。

[0405] 参照图21A至图21D以及图22A和图22B来描述扫描线驱动器电路和/或信号线驱动器电路中的移位寄存器。移位寄存器包括第一至第N脉冲输出电路10\_1至10\_N(N为3或更大的自然数)(参见图21 A)。向图21A所示的移位寄存器的第一至第N脉冲输出电路10\_1至10\_N提供来自第一布线11的第一时钟信号CK1、来自第二布线12的第二时钟信号CK2、来自第三布线13的第三时钟信号CK3以及来自第四布线14的第四时钟信号CK4。启动脉冲SP1(第一启动脉冲)从第五布线15输入到第一脉冲输出电路10\_1。向第二或后级的第n脉冲输出电路10\_n(n为大于或等于2且小于或等于N的自然数)输入来自前级的脉冲输出电路的信号(这种信号称作前级信号OUT(n-1))(n为大于或等于2的自然数)。来自第一脉冲输出电路10\_1两级之后的第三脉冲输出电路10\_3的信号输入到第一脉冲输出电路10\_1。类似地,向第二或后级的第n脉冲输出电路10\_n输入来自接着下一级的级的第(n+2)脉冲输出电路10\_(n+2)的信号(这种信号称作后级信号OUT(n+2))。因此,相应级的脉冲输出电路输出将要输入到相应后级的脉冲输出电路和/或前级之前的级的脉冲输出电路的第一输出信号(OUT(1)(SR)至OUT(N)(SR))以及将要输入到另一个布线的第二输出信号(OUT(1)至OUT(N))等。注意,如图21A所示,后级信号OUT(n+2)没有输入到移位寄存器的最后两级;作为一个示例,第二启动脉冲SP2和第三启动脉冲SP3还可分别从第六布线16和第七布线17输入到移位寄存器的最后两级。备选地,可使用另外在移位寄存器内部生成的信号。例如,可设置没有促进对像素部分的脉冲输出的第(n+1)脉冲输出电路10\_(n+1)和第(n+2)脉冲输出电路10\_(n+2)(这类电路又称作哑级(dummy stage)),使得与第二启动脉冲(SP2)和第三启动脉冲(SP3)对应的信号在哑级中生成。

[0406] 注意,时钟信号(CK)是每隔一定间隔在H电平与L电平(又称作L信号或者低电源电

位电平的信号)之间交替的信号。第一至第四时钟信号(CK1)至(CK4)依次延迟1/4周期(即,它们相互90°异相)。在这个实施例中,通过使用第一至第四时钟信号(CK1)至(CK4),执行脉冲输出电路的驱动的控制等。按照时钟信号输入到其中的驱动器电路,时钟信号又称作GCLK或SCLK;但是,使用CK作为时钟信号进行描述。在这个实施例模式中,通过使用第一至第四时钟信号(CK1)至(CK4),执行脉冲输出电路的驱动的控制等。虽然时钟信号按照对其输入时钟信号的驱动器电路来用作GCK或SCK,但是时钟信号在这里描述为CK。

[0407] 第一输入端子21、第二输入端子22和第三输入端子23电连接到第一至第四布线11至14的任一个。例如,图21A中,第一脉冲输出电路10\_1的第一输入端子21电连接到第一布线11,第一脉冲输出电路10\_1的第二输入端子22电连接到第二布线12,以及第一脉冲输出电路10\_1的第三输入端子23电连接到第三布线13。第二脉冲输出电路10\_2的第一输入端子21电连接到第二布线12,第二脉冲输出电路10\_2的第二输入端子22电连接到第三布线13,以及第二脉冲输出电路10\_2的第三输入端子23电连接到第四布线14。

[0408] 第一至第N脉冲输出电路10\_1至10\_N的每个包括第一输入端子21、第二输入端子22、第三输入端子23、第四输入端子24、第五输入端子25、第一输出端子26以及第二输出端子27(参见图21B)。在第一脉冲输出电路10\_1中,第一时钟信号CK1输入到第一输入端子21,第二时钟信号CK2输入到第二输入端子22,第三时钟信号CK3输入到第三输入端子23,启动脉冲输入到第四输入端子24,后级信号OUT(3)输入到第五输入端子25,第一输出信号OUT(1)(SR)从第一输出端子26输出,以及第二输出信号OUT(1)从第二输出端子27输出。

[0409] 接下来参照图21D来描述脉冲输出电路的特定电路结构的示例。

[0410] 第一脉冲输出电路10\_1包括第一至第十一晶体管31至41(参见图21D)。除了上述第一至第五输入端子21至25、第一输出端子26和第二输出端子27之外,信号或电源电位还从对其提供第一高电源电位VDD的电源线51、对其提供第二高电源电位VCC的电源线52以及对其提供低电源电位VSS的电源线53提供给第一至第十一晶体管31至41。图21D中的电源线的电源电位的关系如下:第一高电源电位VDD>第二高电源电位VCC>~低电源电位VSS。注意,第一至第四时钟信号(CK1)至(CK4)各为每隔一定间隔在H电平与L电平之间进行交替的信号;H电平的时钟信号是VDD,而L电平的时钟信号是VSS。注意,当电源线52的电位VCC设置为低于电源线51的电位VDD时,施加到晶体管的栅电极的电位能够降低,而没有影响操作;因此,能够降低晶体管的阈值的偏移,并且能够抑制退化。

[0411] 图21D中,第一晶体管31的第一端子电连接到电源线51,第一晶体管31的第二端子电连接到第九晶体管39的第一端子,以及第一晶体管31的栅电极电连接到第四输入端子24。第二晶体管32的第一端子电连接到电源线53,第二晶体管32的第二端子电连接到第九晶体管39的第一端子,以及第二晶体管32的栅电极电连接到第四晶体管34的栅电极。第三晶体管33的第一端子电连接到第一输入端子21,以及第三晶体管33的第二端子电连接到第一输入端子26。第四晶体管34的第一端子电连接到电源线53,以及第四晶体管34的第二端子电连接到第一输出端子26。第五晶体管35的第一端子电连接到电源线53,第五晶体管35的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,以及第五晶体管35的栅电极电连接到第四输入端子24。第六晶体管36的第一端子电连接到电源线52,第六晶体管36的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,以及第六晶体管36的栅电极电连接到第五输入端子25。第七晶体管37的第一端子电连接到电源线52,

第七晶体管37的第二端子电连接到第八晶体管38的第二端子,以及第七晶体管37的栅电极电连接到第三输入端子23。第八晶体管38的第一端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,以及第八晶体管38的栅电极电连接到第二输入端子22。第九晶体管39的第一端子电连接到第一晶体管31的第二端子和第二晶体管32的第二端子,第九晶体管39的第二端子电连接到第三晶体管33的栅电极和第十晶体管40的栅电极,以及第九晶体管39的栅电极电连接到电源线52。第十晶体管40的第一端子电连接到第一输入端子21,第十晶体管40的第二端子电连接到第二输出端子27,以及第十晶体管40的栅电极电连接到第九晶体管39的第二端子。第十一晶体管41的第一端子电连接到电源线53,第十一晶体管41的第二端子电连接到第二输出端子27,以及第十一晶体管41的栅电极电连接到第二晶体管32的栅电极和第四晶体管34的栅电极。

[0412] 图21D中,其中第三晶体管33的栅电极、第十晶体管40的栅电极和第九晶体管39的第二端子相连接,称作结点A。另外,其中第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子和第十一晶体管41的栅电极称作结点B(参见图22A))。

[0413] 图22A中,示出在图21D所示的脉冲输出电路应用于第一脉冲输出电路10\_1时向/从第一至第五输入端子21至25、第一输出端子26和第二输出端子27输入/输出的信号。

[0414] 具体来说,第一时钟信号CK1输入到第一输入端子21,第二时钟信号CK2输入到第二输入端子22,第三时钟信号CK3输入到第三输入端子23,启动脉冲输入到第四输入端子24,后级信号OUT(3)输入到第五输入端子25,第一输出信号OUT(1)(SR)从第一输出端子26输出,以及第二输出信号OUT(1)从第二输出端子27输出。

[0415] 注意,薄膜晶体管是具有栅极、漏极和源极至少三个端子的元件。薄膜晶体管具有一种半导体,其中沟道区在与栅极重叠的区域中形成,并且通过沟道区在漏极与源极之间流动的电流能够通过控制栅极的电位来控制。在这里,由于薄膜晶体管的源极和漏极可根据晶体管的结构、操作条件等等而互换,所以难以确定哪一个是源极而哪一个是漏极。因此,在一些情况下,用作源极或漏极的区域不称作源极或漏极。在那种情况下,例如,这类区域可称作第一端子或第二端子。

[0416] 在这里,图22B是包括图22A所示的多个脉冲输出电路的移位寄存器的时序图。注意,当移位寄存器包含在扫描线驱动器电路中时,图22B中的期间61和期间62分别对应于垂直回扫期间和栅极选择期间。

[0417] 注意,如图22A所示,通过设置其栅极提供有第二电源电位VCC的第九晶体管39,在自举操作(bootstrap operation)之前和之后得到下面描述的优点。

[0418] 在没有其栅极提供有第二电源电位VCC的第九晶体管39的情况下,如果结点A的电位通过自举操作来升高,则作为第一晶体管31的第二端子的源极的电位增加到高于第一电源电位VDD的值。然后,第一晶体管31的源极切换到第一端子,即,电源线51侧上的端子。因此,在第一晶体管31中,施加大偏压,并且相当大的应力施加在栅极与源极之间以及栅极与漏极之间,这会引起晶体管的退化。通过设置其栅极提供有第二电源电位VCC的第九晶体管39,结点A的电位通过自举操作来升高,但是能够防止第一晶体管31的第二端子的电位的增加。换言之,通过提供第九晶体管39,施加在第一晶体管31的栅极与源极之间的负偏压能够降低。相应地,通过这个实施例的电路配置,施加在第一晶体管31的栅极与源极之间的负

偏压能够降低,使得能够进一步抑制因应力引起的第一晶体管31的退化。

[0419] 注意,第九晶体管39设置成使得通过第一端子和第二端子连接在第一晶体管31的第二端子与第三晶体管33的栅极之间。在使用这个实施例中所述的包括多个脉冲输出电路的移位寄存器时,在具有比扫描线驱动器电路更多的级的信号线驱动器电路中,第九晶体管39能够省略,这因为减少晶体管的数量而是有利的。

[0420] 当氧化物半导体用于第一至第十一晶体管31至41的半导体层时,薄膜晶体管的截止电流能够降低,导通电流和场效应迁移率能够增加,并且退化程度能够降低;因此,电路中的故障能够减少。使用氧化物半导体所形成的晶体管通过将高电位施加到栅电极而引起的退化程度比使用非晶硅所形成的晶体管要小。因此,甚至当第一电源电位VDD提供给对其提供第二电源电位VCC的电源线时,能够执行类似操作,并且能够降低设置在电路中的电源线的数量,使得能够使电路小型化。

[0421] 注意,即使布线连接改变成使得从第三输入端子23提供给第七晶体管37的栅电极的时钟信号以及从第二输入端子22提供给第八晶体管38的栅电极的时钟信号分别是第二输入端子22提供给第七晶体管37的栅电极的时钟信号以及从第三输入端子23提供给第八晶体管38的栅电极的时钟信号,也能够得到类似效果。注意,在图22A所示的移位寄存器中,在第七晶体管37和第八晶体管38均导通之后,第七晶体管37截止,而第八晶体管38仍然导通,然后,第七晶体管37仍然截止,而第八晶体管38截止。因此,通过第二输入端子22和第三输入端子23的电位的下降而引起的结点B的电位的下降由于第七晶体管37的栅电极的电位的下降以及第八晶体管38的栅电极的电位的下降而发生两次。另一方面,在图22A所示的移位寄存器中的第七晶体管37和第八晶体管38的状态改变成使得第七晶体管37和第八晶体管38均导通时,第七晶体管37则导通而第八晶体管38截止,然后第七晶体管37和第八晶体管38截止,通过第八晶体管38的栅电极的电位的下降使通过第二输入端子22和第三输入端子23的电位的下降而引起的结点B的电位的下降次数减少为一次。因此,其中时钟信号CK3从第三输入端子23提供给第七晶体管37的栅电极以及时钟信号CK2从第二输入端子22提供给第八晶体管38的栅电极的连接关系是优选的。那是因为能够降低结点B的电位的变化次数,由此能够降低噪声。

[0422] 这样,在第一输出端子26和第二输出端子27的电位保持在L电平的期间中,H电平信号定期提供给结点B;相应地,能够抑制脉冲输出电路的故障。

[0423] 通过该过程,能够制造作为半导体器件的极可靠显示装置。

[0424] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0425] (实施例14)

[0426] 制造薄膜晶体管,并且具有显示功能的半导体器件(又称作显示装置)能够在像素部分以及还在驱动器电路中使用薄膜晶体管来制造。此外,驱动器电路的部分或全部能够使用薄膜晶体管在与像素部分相同的衬底之上形成,由此能够得到面板上系统。

[0427] 显示装置包括显示元件。作为显示元件,能够使用液晶元件(又称作液晶显示元件)或发光元件(又称作发光显示元件)。发光元件在其范畴内包括其亮度通过电流或电压来控制的元件,并且在其范畴内具体包括无机电致发光(EL)元件、有机EL元件等。此外,能够使用其对比度通过电效应、如电子墨水来改变的显示介质。

[0428] 另外,显示装置包括其中密封了显示元件的面板以及其中包括控制器的IC等安装

到面板上的模块。与显示元件在用于制造显示装置的过程中尚未完成的一个实施例对应的元件衬底设置有用于将电流提供给多个像素的每个中的显示元件的部件。具体来说,元件衬底可处于仅设置有显示元件的像素电极的状态、形成将要作为像素电极的导电膜之后但在蚀刻导电膜以形成像素电极之前的状态或者其它状态的任一种。

[0429] 注意,本说明书中的显示装置表示图像显示装置、显示装置或者光源(包括照明装置)。此外,显示装置在其范畴内包括下列模块的任一个:诸如柔性印刷电路(FPC)、带式自动接合(TAB)带或者带载封装(TCP)之类的连接器与其附连的模块;具有在其端部设置了印刷电路板的TAB带或TCP的模块;以及具有通过玻璃上芯片(COG)方法直接安装到显示元件上的集成电路(IC)的模块。

[0430] 将参照图15A至图15C来描述作为半导体器件的一个实施例的液晶显示面板的外观和截面。图15A和图15C是面板的平面图,在各面板中,薄膜晶体管4010和4011以及液晶元件4013在第一衬底4001与第二衬底4006之间采用密封材料4005来密封。图15B是沿图15 A或图15C中的线M-N所截取的截面图。

[0431] 密封材料4005设置成使得包围设置在第一衬底4001之上的像素部分4002和扫描线驱动器电路4004。第二衬底4006设置在像素部分4002和扫描线驱动器电路4004之上。因此,像素部分4002和扫描线驱动器电路4004连同液晶层4008一起由第一衬底4001、密封材料4005和第二衬底4006来密封。在单独制备的衬底之上使用单晶半导体膜或多晶半导体膜所形成的信号线驱动器电路4003安装在与第一衬底4001之上由密封材料4005所包围的区域不同的区域中。

[0432] 注意,没有具体限制单独形成的驱动器电路的连接方法,并且能够使用COG方法、导线接合方法、TAB方法等。图15A示出通过COG方法来安装信号线驱动器电路4003的示例,以及图15C示出通过TAB方法来安装信号线驱动器电路4003的示例。

[0433] 设置在第一衬底4001之上的像素部分4002和扫描线驱动器电路4004各包括多个薄膜晶体管,并且像素部分4002中包含的薄膜晶体管4010以及扫描线驱动器电路4004中包含的薄膜晶体管4011在图15B中作为一个示例示出。绝缘层4041、4042和4021设置在薄膜晶体管4010和4011之上。

[0434] 实施例1至10的薄膜晶体管的任一个能够适当地用作薄膜晶体管4010和4011,并且它们能够使用与实施例1至10的薄膜晶体管相似的步骤和材料来形成。作为脱水或脱氢处理,在氮气或惰性气体气氛中或者在降低的压力下执行热处理,由此降低膜中包含的水分。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中执行冷却。这样得到的氧化物半导体膜用于薄膜晶体管4010和4011。因此,薄膜晶体管4010和4011是具有稳定电特性的极可靠薄膜晶体管。

[0435] 导电层4040设置在绝缘层4021之上,以使得与驱动器电路的薄膜晶体管4011的氧化物半导体层中的沟道形成区重叠。导电层4040设置成使得与氧化物半导体层的沟道形成区重叠,由此能够降低在BT测试之前和之后之间的薄膜晶体管4011的阈值电压的变化量。此外,导电层4040的电位可与薄膜晶体管4011的栅电极层的电位相同或不同。导电层4040还能够用作第二栅电极层。备选地,导电层4040的电位可以是GND或0 V,或者导电层4040可处于浮动状态。

[0436] 另外,液晶元件4013的像素电极层4030电连接到薄膜晶体管4010的源电极层或漏电极层。液晶元件4013的对电极层4031在第二衬底4006上形成。其中像素电极层4030、对电极层4031和液晶层4008相互重叠的一部分对应于液晶元件4013。注意,像素电极层4030和对电极层4031提供有用作取向膜的绝缘层4032和绝缘层4033,并且液晶层4008隔着绝缘层4032和4033夹在像素电极层4030与对电极层4031之间。

[0437] 注意,透光衬底能够用作第一衬底4001和第二衬底4006;能够使用玻璃、陶瓷或塑料。作为塑料,能够使用玻璃纤维增强塑料(FRP)板、聚氟乙烯膜、聚酯膜或丙烯酸树脂膜。

[0438] 参考标号4035表示通过有选择地蚀刻绝缘膜来得到并且设置成控制像素电极层4030与对电极层4031之间的距离(单元间隙)的柱状隔离件。备选地,还可使用球形隔离件。另外,对电极层4031电连接到在与薄膜晶体管4010相同的衬底之上形成的公共电位线。借助于公共连接部分,对电极层4031和公共电位线能够通过设置在一对衬底之间的导电粒子相互电连接。注意,导电粒子包含在密封材料4005中。

[0439] 备选地,可使用对其不需要取向膜的呈现蓝相的液晶。蓝相是就在胆甾型相在胆甾型液晶的温度增加的同时变成各向同性相之前生成的液晶相位之一。由于蓝相在窄温度范围中生成,所以包含5 wt%或以上的手性试剂的液晶组成用于液晶层4008,以便改进温度范围。包括呈现蓝相的液晶和手性试剂的液晶组成具有1毫秒或以下的短响应时间,并且具有光学各向异性。因此,不需要取向过程,并且视角相关性比较小。另外,由于不一定设置取向膜,所以(并且)摩擦处理变得不需要。因此,能够防止摩擦处理所引起的静电放电损坏,并且在制造工序中能够降低液晶显示装置的缺陷和损坏。因此,液晶显示装置的产率能够提高。具体来说,使用氧化物半导体层的薄膜晶体管具有如下可能性:薄膜晶体管的电特性可通过静电的影响而明显波动,并且偏离设计范围。因此,更有效的是将呈现蓝相的液晶材料用于包括使用氧化物半导体层的薄膜晶体管的液晶显示装置。

[0440] 注意,除了透射液晶显示装置之外,这个实施例还能够应用于透反射液晶显示装置。

[0441] 描述液晶显示装置的一个示例,其中起偏振片设置在衬底的外表面(观看者侧)上,并且用于显示元件的着色层和电极层设置在衬底的内表面上;但是,起偏振片可设置在衬底的内表面上。起偏振片和着色层的层叠结构并不局限于这个实施例,而是可根据起偏振片和着色层的材料以及制造工序的条件来适当地设置。此外,用作黑色矩阵的遮光膜可设置在除了显示部分之外的部分中。

[0442] 在薄膜晶体管4011和4010之上,绝缘层4041形成为与氧化物半导体层相接触。绝缘层4041可使用与实施例1中所述的绝缘层407相似的材料和方法来形成。在这个实施例中,氧化硅层通过参照实施例1的溅射方法作为绝缘层4041来形成。保护绝缘层4042在绝缘层4041上形成并且与其接触。保护绝缘层4042能够按照与实施例1中所述的保护绝缘层499相似的方式来形成;例如,能够使用氮化硅层。另外,为了降低因薄膜晶体管引起的表面粗糙度,保护绝缘层4042覆盖有用作平面化绝缘膜的绝缘层4021。

[0443] 形成作为平面化绝缘膜的绝缘层4021。作为绝缘层4021,能够使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂之类的具有耐热性的有机材料。除了这类有机材料之外,还有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、磷硅酸玻璃(PSG)、硼磷硅玻璃(BPSG)等。注意,可绝缘层4021可通过层叠使用这些材料所形成的多个绝缘膜来形成。

[0444] 对于用于形成平面化绝缘层4021的方法没有具体限制,并且绝缘层4021能够根据其材料、通过诸如溅射方法、SOG方法、旋涂方法、浸涂方法、喷涂或者微滴排放方法(例如喷墨方法、丝网印刷或胶印)之类的方法或者采用诸如刮刀、辊涂机、幕涂机或刮刀式涂布机之类的工具来形成。绝缘层4021的烘焙步骤还充当半导体层的退火,由此能够有效地制造半导体器件。

[0445] 能够使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(以下称作ITO)、氧化铟锌或者添加了氧化硅的氧化铟锡之类的透光导电材料来形成像素电极层4030和对电极层4031。

[0446] 包含导电高分子(又称作导电聚合物)的导电组成能够用于像素电极层4030和对电极层4031。使用导电成分所形成的像素电极优选地在波长550 nm具有小于或等于10000欧姆每方块(ohms per square)的表面电阻以及大于或等于70%的透射率。此外,导电合成物中包含的导电高分子的电阻率优选地为小于或等于 $0.1 \Omega \cdot \text{cm}$ 。

[0447] 作为导电高分子,能够使用所谓的 $\pi$ 电子共轭导电高分子。例如,能够给出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、它们的两种或更多种的共聚物等等。

[0448] 此外,各种信号和电位从FPC 4018提供给单独形成的信号线驱动器电路4003、扫描线驱动器电路4004或像素部分4002。

[0449] 端子电极4015使用与液晶元件4013中包含的像素电极层4030相同的导电膜来形成,并且端子电极4016使用与薄膜晶体管4010和4011中包含的源和漏电极层相同的导电膜来形成。

[0450] 连接端子电极4015通过各向异性导电膜4019电连接到FPC 4018中包含的端子。

[0451] 注意,图15A至图15C示出一个示例,其中信号线驱动器电路4003单独形成并且安装在第一衬底4001上;但是,本发明并不局限于此。扫描线驱动器电路可单独形成然后再安装,或者只有信号线驱动器电路的部分或者扫描线驱动器电路的部分可单独形成然后再安装。

[0452] 适当地设置黑色矩阵(遮光层)、诸如起偏振构件之类的光学构件(光学衬底)、延迟(retardation)构件或者抗反射构件等。例如,可通过使用起偏振衬底和延迟衬底来采用圆偏振。另外,背光源、侧光源等可用作光源。

[0453] 在有源矩阵液晶显示装置中,驱动设置成矩阵形式的像素电极,以便在屏幕上形成显示图案。具体来说,电压施加在所选像素电极与对应于像素电极的对电极之间,使得在光学上调制设置在像素电极与对电极之间的液晶层,并且这个光学调制由观察者识别为显示图案。

[0454] 在显示运动图像中,液晶显示装置的问题在于,液晶分子本身的长响应时间引起运动图像的余像或模糊。为了改进液晶显示装置的运动图像特性,采用称作插黑的驱动方法,其中每隔一个帧期间在整个屏幕上显示黑色。

[0455] 此外,可采用所谓的双帧速率驱动(double-frame rate driving)的驱动技术,其中垂直同步频率高达常规垂直同步频率的1.5倍或以上、优选地为2倍或以上,由此改进响应速度。

[0456] 进一步备选地,为了改进液晶显示装置的运动图像特性,可采用一种驱动方法,其中多个LED(发光二极管)或者多个EL光源用于形成作为背光源的表面光源,并且表面光源

的各光源在一个帧期间中按照脉冲方式来单独驱动。作为表面光源,可使用三种或更多种LED,或者还可使用发射白光的LED。由于能够单独控制多个LED,所以LED的光发射定时能够与光学调制液晶层的定时同步。按照这种驱动方法,LED能够部分截止;因此,特别是在显示具有显示黑色的较大部分的图像的情况下,能够得到降低功率消耗的效果。

[0457] 通过组合这些驱动方法,与常规液晶显示装置相比,液晶显示装置的显示特性、如运动图像特性能够得到改进。

[0458] 由于薄膜晶体管因静电等而易于毁坏,所以保护电路优选地还设置在与像素部分或驱动器电路相同的衬底之上。保护电路优选地使用包括氧化物半导体层的非线性元件来形成。例如,保护电路设置在像素部分与扫描线输入端子之间以及像素部分与信号线输入端子之间。在这个实施例中,设置多个保护电路,以使得防止像素晶体管等在因静电等引起的浪涌电压施加到扫描线、信号线和电容器总线线路时的毁坏。因此,保护电路形成使得当浪涌电压施加到保护电路时,向公共布线释放电荷。此外,保护电路包括隔着扫描线相互平行设置的非线性元件。非线性元件包括诸如二极管之类的二端元件或者诸如晶体管之类的三端元件。例如,非线性元件能够通过与其像素部分中设置的薄膜晶体管相同的步骤来形成,并且能够通过将栅极端子连接到非线性元件的漏极端子,使其具有与二极管相同的性质。

[0459] 图25示出一个示例,其中液晶显示模块使用按照本说明书中公开的制造方法制造的TFT衬底2600作为半导体器件来形成。

[0460] 图25示出液晶显示模块的一个示例,其中TFT衬底2600和对衬底2601采用密封材料2602相互固定,并且包括TFT等的像素部分2603、包括液晶层的显示元件2604和着色层2605设置在衬底之间以形成显示区。另外,TFT衬底2600和对衬底2601分别提供有起偏振片2607和起偏振片2606。着色层2605是执行彩色显示所需的。在RGB系统中,为像素提供与红、绿和蓝的颜色对应的着色层。起偏振片2606和2607以及扩散片2613设置在TFT衬底2600和对衬底2601的外部。光源包括冷阴极管2610和反射片2611,以及电路衬底2612通过柔性线路板2609连接到TFT衬底2600的布线电路部分2608,并且包括诸如控制电路或电源电路之类的外部电路。起偏振片和液晶层可隔着延迟片来层叠。

[0461] 对于液晶显示模块,能够使用扭转向列(TN)模式、共面转换(IPS)模式、边缘场转换(FFS)模式、轴向对称取向微单元(ASM)模式、光学补偿双折射(OCB)模式、铁电液晶(FLC)模式、反铁电液晶(AFLC)模式等。

[0462] 因此,对于本说明书中公开的半导体器件中没有具体限制,并且能够使用包括TN液晶、OCB液晶、STN液晶、VA液晶、ECB液晶、GH液晶、聚合物扩散液晶、盘状液晶等的液晶。特别是,利用垂直取向(VA)模式的诸如透射液晶显示装置之类的通常的黑色液晶面板是优选的。给出作为垂直取向模式的一些示例。例如,能够使用多畴垂直取向(MVA)模式、图案垂直取向(PVA)模式、高级超视图(ASV)模式等。

[0463] 本发明能够应用于VA液晶显示装置。VA液晶显示装置具有一种形式,其中控制液晶显示元件的液晶分子的取向。在VA液晶显示装置中,液晶分子在没有施加电压时相对于面板表面沿垂直方向取向。此外,能够使用用以将像素分为某些区域(子像素)并且将液晶分子在其相应区域中沿不同方向取向的称作多畴或多畴设计的方法。

[0464] 通过上述结构,能够制造作为半导体器件的极可靠液晶显示面板。

[0465] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0466] (实施例15)

[0467] 将描述作为半导体器件的电子纸的一个示例。

[0468] 半导体器件能够用于电子纸,其中电子墨水由电连接到开关元件的元件来驱动。电子纸又称作电泳显示装置(电泳显示器),并且是有利的,因为它具有与普通纸张相同等级的可读性,具有比其它显示装置更低的功率消耗,并且能够使它薄而轻便。

[0469] 电泳显示器能够具有各种模式。电泳显示器包含散布于溶剂或溶解物中的多个微囊,并且每个微囊包含带正电的第一粒子和带负电的第二粒子。通过将电场施加到微囊,微囊中的粒子沿彼此相反的方向移动,并且仅显示在一侧所采集的粒子的颜色。注意,第一粒子和第二粒子各包含着色剂,并且在没有电场时不移动。此外,第一粒子和第二粒子具有不同颜色(可以是无色的)。

[0470] 因此,电泳显示器是利用所谓的介电泳效应的显示器,通过介电泳效应,具有高介电常数的物质移动到高电场区域。电泳显示器不要求对于液晶显示装置是必要的起偏振片和对衬底。

[0471] 其中上述微囊散布于溶剂中的溶液称作电子墨水。电子墨水能够印刷到玻璃、塑料、布匹、纸张等之上。通过使用滤色器或者包含色素的颗粒,彩色显示器也是可能的。

[0472] 另外,如果多个微囊适当地设置在有源矩阵衬底之上以便夹入两个电极之间,则有源矩阵显示装置能够完成,并且显示能够通过向微囊施加电场来执行。例如,能够使用通过实施例1至4的任一个中所述的薄膜晶体管所得到的有源矩阵衬底。

[0473] 注意,微囊中的第一粒子和第二粒子可使用从导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料和磁泳材料中选取的单一材料来形成,或者使用任意这些材料的合成材料来形成。

[0474] 图14示出作为半导体器件的一个示例的有源矩阵电子纸。半导体器件中使用的薄膜晶体管581能够按照与实施例1中所述的薄膜晶体管相似的方式来制造。实施例2至4的任一个中所述的薄膜晶体管也能够用作这个实施例的薄膜晶体管581。

[0475] 作为脱水或脱氢处理,在氮气气氛或惰性气体气氛中或者在降低的压力下执行热处理,由此减少膜中包含的水分。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中执行冷却。这样得到的氧化物半导体层用于薄膜晶体管581。因此,薄膜晶体管581是具有稳定电特性的极可靠薄膜晶体管。

[0476] 图14的电子纸是使用扭转球显示系统的显示装置的一个示例。扭转球显示系统采用一种方法,其中各以黑色和白色着色的球形粒子设置在作为用于显示元件的电极层的第一电极层与第二电极层之间,并且电位差在第一电极层与第二电极层之间生成,以便控制球形粒子的取向,从而进行显示。

[0477] 在衬底580之上设置的薄膜晶体管581是底栅薄膜晶体管,并且覆盖有与氧化物半导体层相接触的绝缘膜583。薄膜晶体管581的源或漏电极层通过绝缘层585中形成的开口与第一电极层587相接触,由此薄膜晶体管581电连接到第一电极层587。在第一电极层587与第二电极层588之间设置球形粒子589。各球形粒子589包括黑色区域590a、白色区域590b以及填充有液体并围绕黑色区域590a和白色区域590b而设置的空腔594。球形粒子589的周

边填充有诸如树脂之类的填充物595(参见图14)。第一电极层587对应于像素电极,而第二电极层588对应于公共电极。第二电极层588电连接到设置在与薄膜晶体管581相同的衬底之上的公共电位线。借助于公共连接部分,第二电极层588能够通过设置在衬底对之间的导电粒子电连接到公共电位线。

[0478] 此外,还能够使用电泳元件代替扭转球。使用直径大约为10  $\mu\text{m}$ 至200  $\mu\text{m}$ 、其中封装透明液体、正充电白色微粒和负充电黑色微粒的微囊。在设置于第一电极层与第二电极层之间的微囊中,当电场由第一电极层和第二电极层来施加时,白色微粒和黑色微粒移动到相对侧,使得能够显示白色或黑色。使用这种原理的显示元件是电泳显示元件,并且一般称作电子纸。电泳显示元件具有比液晶显示元件要高的反射率,因此辅助光是不必要的,功率消耗较低,并且甚至在昏暗位置也能够识别显示部分。另外,甚至当没有向显示部分提供电力时,也能够保持曾经已经显示的图像。相应地,即使具有显示功能的半导体器件(可简单地称作显示装置或者提供有显示装置的半导体器件)远离电波源,也能够存储所显示的图像。

[0479] 通过上述工序,能够制造作为半导体器件的极可靠电子纸。

[0480] 这个实施例能够适当地结合任意其它实施例中所述的结构来实现。

[0481] (实施例16)

[0482] 将描述作为半导体器件的发光显示装置的一个示例。作为显示装置中包含的显示元件,在这里描述利用电致发光的发光元件。利用电致发光的发光元件按照发光材料是有机化合物还是无机化合物来分类。一般来说,前一种称作有机EL元件,而后一种称作无机EL元件。

[0483] 在有机EL元件中,通过向发光元件施加电压,电子和空穴从一对电极单独注入包含发光有机化合物的层,并且电流流动。载流子(即电子和空穴)复合,并且因而激发发光有机化合物。发光有机化合物从激发状态返回到基态,由此发光。由于这种机制,这个发光元件称作电流激发发光元件。

[0484] 无机EL元件按照其元件结构分为分散类型无机EL元件和薄膜无机EL元件。分散类型无机EL元件具有发光层,其中发光材料的颗粒在粘合剂中分散,并且其发光机制是利用施主能级和受主能级的施主-受主复合类型光发射。薄膜无机EL元件具有一种结构,其中发光层夹在介电层之间,并且其光发射机制是利用金属离子的内壳电子跃迁的局部类型光发射,其中介电层又夹在电极之间。注意,在这里使用有机EL元件作为发光元件来进行描述。

[0485] 图17作为半导体器件的一个示例来示出数字时间灰度驱动(digital time grayscale driving)能够适用的像素结构的一个示例。

[0486] 描述数字时间灰度驱动能够适用的像素的结构和操作。这里描述一个示例,其中一个像素包括在沟道形成区中使用氧化物半导体层的两个n沟道晶体管。

[0487] 像素6400包括开关晶体管6401、驱动器晶体管6402、发光元件6404和电容器6403。开关晶体管6401的栅极连接到扫描线6406,开关晶体管6401的第一电极(源电极和漏电极其中之一)连接到信号线6405,并且开关晶体管6401的第二电极(源电极和漏电极中的另一个)连接到驱动器晶体管6402的栅极。驱动器晶体管6402的栅极通过电容器6403连接到电源线6407,驱动器晶体管6402的第一电极连接到电源线6407,并且驱动器晶体管6402的第二电极连接到发光元件6404的第一电极(像素电极)。发光元件6404的第二电极对应于公共电极

6408。公共电极6408电连接到设置在与公共电极6408相同的衬底之上的公共电位线。

[0488] 发光元件6404的第二电极(公共电极6408)设置成低电源电位。注意,低电源电位是参考设置到电源线6407的高电源电位满足低电源电位<高电源电位的电位。作为低电源电位,例如可采用GND、0 V等。高电源电势与低电源电势之间的电位差施加到发光元件6404,并且将电流提供给发光元件6404,使得发光元件6404发光。在这里,为了使发光元件6404发光,各电位设置成使得高电源电位与低电源电位之间的电位差高于或等于发光元件6404的正向阈值电压。

[0489] 注意,驱动晶体管6402的栅电容可用作电容器6403的替代,使得可省略电容器6403。驱动晶体管6402的栅电容可在沟道区与栅电极之间形成。

[0490] 在电压-输入电压驱动方法的情况下,将视频信号输入到驱动器晶体管6402的栅极,使得驱动器晶体管6402处于充分导通或截止的两种状态的任一种。也就是说,驱动器晶体管6402工作在线性区域。由于驱动器晶体管6402工作在线性区域,所以比电源线6407要高的电压施加到驱动器晶体管6402的栅极。注意,高于或等于下列值的电压施加到信号线6405:电源线电压+驱动晶体管6402的 $V_{th}$ 。

[0491] 在执行模拟灰度驱动而不是数字时间灰度驱动的情况下,能够通过改变信号输入来使用与图17中相同的像素结构。

[0492] 在执行模拟灰度驱动的情况下,高于或等于下列值的电压施加到驱动器晶体管6402的栅极:发光元件6404的正向电压+驱动器晶体管6402的 $V_{th}$ 。发光元件6404的正向电压表示以其来得到预期亮度的电压,并且至少包括正向阈值电压。通过输入视频信号以使驱动器晶体管6402能够工作在饱和区域,能够将电流提供给发光元件6404。为了在饱和区域操作驱动器晶体管6402,电源线6407的电位设置成高于驱动器晶体管6402的栅极电位。当使用模拟视频信号时,有可能按照视频信号将电流提供给发光元件6404,并且执行模拟灰度驱动。

[0493] 注意,图17所示的像素结构并不局限于此。例如,开关、电阻器、电容器、晶体管、逻辑电路等可添加到图17所示的像素。

[0494] 接下来将参照图18A至图18C来描述发光元件的结构。在这里,以n沟道驱动器TFT为例来描述像素的截面结构。用于图18A至图18C所示的半导体器件的驱动器TFT 7001、7011和7021能够按照与实施例1中所述的薄膜晶体管相似的方式来制造。备选地,实施例2至4中所述的薄膜晶体管的任一个能够用作TFT 7001、7011和7021。

[0495] 作为脱水或脱氢处理,在氮气氛或惰性气体气氛中或者在降低的压力下执行热处理,由此减少膜中包含的水分。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中执行冷却。这样得到的氧化物半导体层用于TFT 7001、7011和7021。因此,TFT 7001、7011和7021是具有稳定电特性的极可靠薄膜晶体管。

[0496] 为了抽取发光元件的光发射,要求阳极和阴极中的至少一个是透明的。薄膜晶体管和发光元件在衬底之上形成。发光元件能够具有:顶部发光结构,其中光发射通过与衬底相对的表面来抽取;底部发光结构,其中光发射通过衬底侧上的表面来抽取;或者双重发光结构,其中光发射通过与衬底相对的表面和衬底侧上的表面来抽取。像素结构能够适用于具有这些发光结构的任一种的发光元件。

[0497] 将参照图18A来描述具有顶部发光结构的发光元件。

[0498] 图18A是在驱动器TFT 7001是n沟道TFT并且光从发光元件7002发射到阳极7005侧的情况下的像素的截面图。图18A中,发光元件7002的阴极7003电连接到驱动器TFT 7001,并且发光层7004和阳极7005按照这个顺序层叠在阴极7003之上。阴极7003能够使用各种导电材料来形成,只要阴极7003是具有低功函数并且反射光的导电膜。例如,优选地使用Ga、Al、MgAg、AlLi等。发光层7004可使用单层或者层叠的多层来形成。当发光层7004使用多层来形成时,通过将电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照这个顺序层叠在阴极7003之上,来形成发光层7004。不需要形成所有这些层。使用诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(以下称作ITO)、氧化铟锌或者添加了氧化硅的氧化铟锡的膜之类的透光导电膜来形成阳极7005。

[0499] 发光元件7002对应于其中发光层7004夹在阴极7003与阳极7005之间的区域。在图18A所示的像素的情况下,光从发光元件7002发送到阳极7005侧,如箭头所示。

[0500] 接下来将参照图18B来描述具有底部发光结构的发光元件。图18B是在驱动器TFT 7011是n沟道TFT并且光从发光元件7012发射到阴极7013侧的情况下的像素的截面图。图18B中,发光元件7012的阴极7013在电连接驱动器TFT 7011的透光导电膜7017之上形成,并且发光层7014和阳极7015按照这个顺序层叠在阴极7013之上。当阳极7015具有透光性质时,用于反射或遮挡光的遮光膜7016可形成为覆盖阳极7015。如同图18A的情况中那样,各种材料能够用于阴极7013,只要阴极7013使用具有低功函数的导电材料来形成。阴极7013形成为具有能够透射光的厚度(优选地为大约5 nm至30 nm)。例如,厚度为20 nm的铝膜能够用作阴极7013。如同图18A的情况中那样,发光层7014可使用单层或者层叠的多层来形成。阳极7015无需透射光,而是如图18A的情况中那样能够使用透光导电材料来形成。作为遮光膜7016,例如能够使用反射光的金属等;但是并不局限于金属膜。例如,也能够使用添加了黑色素的树脂等。

[0501] 发光元件7012对应于其中发光层7014夹在阴极7013与阳极7015之间的区域。在图18B所示的像素的情况下,光从发光元件7012发射到阴极7013侧,如箭头所示。

[0502] 接下来将参照图18C来描述具有双重发光结构的发光元件。图18C中,发光元件7022的阴极7023在电连接驱动器TFT 7021的透光导电膜7027之上形成,并且发光层7024和阳极7025按照这个顺序层叠在阴极7023之上。如同图18A的情况中那样,各种材料能够用于阴极7023,只要阴极7023使用具有低功函数的导电材料来形成。阴极7023形成为具有能够透射光的厚度。例如,厚度为20 nm的铝膜能够用作阴极7023。此外,如同图18A的情况中那样,发光层7024可使用单层或者层叠的多层来形成。阳极7025可如图18A的情况中那样使用透光导电材料来形成。

[0503] 发光元件7022对应于其中阴极7023、发光层7024和阳极7025相互重叠的区域。在图18C所示的像素的情况下,光从发光元件7022发射到阳极7025侧和阴极7023侧,如箭头所示。

[0504] 注意,虽然有机EL元件在这里描述为发光元件,但是无机EL元件也能够作为发光元件来提供。

[0505] 注意,描述其中控制发光元件的驱动的薄膜晶体管(驱动器TFT)连接到发光元件

的示例;但是可采用一种结构,其中用于电流控制的TFT连接在驱动器TFT与发光元件之间。

[0506] 注意,半导体器件的结构并不局限于图18A至图18C所示的那些结构,而是能够基于本说明书中公开的技术按照各种方式来修改。

[0507] 接下来,将参照图16A和图16B来描述发光显示面板(又称作发光面板)的外观和截面。图16A是其中在第一衬底之上形成的薄膜晶体管和发光元件采用密封材料密封在第一衬底与第二衬底之间的面板的平面图。图16B是沿图16A的线H-I所截取的截面图。

[0508] 密封材料4505设置成使得包围设置在第一衬底4501之上的像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b。另外,第二衬底4506设置在像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b之上。相应地,像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b连同填充物4507一起通过第一衬底4501、密封材料4505和第二衬底4506来密封。这样,优选的,面板采用保护膜(例如层压膜或紫外线固化树脂膜)或者具有高气密和极小除气的覆盖材料来封装(密封),使得面板没有暴露于外部空气。

[0509] 在第一衬底4501之上形成的像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b各包括多个薄膜晶体管,并且像素部分4502中包含的薄膜晶体管4510以及信号线驱动器电路4503a中包含的薄膜晶体管4509在图16B中作为示例示出。

[0510] 实施例1至10的薄膜晶体管的任一个能够适当地用作薄膜晶体管4509和4510,并且它们能够使用与实施例1至10的薄膜晶体管相似的步骤和材料来形成。作为脱水或脱氢处理,在氮气氛或惰性气体气氛中或者在降低的压力下执行热处理,由此降低膜中包含的水分。然后,作为用于提供氧的处理,在氧的气氛、氧和氮的气氛或者空气(露点优选地低于或等于 $-40^{\circ}\text{C}$ ,更优选地低于或等于 $-50^{\circ}\text{C}$ )气氛中执行冷却。这样得到的氧化物半导体膜用于薄膜晶体管4509和4510。因此,薄膜晶体管4509和4510是具有稳定电特性的极可靠薄膜晶体管。

[0511] 注意,用于驱动器电路的薄膜晶体管4509具有其中导电层设置成使得与薄膜晶体管中的氧化物半导体层的沟道形成区重叠的结构。在这个实施例中,薄膜晶体管4509和4510是n沟道薄膜晶体管。

[0512] 导电层4540设置在绝缘层4542之上,以使得与用于驱动器电路的薄膜晶体管4509的氧化物半导体层的沟道形成区重叠。导电层4540设置成使得重叠氧化物半导体层的沟道形成区,由此能够降低在BT测试之前和之后之间的薄膜晶体管4509的阈值电压的变化量。此外,导电层4540的电位可与薄膜晶体管4509的栅电极层的电位相同或不同。导电层4540还能够用作第二栅电极层。备选地,导电层4540的电位可以是GND或0 V,或者导电层4540可处于浮动状态。

[0513] 另外,导电层4540用于阻挡外部电场(具体来说是阻挡静电),使得外部电场没有影响内部(包括薄膜晶体管的电路部分)。导电层4540的阻挡功能能够防止因诸如静电之类的外部电场的影响引起的薄膜晶体管的电特性的变化。

[0514] 此外,绝缘层4542形成为覆盖薄膜晶体管4510的氧化物半导体层。薄膜晶体管4510的源电极层或漏电极层在薄膜晶体管之上设置的绝缘层4542和绝缘层4551中形成的开口中电连接到布线层4550。布线层4550形成为与第一电极4517相接触,并且薄膜晶体管

4510通过布线层4550电连接到第一电极4517。

[0515] 绝缘层4542可使用与实施例1中所述的绝缘层407相似的材料和方法来形成。

[0516] 滤色器层4545在绝缘层4551之上形成,以使得与发光元件4511的发光区域重叠。

[0517] 此外,为了降低滤色器层4545的表面粗糙度,滤色器层4545覆盖有用作平面化绝缘膜的覆盖层4543。

[0518] 此外,绝缘层4544在覆盖层4543之上形成。绝缘层4544可按照与实施例1中所述的保护绝缘层499相似的方式来形成,并且例如氮化硅膜可通过溅射方法来形成。

[0519] 参考标号4511表示发光元件,并且作为发光元件4511中包含的像素电极的第一电极4517通过布线层4550电连接到薄膜晶体管4510的源电极层或漏电极层。注意,发光元件4511并不局限于第一电极层4517、电致发光层4512和第二电极4513的层叠结构。发光元件4511的结构能够根据从发光元件4511抽取光的方向等等适当地改变。

[0520] 隔壁4520使用有机树脂膜、无机绝缘膜或有机聚硅氧烷来形成。特别优选的是,隔壁4520使用光敏材料来形成,以便在第一电极4517之上具有开口部分,使得开口部分的侧壁作为具有连续曲率的斜面来形成。

[0521] 电致发光层4512可使用单层或者层叠的多层来形成。

[0522] 为了防止氧、氢、水分、二氧化碳等等进入发光元件4511,保护膜可在第二电极层4513和隔壁4520之上形成。作为保护膜,能够形成氮化硅膜、氮化氧化硅膜、DLC膜等。

[0523] 另外,各种信号和电位从FPC 4518a和4518b提供给信号线驱动器电路4503a和4503b、扫描线驱动器电路4504a和4504b或者像素部分4502。

[0524] 连接端子电极4515使用与发光元件4511中包含的第一电极层4517相同的导电膜来形成,并且端子电极4516使用与薄膜晶体管4509中包含的源和漏电极层相同的导电膜来形成。

[0525] 连接端子电极4515通过各向异性导电膜4519电连接到FPC 4518a中包含的端子。

[0526] 第一衬底4501和第二衬底4506在位于从发光元件4511抽取光的方向的情况下需要具有透光性质。在那种情况下,诸如玻璃板、塑料板、聚酯膜或丙烯酸膜之类的透光材料用于第一衬底4501和第二衬底4506。

[0527] 作为填充物4507,除了氮或者诸如氩之类的惰性气体之外,还能够使用紫外线固化树脂或热固树脂。例如,能够使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅树脂、聚乙烯醇缩丁醛(PVB)或乙烯醋酸乙烯酯(EVA)。例如,氮可用于填充物。

[0528] 另外,在需要时,诸如起偏振片、圆偏振片(包括椭圆偏振片)或延迟片(四分之一波片或半波片)之类的光学膜可适当地设置在发光元件的发光表面上。此外,起偏振片或圆偏振片可提供有抗反射膜。例如,能够执行防眩光处理,通过该处理,反射光能够通过表粗糙度来扩散,以使得降低眩光。

[0529] 密封材料能够使用丝网印刷方法、喷墨设备或配送设备来沉积。作为密封材料,通常能够使用包含可见光固化树脂、紫外线固化树脂或者热固树脂的材料。此外,可包含填充物。

[0530] 信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b可作为使用单晶半导体膜或者多晶半导体膜在单独制备的衬底之上形成的驱动器电路来安装。备选地,只有信号线驱动器电路或其一部分或者只有扫描线驱动器电路或其一部分可单独形成

并且安装。这个实施例并不局限于图16A和图16B所示的结构。

[0531] 通过上述工序,能够制造作为半导体器件的极可靠的发光显示装置(显示面板)。

[0532] 这个实施例能够适当地结合其它实施例中所述的结构的任一个来实现。

[0533] (实施例17)

[0534] 本说明书中公开的半导体器件能够适用于电子纸。电子纸能够用于各种领域的电子装置,只要它们显示数据。例如,电子纸能够应用于电子书籍(电子书)阅读器、海报、诸如列车之类的车辆中的广告、诸如信用卡之类的各种卡的显示器。这类电子装置的示例如图26和图27所示。

[0535] 图26示出使用电子纸所形成的海报2631。在广告介质是印刷纸张的情况下,广告由人力取代;但是,当使用本说明书中公开的电子纸时,广告显示能够在短时间内改变。此外,能够在没有显示缺陷的情况下得到稳定图像。注意,海报可无线地传送和接收数据。

[0536] 图27示出作为电子书阅读器的示例的电子书阅读器2700。例如,电子书阅读器2700包括两个壳体,即壳体2701和壳体2703。壳体2701和壳体2703与铰链2711相结合,使得电子书阅读器2700能够采用铰链2711作为轴来开启和闭合。通过这种结构,电子书阅读器2700能够像纸书一样进行操作。

[0537] 显示部分2705和显示部分2707分别结合在壳体2701和壳体2703中。显示部分2705和显示部分2707可显示一个图像或者不同图像。在其中显示部分2705和显示部分2707显示不同图像的情况下,例如右侧的显示部分(图27中的显示部分2705)能够显示文本,而左侧的显示部分(图27中的显示部分2707)能够显示图形。

[0538] 图27示出其中壳体2701提供有操作部分等的一个示例。例如,壳体2701提供有电源开关2721、操作按键2723、扬声器2725等。通过操作按键2723能够翻页。注意,键盘、指针装置等也可设置在其上设置显示部分的壳体的表面。此外,外部连接端子(耳机端子、USB端子、能够连接到例如AC适配器和USB缆线等各种缆线的端子等等)、记录介质插入部分等等可设置在壳体的背面或侧表面上。此外,电子书阅读器2700可具有电子词典的功能。

[0539] 电子书阅读器2700可无线传送和接收数据。通过无线通信,预期书籍数据等等能够从电子书籍服务器购买和下载。

[0540] (实施例18)

[0541] 本说明书中公开的半导体器件可适用于各种电子装置(包括游戏机)。电子装置的示例是电视机(又称作电视或电视接收器)、计算机等的监视器、诸如数码相机或数码摄像机之类的照相装置、数码相框、移动电话手机(又称作移动电话或移动电话装置)、便携游戏控制台、便携信息终端、音频再现装置、诸如弹球盘机之类的大型游戏机等。

[0542] 图28A示出电视机的一个示例。在电视机9600中,显示部分9603结合在壳体9601中。显示部分9603能够显示图像。在这里,壳体9601由支架9605来支承。

[0543] 电视机9600能够采用壳体9601的操作开关或者独立遥控器9610来操作。频道和音量能够采用遥控器9610的操作按键9609来控制,使得能够控制显示部分9603显示的图像。此外,遥控器9610可提供有显示部分9607,用于显示从遥控器9610所输出的数据。

[0544] 注意,电视机9600提供有接收器、调制解调器等。借助于接收器,能够接收一般电视广播。此外,当电视机9600采用有线或无线通过调制解调器连接到通信网络时,能够执行单向(从发送器到接收器)或双向(在发送器与接收器之间或者在接收器之间)信息通信。

[0545] 图28B示出数码相框的一个示例。例如,在数码相框9700中,显示部分9703结合到壳体9701中。显示部分9703能够显示各种图像。例如,显示部分9703能够显示采用数码相机等拍摄的图像数据,并且用作普通相框。

[0546] 注意,数码相框9700提供有操作部分、外部连接部分(例如USB端子、能够连接到诸如USB缆线之类的各种缆线的端子等)、记录介质插入部分等等。虽然这些组件可设置在其上设置了显示部分的表面,但对于数码相框9700的设计,优选的是将它们设置在侧表面或背面。例如,将存储采用数码相机所拍摄的图像的数据的存储器插入数码相框的记录介质插入部分,由此图像数据可被传递以及然后在显示部分9703上显示。

[0547] 数码相框9700可配置成无线传送和接收数据。可采用其中无线传递预期图像数据以便显示的该结构。

[0548] 图29A示出便携游戏机,并且包括两个壳体,即壳体9881和壳体9891,它们与接合部分9893连接,使得便携游戏机能够开启或折叠。显示部分9882和显示部分9883分别结合在壳体9881和壳体9891中。此外,图29A所示的便携游戏机提供有扬声器部分9884、记录介质插入部分9886、LED灯9890、输入部件(操作按键9885、连接端子9887、传感器9888(具有测量力、位移、位置、速度、加速度、角速度、转数、距离、光、液体、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射射线、流率、湿度、梯度、振动、气味或红外线)和话筒9889)等等。不用说,便携游戏机的结构并不局限于以上所述,而是能够采用提供有本说明书中公开的至少一个半导体器件的其它结构。便携游戏机可适当地包括其它辅助设备。图29A所示的便携游戏机具有读取记录介质中存储的程序或数据以将它在显示部分显示的功能,以及通过无线通信与另一个便携游戏机共享信息的功能。注意,图29A所示的便携游戏机的功能并不局限于以上所述的那些功能,而是便携游戏机能够具有各种功能。

[0549] 图29B示出作为大型游戏机的投币式游戏机的一个示例。在投币式游戏机9900中,显示部分9903结合在壳体9901中。另外,投币式游戏机9900包括例如起动杆或停止开关、投币孔、扬声器等操作部件。不用说,投币式游戏机9900的结构并不局限于以上所述,而是能够采用提供有本说明书中公开的至少一个半导体器件的其它结构。投币式游戏机9900可适当地包括其它辅助设备。

[0550] 图30A是示出便携计算机的一个示例的透视图。

[0551] 图30A的便携计算机中,通过闭合连接顶部壳体9301和底部壳体9302的铰链单元,具有显示部分9303的顶部壳体9301和具有键盘9304的底部壳体9302能够相互重叠。因此,图30A所示的便携计算机方便携带。此外,在将键盘用于输入数据的情况下,铰链单元开启,以使得用户能够看着显示部分9303来输入数据。

[0552] 除了键盘9304之外,底部壳体9302还包括能够用以执行输入的指针装置9306。此外,当显示部分9303是触控输入面板时,输入能够通过触摸显示部分的一部分来执行。底部壳体9302包括算术功能部分,例如CPU或硬盘。另外,底部壳体9302包括外部连接端口9305,例如符合USB通信标准的通信缆线等的另一个装置插入其中。

[0553] 顶部壳体9301还包括显示部分9307,显示部分9307能够通过顶部壳体9301中滑动而存放在其中。这样,能够实现大显示屏幕。另外,用户能够调整可存放显示部分9307的屏幕的取向。当可存放显示部分9307是触控输入面板时,输入能够通过触摸可存放显示部分的一部分来执行。

[0554] 显示部分9303或者可存放显示部分9307使用液晶显示面板、采用有机发光元件或无机发光元件的发光显示面板等的图像显示装置来形成。

[0555] 另外,图30A中的便携计算机可提供有接收器等,并且因而能够接收电视广播,以便在显示部分显示图像。用户能够通过滑动和展现显示部分9307并且调整其角度,采用显示部分9307的整个屏幕来观看电视广播,其中连接顶部壳体9301和底部壳体9302的铰链闭合。在这种情况下,铰链单元没有开启,并且没有在显示部分9303上执行显示。另外,仅执行用于显示电视广播的电路的启动。因此,可消耗最少功率,这对于其电池容量受限的便携计算机是有用的。

[0556] 图30B是示出用户能够像手表一样佩戴在手腕上的移动电话的一个示例的透视图。

[0557] 移动电话采用主体来形成,其中主体包括:通信装置,至少包括电话功能和电池;带部分,使主体能够在手腕上佩戴;调整部分9205,用于将边带部分调整成适合手腕;显示部分9201;扬声器9207;以及话筒9208。

[0558] 另外,主体包括操作开关9203。操作开关9203例如用作用于在推按开关时启动因特网的程序的按钮以及用于接通电源的开关、用于转换显示器的开关、用于指示开始拍摄图像的开关等,并且能够被使用以对应于各功能。

[0559] 用户能够通过采用手指、输入笔等等触摸显示部分9201,通过操纵操作开关9203,或者通过将语音输入话筒9208,来将数据输入到这个移动电话。注意,在显示部分9201显示的所显示按钮9202如图30B所示。能够通过采用手指等触摸所显示按钮9202来执行输入。

[0560] 此外,主体包括相机部分9206,其中包括具有将通过相机镜头形成的对象的图像转换成电子图像信号的图像拾取部件。注意,不一定提供照相装置部分。

[0561] 图30B所示的移动电话提供有电视广播的接收器等,并且能够通过接收电视广播在显示部分9201显示图像。另外,图30B所示的移动电话提供有诸如存储器之类的存储器装置等,并且能够在存储器中记录电视广播。图30B所示的移动电话可具有收集诸如GPS之类的位置信息的功能。

[0562] 液晶显示面板、使用有机发光元件或无机发光元件的发光显示面板等的图像显示装置用作显示部分9201。图30B所示的移动电话小巧轻便,并且因而具有有限电池容量。因此,能够以低功率消耗来驱动的面板优选地用作显示部分9201的显示装置。

[0563] 注意,图30B示出佩戴于手腕的电子装置;但是这个实施例并不局限于此,只要采用便携形状。

[0564] [示例1]

[0565] 在这个示例中,制造本发明的一个实施例的薄膜晶体管,并且示出电特性评估的结果。

[0566] 将描述用于制造这个示例的薄膜晶体管的方法。作为基膜,厚度为150 nm的氧氮化硅膜通过CVD方法在玻璃衬底之上形成。作为栅电极层,厚度为150 nm的钨膜通过溅射方法在氧氮化硅膜之上形成。作为栅绝缘层,厚度为100 nm的氧氮化硅膜通过溅射方法在栅电极层之上形成。

[0567] 在氩和氧的气氛(氩:氧=30 sccm:15 sccm)中、在如下条件下使用In-Ga-Zn-O基氧化物半导体膜形成靶(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[摩尔比],In:Ga:Zn = 1:1:0.5 [原子

比])在栅绝缘层之上形成厚度为50 nm的半导体膜:衬底与靶之间的距离为60 mm,压力为0.4 Pa,以及RF电源为0.5 kW。执行蚀刻,由此形成岛状半导体层。

[0568] 半导体层的温度在氮气气氛中升高1.5小时,并且以450°C执行一小时加热。然后,在空气气氛中执行冷却。

[0569] 作为源电极层和漏电极层,钛膜(厚度为50 nm)、铝膜(厚度为200 nm)和钛膜(厚度为50 nm)通过溅射方法堆叠在半导体层之上。

[0570] 作为绝缘层,厚度为300 nm的氧化硅膜在氩和氧的气氛(氩:氧 = 40 sccm:10sccm)中、在如下条件下在半导体层、源电极层和漏电极之上形成:衬底与靶之间的距离为60 mm,压力为0.4 Pa,以及RF电源为1.5 kW。

[0571] 随后,在氮气气氛中以250°C执行一小时加热。

[0572] 通过该过程,形成这个示例的薄膜晶体管。注意,薄膜晶体管中包含的半导体层具有3  $\mu\text{m}$ 的沟道长度(L)以及50  $\mu\text{m}$ 的沟道宽度(W)。

[0573] 作为用于检查薄膜晶体管的可靠性的方法,存在偏置温度应力测试(以下称作BT测试)。BT测试是一种加速测试,并且通过长期使用而引起的薄膜晶体管的特性的变化能够通过这种方法立刻评估。具体来说,在BT测试之前与之后之间的薄膜晶体管的阈值电压的偏移量是检查可靠性的重要指标。由于BT测试之前与之后之间的阈值电压的差较小,所以薄膜晶体管具有更高的可靠性。

[0574] 具体来说,其上形成薄膜晶体管的衬底的温度(衬底温度)保持为常数值,并且在薄膜晶体管的源极和漏极设置成相同电位时,与源极和漏极的电位不同的电位在一定期间施加到薄膜晶体管的栅极。衬底温度可按照测试目的适当地确定。施加到栅极的电位高于源极和漏极的电位的BT测试称作+BT测试,而施加到栅极的电位低于源极和漏极的电位的BT测试称作-BT测试。

[0575] BT测试的测试强度能够按照衬底温度、施加到栅绝缘膜的电场强度的强度以及施加电场的时间来确定。施加到栅绝缘膜的电场的强度按照通过将栅极与源极和漏极之间的电位差除以栅绝缘膜的厚度所得到的值来确定。例如,当施加到厚度为100 nm的栅绝缘膜的电场的强度调整为2 MV/cm时,电位差设置为20 V。

[0576] 将描述示例1的薄膜晶体管的BT测试的结果。

[0577] 注意,电压指的是两个点的电位之间的差,而电位指的是在静电场中的给定点处的单位电荷的静电能量(电位能量)。注意,一般来说,一点的电位与参考电位(例如地电位)之间的差只是称作电位或电压,并且电位和电压在许多情况下用作同义词。因此,在本说明书中,电位可改述为电压,而电压可改述为电位,除非另加说明。

[0578] 在BT测试中,-BT测试在如下条件下执行:使得衬底温度为150°C,施加到栅绝缘膜的电场强度为2 MV/cm,以及用于施加的时间期间为一小时。

[0579] 首先描述-BT测试。为了测量经过BT测试的薄膜晶体管的初始特性,在如下条件下测量源极-漏极电流(以下称作漏极电流( $I_d$ )):衬底温度设置为40°C,源极与漏极之间的电压(以下称作漏极电压( $V_d$ ))设置为1 V和10 V,以及源极与栅极之间的电压(以下称作栅极电压)在-20 V至+20 V的范围之内变化。也就是说,测量 $V_g$ - $I_d$ 特性。但是,如果不存在特定问题,则测量可在室温(25°C)或更低的温度下执行。

[0580] 随后,在衬底温度增加到150°C之后,薄膜晶体管的源极和漏极的电位设置为0 V。

然后,施加电压,使得施加到栅绝缘膜的电场的强度为2 MV/cm。由于薄膜晶体管中的栅绝缘层的厚度在这里为100 nm,所以使-20 V的电压保持施加到栅极一小时。电压施加的时间在这里为一小时;但是,时间可按照目的适当地确定。

[0581] 随后,衬底温度降低到40°C,同时电压施加在栅极与源极和漏极之间。这时,如果电压的施加在衬底温度完全降低之前停止,则在BT测试中给予薄膜晶体管的损坏因剩余热量而修复;因此,在施加电压时,衬底温度必须降低。在衬底温度降低到40°C之后,电压的施加停止。严格来说,降低温度的时间必须加入电压施加的时间;但是,由于温度实际上能够在数分钟之内降低到40°C,所以这被认为是错误范围,并且降低温度的时间没有加入施加的时间。

[0582]  $V_g$ - $I_d$ 特性则在与初始特性的测量相同的条件下测量,并且得到-BT测试之后的 $V_g$ - $I_d$ 特性。

[0583] 注意,在BT测试中,重要的是对尚未执行BT测试的薄膜晶体管执行BT测试。例如,在对执行了+BT测试的薄膜晶体管执行-BT测试时,-BT测试的结果因首先已经执行的+BT测试而无法正确评估。此外,对于其中对执行了+BT测试的薄膜晶体管执行+BT测试的情况同样适用。注意,这并不适用于考虑到这些影响而特意重复进行BT测试的情况。

[0584] 图24示出BT测试之前和之后的薄膜晶体管的 $V_g$ - $I_d$ 特性。图24中,水平轴表示以对数标度示出的栅极电压( $V_g$ ),以及垂直轴表示以对数标度示出的漏电极电流( $I_d$ )。

[0585] 图24示出-BT测试之前和之后的薄膜晶体管的 $V_g$ - $I_d$ 特性。初始特性( $V_d = 1$  V, 10 V)表示-BT测试之前的薄膜晶体管的 $V_g$ - $I_d$ 特性,以及-BT( $V_d = 1$  V, 10 V)表示-BT测试之后的薄膜晶体管的 $V_g$ - $I_d$ 特性。

[0586] 图24表明,与初始特性( $V_d = 1$  V, 10 V)的阈值电压相比,很难观测到-BT( $V_d = 1$  V, 10 V)的阈值电压的偏移。相应地,由于在BT测试中很难观测到阈值电压的偏移,所以这个示例的薄膜晶体管在BT测试中确定为具有高可靠性的薄膜晶体管。

[0587] 本申请基于2009年11月20日向日本专利局提交的序号为2009-264768的日本专利申请,通过引用将其完整内容结合于此。

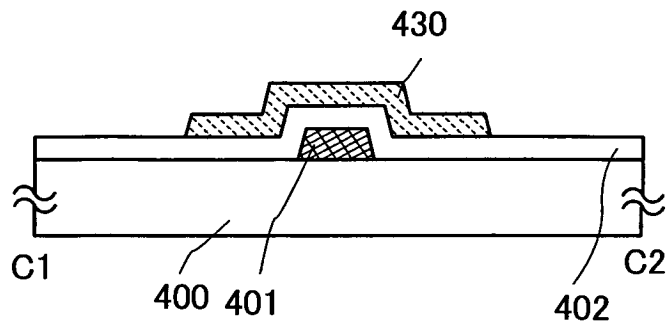


图 1A

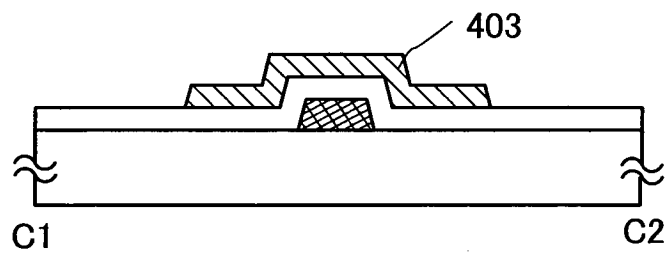


图 1B

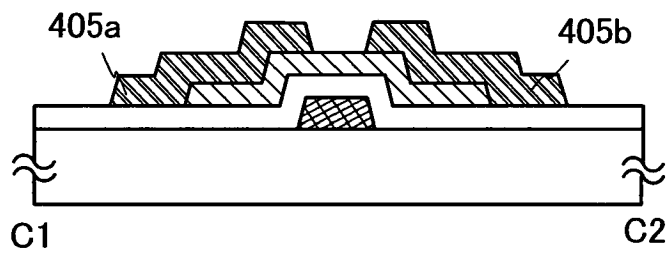


图 1C

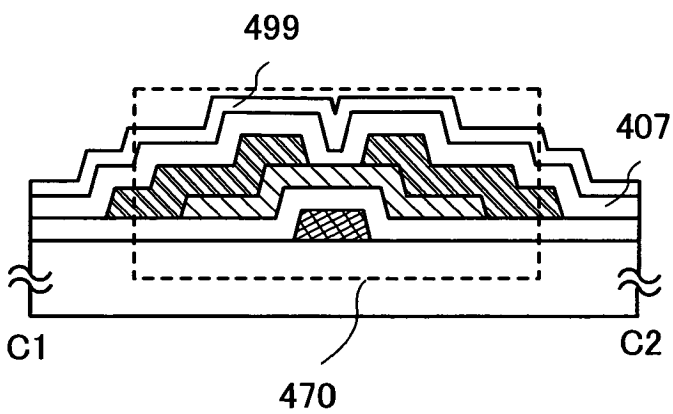


图 1D

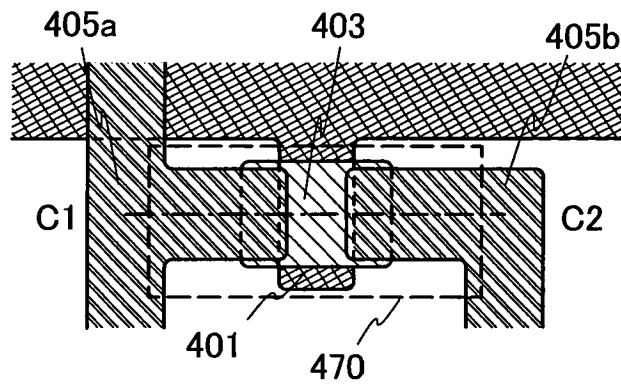


图 2A

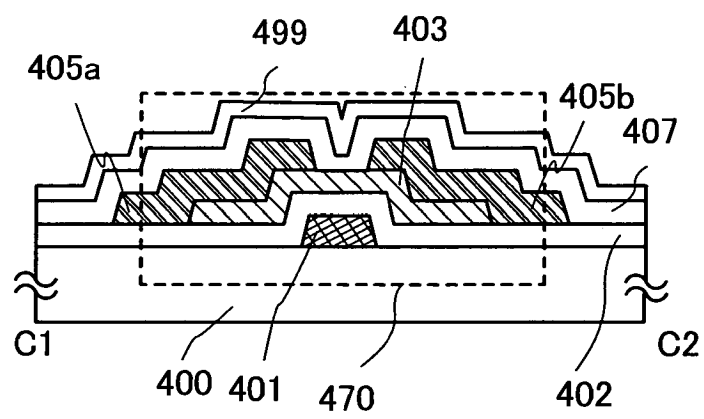


图 2B

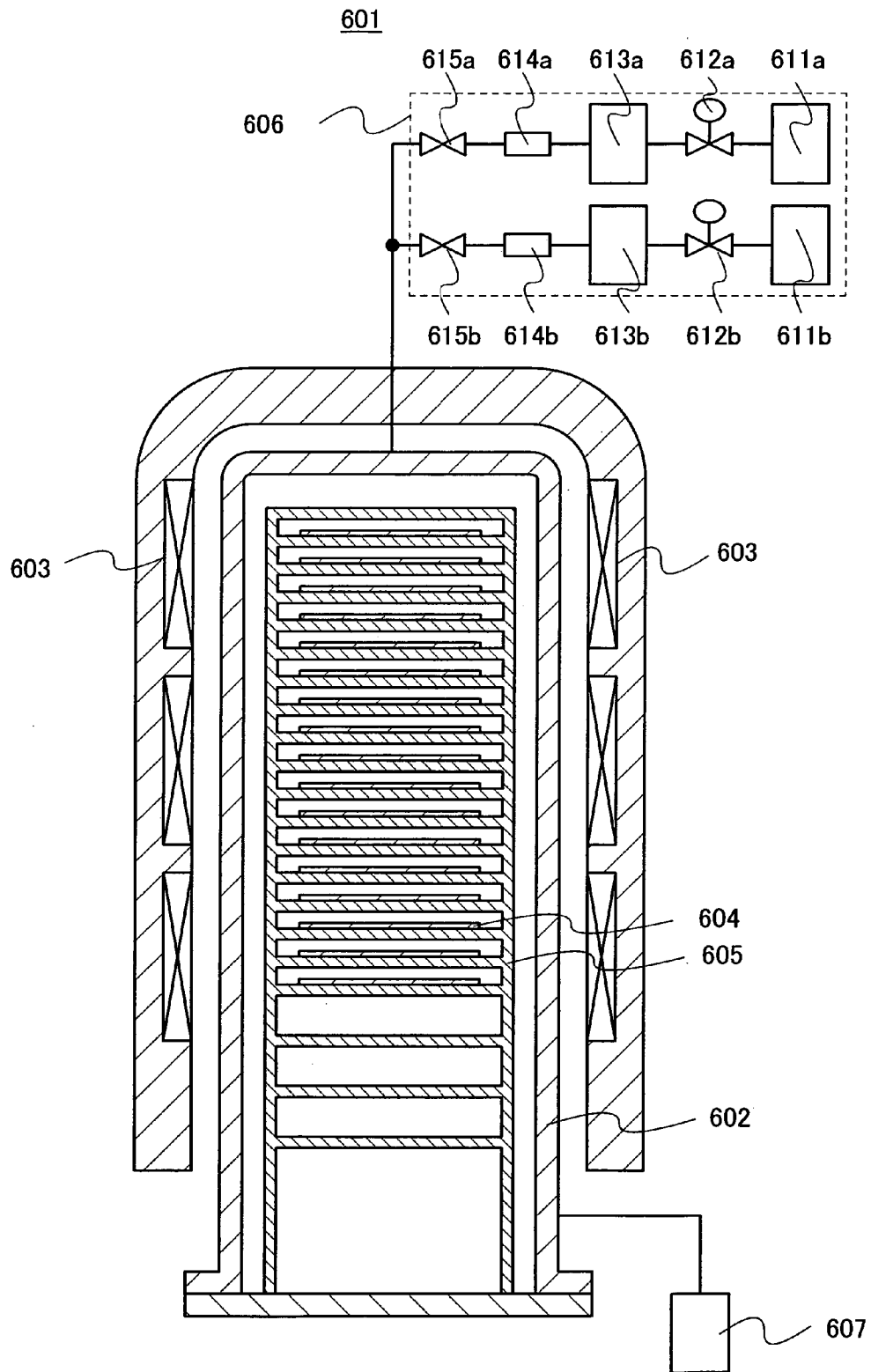


图 3

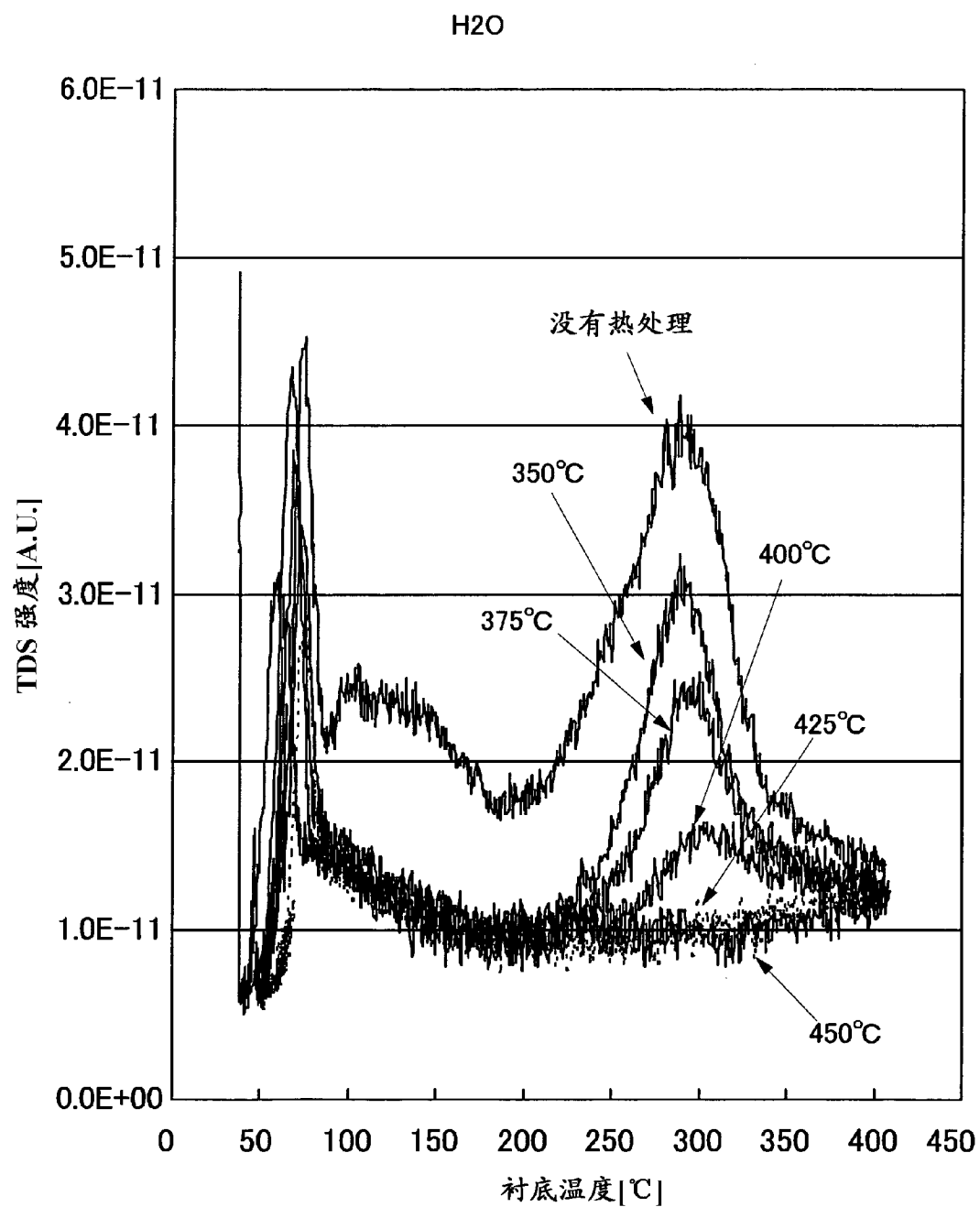


图 4

OH

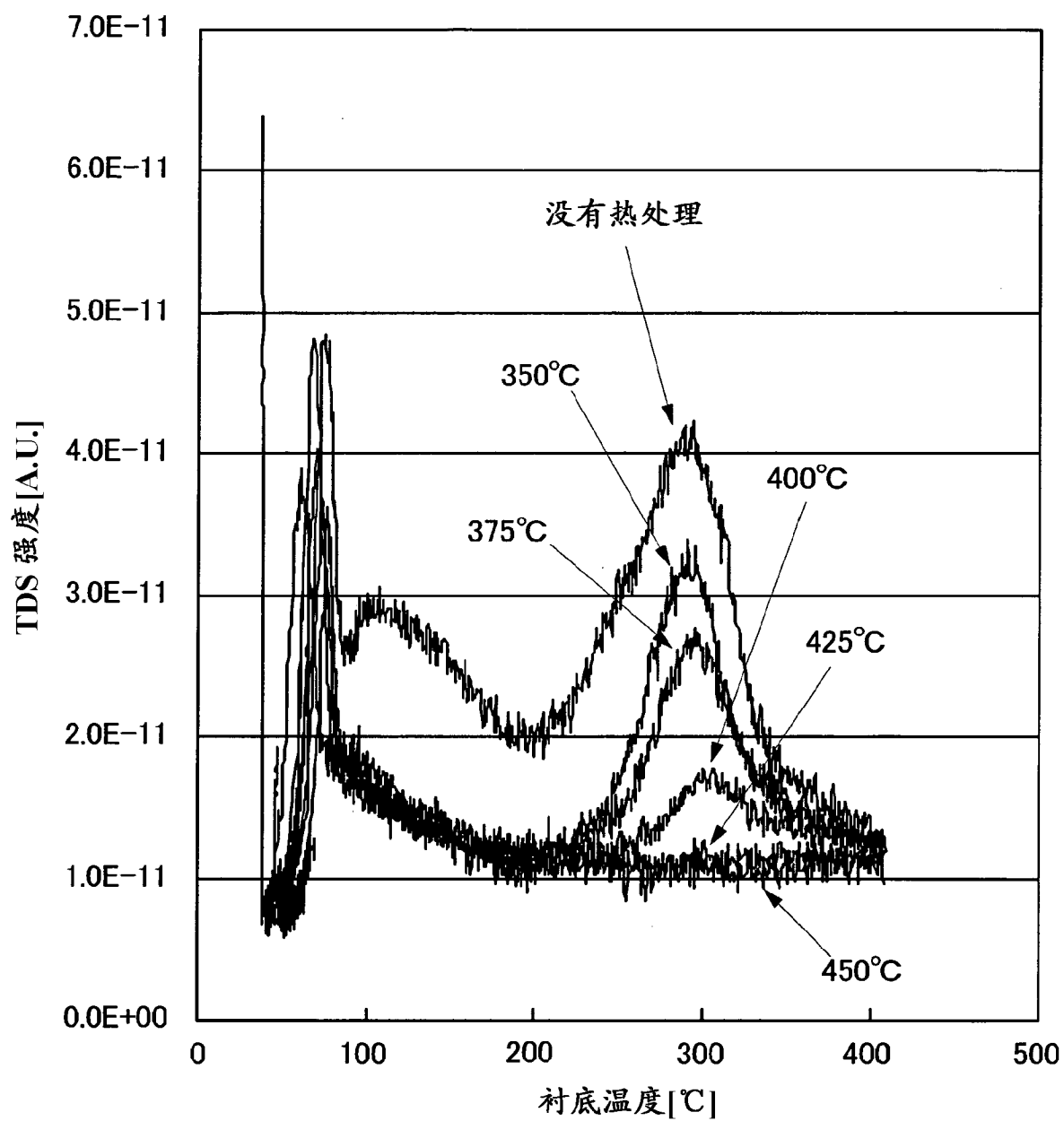


图 5

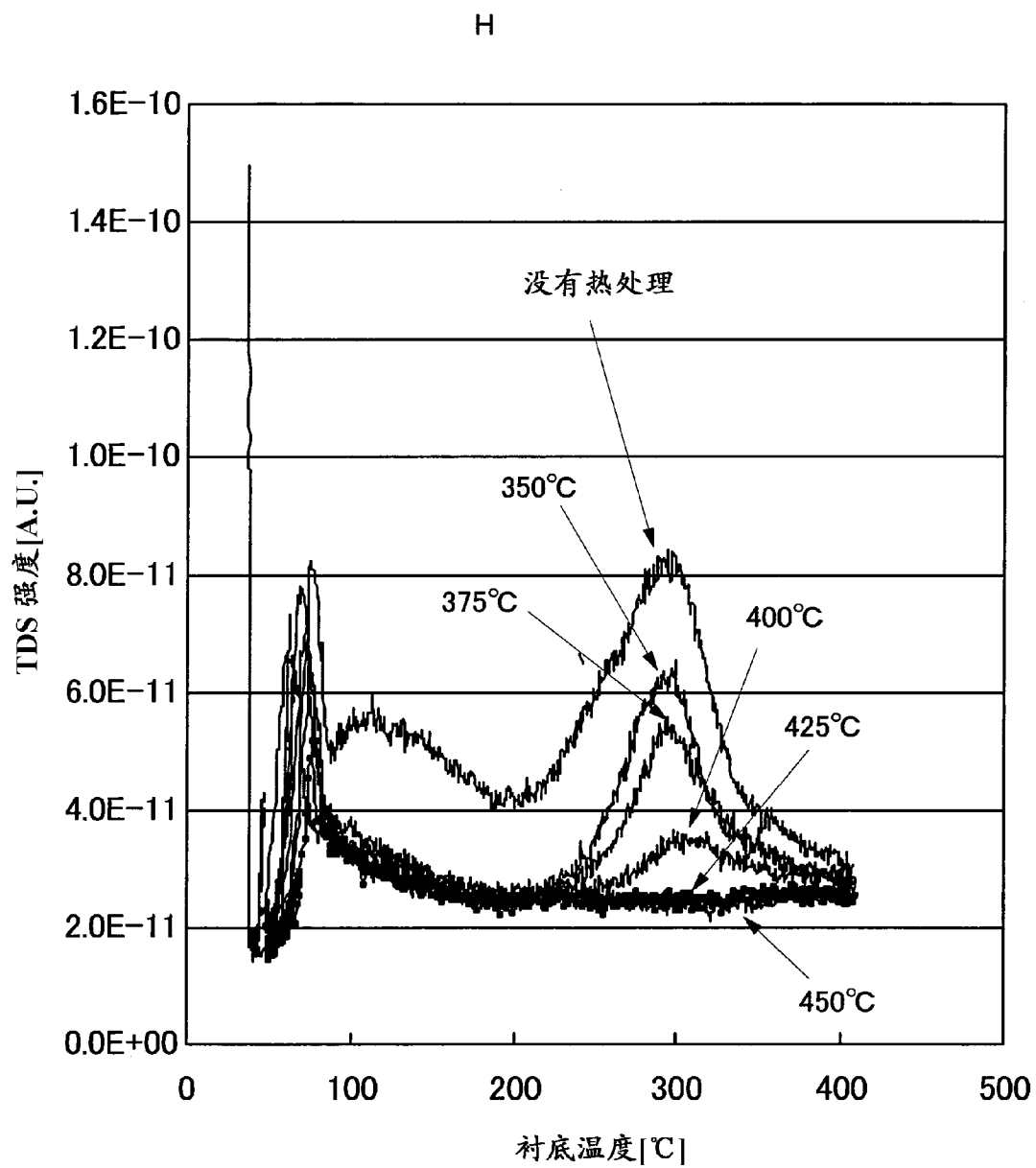


图 6

O

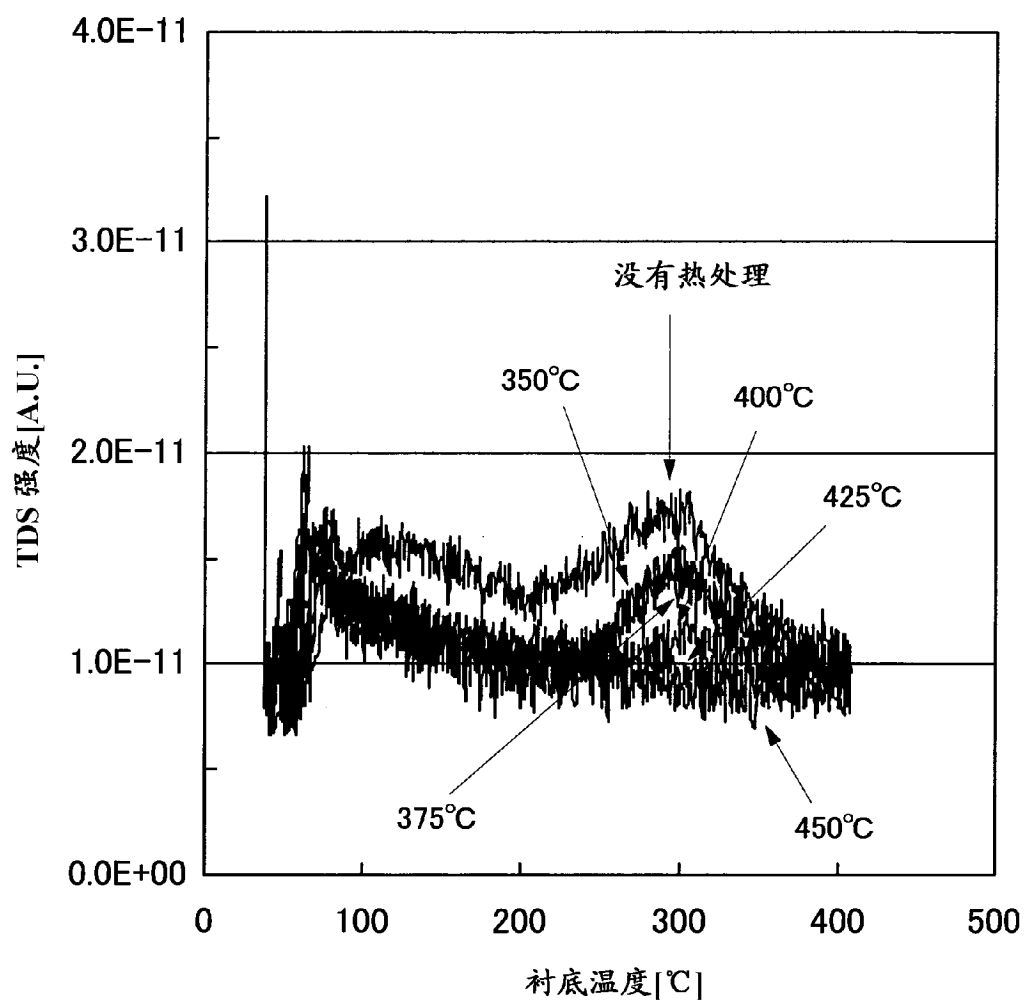


图 7

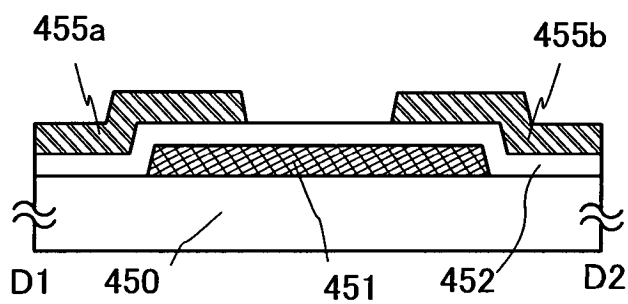


图 8A

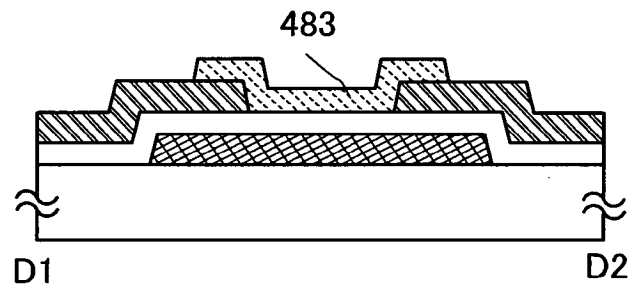


图 8B

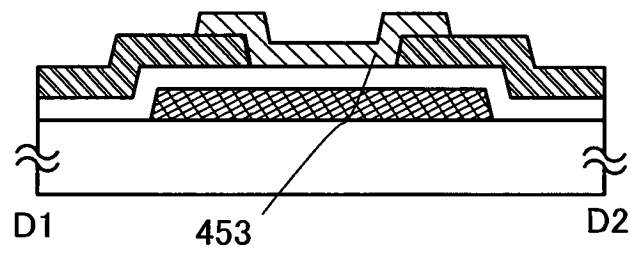


图 8C

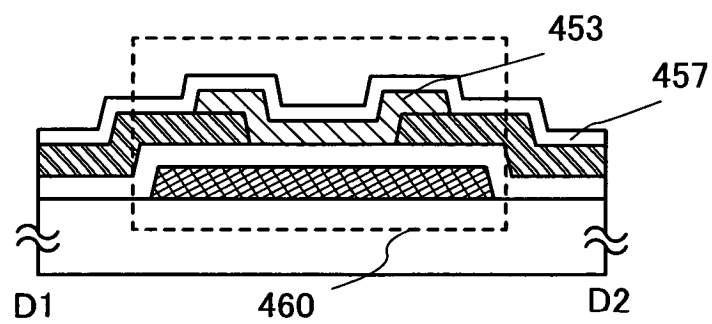


图 8D

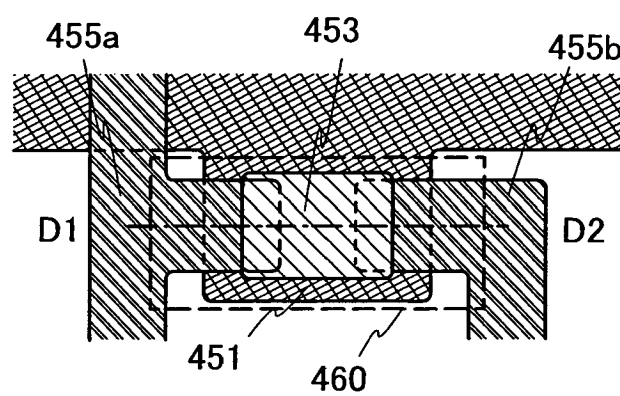


图 9A

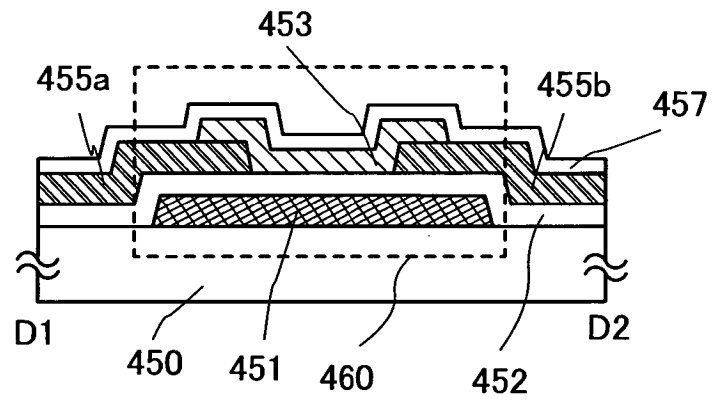
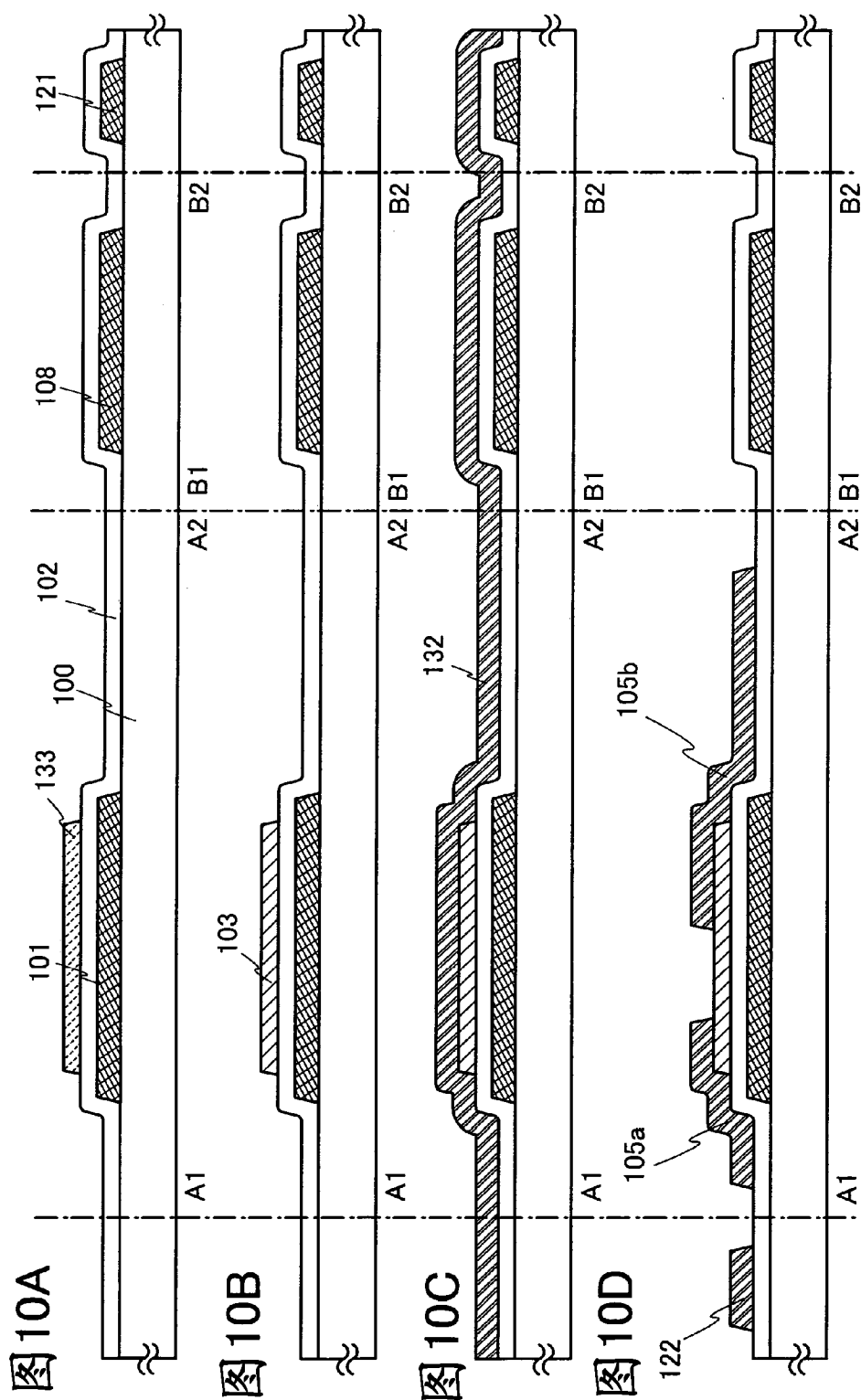
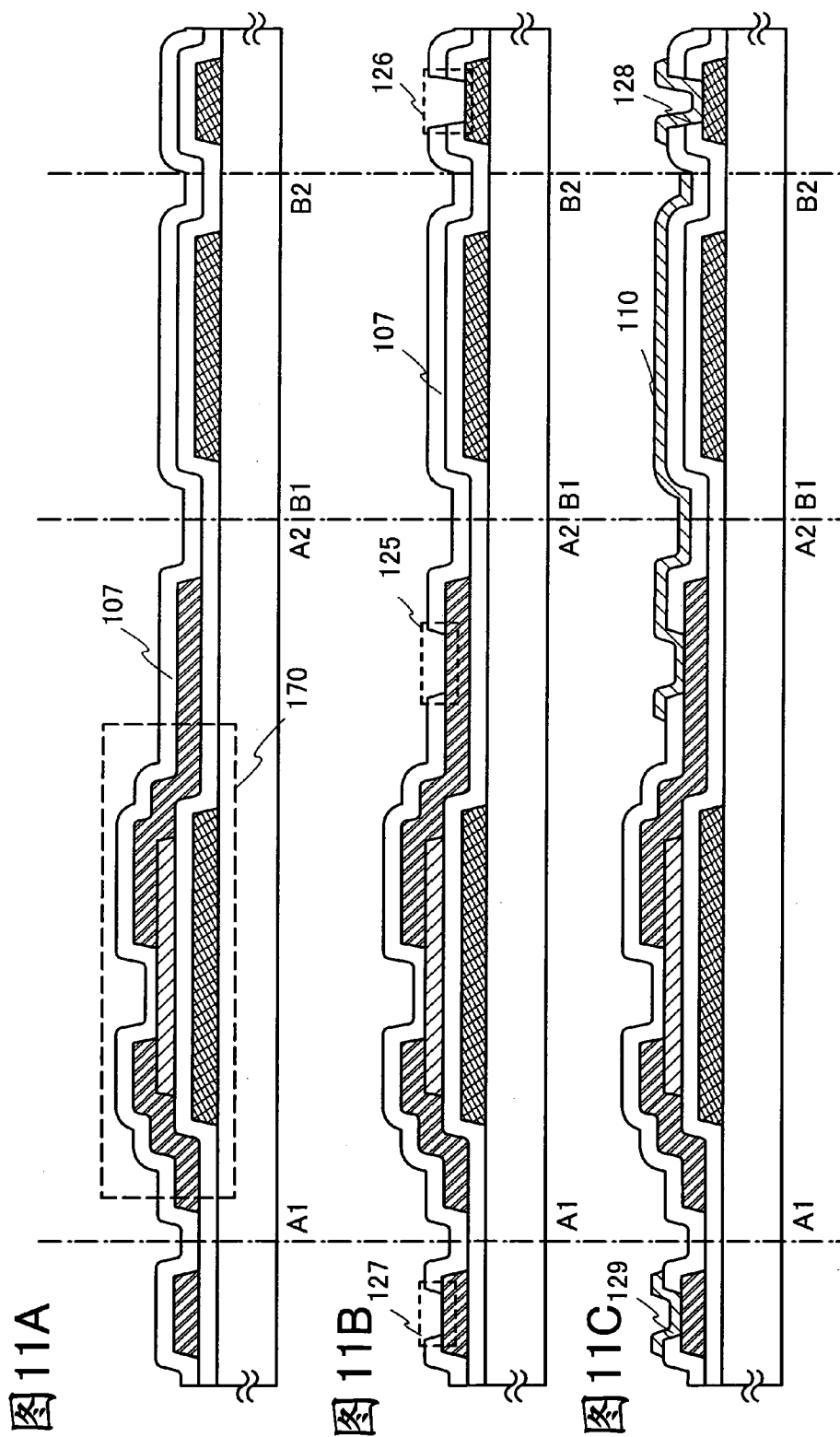


图 9B





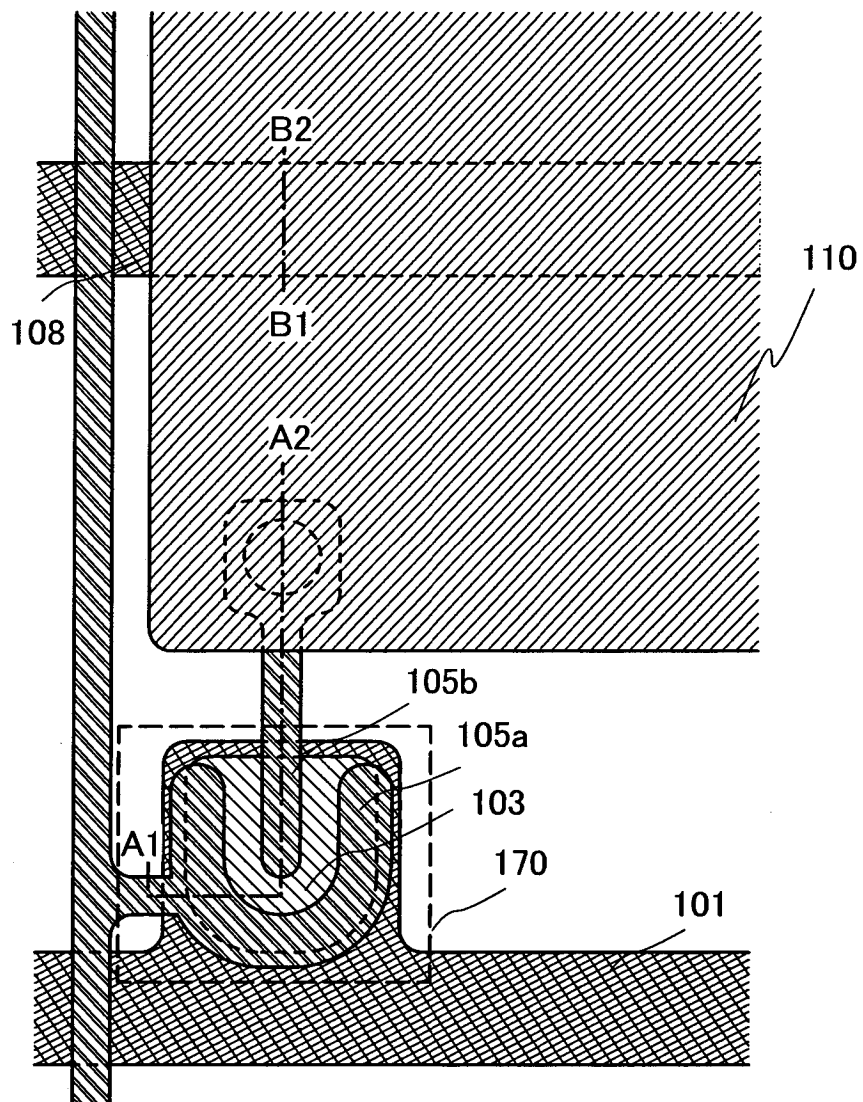


图 12

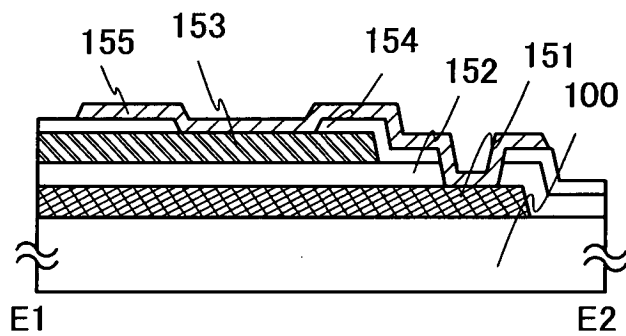


图 13A1

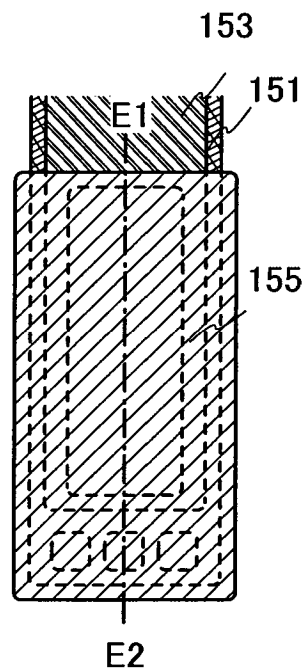


图 13A2

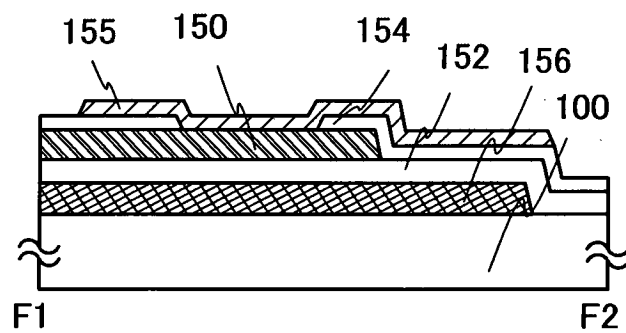


图 13B1

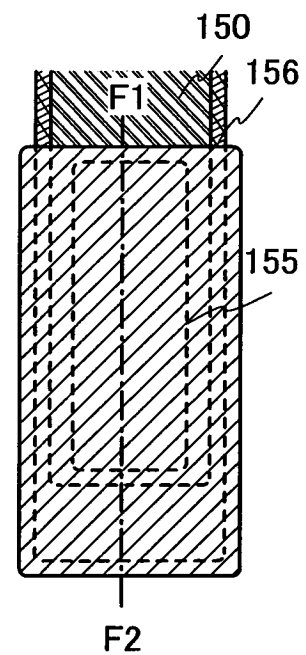


图 13B2



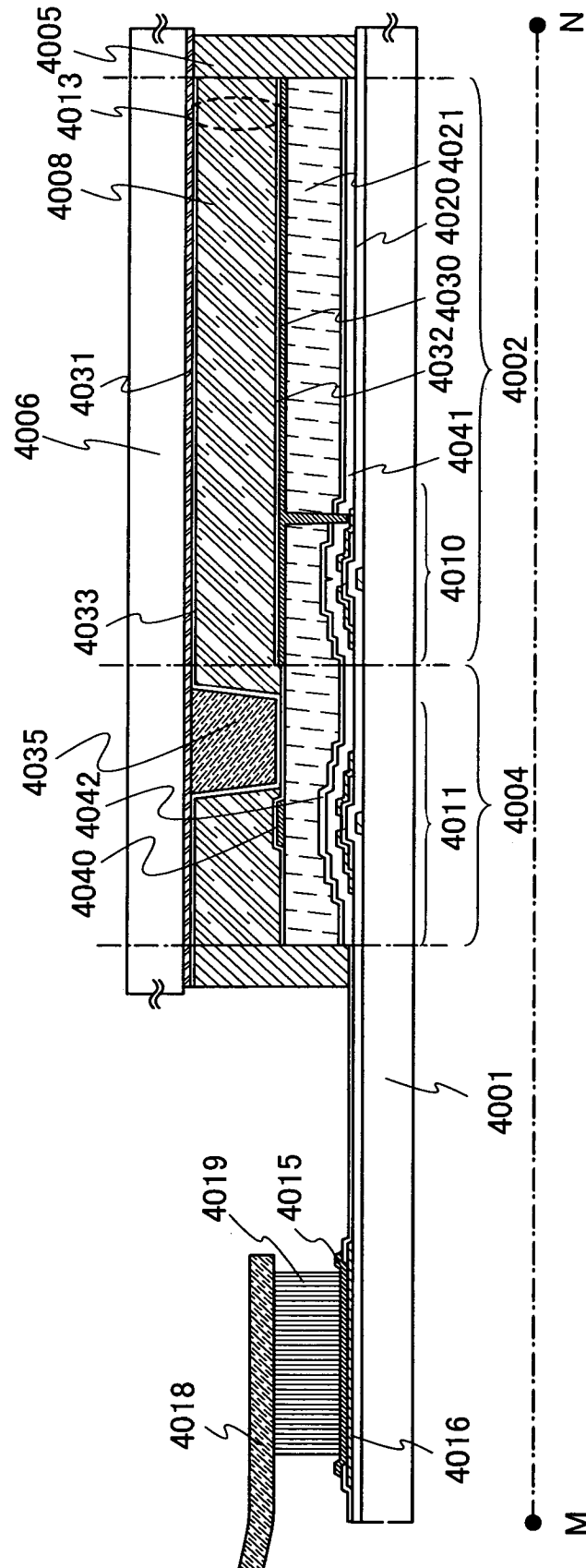


图 15B

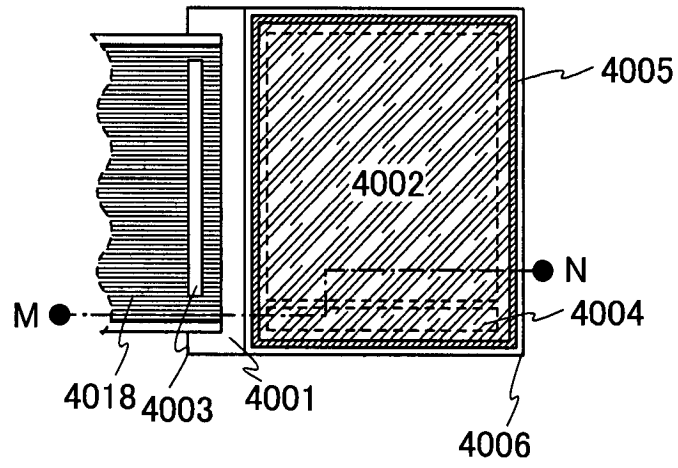


图 15C

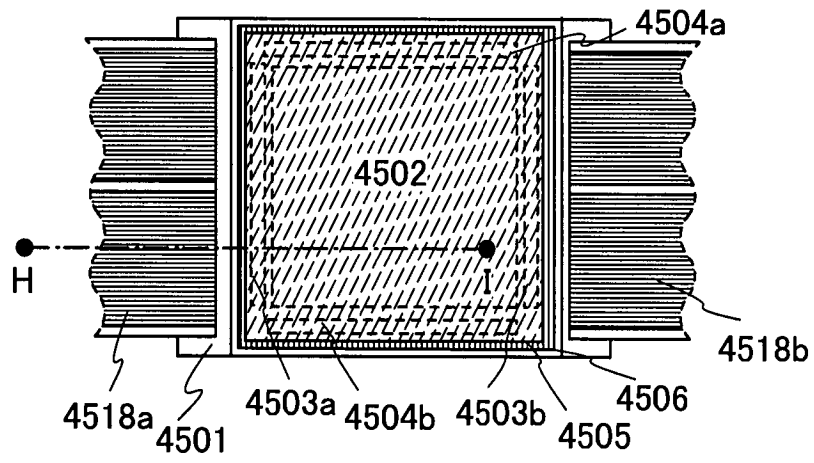


图 16A

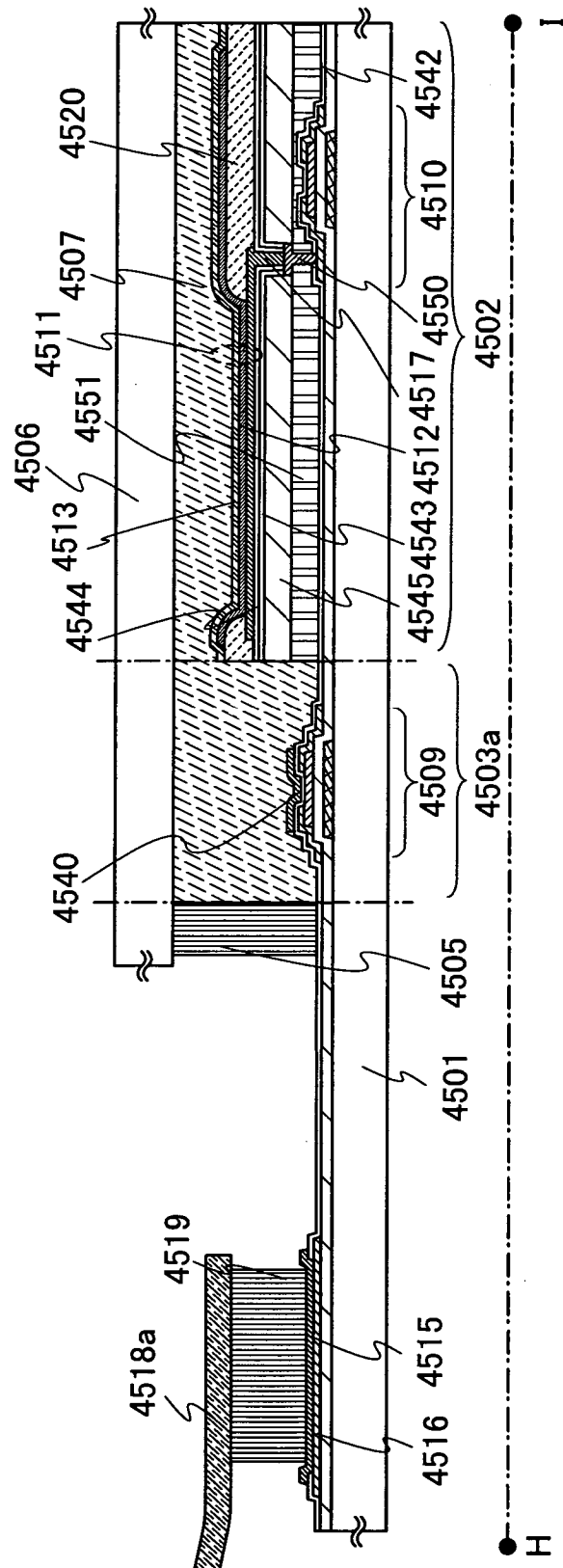


图 16B

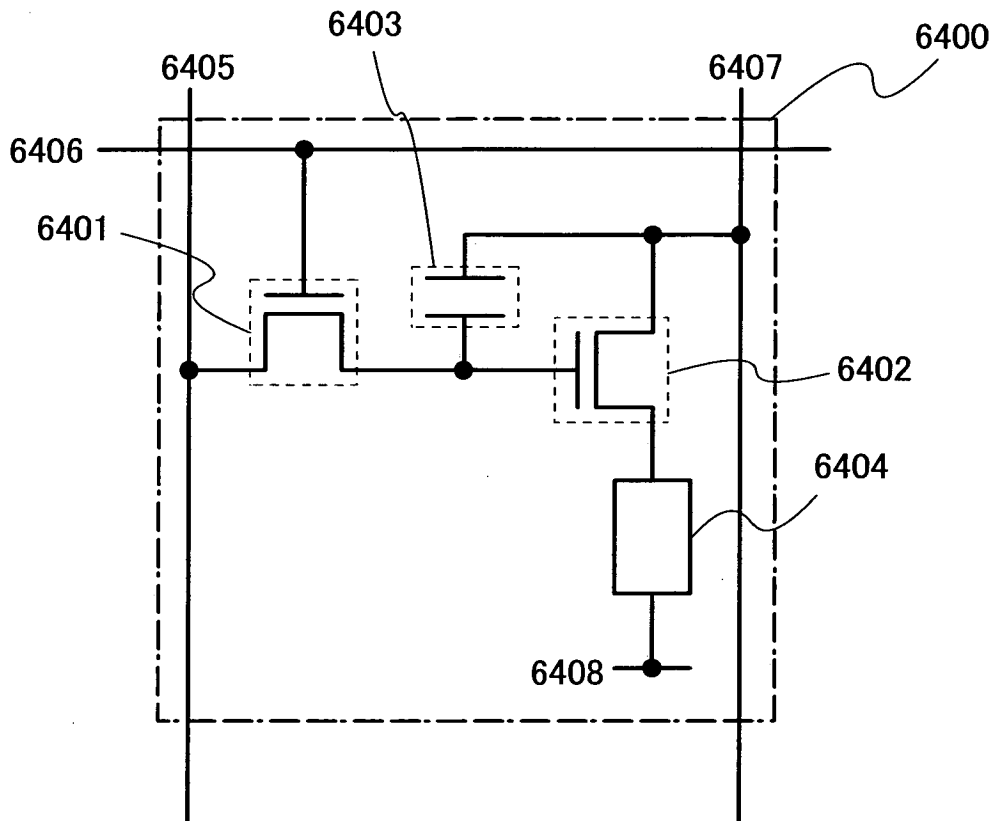


图 17

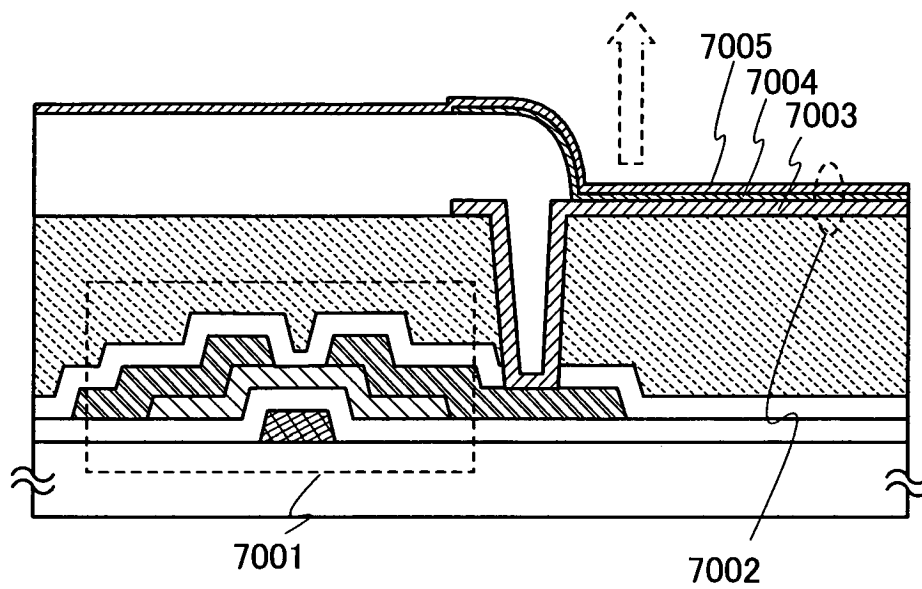


图 18A

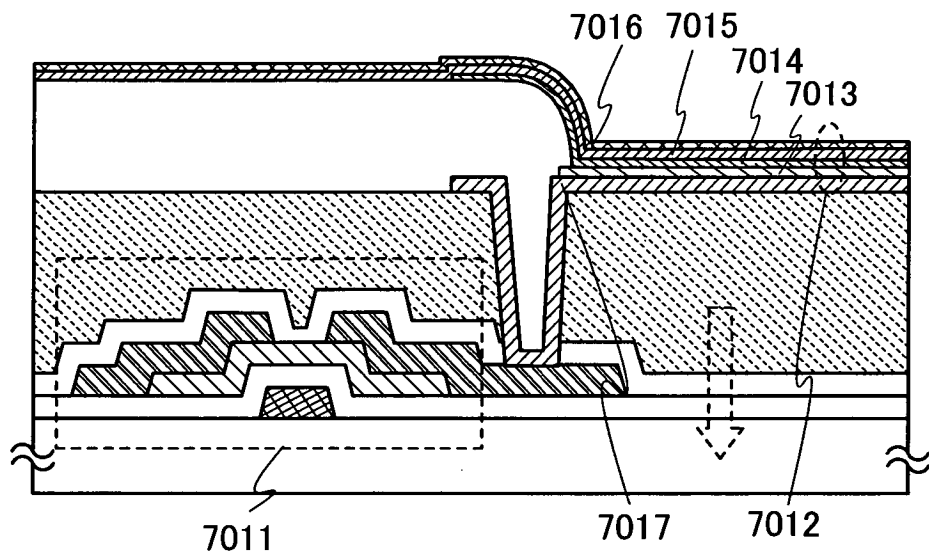


图 18B

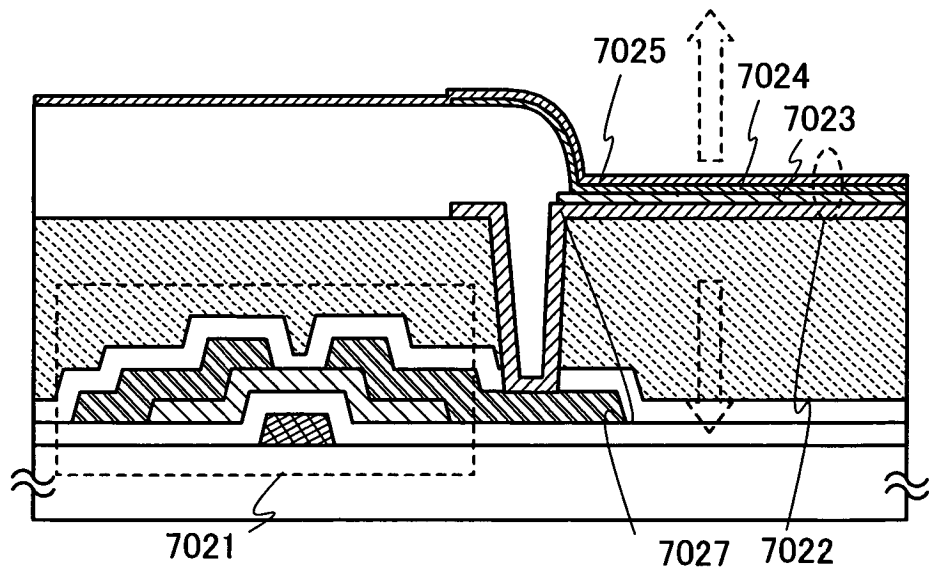


图 18C

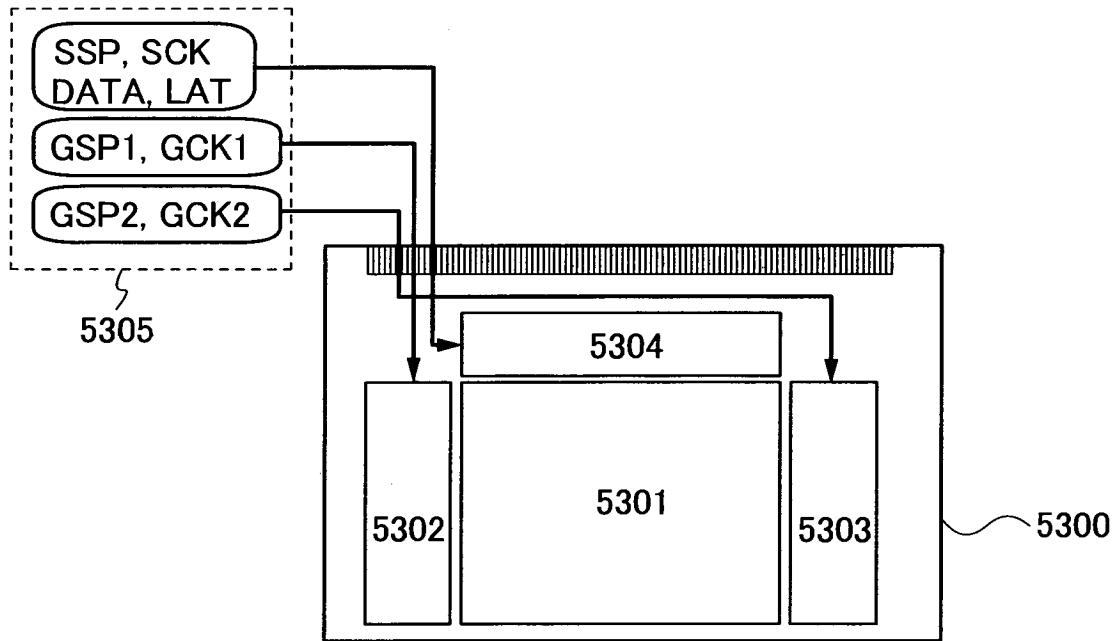


图 19A

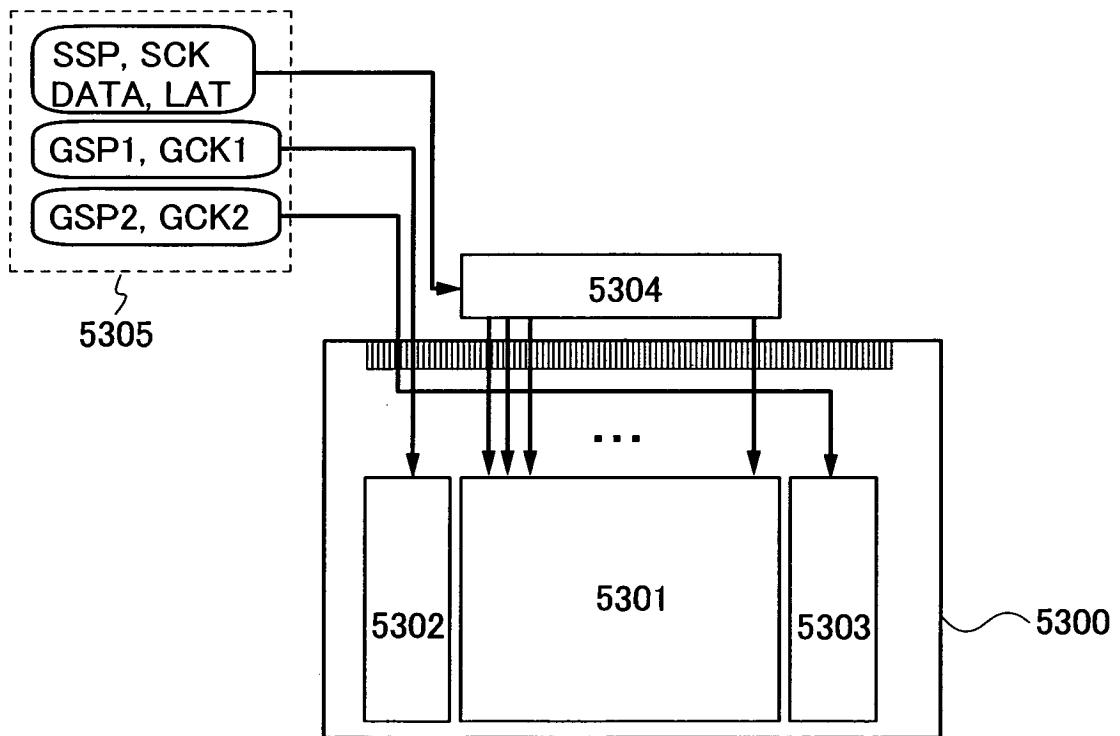


图 19B

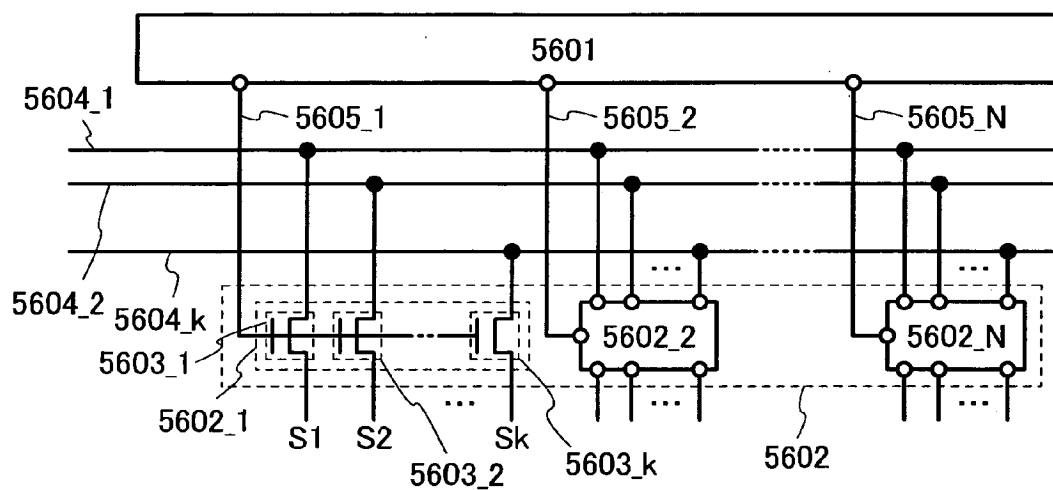


图 20A

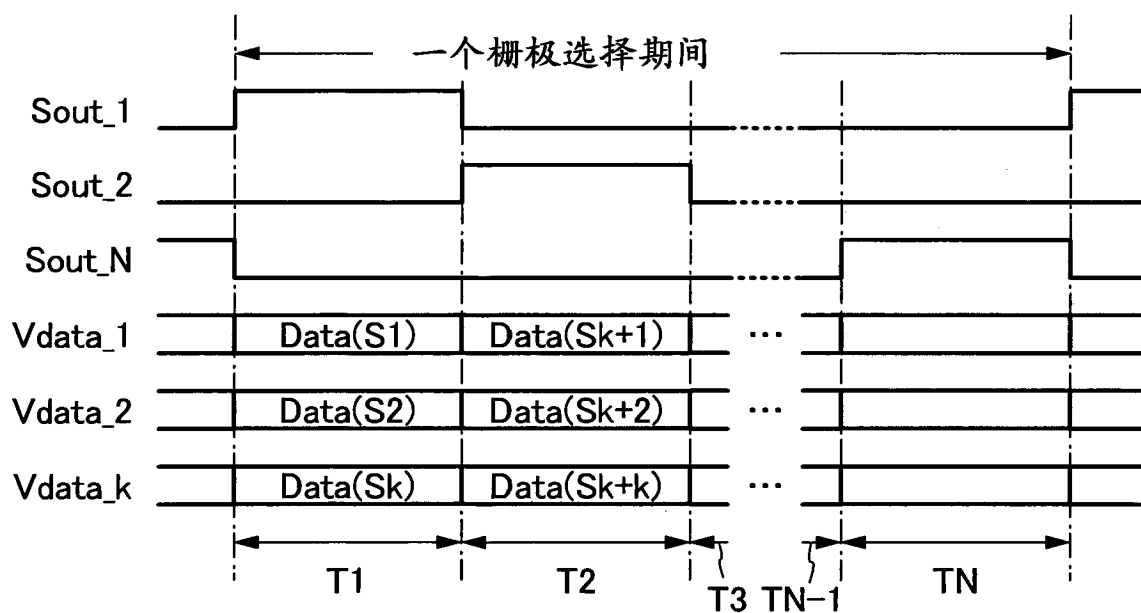


图 20B

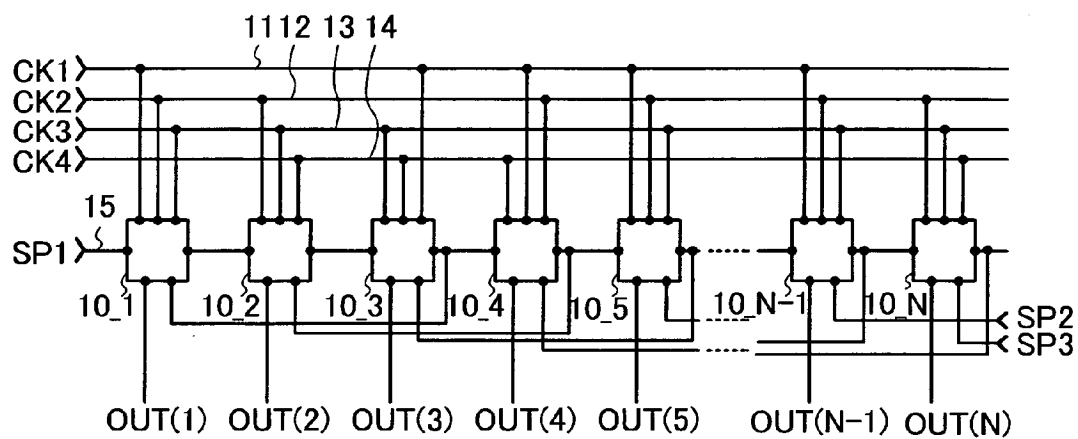


图 21A

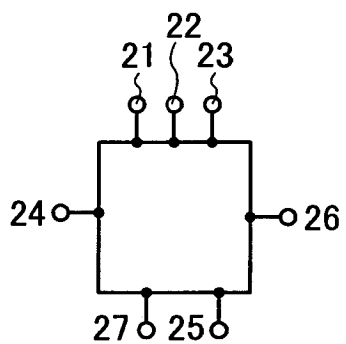


图 21B

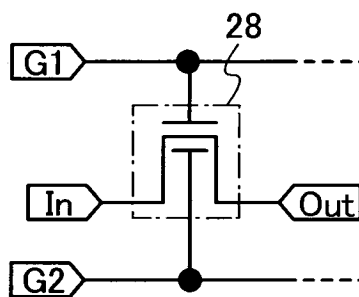


图 21C

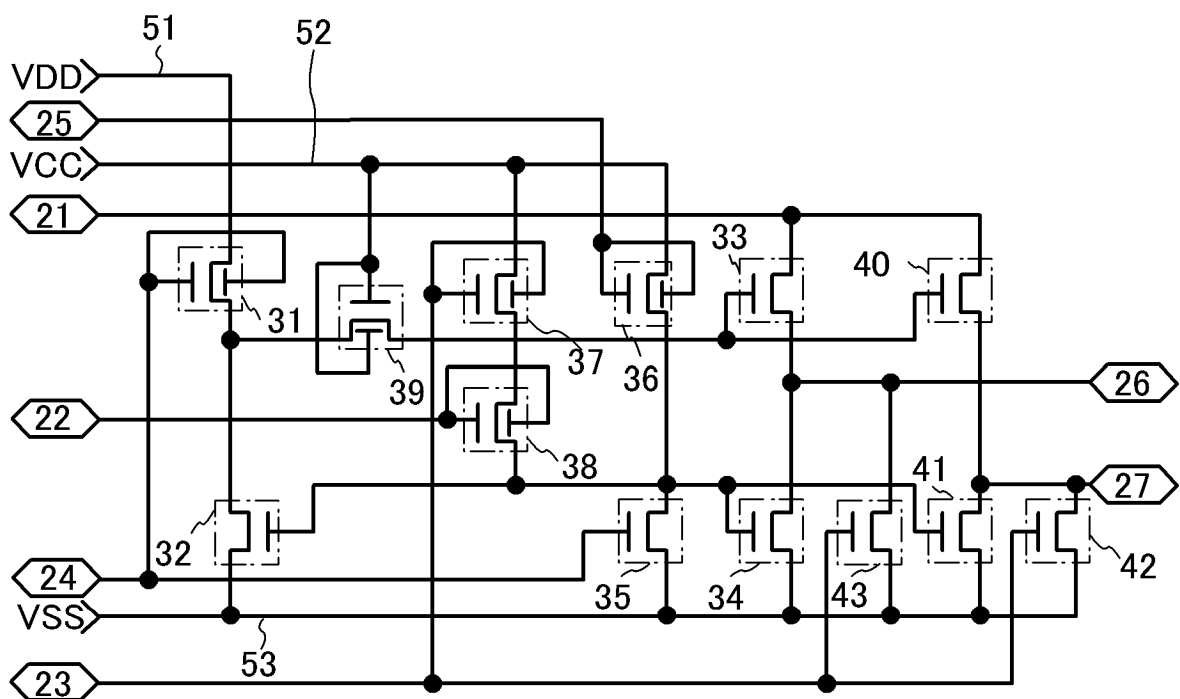


图 21D

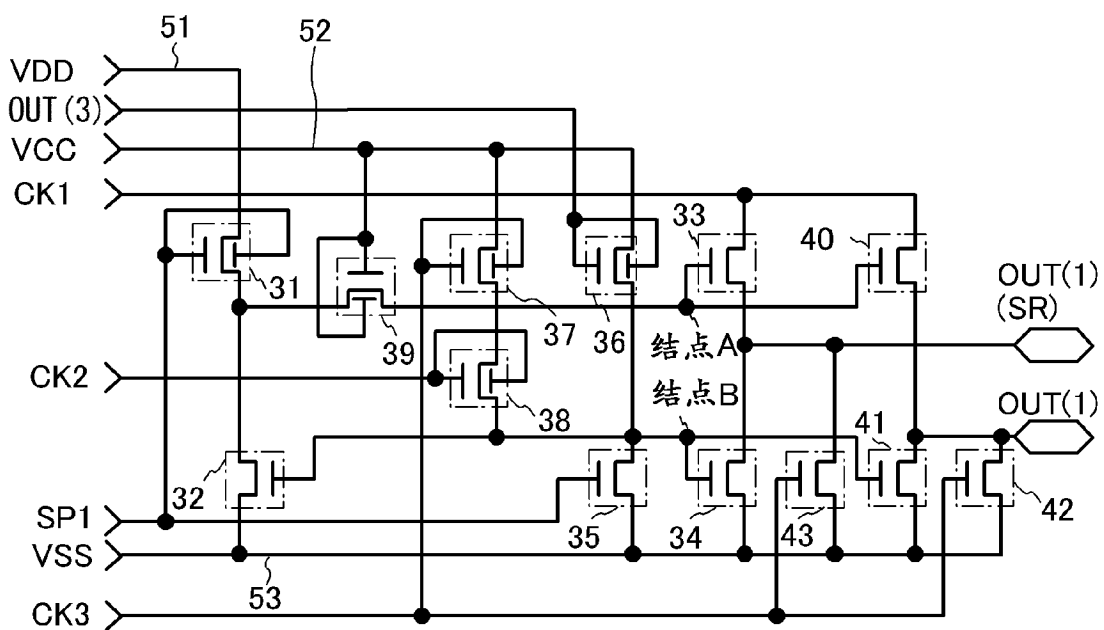


图 22A

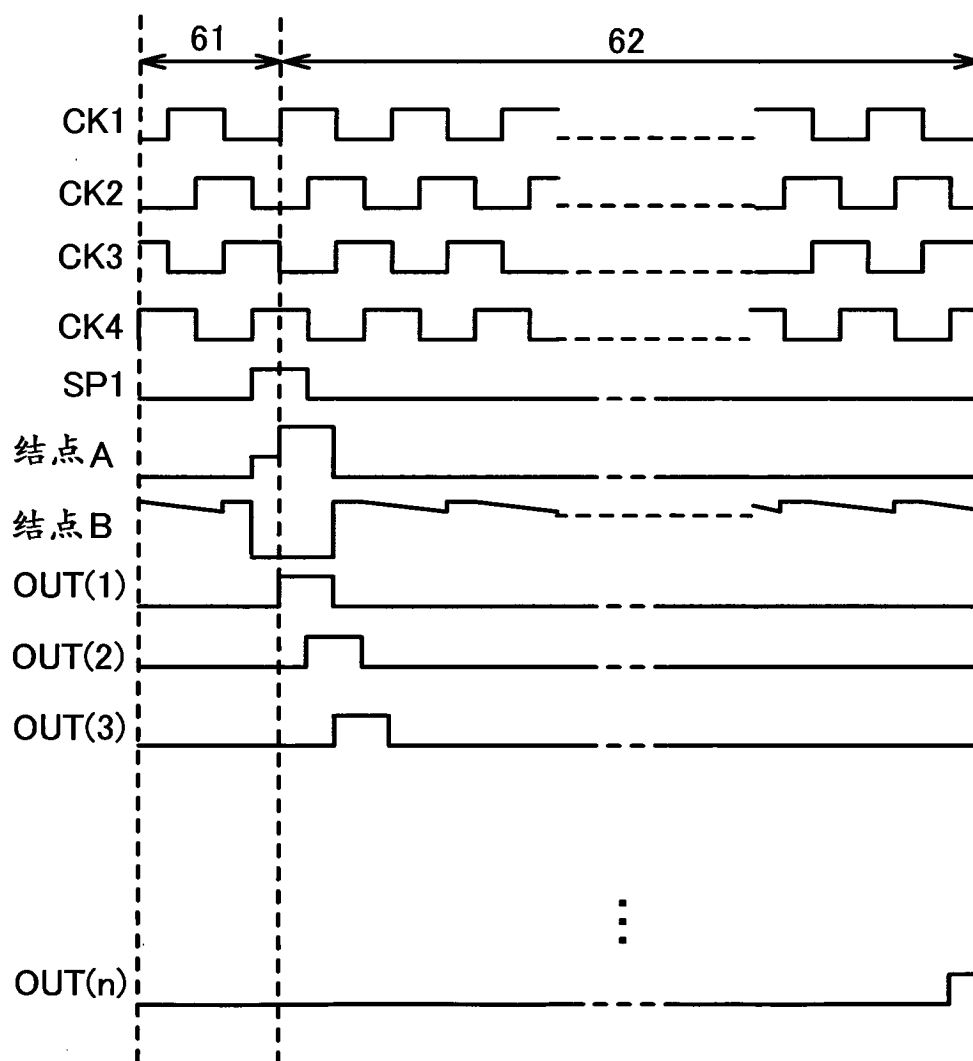


图 22B

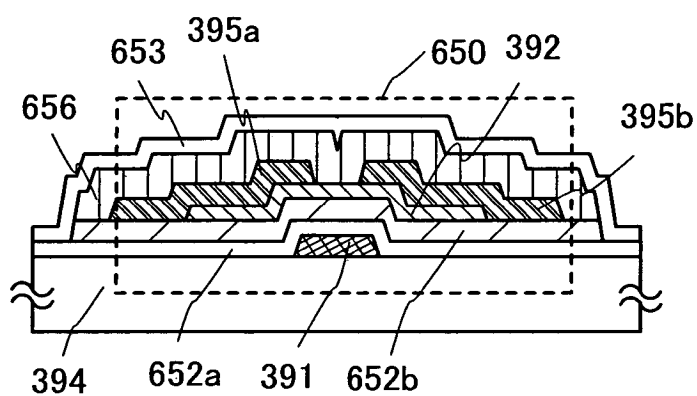


图 23

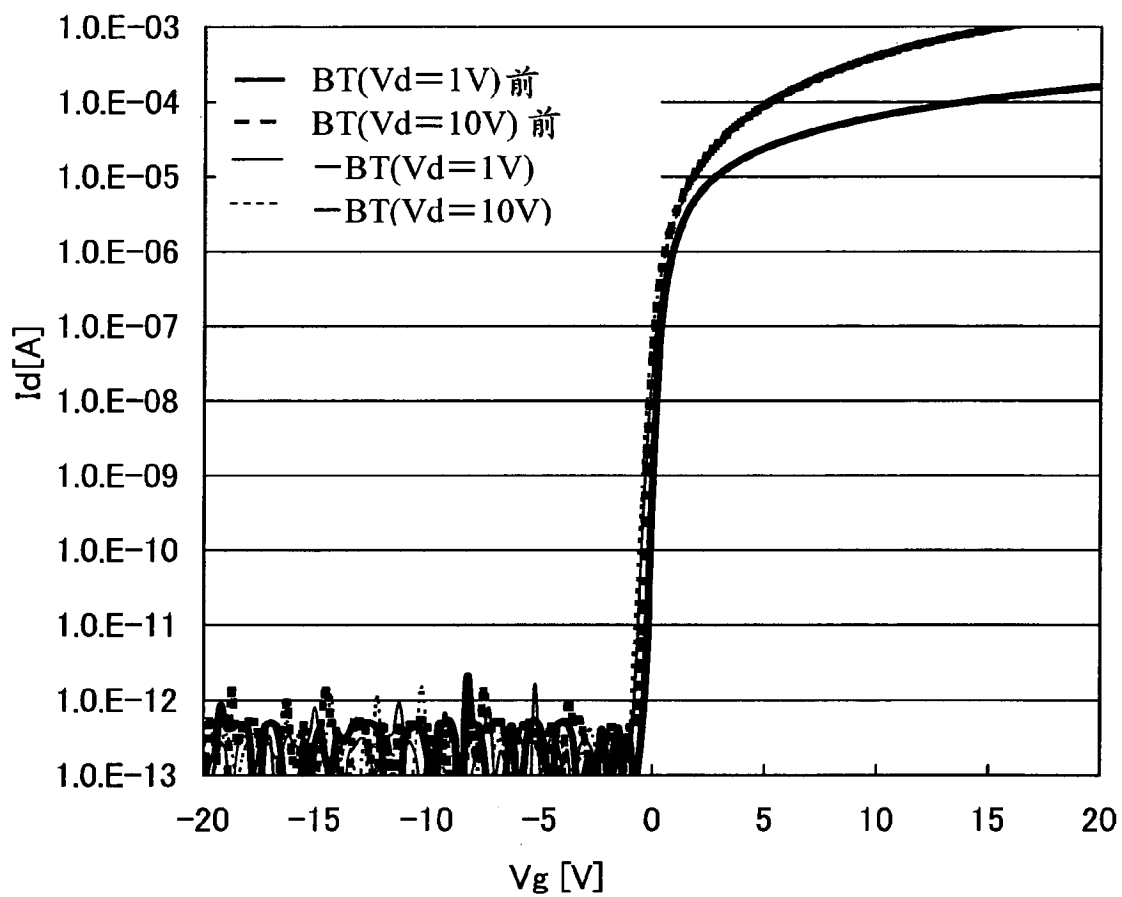


图 24

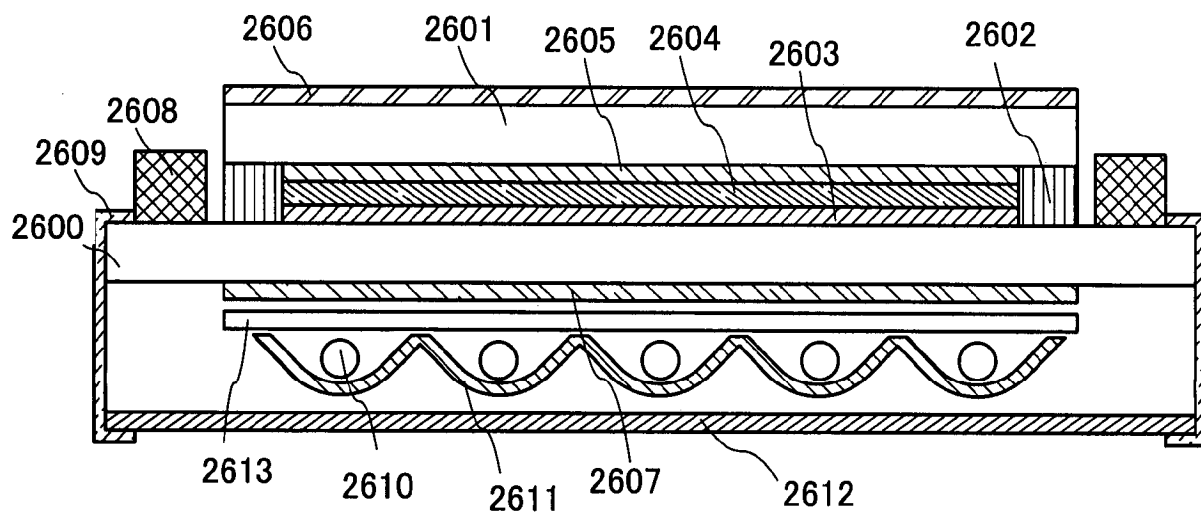


图 25

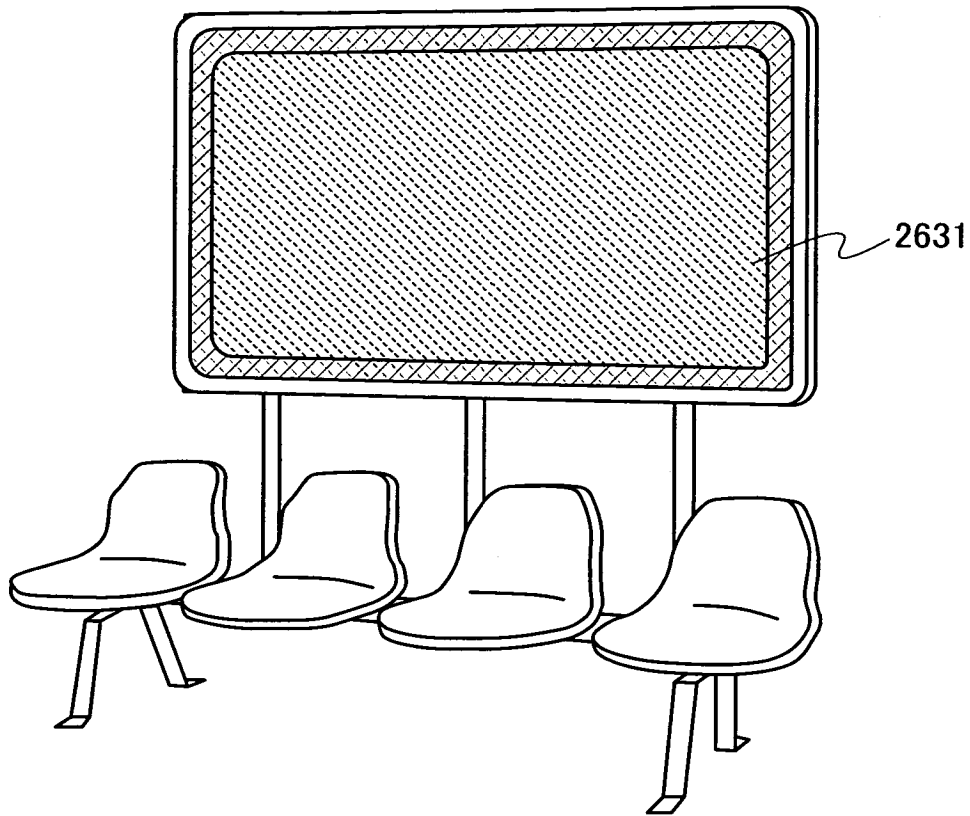


图 26

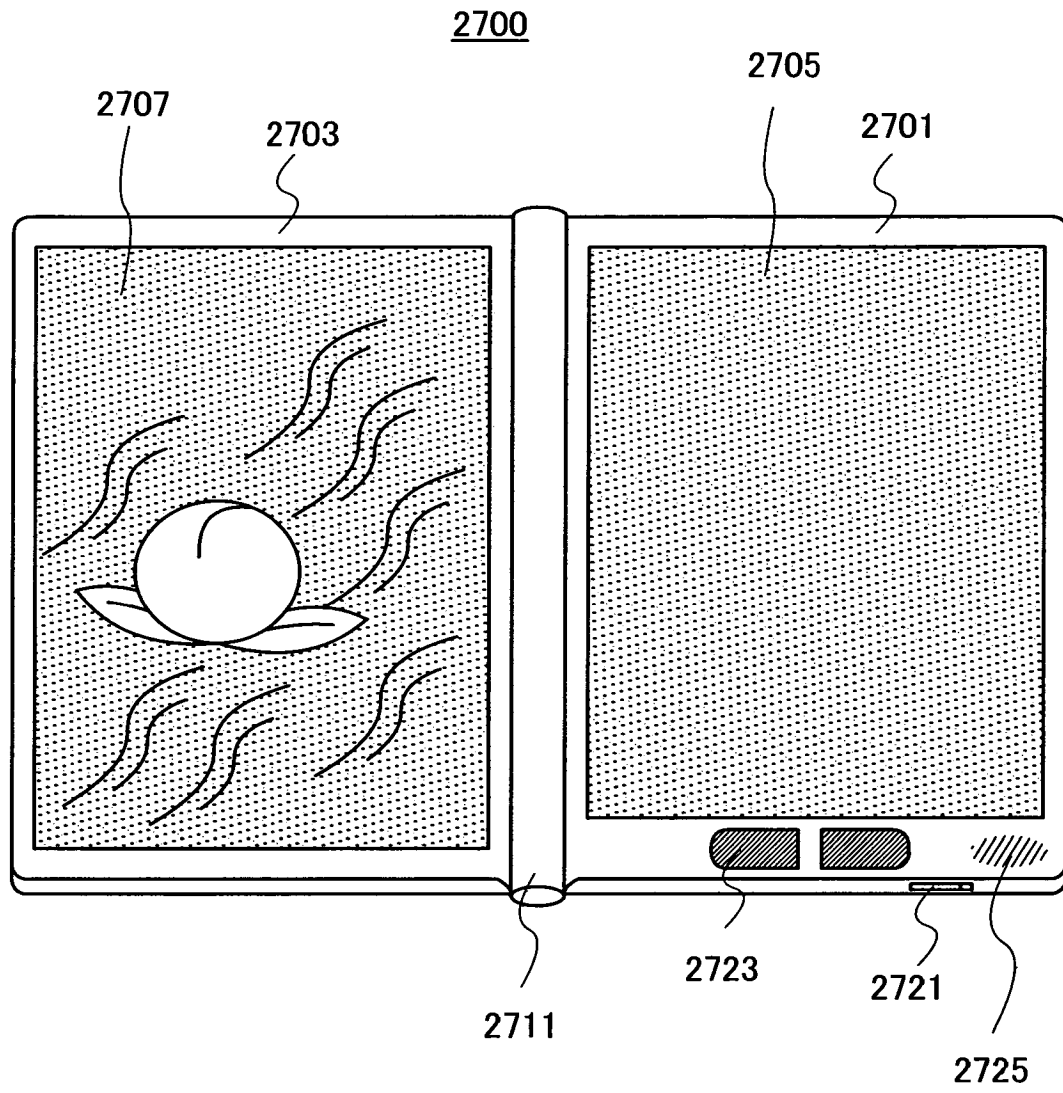


图 27

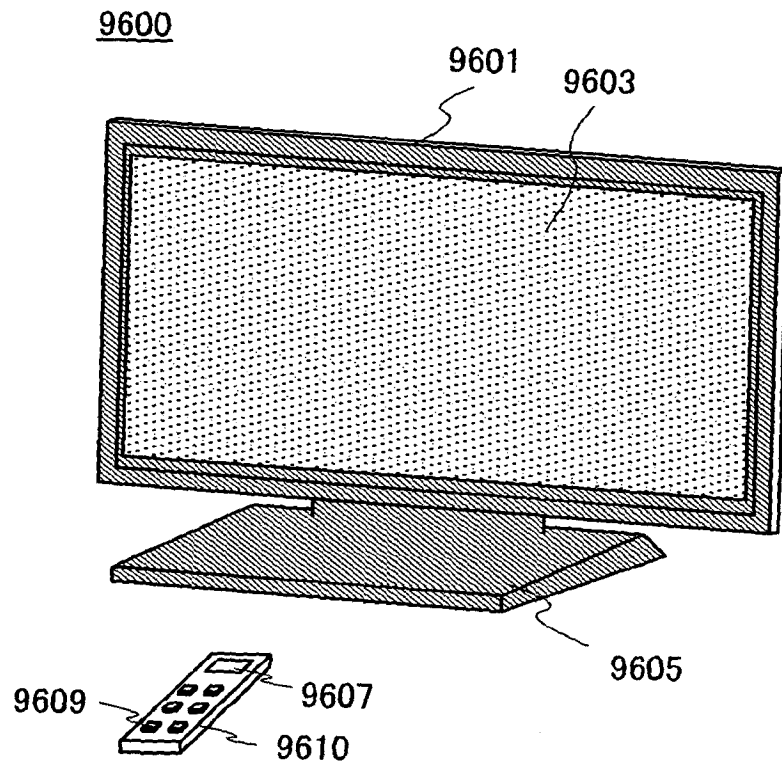


图 28A

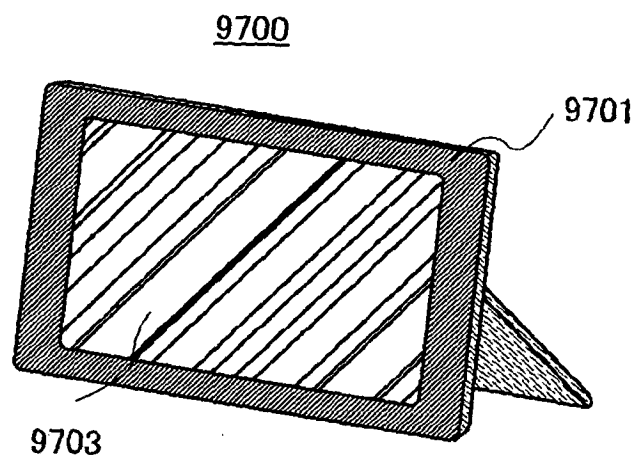


图 28B

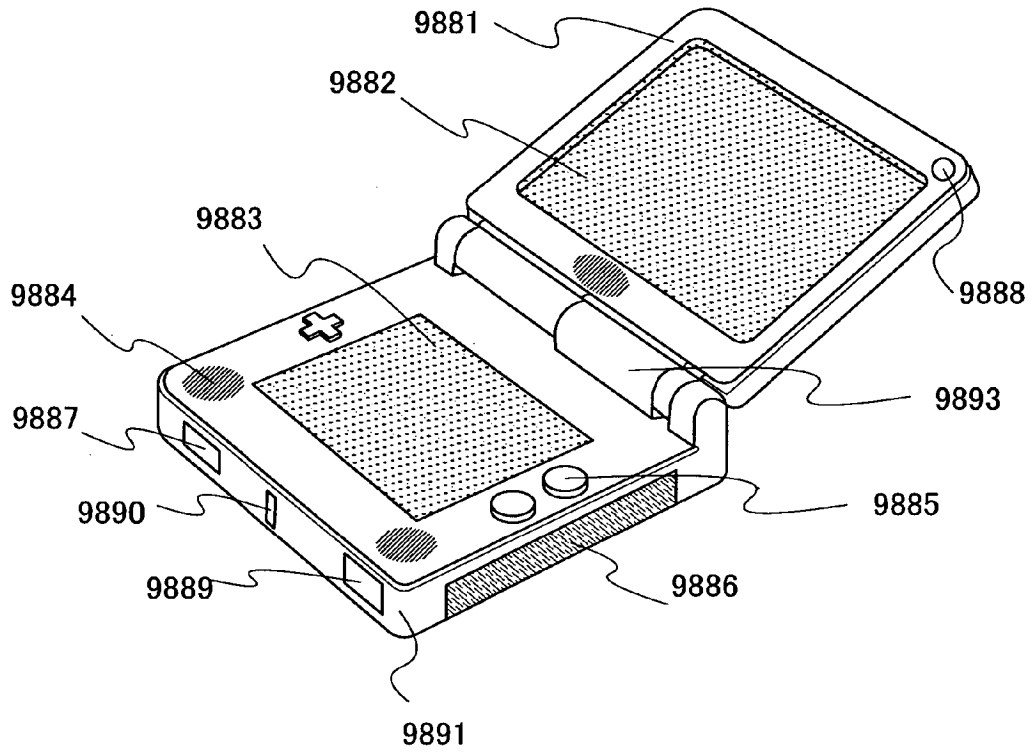


图 29A

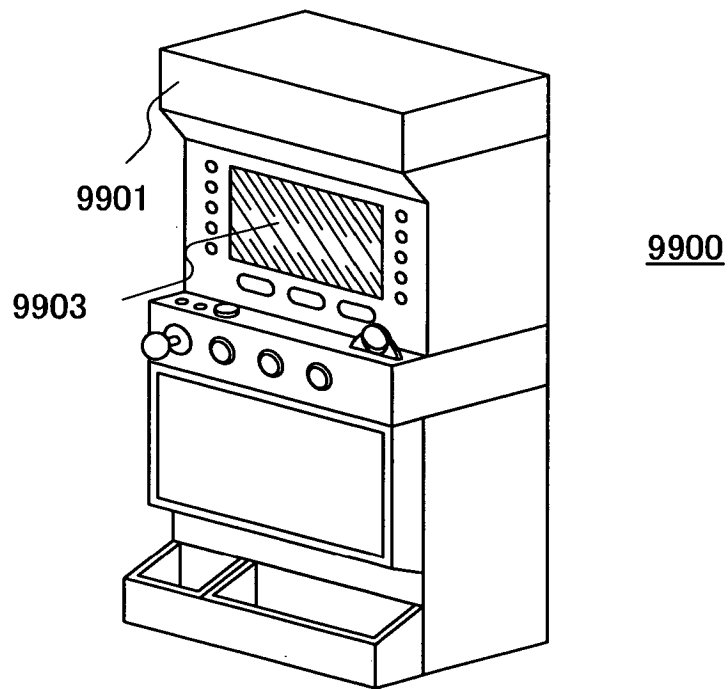


图 29B

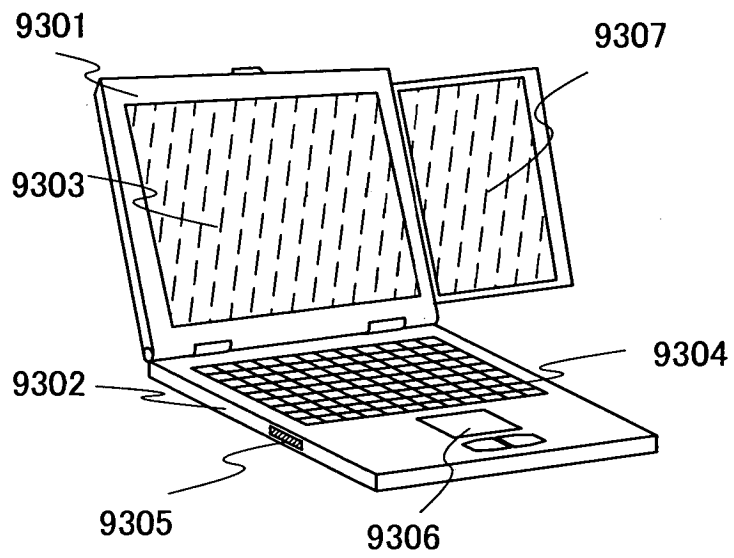


图 30A

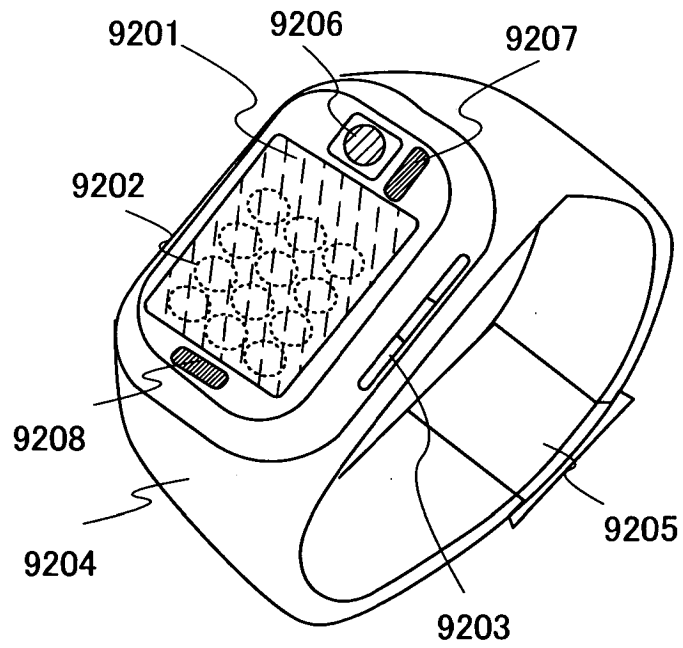


图 30B

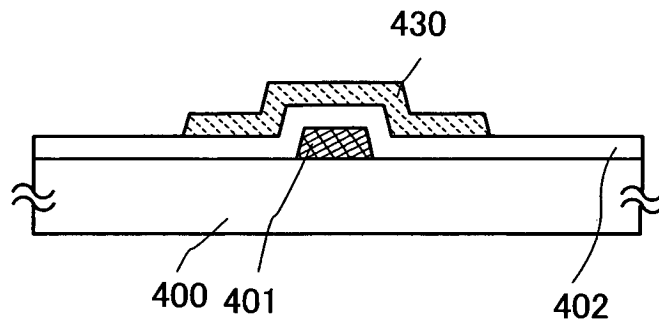


图 31A

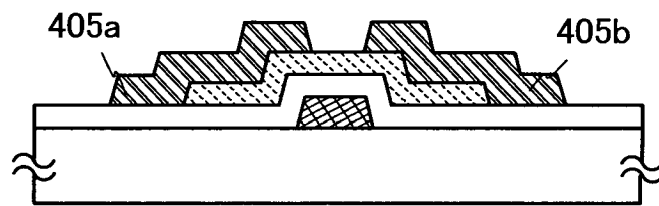


图 31B

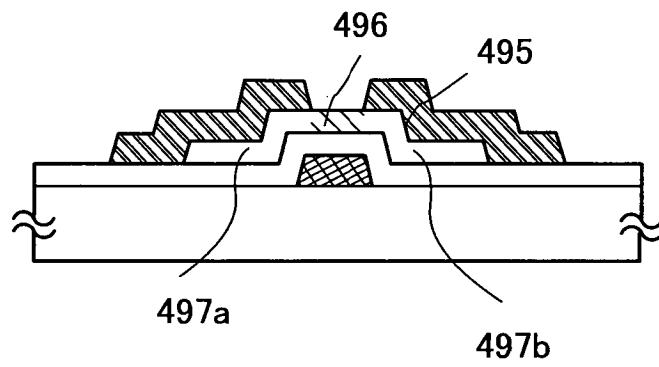


图 31C

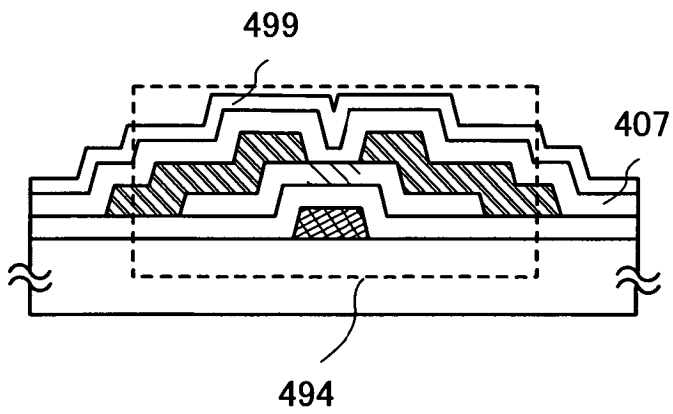


图 31D

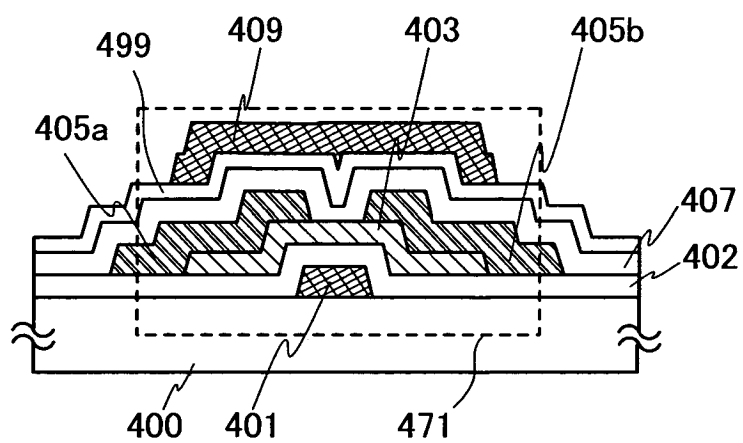


图 32

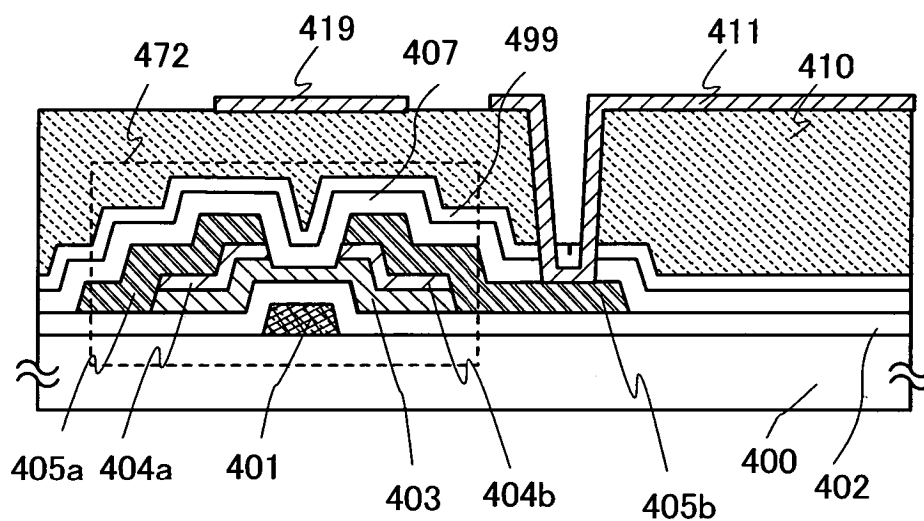


图 33

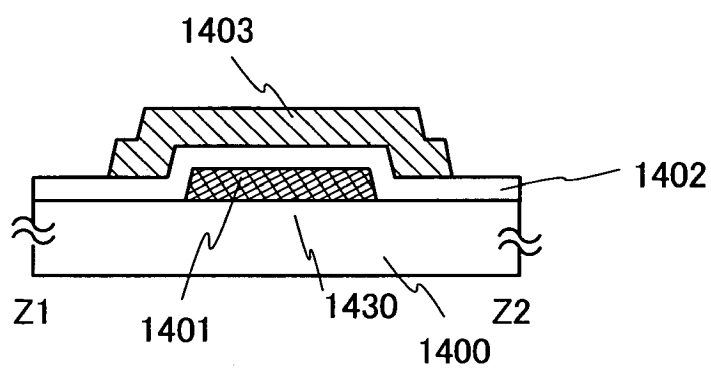


图 34A

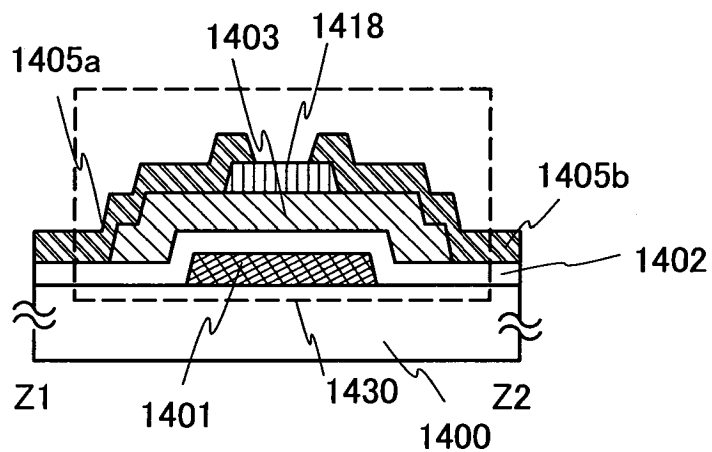


图 34B

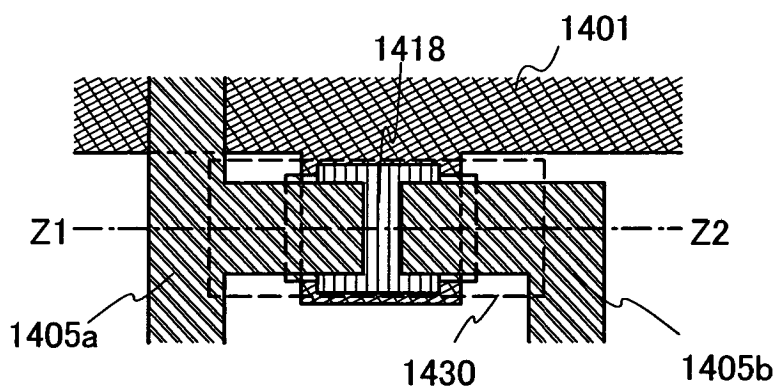


图 34C

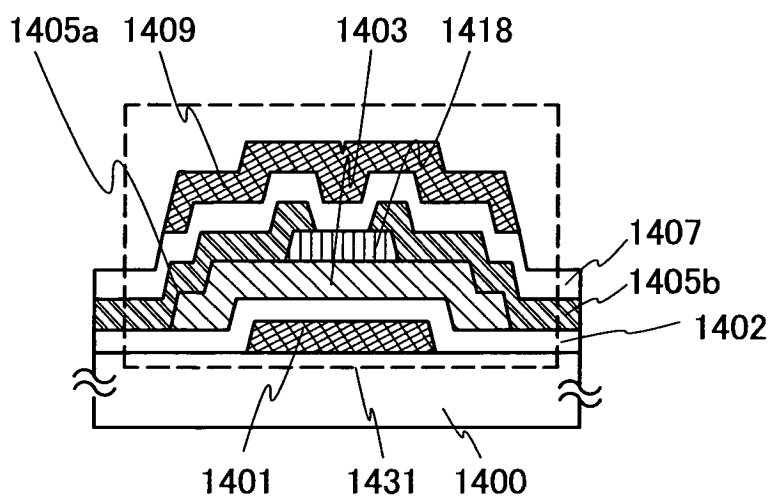


图 35A

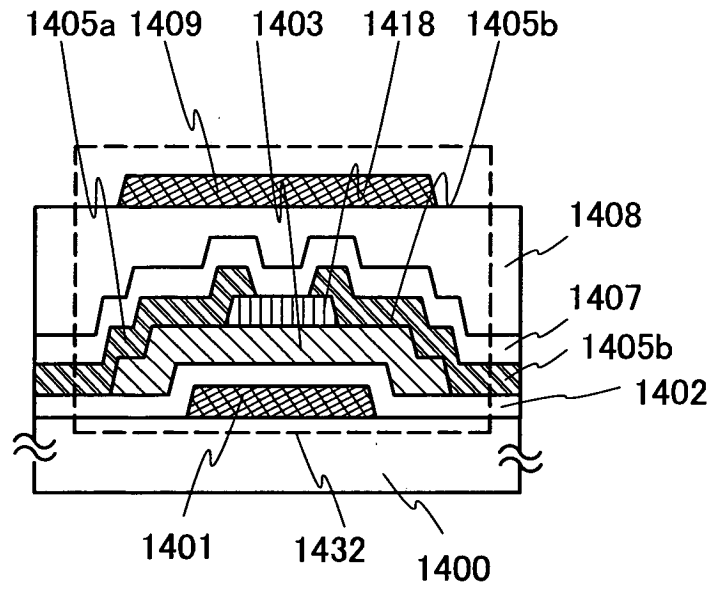


图 35B

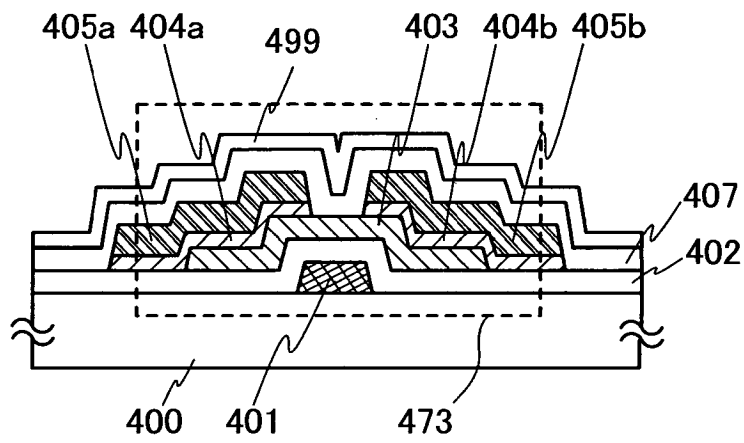


图 36

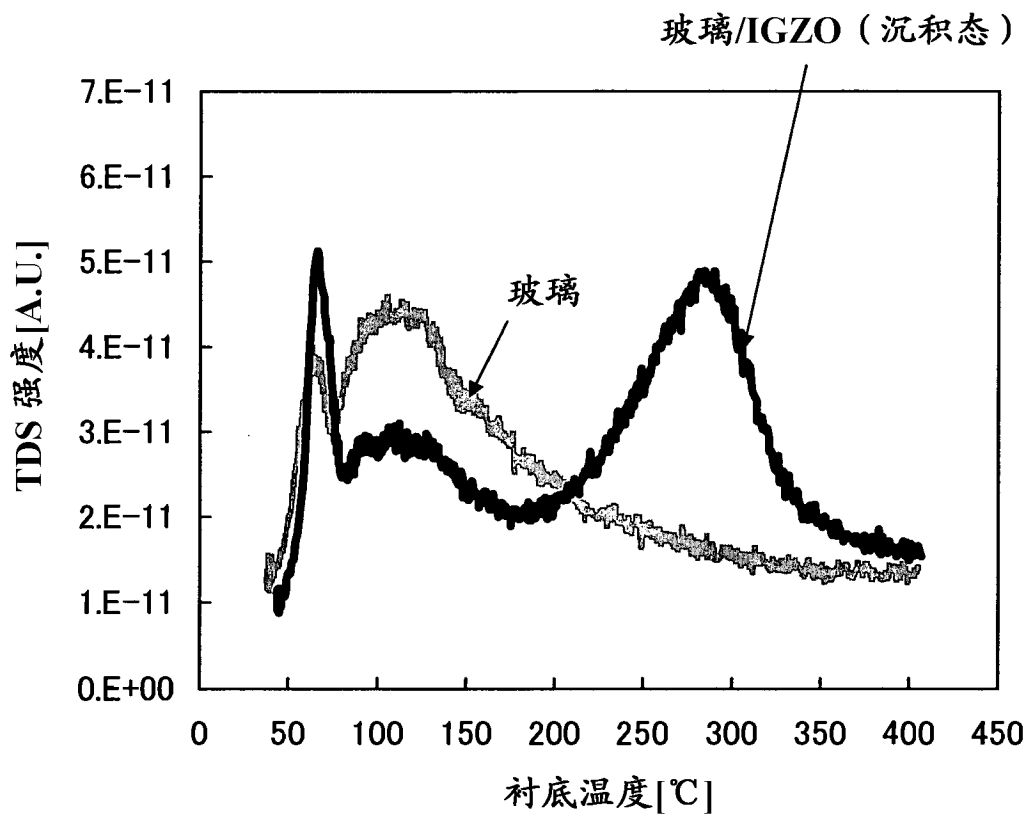


图 37

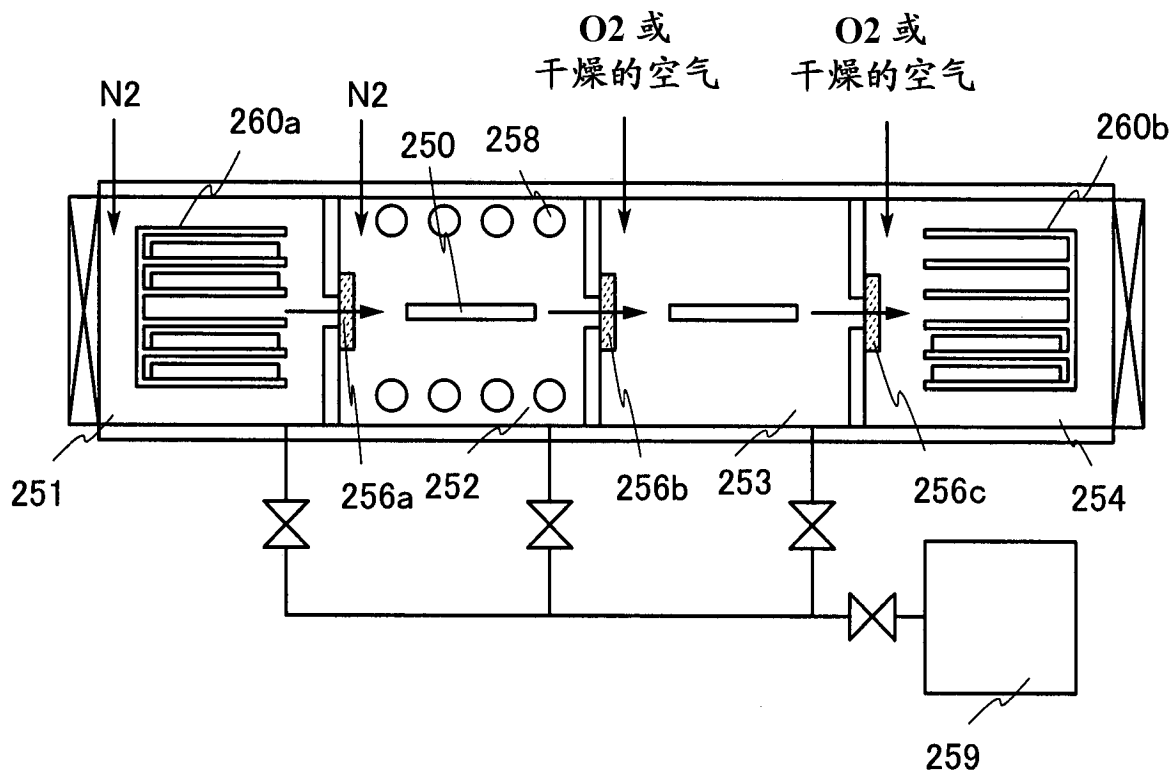


图 38

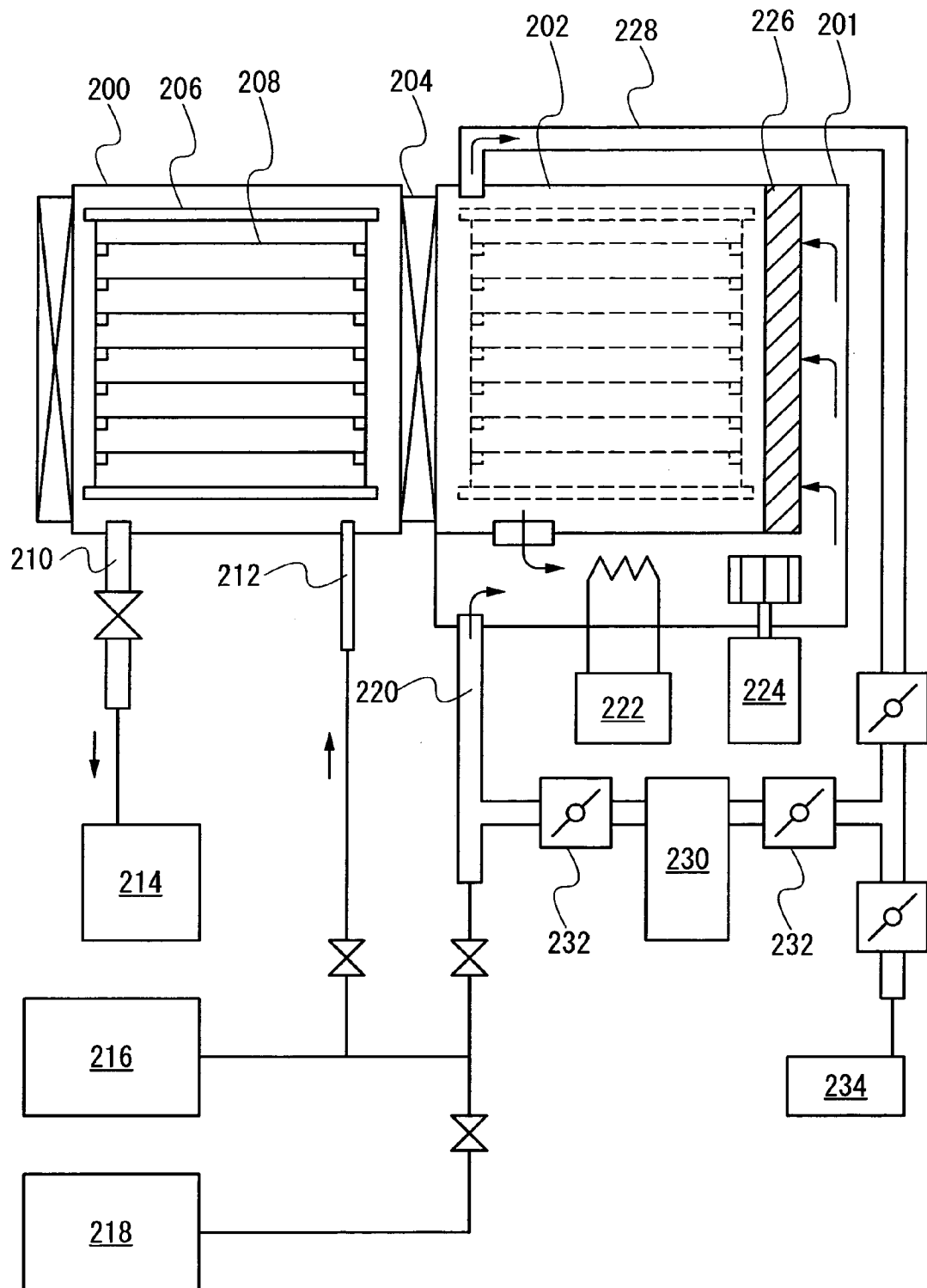


图 39

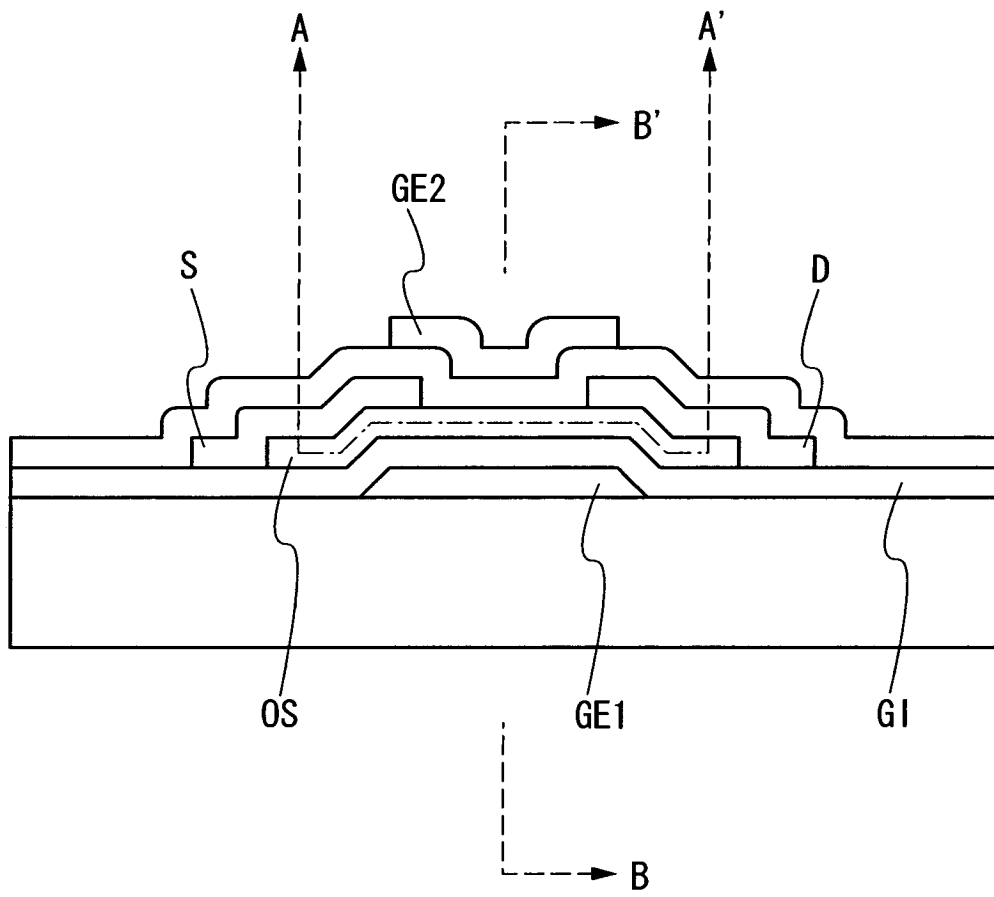


图 40

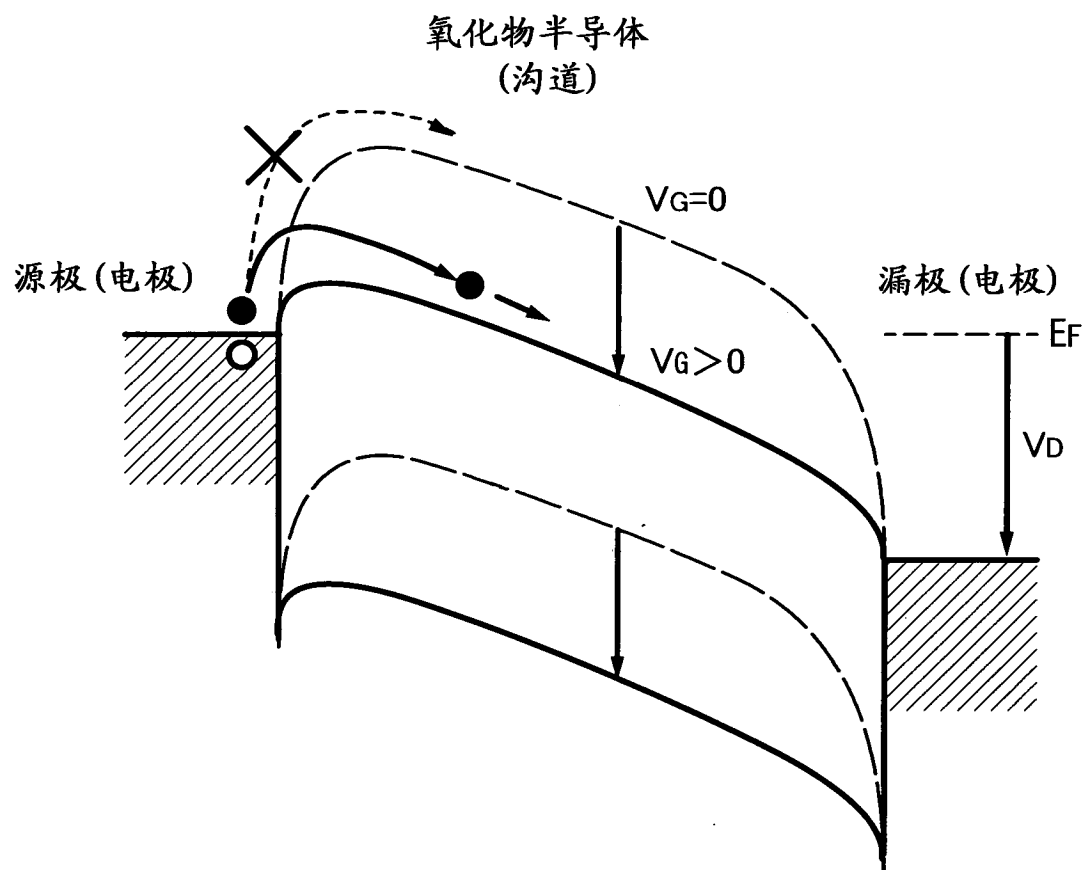


图 41

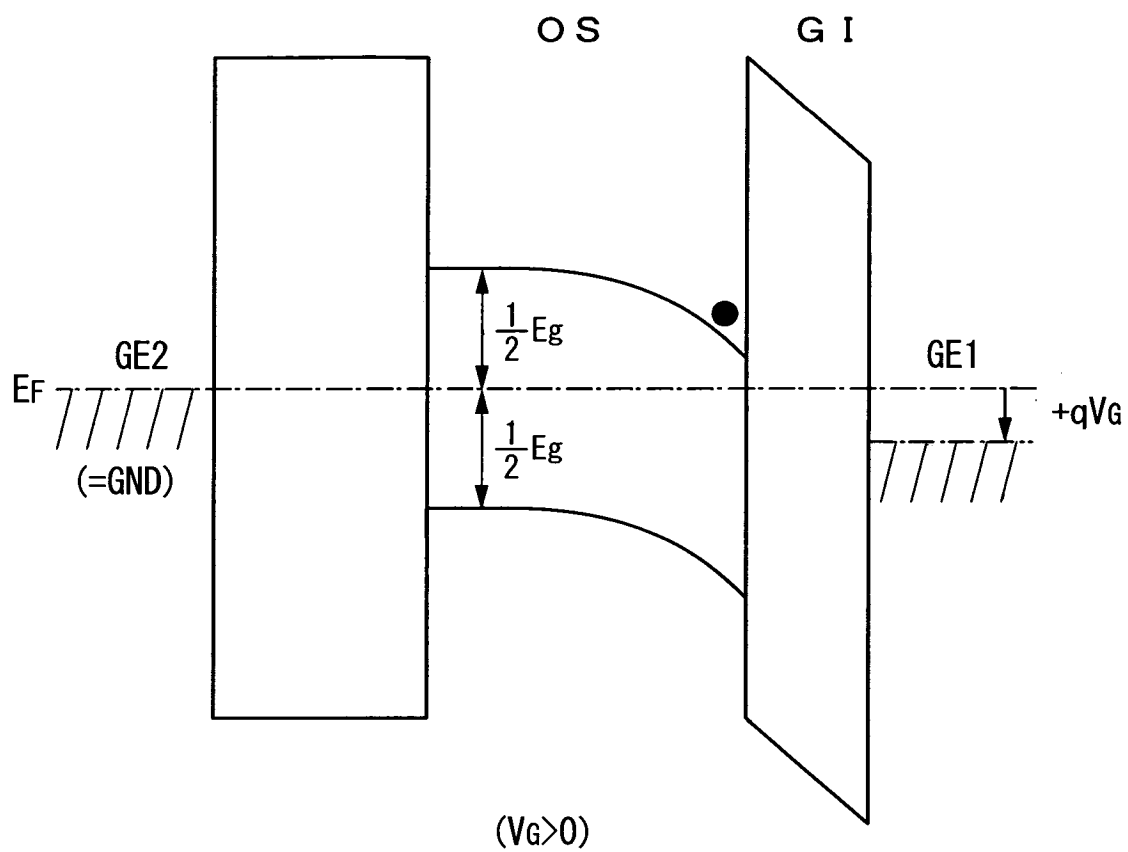


图 42A

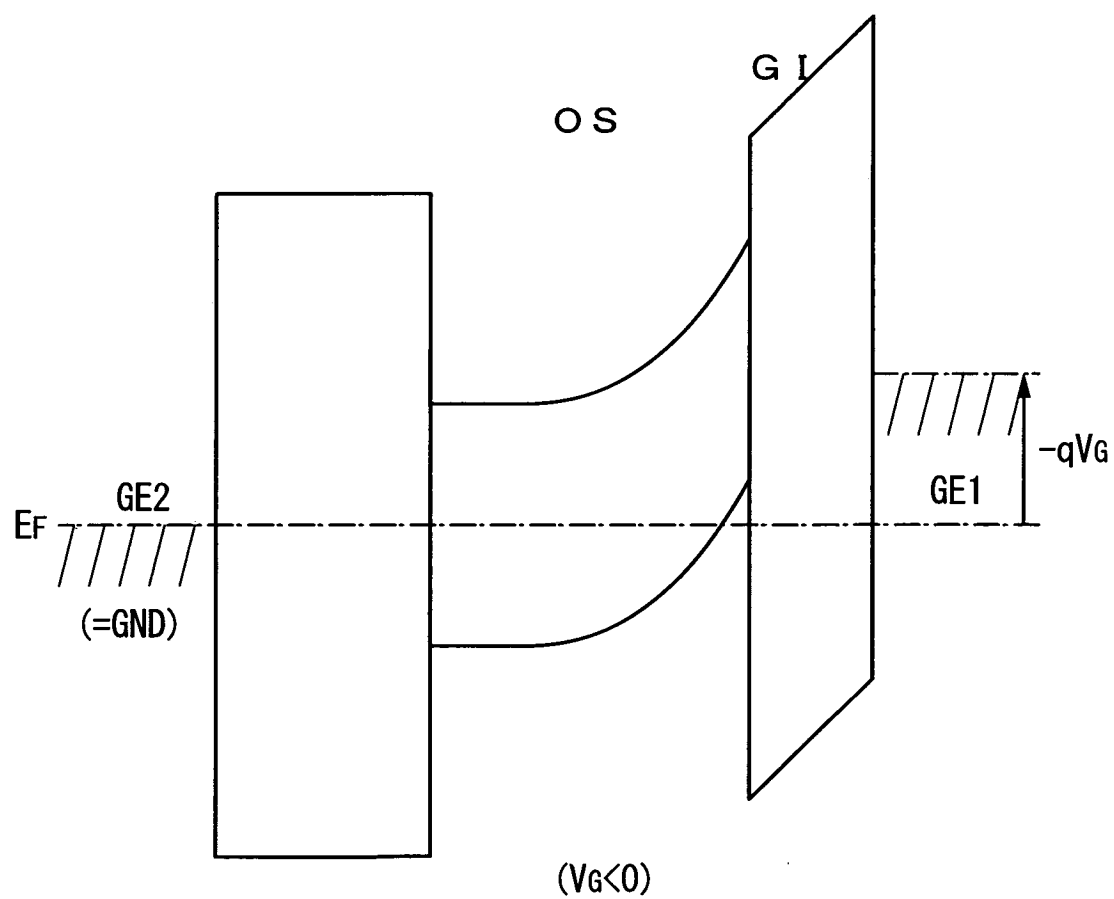


图 42B

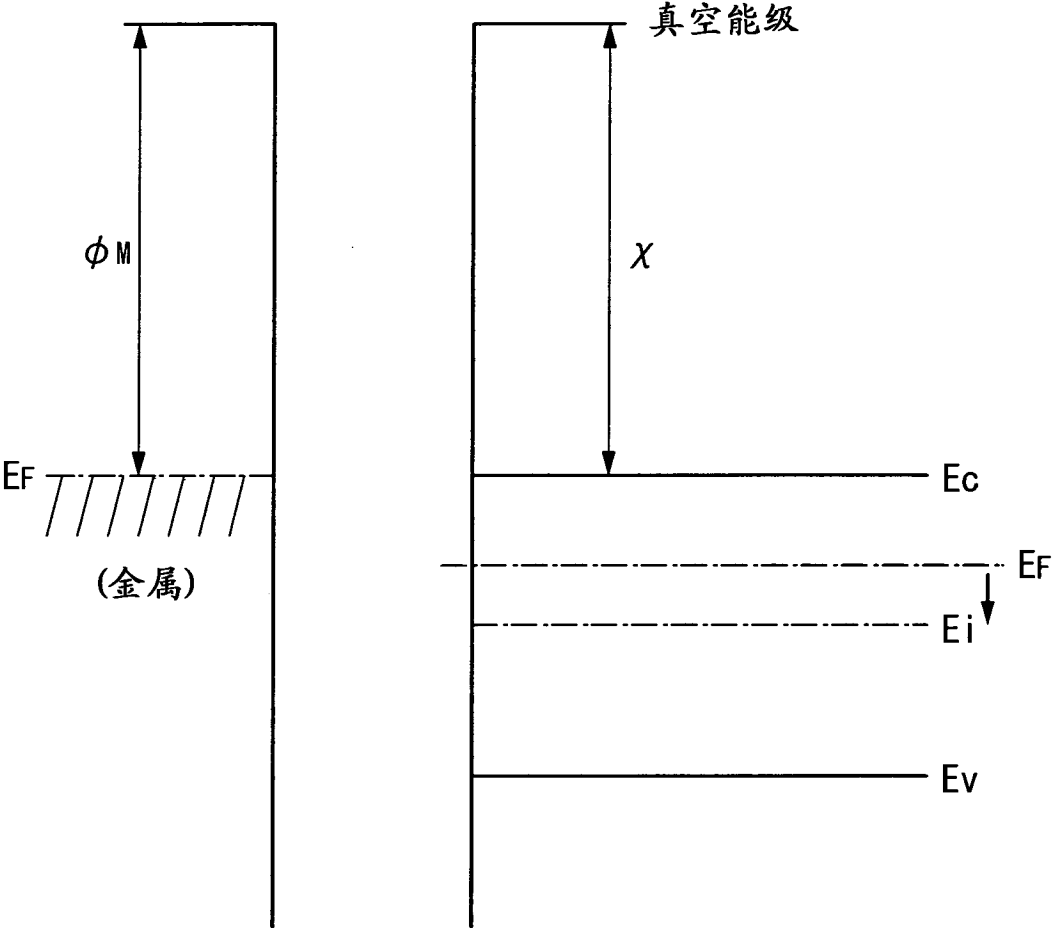


图 43

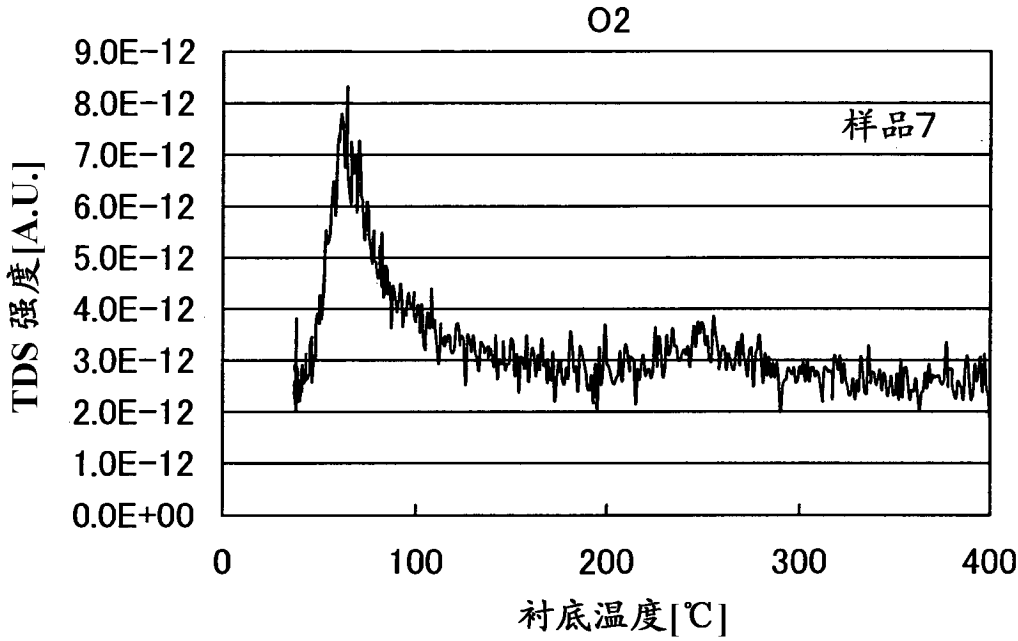


图 44A

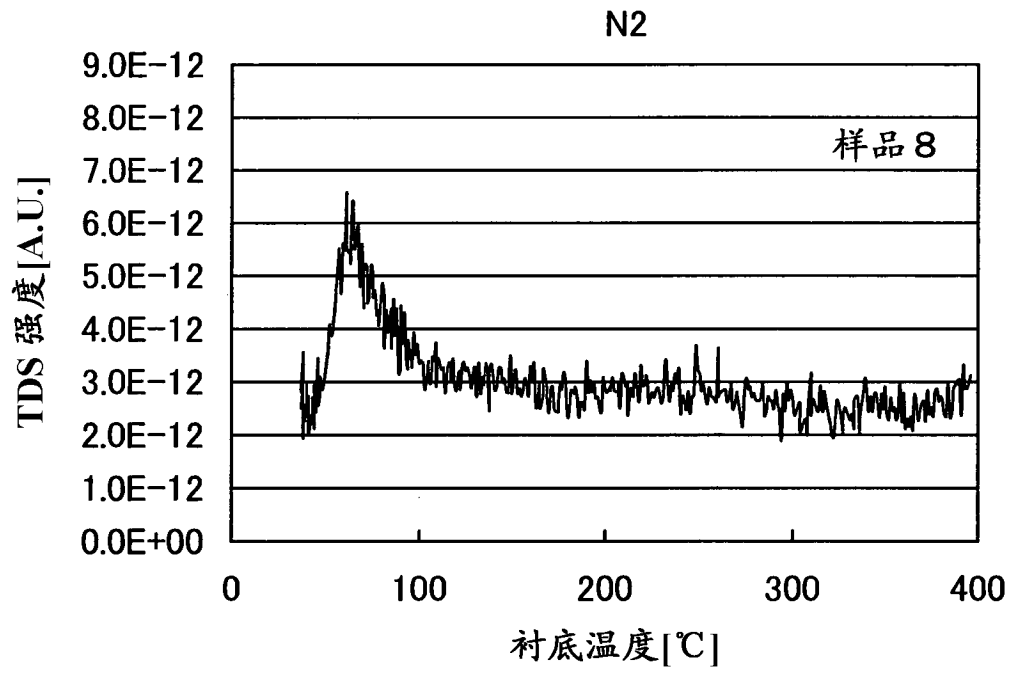


图 44B

### 参考标号

10: 脉冲输出电路, 11: 布线, 12: 布线, 13: 布线, 14: 布线, 15: 布线, 16: 布线, 17: 布线, 21: 输入端子, 22: 输入端子, 23: 输入端子, 24: 输入端子, 25: 输入端子, 26: 输出端子, 27: 输出端子, 31: 晶体管, 32: 晶体管, 33: 晶体管, 34: 晶体管, 35: 晶体管, 36: 晶体管, 37: 晶体管, 38: 晶体管, 39: 晶体管, 40: 晶体管, 41: 晶体管, 51: 电源线, 52: 电源线, 53: 电源线, 61: 期间, 62: 期间, 100: 衬底, 101: 栅电极层, 102: 栅绝缘层, 103: 氧化物半导体层, 105a: 源电极层或漏电极层, 105b: 源电极层或漏极层, 107: 绝缘层, 108: 电容器布线, 110: 像素电极层, 121: 端子, 122: 端子, 125: 接触孔, 126: 接触孔, 127: 接触孔, 128: 透明导电膜, 129: 透明导电膜, 132: 导电膜, 133: 氧化物半导体层, 134: 氧化物半导体层, 150: 端子, 151: 端子, 152: 栅绝缘层, 153: 连接电极层, 154: 保护绝缘膜, 155: 透明导电膜, 156: 电极层, 170: 薄膜晶体管, 200: 衬底卡匣传递室, 201: 热处理室, 202: 清洗槽, 204: 闸阀, 206: 衬底卡匣, 208: 衬底, 210: 排空管, 212: 供气管, 214: 排真空单元, 220: 供气管, 222: 加热器, 224: 风扇, 226: 滤波器, 228: 排空管, 230: 气体提纯设备, 232: 管道, 234: 排空单元, 250: 衬底,

参考标号1

251: 加载室, 252: 处理室, 253: 处理室, 254: 卸载室, 256a: 遮挡板, 256b: 遮挡板, 256c: 遮挡板, 258: 灯光源, 259: 排真空单元, 260a: 衬底卡匣, 260b: 衬底卡匣, 300: 衬底, 330: 氧化物半导体膜, 331: 氧化物半导体层, 391: 栅电极层, 392: 氧化物半导体层, 394: 衬底, 395a: 源电极层, 395b: 漏电极层, 400: 衬底, 401: 栅电极层, 402: 栅绝缘层, 403: 氧化物半导体层, 404a: 源区或漏区, 404b: 源区或漏区, 405a: 源电极层, 405b: 漏电极层, 407: 绝缘层, 409: 导电层, 410: 绝缘层, 411: 像素电极层, 419: 导电层, 430: 氧化物半导体层, 450: 衬底, 451: 栅电极层, 452: 栅绝缘层, 453: 氧化物半导体层, 455a: 源电极层或漏电极层, 455b: 源电极层或漏极层, 457: 绝缘层, 460: 薄膜晶体管, 470: 薄膜晶体管, 471: 薄膜晶体管, 472: 薄膜晶体管, 473: 薄膜晶体管, 483: 氧化物半导体层, 494: 薄膜晶体管, 495: 半导体层, 496: 沟道形成区, 497a: 高电阻源区, 497b: 高电阻漏区, 499: 保护绝缘层, 580: 衬底, 581: 薄膜晶体管, 583: 绝缘膜, 585: 绝缘层, 587: 电极层, 588: 电极层, 589: 球形粒子, 590a: 黑色区域, 590b: 白色区域, 594: 空腔, 595: 填充物, 601: 电炉, 602: 室, 603: 加热器, 604: 衬底, 605: 基座, 606: 气体供应单元, 607: 排空单元, 611a: 气体供应源, 611b:

参考标号2

气体供应源, 612a: 压力调整阀, 612b: 压力调整阀, 613a: 提纯设备, 613b: 提纯设备, 614a: 质量流控制器, 614b: 质量流控制器, 615a: 截止阀, 615b: 截止阀, 650: 薄膜晶体管, 653: 保护绝缘层, 656: 氧化物绝缘层, 1400: 衬底, 1401: 栅电极层, 1402: 栅绝缘层, 1403: 氧化物半导体层, 1405a: 源电极层, 1405b: 漏电极层, 1407: 绝缘层, 1408: 绝缘层, 1409: 导电层, 1418: 沟道保护层, 1430: 薄膜晶体管, 1431: 薄膜晶体管, 1432: 薄膜晶体管, 1470: 薄膜晶体管, 2600: TFT 衬底, 2601: 对衬底, 2602: 密封材料, 2603: 像素部分, 2604: 显示元件, 2605: 着色层, 2606: 起偏振片, 2607: 起偏振片, 2608: 布线电路部分, 2609: 柔性线路板, 2610: 冷阴极管, 2611: 反射片, 2612: 电路衬底, 2613: 扩散片, 2631: 海报, 2700: 电子书阅读器, 2701: 壳体, 2703: 壳体, 2705: 显示部分, 2707: 显示部分, 2711: 铰链, 2721: 电源开关, 2723: 操作按键, 2725: 扬声器, 4001: 衬底, 4002: 像素部分, 4003: 信号线驱动器电路, 4004: 扫描线驱动器电路, 4005: 密封材料, 4006: 衬底, 4008: 液晶层, 4010: 薄膜晶体管, 4011: 薄膜晶体管, 4013: 液晶元件, 4015: 连接端子电极, 4016: 端子电极, 4018: FPC, 4019: 各向异性导电膜, 4021: 绝缘层, 4030: 像素电极层, 4031: 对电极层, 4032: 绝缘层,

参考标号3

4040: 导电层, 4041: 绝缘层, 4042: 保护绝缘层, 4501: 衬底, 4502: 像素部分, 4503a: 信号线驱动器电路, 4503b: 信号线驱动器电路, 4504a: 扫描线驱动器电路, 4504b: 扫描线驱动器电路, 4505: 密封材料, 4506: 衬底, 4507: 填充物, 4509: 薄膜晶体管, 4510: 薄膜晶体管, 4511: 发光元件, 4512: 电致发光层, 4513: 电极, 4515: 连接端子电极, 4516: 端子电极, 4517: 电极, 4518a: FPC, 4518b: FPC, 4519: 各向异性导电膜, 4520: 隔壁, 4540: 导电层, 4542: 绝缘层, 4543: 覆盖层, 4544: 绝缘层, 4545: 滤色器层, 4550: 布线层, 4551: 绝缘层, 5300: 衬底, 5301: 像素部分, 5302: 扫描线驱动器电路, 5303: 扫描线驱动器电路, 5304: 信号线驱动器电路, 5305: 定时控制电路, 5601: 移位寄存器, 5602: 开关电路, 5603: 薄膜晶体管, 5604: 布线, 5605: 布线, 6400: 像素, 6401: 开关晶体管, 6402: 驱动器晶体管, 6403: 电容器, 6404: 发光元件, 6405: 信号线, 6406: 扫描线, 6407: 电源线, 6408: 公共电极, 652a: 栅绝缘层, 652b: 栅绝缘层, 7001: TFT, 7002: 发光元件, 7003: 阴极, 7004: 发光层, 7005: 阳极, 7011: 驱动器 TFT, 7012: 发光元件, 7013: 阴极, 7014: 发光层, 7015: 阳极, 7016: 遮光膜, 7017: 导电膜, 7021: 驱动器 TFT, 7022: 发光元件, 7023: 阴极, 7024: 发光层, 7025: 阳极,

参考标号4

7027: 导电膜, 9201: 显示部分, 9202: 显示按钮, 9203: 操作开关, 9205: 调整部分, 9206: 照相装置部分, 9207: 扬声器, 9208: 话筒, 9301: 顶部壳体, 9302: 底部壳体, 9303: 显示部分, 9304: 键盘, 9305: 外部连接端口, 9306: 指针装置, 9307: 显示部分, 9600: 电视机, 9601: 壳体, 9603: 显示部分, 9605: 支架, 9607: 显示部分, 9609: 操作按键, 9610: 遥控器, 9700: 数码相框, 9701: 壳体, 9703: 显示部分, 9881: 壳体, 9882: 显示部分, 9883: 显示部分, 9884: 扬声器部分, 9885: 操作按键, 9886: 记录介质插入部分, 9887: 连接端子, 9888: 传感器, 9889: 话筒, 9890: LED 灯, 9891: 壳体, 9893: 接合部分, 9900: 投币式游戏机, 9901: 壳体, 9903: 显示部分。

参考标号5