

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4131786号
(P4131786)

(45) 発行日 平成20年8月13日(2008. 8. 13)

(24) 登録日 平成20年6月6日(2008. 6. 6)

(51) Int. Cl.	F I
HO 1 L 21/768 (2006. 01)	HO 1 L 21/90 M
HO 1 L 23/522 (2006. 01)	HO 1 L 21/90 P
HO 1 L 21/027 (2006. 01)	HO 1 L 21/30 5 7 7
HO 1 L 21/312 (2006. 01)	HO 1 L 21/312 N

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2001-266264 (P2001-266264)	(73) 特許権者	000003078
(22) 出願日	平成13年9月3日(2001. 9. 3)		株式会社東芝
(65) 公開番号	特開2003-78005 (P2003-78005A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年3月14日(2003. 3. 14)	(74) 代理人	100083806
審査請求日	平成17年3月14日(2005. 3. 14)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法およびウエハ構造体

(57) 【特許請求の範囲】

【請求項 1】

ウエハ上に第1の低誘電率膜を配置し、前記第1の低誘電率膜のエッジが、ウエハ円周に沿った第1エッジ位置に一致するように形成するステップと、

前記第1の低誘電率膜よりもガス透過率の低い第1保護膜を、前記第1の低誘電率膜上、前記第1の低誘電率膜のエッジ上、および前記ウエハ上にそれぞれ接して配置し、前記第1保護膜のエッジが、前記第1エッジ位置より外側の第2エッジ位置と一致するように形成するステップと、

前記第1保護膜上に第2の低誘電率膜を配置し、前記第2の低誘電率膜のエッジが、前記第1エッジ位置に一致するように形成するステップと、

前記第2の低誘電率膜よりもガス透過率の低い第2保護膜により前記第2の低誘電率膜上および前記第2の低誘電率膜のエッジ上を覆い、前記第2保護膜のエッジを前記第2エッジ位置と一致するように形成するステップと

を含むことにより、前記ウエハ上のすべての低誘電率膜上及びエッジ上を、前記低誘電率膜のそれぞれよりもガス透過率の低い保護膜でそれぞれ覆うとともに、前記すべての低誘電率膜のエッジを、前記第2エッジ位置よりも内側に配置することを特徴とする半導体装置の製造方法。

【請求項 2】

前記第1の低誘電率膜に配線パターンを形成するステップをさらに含み、前記第2エッジ位置は、前記配線パターンの形成に使用するレジストのエッジカット位置に一致するこ

10

20

とを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

ウエハ上に誘電率 $k < 3$ である第 1 の低誘電率膜を形成するステップと、
前記第 1 の低誘電率膜のエッジを、ウエハ円周に沿った第 1 のエッジカット位置でカットするステップと、
前記第 1 の低誘電率膜よりもガス透過率の低い第 1 保護膜を、前記第 1 の低誘電率膜上、前記第 1 の低誘電率膜のエッジ上、および前記ウエハ上にそれぞれ接して形成するステップと、
前記第 1 保護膜のエッジを、前記第 1 のエッジカット位置より外側の第 2 のエッジカット位置でカットするステップと、
前記第 1 保護膜上に $k < 3$ の第 2 の低誘電率膜を形成し、当該第 2 の低誘電率膜のエッジを前記第 1 のエッジカット位置でカットするステップと、
前記第 2 の低誘電率膜よりもガス透過率の低い第 2 保護膜により前記第 2 の低誘電率膜上および前記第 2 の低誘電率膜のエッジ上を覆うステップと、
前記第 2 保護膜のエッジを第 2 のエッジカット位置でカットするステップと
を含むことにより、前記ウエハ上のすべての低誘電率膜上及びエッジ上を、前記低誘電率膜のそれぞれよりもガス透過率の低い保護膜でそれぞれ覆うとともに、前記すべての低誘電率膜のエッジを、前記第 2 エッジカット位置よりも内側でカットすることの特徴とする半導体装置の製造方法。

10

【請求項 4】

前記第 1 の低誘電率膜に配線パターンを形成するステップをさらに含み、前記第 2 のエッジカット位置は、前記配線パターンの形成に使用するレジストのエッジカット位置に一致することの特徴とする請求項 3 に記載の半導体装置の製造方法。

20

【請求項 5】

前記第 1 保護膜を形成する前に、前記第 1 の低誘電率膜からガス抜きを行うステップをさらに含むことの特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

ウエハと、
前記ウエハ上に位置し、そのエッジが、前記ウエハの円周に沿った第 1 エッジカット位置に位置する第 1 の低誘電率膜と、
前記第 1 の低誘電率膜上、前記第 1 の低誘電率膜のエッジ上、および前記ウエハ上にそれぞれ接して配置され、エッジが、前記第 1 エッジカット位置よりも外側の第 2 エッジカット位置に位置し、且つ前記第 1 の低誘電率膜よりもガス透過率が低い第 1 保護膜と、
前記第 1 保護膜上に位置し、エッジが、前記第 1 エッジカット位置に位置する第 2 の低誘電率膜と、
前記第 2 の低誘電率膜上および前記第 2 の低誘電率膜のエッジ上を覆い、エッジが、前記第 2 エッジカット位置に位置し、前記第 2 の低誘電率膜よりもガス透過率が低い第 2 保護膜と
を備え、
前記ウエハ上のすべての低誘電率膜上及びエッジ上が、前記低誘電率膜のそれぞれよりもガス透過率の低い保護膜でそれぞれ覆われるとともに、前記すべての低誘電率膜のエッジが、前記第 2 エッジカット位置より内側にあることを特徴とするウエハ構造体。

30

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、多層配線の層間絶縁膜に Low- k （低誘電率）膜を使用した半導体装置の製造方法およびウエハ構造体に関する。

【0002】

【従来の技術】

50

集積回路の高集積化、微細化に伴い、配線間の寄生容量の低減を図るため、層間絶縁膜として低誘電率のLow-kが用いられるようになってきている。特に、デザインルールが0.25 μm より後の世代では、デバイスの高速化の点から、比誘電率kの値が3より小さい材料を用いる低誘電率化が要求されている。

【0003】

従来、kが4～5程度の層間絶縁膜はCVD等で形成され、膜自体の密度が比較的高く、外気透過性が低かった。したがって、すべての多層配線を形成した後に、パッシベーション膜として、同じく外気透過性の低いSiN膜等で保護しておけば、層間絶縁膜の後発的な誘電率の上昇を招くという問題は発生しなかった。

【0004】

しかし、kの値をより小さくしたLow-k膜は、一般に膜密度が低く、外気の影響を受けやすい。k<3になると、膜の中に外気が侵入しやすく、侵入してきた外気に含まれる水分を吸収すると、膜本来の低誘電率性が損なわれる。したがって、図7(a)に示すような多層構造において、層間絶縁膜としてLow-k膜103、105を使用する場合は、レイヤごとにLow-k膜のガス抜きを行ったうえで、外気を遮断する保護膜104でLow-k膜103を覆う必要がある。

【0005】

たとえレイヤごとに保護膜104でLow-k膜を保護したとしても、図7(b)に示すようにウエハ101の外周近傍のケアが不足すると、ウエハ外周近傍でLow-k膜103、105の側壁が露出し、そこから外気が侵入するおそれがある。通常、Low-k膜103、105をウエハ上に堆積する場合、ウエハ外周に沿って、たとえば矢印aで示す位置でそのエッジをカットするのであるが、このLow-k膜103、105のカット面である側壁の手当てがされていない場合に、外気侵入による誘電率の上昇が生じる。

【0006】

そこで近年、図8に示すように、Low-k膜のエッジカットを上層に行くほど外側に設定することが提案されている。すなわち、図8(a)に示すように、第1層目のLow-k膜103のエッジを矢印aの位置でカットし、その上面および側壁を外気遮断保護膜104で覆う。次に2番目のLow-k膜105のエッジを矢印a'の位置でカットし、その上面および側壁を外気遮断保護膜107で覆う。このように、順次Low-k膜の上面および側壁を覆いつつ外側に拡げることによって、外気の侵入は防止することができる。

【0007】

【発明が解決しようとする課題】

しかし、半導体装置がどんどん多層化していくことを考えると、最初のLow-k膜のエッジカット位置を、ウエハの非常に内側に取らなくてはならない。その場合、チップの有効面積が狭められ、積層される層の数が多くなるほど、チップの有効面積の減少は著しくなる。現状では、一層あたり約0.5mmずつエッジカットを外側にずらしているため、たとえば10層のチップを製造する場合に、最初のLow-k膜のエッジ(円周)を、通常のエッジ位置から5mm以上内側に設定する必要がある。

【0008】

また、Low-k膜のエッジカット位置を外側に拡げてゆくと、その上に形成する配線102や、層間配線(またはVIA)106をパターンニングするための露光プロセス(PEP: photo exposure process)におけるレジストのエッジカット位置も、外側に拡張する必要がある。図8(b)に示すように、レジストのエッジカット位置“b”が、外側のLow-k膜のエッジカット位置a'と同位置もしくは内側にあると、せっかく形成した保護膜104が配線パターンとともにエッチングされ、Low-k膜の側壁が剥き出しになってしまうからである。PEPのエッジカット位置bを、レイヤごとに外側へ変化させていくのは、マスクの設計、作成工程にまで影響を及ぼし、装置全体の製造工程の著しい複雑化を招く。

【0009】

そこで、本発明は、k<3のLow-k膜を層間絶縁膜に使用する場合に、チップの有効

10

20

30

40

50

面積を低減させることなく、外気の影響による誘電率の上昇を防止することのできる半導体装置の製造方法と、ウエハ構造を提供する。

【0010】

【課題を解決するための手段】

本発明では、チップの有効面積を最大に維持したまま、Low-k膜への外気の侵入を防止する。これを実現するために、Low-k膜のエッジカット位置を、常にPEPレジストのエッジカット位置よりも内側に設定し、かつ、少なくとも2層のLow-k膜のエッジカット位置をほぼ一定位置に維持する。

【0011】

本明細書中において、「ウエハ上」に、あるいは「膜上」という表現は、下地になる層の表面を基準にした相対的な位置関係を意味するものであり、直接接触による層の上下関係のみを意味するものではない。したがって、間に1以上の層が介在する場合であっても、「ウエハ上」あるいは「膜上」という表現を用いることとする。

10

【0012】

本発明の半導体装置の製造方法は、ウエハ上に $k < 3$ の第1の低誘電率膜を、そのエッジが、ウエハ円周に沿った第1のエッジ位置に一致するように形成する。次に、第1の低誘電率膜よりもガス透過率の低い第1保護膜を、そのエッジが、第1エッジ位置より外側の第2エッジ位置と一致するように、第1低誘電率膜およびウエハ上に形成する。最後に、第1保護膜上に、第2の低誘電率膜を、そのエッジが第1エッジ位置に一致するように形成する。

20

【0013】

別の側面では、半導体装置の製造方法は、ウエハ上に $k < 3$ の第1低誘電率膜を形成し、第1低誘電率膜のエッジをウエハの円周に沿った第1のエッジカット位置でカットする。次に、第1低誘電率膜よりもガス透過率の低い第1保護膜で、ウエハおよび低誘電率膜を覆う。次に、第1保護膜のエッジを、第1のエッジカット位置より外側の第2のエッジカット位置でカットする。最後に、第1保護膜上に第2低誘電率膜を形成し、第2低誘電率膜のエッジを前記第1のエッジカット位置でカットする。

【0014】

いずれの製造方法においても、さらに積層を進める場合も、保護膜のエッジカット位置を、低誘電率膜のエッジよりも常に外側になるように一定位置に保つ。この場合、第2のエッジカット位置は、低誘電率膜上に配線パターンを形成するために使用するレジストのPEP（露光工程）エッジカット位置に一致させる。したがって、各層でPEPエッジカット位置を調整しながら低誘電率膜を保護する必要がなく、製造工程が簡便になる。

30

【0015】

低誘電率膜のエッジ位置である第1エッジカット位置は、各レイヤにおいて、保護膜のエッジ位置である第2エッジカット位置より内側で、ほぼ一定位置に揃うように形成するのが好ましい。しかしこれに限られず、保護膜の第2エッジカット位置の内側にある限り、少なくとも2つの低誘電率膜のエッジが一定位置で揃うように形成してもよい。

【0016】

本発明の別の側面では、ウエハ構造は、以下を備える。

40

【0017】

(イ) ウエハ、

(ロ) ウエハ上に位置し、そのエッジが、ウエハの円周に沿った第1エッジカット位置に位置する第1低誘電率膜、

(ハ) 第1低誘電率膜上に位置し、そのエッジが、第1エッジカット位置よりも外側の第2エッジカット位置に位置する第1保護膜、および

(ニ) 第1保護膜上に位置し、そのエッジが、前記第1エッジカット位置に位置する第2低誘電率膜。

【0018】

第1保護膜は、第1の低誘電率膜よりもガス透過性が低い。逆に言えば、第1の低誘電率

50

膜よりも気密性が高く、外気が第1の低誘電率膜に侵入することを防止する。第1保護膜は、たとえば、 SiN 、 SiC 、 SiO_2 、 SiOC 、 SiOF 、 SiON などのCVD層である。

【0019】

本発明のさらに別の側面では、ウエハ構造は、

(イ) ウエハと、

(ロ) ウエハ上に積層された複数の低誘電率膜と、

(ハ) 低誘電率膜の各々を覆い、そのエッジが、対応する低誘電率膜のエッジよりも外側に位置するように、ほぼ一定位置に位置する外気遮断保護膜とを備え、少なくとも2つの低誘電率膜のエッジカット位置がほぼ一致する。

10

【0020】

いずれのウエハ構造においても、低誘電率膜が外気を吸収して誘電率が後発的に上昇することを防止できる。また、ウエハ上のチップ有効面積を最大にすることができる。

【0021】

本発明のその他の特徴、効果は、以下で図面を参照して述べる詳細な説明により、いっそう明確になるものである。

【0022】

【発明の実施の形態】

<第1実施形態>

図1および2は、本発明の第1実施形態に係る半導体装置の製造方法の一例を示す図である。本発明は、半導体装置の製造工程中、特にウエハ上への配線パターンと形成と、比誘電率 $k < 3$ のLow-k膜を使用した層間絶縁膜の積層工程に良好に適用される。

20

【0023】

第1実施形態の半導体装置の製造方法においては、何層に積層されようとも、 $k < 3$ のLow-k材料を用いた層間絶縁膜のエッジカット位置（第1エッジカット位置）を、ほぼ一定位置に維持し、かつ、層間絶縁膜上に配線パターンを形成する露光プロセス（PEP）で使用するレジストのエッジカット位置（第2エッジカット位置）を、Low-k膜のエッジカット位置よりも外側のほぼ一定位置に維持する。これにより、Low-k膜を外気から保護するためにLow-k膜上に形成した外気遮断保護膜のエッジ位置が、PEPレジストのエッジカット位置と一致することになり、常に、Low-k膜のエッジ位置よりも外側に位置する。したがって、Low-k膜の側壁が露出することはなく、外気の侵入を防止することができる。

30

【0024】

図1および2を参照して、第1実施形態に係る半導体装置の製造方法を、より具体的に説明する。図2は図1(d)から引き続く工程を示すものであり、図1および2で一連の製造工程を表わす。

【0025】

(a) まず、図1(a)に示すように、ウエハ11上に $k < 3$ のLow-k膜13を、そのエッジ位置が、矢印aで示される位置（第1のエッジカット位置）に位置するように成膜する。第1実施形態では、たとえばメチルシロキサン（ SiO_2-CH_3 ）をスピンコートすることにより、Low-k膜13を形成する。しかし、この例に限定されるわけではなく、任意のポリメチルシロキサンや、低誘電率無機SOG材料であるHSQ（hydrogen silsesquioxane）を用いて、Low-k膜13を形成してもよい。Low-k膜13のエッジ位置の制御は、たとえば図3に示すように、ノズルによるエッジカット制御により行う。

40

【0026】

すなわち、図3(a)に示すように、ノズル31から $k < 3$ のILD（Inter-level Dielectric）材料の溶剤32をウエハ11に滴下し、ウエハ11を回転させて全面に均一に塗布する。その後、図3(b)に示すように、ウエハ11を回転させながら、ウエハ外周に沿ってエッジカットを行う位置に、ILD溶剤32を溶かす薬液（たとえばシンナー）3

50

4をノズル33から噴出し、ウエハ11の周辺部に塗布されたILD溶剤32を、ウエハ周縁からエッジカット位置aの範囲まで溶かして除去する。このようにして、Low-k膜13のエッジ位置を、矢印aに一致させる。

【0027】

(b)次に、図1(b)に示すように、Low-k膜13およびウエハ11を覆ってフォトレジスト14を塗布し、配線溝15を形成するとともに、フォトレジスト14のエッジ部分を、矢印b(第2のエッジカット位置)に一致するようにカットする。より具体的には、図4(a)に示すように、ウエハ11およびLow-k膜13上にレジスト溶剤を滴下し、ウエハ11を回転させて全面に均一にレジスト14を塗布する。その後、レジスト14の膜安定化のための熱処理を行った後、ウエハ11を回転させながら、ウエハ外周に沿ってエッジカットを行う部分を、光源35で照射する。次に、図4(b)に示すように、通常の方法で、レジスト14上にパターン39を露光した後、ノズル37で現像液38を滴下し、感光した部分のレジストを溶解させて除去する。このとき、パターン形成と同時に、先に露光したレジスト周辺部のエッジ部分も、第2のエッジカット位置bまで除去される。この例では、感光した部分が溶融するポジ型レジストを用いているが、ネガ型レジストと、ウエハ周辺部およびパターン部を覆うレチクルを用いて、パターン形成とレジストのエッジカットとを同時に行ってもよい。パターニングしたレジストをマスクにして、下層の第1のLow-k膜13にRIEなどにより配線パターンを形成する。

【0028】

(c)次に、図1(c)に示すように、レジスト14を除去した後、スパッタリング、メッキ、CMP等のプロセスにより、配線溝15にたとえばCuを埋め込み、表面を平坦化してダマシン配線16を形成する。その後、Low-k膜13を外気から遮断するために、全面に外気遮断保護膜17を形成する。外気遮断保護膜17は、たとえばプラズマCVDにより、SiN膜、SiC膜、SiO₂膜、SiOC膜、SiOF膜、SiON膜等として形成する。外気遮断保護膜17を成膜する前処理として、in-situで高温真空アニールし、Low-k膜13中からデガス(ガス抜き)を行うのが好ましい。その後、真空をやぶらずに連続して外気遮断保護膜17を成膜することで、Low-k膜13中に水分を含む気泡が残ることを排除する。その後、外気遮断保護膜17上に第2のLow-k膜19をスピコートし、そのエッジを矢印aの位置(第1エッジカット位置)でカットする。チップの有効面積を最大にするためには、第2のLow-k膜19のエッジ位置を、下層にある第1のLow-k膜13のエッジ位置と揃えるのが好ましいが、第2エッジカット位置より内側にある限り、第1エッジカット位置を基準にして多少の内外へのずれがあってもかまわない。

【0029】

(d)次に、図1(d)に示すように、第2のLow-k膜19上に再度フォトレジスト14を塗布し、図1(b)の工程と同様に、Viaや層間配線溝の露光を行う。パターン露光に先立ち、図4(a)のように、エッジカット位置bでエッジカット用に露光しておく。その後、レジスト14をマスクにして、RIE法などにより、Viaや配線溝18を加工する。PEPレジストのエッジカットを下層と同様に矢印bの位置に一致させることにより、RIE工程で除去されることになる外気遮断保護膜17のエッジも、PEPのエッジカット位置bに一致する。これにより、第1のLow-k膜13の側壁を露出させることなく、配線パターンの溝18を形成することができる。

【0030】

(e)次に、図2(e)に示すように、レジスト14を除去し、Viaまたは配線溝18をAl等で埋め込み、表面を平坦化して、層間配線20を形成する。このとき第1のlow-k膜13は外気遮断保護膜17で保護されているので、Low-k膜13を外気の侵入から保護し、誘電率を低く維持したまま層間配線20を形成することができる。

【0031】

(f)次に、図2(f)に示すように、上述した工程(c)~(e)を繰り返し、第2の外気遮断保護膜21、第3のLow-k膜23を形成し、3番目の層に層間配線20を形

10

20

30

40

50

成し、デガス処理後、第3の外気遮断保護膜24を形成する。さらに順次多層化していく場合でも、外気遮断保護膜のエッジ部は、PEPレジストのエッジカット位置bに一致し、かつ、Low-k膜のエッジは常にPEPエッジカット位置の内側にある。これにより、Low-k膜の低誘電率性は効果的に維持され、寄生容量の発生を防止し、デバイスの動作特性を良好に維持する。

【0032】

図2(f)に示すウエハ構造体10は、ウエハ11と、ウエハ11上に位置し、そのエッジが第1エッジカット位置aに位置する第1のLow-k膜13と、第1のLow-k膜13上に位置し、そのエッジが、第1エッジカット位置aよりも外側の第2エッジカット位置bに位置する第1保護膜17と、第1保護膜17上に位置し、そのエッジが、前記第1エッジカット位置aに一致する第2あるいは第3のLow-k膜19、23を備える。図2(f)の例では、第1～第3のLow-k膜のエッジ位置がすべて、第1のエッジカット位置aに一致する。しかし、第2のエッジカット位置bよりも内側にある限り、少なくとも2層のLow-k膜のエッジが一致する構成としてもよい。

10

【0033】

第1実施形態の半導体装置の製造方法とウエハ構造体によれば、チップの有効面積を低減することなく、外気の侵入を効果的に遮断して、Low-k膜の低誘電率性を維持することができる。とくに、半導体装置が10層以上の多層配線構造をとる場合、各層で、Low-k膜のエッジを0.5mmずつ外側へずらす方法に比較して、ウエハあたりのチップ数を増やすことができる。

20

<第2実施形態>

図5および6は、本発明の第2実施形態に係る半導体装置の製造方法を示す。図6(f)は、図5(e)に引き続く工程であり、図5、6は一連の製造工程を示すものである。第2実施形態では、Low-k膜を外気から遮断する外気遮断保護膜に加え、CMPやRIEといったプロセスダメージから保護する被覆膜を形成する。この場合、外気遮断保護膜と被覆膜のエッジ位置は、PEPレジストのエッジカット位置にほぼ一致し、Low-k膜のエッジカット位置は、それよりも内側のほぼ一定位置とする。第2実施形態に係る半導体装置の製造工程を、図5および6を参照して以下で詳述する。

【0034】

(a) まず、図5(a)に示すように、ウエハ41上に、第1のLow-k膜43を、そのエッジが第1のエッジカット位置aに一致するように形成する。エッジ位置の制御は、第1実施形態と同様に、たとえば図3に示すノズル制御による。すなわち、Low-k素材の溶剤をノズルからウエハ全面に塗布した後、シンナーによりエッジカット位置aでエッジカットする。

30

【0035】

(b) 次に、図5(b)に示すように、以後の工程で行われるCMPやRIEといったプロセスダメージからLow-k膜43を保護するための被覆膜42を、CVDなどにより形成する。この被覆膜42には、Low-k膜43を外気から遮断する性能は特に必要なく、p-SiO₂膜やp-TEOS膜等でよい。

【0036】

(c) 次に、図5(c)に示すように、被覆膜42上に、パターン形成のためのレジスト44を塗布し、そのエッジ位置を、第1のエッジカット位置aよりも外側の第2のエッジカット位置bに制御し、Viaまたは配線溝45をRIEなどにより形成する。このRIE工程で、被覆膜42のエッジが、第2のエッジカット位置bに一致することになる。

40

【0037】

(d) 次に、図5(d)に示すように、レジスト44を除去し、スパッタリング、メッキ、CMPなどのプロセスにより、たとえばCuのダマシン配線46を形成する。

【0038】

(e) 次に、Low-k膜43を外気から遮断するための外気遮断保護膜47を、SVD等により形成する。外気遮断保護膜47は、SiN、SiC、SiO₂、SiOC、Si

50

OF、SiONなどである。外気遮断保護膜47の成膜に先立ち、前処理として、insituでの高温真空アニールにより、Low-k膜43中からデガスを行う。引き続いて、真空をやぶらずに連続して外気遮断保護膜47を成膜することで、Low-k膜中のガス抜き後に密閉することができる。

【0039】

(f)次に、図6(f)に示すように、第2のLow-k膜49を形成して、そのエッジ位置を第1のエッジ位置aに制御し、その上に第2の被覆膜51を形成する。

【0040】

(g)次に、図6(g)に示すように、レジスト54を塗布して、Viaまたは層間配線パターンとともに、第2エッジカット位置bをPEPで焼き付け、レジスト54をマスクにしてRIEなどにより、Viaまたは配線溝55の加工を行う。被覆膜51があるため、RIEによるパターン加工時に、Low-k膜49へのダメージが少ない。RIEの際に、第1の外気遮断保護膜47と第2の被覆膜51のエッジが、PEPのエッジ位置bでカットされ、第2のエッジカット位置bに一致するようになる。

【0041】

(h)次に、図6(h)に示すように、レジスト54を除去し、配線溝55をAlなどで埋め込み、CMP等により、層間配線56を形成する。先の工程(g)で、PEPでのレジストのエッジカット位置が、Low-k膜49のエッジ位置よりも外側の第2のエッジカット位置bにあり、第1の外気遮断保護膜47のエッジ位置も、第2のエッジカット位置にそろうため、第2のLow-k膜49の側壁が露出することなく、層間配線56を形成することが可能になる。

【0042】

(i)最後に、図5(e)および図6(g)~5(h)を繰り返すことにより、第3層目の配線パターンを形成し、図6(i)に示すウエハ構造体40が完成する。

【0043】

図6(i)に示すウエハ構造体40は、3層のLow-k膜すべてのエッジ位置が、第1のエッジカット位置aに一致し、それぞれ対応する外気遮断保護膜のエッジも、その外側の第2エッジカット位置bで一致する。しかし、3層以上の多層構造において、必ずしもすべてのLow-k膜のエッジが第1のエッジカット位置に一致する必要はない。少なくとも2層のLow-k膜のエッジ位置が第1エッジカット位置aに一致し、その他のLow-k膜のエッジ位置は、第1エッジカット位置aを基準として、多少内外にずれたとしても、第2エッジカット位置より内側にある限り、チップの有効面積を低減することなく、Low-k膜への外気の侵入を防止することができる。

【0044】

第2実施形態においては、Low-k膜への外気遮断効果に加えて、CMPやRIEといったプロセスダメージからもLow-k膜を保護することができ、動作の信頼性を向上することができる。

【0045】

【発明の効果】

本発明による半導体装置の製造方法によれば、PEPのエッジカット位置と、その内側にあるLow-k膜のエッジカット位置がほぼ一定に維持され、レイヤごとにPEPのエッジカット位置を調整しながらLow-k膜の保護を行う必要がない。これにより、製造工程が簡便になる。

【0046】

本発明のウエハ構造体は、チップの有効面積を最大に維持したまま、Low-k膜への外気の侵入を効果的に排除し、低誘電率性を維持することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の製造工程を示す図である。

【図2】本発明の第1実施形態に係る半導体装置の製造工程を示す図であり、図1(d)に引き続く工程を示す図である。

10

20

30

40

50

【図 3】図 1 (a) に示す Low-k 膜のエッジ位置制御の一例を示す図である。

【図 4】図 1 (b) に示すレジストのエッジ位置制御の一例を示す図である。

【図 5】本発明の第 2 実施形態に係る半導体装置の製造工程を示す図である。

【図 6】本発明の第 2 実施形態に係る半導体装置の製造工程を示す図であり、図 5 (e) に引き続く工程を示す図である。

【図 7】Low-k 膜を、従来の多層配線構造の層間絶縁膜にそのまま適用した例を示す図である。

【図 8】Low-k 膜の側壁を保護するために、上層へ行くほどエッジ位置を外側に配置する現在のウエハ構造を示す図である。

【符号の説明】

10

10、40 ウエハ構造体

11、41、101 ウエハ

12、19、23、43、49、57、103、105、109 Low-k 膜

14、44 レジスト

15、18、45、55 配線溝

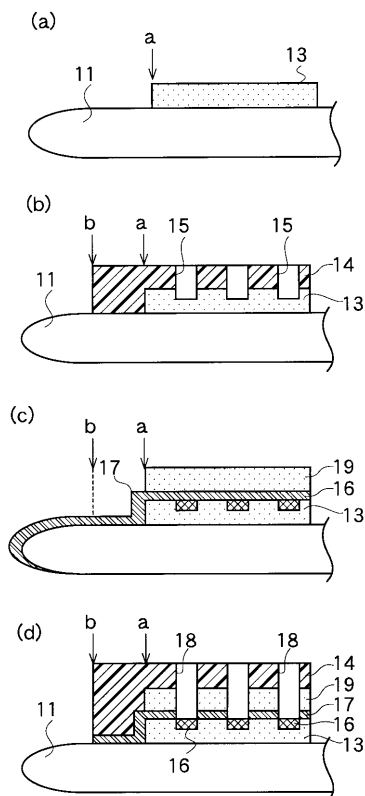
16、46、102 配線パターン

17、21、24、47、53、61 外気遮断保護膜

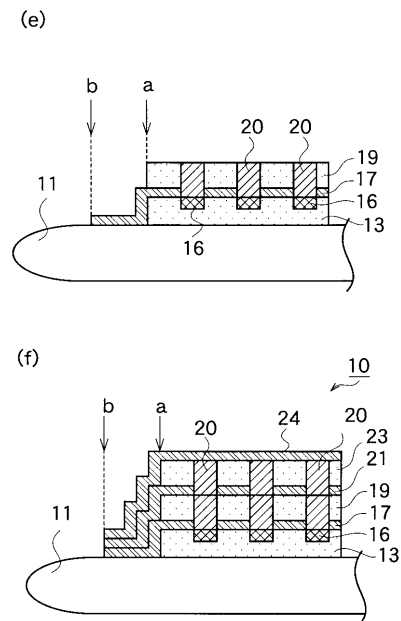
a 第 1 のエッジカット位置 (Low-k 膜エッジカット位置)

b 第 2 のエッジカット位置 (PEP レジストエッジカット位置)

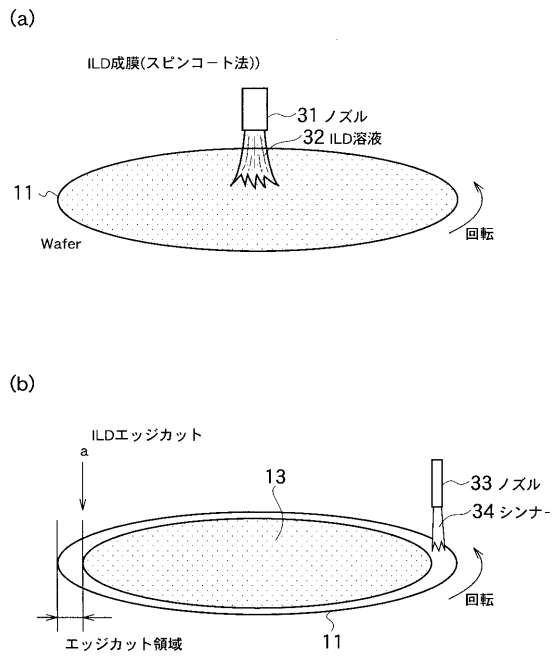
【図 1】



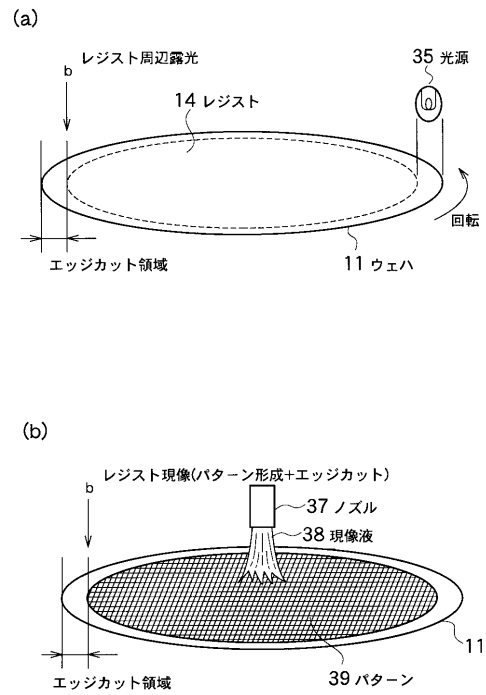
【図 2】



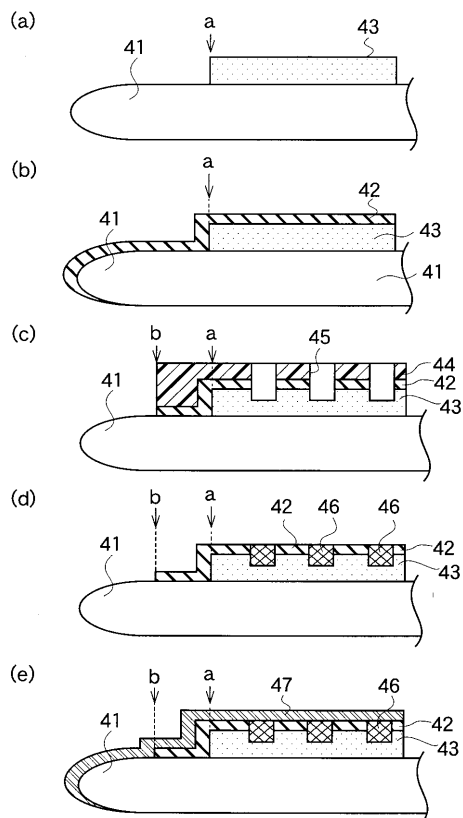
【図 3】



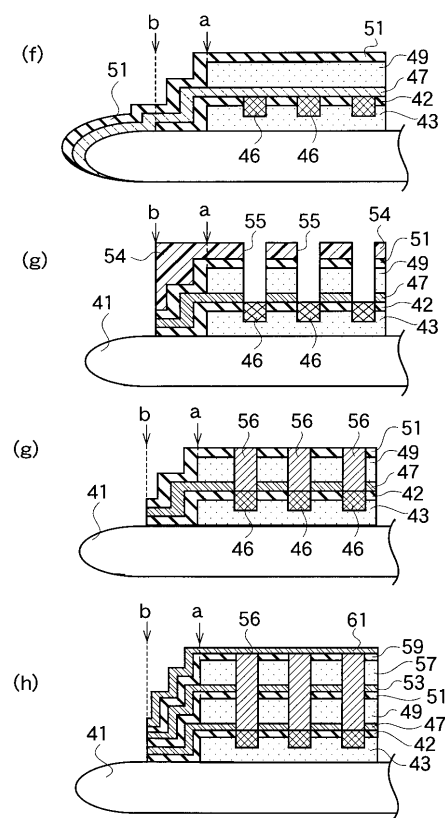
【図 4】



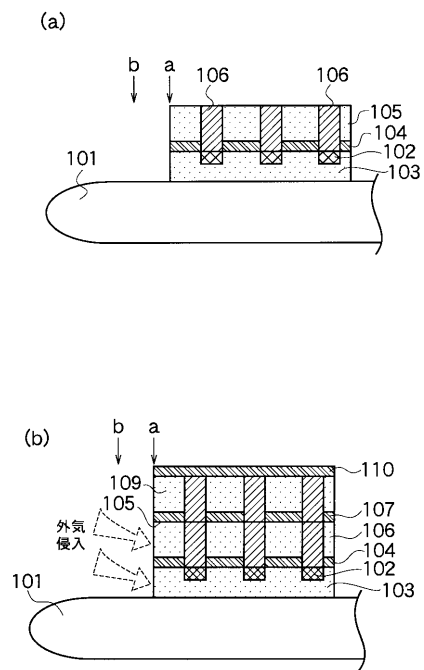
【図 5】



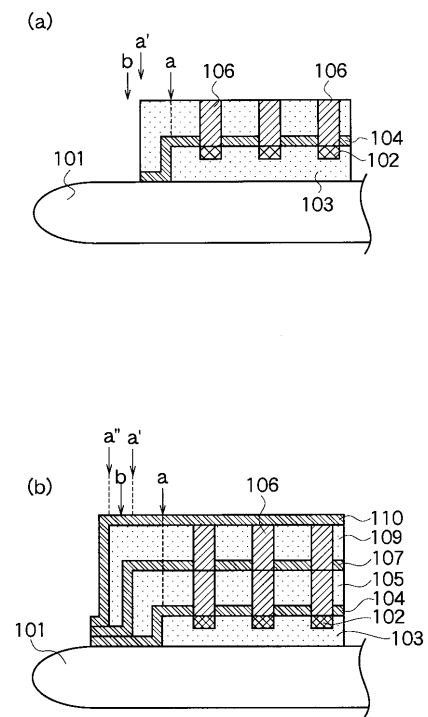
【図 6】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 東 和幸

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 ▲辻▼ 弘輔

(56)参考文献 特開 2001-085518 (JP, A)

特開 2003-017559 (JP, A)

特開平 11-121413 (JP, A)

特開 2001-077113 (JP, A)

特開 2000-252281 (JP, A)

特開 2001-345425 (JP, A)

特開 2002-334879 (JP, A)

特開 2000-100944 (JP, A)

特開 2002-217198 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/3213

H01L 21/768

H01L 21/027

H01L 21/312

H01L 23/522