



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856065 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：109106698

(22)申請日：中華民國 109 (2020) 年 03 月 02 日

(51)Int. Cl. : G06F3/06 (2006.01)

G06F12/08 (2016.01)

G11C7/10 (2006.01)

G06F1/3237 (2019.01)

G06F1/3234 (2019.01)

(30)優先權：2019/03/01 美國

62/812,689

2020/02/27 美國

16/803,977

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：徐 正元 SUH, JUNGWON (US)；千 德斯特塔密歐 CHUN, DEXTER TAMIO

(US)；羅 麥可華勁 LO, MICHAEL HAWJING (US)；索茲約爾 夏言庫瑪

THOZIYOOR, SHYAMKUMAR (US)；古莫 拉芬卓 KUMAR, RAVINDRA (IN)

(74)代理人：李世章

(56)參考文獻：

TW 201342007A

US 2009/0144587A1

US 2009/0268629A1

US 2013/0054866A1

US 2018/0090186A1

審查人員：林仁勇

申請專利範圍項數：42 項 圖式數：8 共 50 頁

(54)名稱

記憶體中的增強型資料時鐘操作

(57)摘要

提供了用於改良資料時鐘以減小功耗的方法和裝置。該裝置包括記憶體，其被配置成經由鏈路從主機接收資料時鐘以及將該資料時鐘與該主機進行同步。該記憶體包括：時鐘樹緩衝器，其被配置成基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；及命令解碼器，其被配置成在該資料時鐘在該主機和該記憶體之間被同步之時偵測資料時鐘暫停命令。該時鐘樹緩衝器被配置成回應於該命令解碼器偵測到該資料時鐘暫停命令而禁用基於該資料時鐘來進行切換。該主機包括記憶體控制器，其被配置成在該資料時鐘在該主機和該記憶體之間被同步之時經由該鏈路向該記憶體提供資料時鐘暫停命令。

Methods and apparatuses for improve data clock to reduce power consumption are presented. The apparatus includes a memory configured to receive a data clock from a host via a link and to synchronize the data clock with the host. The memory includes a clock tree buffer configured to toggle based on the data clock to capture write data or to output read data and a command decoder configured to detect a data clock suspend command while the data clock is synchronized between the host and the memory. The clock tree buffer is configured to disable toggling based on the data clock in response to the command decoder detecting the data clock suspend command. the host includes a memory controller configured to provide a data clock suspend command to the memory via the link while the data clock is synchronized between the host and the memory.

指定代表圖：

符號簡單說明：

- 110:主機
- 150:記憶體
- 402:元件符號
- 404:元件符號
- 410:元件符號
- 420:元件符號
- 430:元件符號
- 440:元件符號

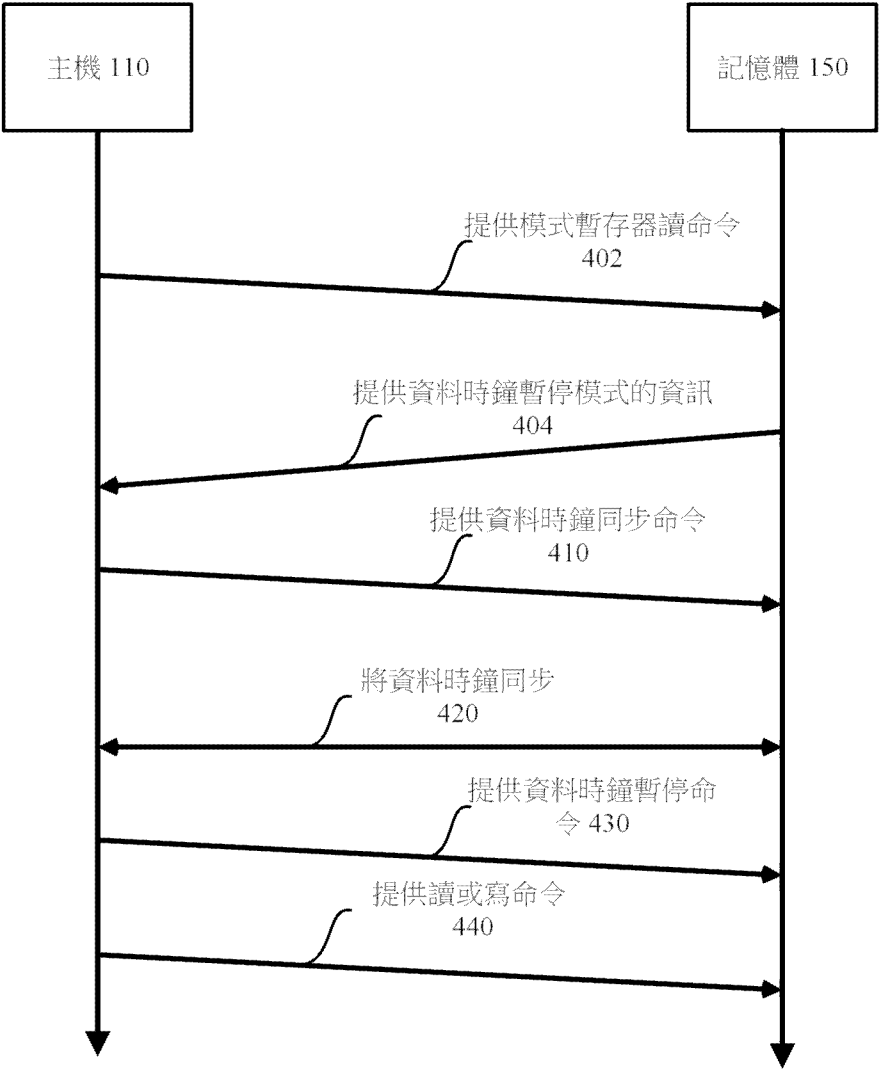


圖4



I856065

【發明摘要】

【中文發明名稱】記憶體中的增強型資料時鐘操作

【英文發明名稱】ENHANCED DATA CLOCK OPERATIONS IN MEMORY

【中文】

提供了用於改良資料時鐘以減小功耗的方法和裝置。該裝置包括記憶體，其被配置成經由鏈路從主機接收資料時鐘以及將該資料時鐘與該主機進行同步。該記憶體包括：時鐘樹緩衝器，其被配置成基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；及命令解碼器，其被配置成在該資料時鐘在該主機和該記憶體之間被同步之時偵測資料時鐘暫停命令。該時鐘樹緩衝器被配置成回應於該命令解碼器偵測到該資料時鐘暫停命令而禁用基於該資料時鐘來進行切換。該主機包括記憶體控制器，其被配置成在該資料時鐘在該主機和該記憶體之間被同步之時經由該鏈路向該記憶體提供資料時鐘暫停命令。

【英文】

Methods and apparatuses for improve data clock to reduce power consumption are presented. The apparatus includes a memory configured to receive a data clock from a host via a link and to synchronize the data clock with the host. The memory includes a clock tree buffer configured to toggle based on the data clock to capture write data or to output read data and a command decoder configured to detect a data clock suspend command while the data clock is synchronized between the host and the memory. The clock tree buffer is configured to disable toggling based on the data clock in response to the command decoder detecting the data clock suspend command. the host includes

a memory controller configured to provide a data clock suspend command to the memory via the link while the data clock is synchronized between the host and the memory.

【指定代表圖】第（ 4 ）圖。

【代表圖之符號簡單說明】

1 1 0 : 主 機

1 5 0 : 記 憶 體

4 0 2 : 元 件 符 號

4 0 4 : 元 件 符 號

4 1 0 : 元 件 符 號

4 2 0 : 元 件 符 號

4 3 0 : 元 件 符 號

4 4 0 : 元 件 符 號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】記憶體中的增強型資料時鐘操作

【英文發明名稱】ENHANCED DATA CLOCK OPERATIONS IN MEMORY

【技術領域】

【0001】 本專利申請案主張於2019年3月1日提出申請的題為「ENHANCED DATA CLOCK OPERATIONS IN MEMORY（記憶體中的增強型資料時鐘操作）」的臨時申請案第62/812,689的優先權，該臨時申請案已被轉讓給本案受讓人並由此經由援引明確納入於此。

【0002】 本案大體而言係關於具有增強型資料時鐘操作的方法和裝置，並且尤其係關於具有資料時鐘暫停模式以在資料時鐘處於常開模式之時減少功耗的方法和裝置。

【先前技術】

【0003】 計算設備（例如，膝上型設備、行動電話等）可包括一個或若干個處理器以執行各種功能，諸如電話、無線資料存取和相機/視訊功能等。記憶體是計算設備的重要元件。該處理器可耦合到記憶體以執行前述計算功能。例如，該處理器可從記憶體獲取指令以執行計算功能及/或將用於處理該等計算功能的臨時資料儲存在記憶體中等。

【0004】 記憶體可以與該處理器一起嵌入在半導體晶粒上或者是不同半導體晶粒的一部分。記憶體可以執行各種功能。例如，記憶體可被用作快取記憶體、暫存器檔案，或儲存。記憶體可以是各種種類。例如，記憶體可以是靜態隨機存取記憶體（SRAM）、動態隨機存取記憶體

(D R A M) 、 磁 性 隨 機 存 取 記 憶 體 (M R A M) 、 N A N D 快 閃 記 憶 體 ， 或 N O R 快 閃 記 憶 體 等 。

【0005】 隨著對計算設備以更高速度執行更多功能的需求不斷增長，電源問題亦越來越多。儘管在行動計算設備中功率節省可能特別受關注，但是非行動設備亦可受益於減小的功耗以減少廢熱產生。由此，各種類別的計算設備可受益於具有降低的功耗的記憶體系統。由此，減小功耗的方案是期望的。

【發明內容】

【0006】 本概述標識了一些示例性態樣的特徵，並且不是對所揭示的標的的排他性或窮盡性描述。描述了附加特徵和態樣，並且該等附加特徵和態樣將在閱讀以下詳細描述並查看形成該詳細描述的一部分的附圖之後變得對熟習此項技術者顯而易見。

【0007】 根據至少一個實施例的一種裝置包括：記憶體，其被配置成經由鏈路從主機接收資料時鐘以及將該資料時鐘與該主機進行同步，該裝置進一步包括：時鐘樹緩衝器，其被配置成基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；及命令解碼器，其被配置成在該資料時鐘在該主機與該記憶體之間被同步之時偵測資料時鐘暫停命令。該時鐘樹緩衝器被配置成回應於該命令解碼器偵測到該資料時鐘暫停命令而禁用基於該資料時鐘來進行切換。

【0008】 根據至少一個實施例的另一種裝置包括：經由鏈路耦合到記憶體的主機。該主機被配置成將資料時鐘與該

記憶體進行同步以及基於該資料時鐘來輸出寫資料或擷取讀資料。該主機包括記憶體控制器，其被配置成在該資料時鐘在該主機與該記憶體之間被同步之時經由該鏈路向該記憶體提供資料時鐘暫停命令。該資料時鐘暫停命令向該記憶體通知要禁用對時鐘樹緩衝器進行切換，該時鐘樹緩衝器被配置成基於該資料時鐘來進行切換。該記憶體控制器被進一步配置成：在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換。

【0009】 一種減小經由鏈路耦合到主機的记忆體的資料時鐘的功率的方法，包括以下步驟：經由鏈路來同步該主機與該記憶體之間的資料時鐘；由該記憶體の時鐘樹緩衝器基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；在該資料時鐘在該主機與該記憶體之間被同步之時，由該主機經由該鏈路向該記憶體提供資料時鐘暫停命令；由該時鐘樹緩衝器回應於該資料時鐘暫停命令而禁用基於該資料時鐘來進行切換；及由該主機在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換。

【0010】 另一種減小經由鏈路耦合到主機的记忆體的資料時鐘的功率的方法，包括以下步驟：由主機經由鏈路向記憶體提供資料時鐘同步命令；及在使資料時鐘同步之後，由該主機經由該鏈路向該記憶體提供資料時鐘暫停命令。該資料時鐘暫停命令向該記憶體通知要禁用基於該資料時鐘來進行切換的資料時鐘緩衝器。該方法進一步包括以下

步驟：由該主機在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換。

【0011】 另一種減小經由鏈路耦合到主機的记忆體的資料時鐘的功率的方法，包括以下步驟：由該記憶體經由鏈路從主機接收資料時鐘；由該記憶體將該資料時鐘與該主機進行同步；由該記憶體的時鐘樹緩衝器基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；在該資料時鐘在該記憶體與該主機之間被同步之時，由該記憶體偵測資料時鐘暫停命令；及回應於偵測到該資料時鐘暫停命令而禁用基於該資料時鐘來對該時鐘樹緩衝器進行切換。

【圖式簡單說明】

【0012】 現在將參照附圖藉由實例而非限定地在詳細描述中提供裝置和方法的各個態樣，其中：

【0013】 圖1圖示了根據本案的某些態樣的納入至少一個處理器、記憶體，以及將該至少一個處理器和該記憶體耦合的鏈路的裝置。

【0014】 圖2圖示了根據本案的某些態樣的由圖1的主機經由鏈路提供給記憶體的資料時鐘同步(WCK2CK)命令。

【0015】 圖3圖示了根據本案的某些態樣的資料暫停(WCK暫停)模式下的資料時鐘(WCK)同步的波形。

【0016】 圖4圖示了根據本案的某些態樣的在圖1的主機與記憶體之間在鏈路上的資料時鐘(WCK)暫停模式的操作和通訊。

【0017】 圖 5 圖示了根據本案的某些態樣的圖 1 的操作資料時鐘同步（WCK2CK）暫停模式的記憶體控制器的各部分（包括增強型資料時鐘模組）。

【0018】 圖 6 圖示了根據本案的某些態樣的圖 1 的操作資料時鐘（WCK）暫停模式的記憶體 I/O 模組 160 的各部分。

【0019】 圖 7 圖示了根據本案的某些態樣的減小圖 1 的經由鏈路 190 耦合到主機的記憶體的資料時鐘（WCK）的功率的方法。

【0020】 圖 8 圖示了根據本案的某些態樣的減小圖 1 的經由鏈路耦合到主機的記憶體的資料時鐘（WCK）的功率的方法。

【實施方式】

【0021】 以下結合附圖闡述的詳細描述意欲作為各種配置的描述，而無意表示可實踐本文所描述的概念的僅有配置。本詳細描述包括具體細節以提供對各種概念的透徹理解。然而，對於熟習此項技術者將顯而易見的是，沒有該等具體細節亦可以實踐該等概念。在一些例子中，以方塊圖形式圖示眾所周知的結構與元件以避免湮沒此類概念。

【0022】 如本文中所使用的，呈動詞「耦合」的各種時態的術語「耦合到」可意指元件 A 被直接連接到元件 B 或者其他元件可被連接在元件 A 和 B 之間（亦即，元件 A 與元件 B 間接連接）以操作某些預期功能。在電子元件的情形中，術語「耦合到」在本文中亦可被用於意指導線、跡線或其他導電材料被用於將元件 A 和 B（以及電連接在元件 A 和 B

之間的任何元件)電連接。在一些實例中，術語「耦合到」意指在元件 *A* 和 *B* 之間傳遞電能量以操作某些預期功能。

【0023】 在一些實例中，術語「電連接」意指在元件 *A* 和 *B* 之間有電流流動或者可配置成在元件 *A* 和 *B* 之間有電流流動。例如，除導線、跡線，或其他導電材料和元件之外，元件 *A* 和 *B* 亦可經由電阻器、電晶體，或電感器來連接。此外，對於射頻功能，元件 *A* 和 *B* 可經由電容器來「電連接」。

【0024】 術語「第一」、「第二」、「第三」等是為了便於參考而採用的，並且可以不帶有實質意義。同樣，可以採用元件/模組的名稱以便於參考，並且可以不限制元件/模組。例如，此類非限制性名稱可包括：「時鐘樹」緩衝器；「命令」解碼器；「記憶體模式」暫存器；及/或「記憶體」控制器。本案中提供的模組和元件可以用硬體、軟體，或硬體與軟體的組合來實現。

【0025】 術語「匯流排系統」可以規定耦合到「匯流排系統」的各元件可以直接或間接地在該等元件之間交換資訊。以此種方式，「匯流排系統」可以涵蓋多個實體連接以及居間級，諸如緩衝器、鎖存器，暫存器等。模組可以用硬體、軟體，或硬體與軟體的組合來實現。

【0026】 提供了納入具有增強型資料時鐘操作的記憶體的方法和裝置。主機與記憶體之間的資料時鐘可被同步以供主機存取（例如，讀取或寫入）記憶體。一旦被同步，資料時鐘就可處於常開模式或者可自由執行以維持同步。由於記憶體可包括由資料時鐘驅動的時鐘樹，因此當該資料

時鐘以常開模式執行時該等時鐘樹會消耗功率，即使在主機沒有在存取記憶體時亦如此。

【0027】 提供了增強型資料時鐘操作，以允許記憶體在資料時鐘處於常開模式並且進行切換之時對時鐘樹進行閘控。資料時鐘在主機與記憶體之間保持同步。有利地，當資料時鐘保持同步時，由於記憶體對時鐘樹進行閘控而無需添加用於重新同步的循環，因此減小了功率。

【0028】 各方法和裝置在本案中是作為低功率雙倍資料速率（LPDDR）同步動態隨機存取記憶體（SDRAM）的非限定性實例提供的。例如，LPDDR記憶體根據由電子設備工程聯合委員會（JEDEC）頒佈的LPDDR規範進行操作。此種LPDDR規範可以是LPDDR5。

【0029】 圖1圖示了根據本案的某些態樣的納入主機110、記憶體150，以及將主機110與記憶體150耦合的鏈路190的裝置100。裝置100可以是例如以下各項中的一者：計算系統（例如，伺服器、資料中心、桌上型電腦），行動計算設備（例如，膝上型設備、手機、交通工具等），物聯網設備，虛擬實境（VR）系統，或增強現實（AR）系統等。主機110可包括經由鏈路190耦合到記憶體150的至少一個處理器120以執行計算功能，諸如資料處理、資料通訊、圖形顯示、相機、AR或VR渲染、影像處理等中的一者。例如，記憶體150可儲存供該至少一個處理器120執行前述計算功能的指令或資料。該至少一個處理器120可以是處理邏輯的集合或一或多個中央處理單元。例

如，該至少一個處理器120可以是被配置成實現前述計算功能的中央處理單元（CPU）122、圖形處理單元（GPU）123，或數位信號處理器（DSP）124。

【0030】 圖1圖示了主機包括經由匯流排系統115耦合到記憶體控制器130的該至少一個處理器120，該至少一個處理器120經由記憶體控制器130和鏈路190耦合到記憶體150。記憶體可以是LPDDR DRAM（例如，LPDDR5）。主機110、記憶體150，及/或鏈路190可根據LPDDR（例如，LPDDR5）規範來操作。如下所提供的，記憶體150可被配置成經由鏈路190從主機110接收資料時鐘（例如，WCK）以及將該資料時鐘WCK與主機110進行同步（例如，與來自主機110的命令和位址時鐘進行同步）。

【0031】 記憶體控制器130可包括增強型資料時鐘模組132和主機I/O模組134。增強型資料時鐘模組132可被配置成決定增強型資料時鐘操作（諸如資料時鐘暫停模式）何時有益以及發出資料時鐘暫停命令以進入資料時鐘暫停模式。主機I/O模組134可被配置成在鏈路190上驅動和接收信號。主機I/O模組134可被稱為PHY層，並且被配置成控制電特性（例如，電壓位準、相位、延遲、頻率等）或者基於鏈路190上的信號傳遞的該等電特性來接收信號。在一些實例中，主機I/O模組134可被配置成基於資料時鐘WCK、經由鏈路190來向記憶體150輸出寫資料。例如，主機I/O模組134可被配置成輸出與資料時鐘WCK同步的寫資料。在一些實例中，主機I/O模組134可被配置成

基於資料時鐘 WCK、經由鏈路 190 來從記憶體 150 擷取讀資料。例如，主機 I/O 模組 134 可被配置成使得要擷取（例如，取樣）讀資料的緩衝器是被資料時鐘 WCK 時鐘控制或基於資料時鐘 WCK 的。

【0032】 在一些實例中，鏈路 190 可以是主機 110 與記憶體 150 之間的晶片到晶片或晶粒到晶粒鏈路，主機 110 和記憶體 150 在不同晶粒上。在一些實例中，鏈路 190 可以是晶粒內鏈路，並且主機 110 和記憶體 150 在同一晶粒上。例如，鏈路 190 可包括多條信號線，包括用於從主機 110 向記憶體 150 傳輸單向信號（例如，資料時鐘（WCK）、命令和位址（CA）、CA 時鐘（CLK）等）和雙向定向信號（資料（DQ）、資料選通（DQS）等）的信號線。例如，該 CA 可包括 CAS 信號傳遞/引腳、晶片選擇（CS）信號傳遞/引腳，以及列位址（CA）信號傳遞。主機 110 與記憶體 150 之間的鏈路 190 和信號傳遞可遵循 JEDEC DRAM 規範（例如，LPDDR5）。在一些實例中，記憶體 150 可使用資料時鐘 WCK 來針對寫操作擷取或取樣（例如，在 DQ 處所接收到的）寫資料以及針對讀操作對（例如，在 DQ 處所輸出的）讀資料進行切換。由此，記憶體 150 可以利用資料時鐘 WCK 來擷取寫資料或輸出讀資料。

【0033】 圖 1 圖示了具有經由匯流排系統 172 來耦合的記憶體 I/O 模組 160、記憶體陣列 162、模式暫存器 170 和命令解碼器 173 的記憶體 150。記憶體 I/O 模組 160 可被配置成在鏈路 190 上驅動和接收信號。記憶體 I/O 模組 160 可被

稱為PHY層，並且被配置成控制電特性（例如，電壓位準、相位、延遲、頻率等）或者基於鏈路190上的信號傳遞的該等電特性來接收信號。例如，記憶體I/O模組160可被配置成基於資料時鐘WCK、經由鏈路190來從主機110擷取（例如，取樣）寫資料。在一些實例中，記憶體I/O模組160可被配置成基於資料時鐘WCK來時鐘控制緩衝器以擷取被時鐘控制的寫資料。在一些實例中，記憶體I/O模組160可被配置成基於資料時鐘WCK、經由鏈路190來向主機110輸出讀資料。例如，主機I/O模組134可被配置成將輸出讀資料與資料時鐘WCK進行同步。

【0034】 記憶體陣列162可包括儲存資料的多個記憶體單元（例如，DRAM記憶體單元）。該至少一個處理器可經由鏈路190來讀取儲存在記憶體陣列162中的資料及/或將資料寫入到記憶體陣列162中。記憶體陣列162可被佈置成多個記憶體組180-1至180-M。記憶體陣列162可經由讀（READ）命令或寫（WRITE）命令來存取（例如，讀取或寫入）。

【0035】 模式暫存器170可包括一或多個暫存器，其儲存記憶體150的操作的值、信號傳遞特性及/或資訊。模式暫存器170可經由模式暫存器讀（MRR）或模式暫存器寫（MRW）命令來存取，MRR和MRW命令不同於讀和寫命令（例如，MRR和MRW命令不存取記憶體陣列162（圖1））。例如，記憶體控制器130可經由鏈路190發出MRW命令以針對讀或寫操作來設置記憶體150。回應於MRW命

令，記憶體 150 儲存由該 MRW 命令提供到模式暫存器 170 中的運算元或即 OP。

【0036】 在一些實例中，MRR 命令和 MRW 命令不存取記憶體陣列 162。例如，寫入到模式暫存器 170 中或從模式暫存器 170 讀取的運算元不會被寫入到記憶體陣列 162 中或從記憶體陣列 162 讀取。模式暫存器 170 包括 WCK 暫停暫存器 171。WCK 暫停暫存器 171 可被配置成儲存資料時鐘（WCK）暫停命令的資訊。例如，WCK 暫停暫存器 171 可被配置成可儲存指示記憶體 150 是否支援或啟用增強型資料時鐘 WCK 操作（諸如資料時鐘（WCK）暫停命令）的值。

【0037】 對於寫操作，該至少一個處理器 120 可經由匯流排系統 115 向記憶體控制器 130 發出寫請求。記憶體控制器 130 可經由鏈路 190 的 CA 和 CLK 向記憶體 150 發出寫命令。記憶體控制器 130 經由鏈路 190 的由資料時鐘 WCK 進行時鐘控制的 DQ 提供寫資料。作為回應，記憶體 150 將由該寫命令定址的寫資料儲存到記憶體陣列 162 中。

【0038】 對於讀操作，該至少一個處理器 120 可經由匯流排系統 115 向記憶體控制器 130 發出讀請求。記憶體控制器 130 可經由鏈路 190 的 CA（例如，時鐘 CLK、位址、命令）向記憶體 150 發出讀命令。作為回應，記憶體 150 將儲存在記憶體陣列 162 中的由該讀命令定址的資料輸出給該至少一個處理器 120。可以經由鏈路 190 的由資料時鐘 WCK（及 / 或 RDQS）進行時鐘控制的 DQ 來輸出資料。記憶體 150

(例如，記憶體 I/O 模組 160) 可從主機 110 接收資料時鐘 WCK，並使用內部時鐘樹來驅動和緩衝內部資料時鐘 WCK 以對各 DQ 進行時鐘控制。

【0039】 資料時鐘 WCK 可在與 CA 時鐘 CLK 不同的頻率下操作。例如，根據 LPDDR5，資料時鐘 WCK 可在為 CLK 頻率的兩倍或四倍的頻率下操作。記憶體 150 可使用分頻器來將 WCK 時鐘樹的頻率與 CLK 進行匹配。此種功能可能需要將 CA 時鐘 CLK 的狀態與內部 WCK 時鐘樹的狀態同步。該程序(例如，在 LPDDR5 規範中)可被稱為 WCK2CK 同步，並且可能需要若干同步循環。

【0040】 主機 110 (例如，記憶體控制器 130) 可藉由經由鏈路 190 發出 WCK2CK SYNC 命令來開啟 WCK2CK 同步。WCK2CK SYNC 命令可以是 CAS 命令。例如，在讀或寫命令之前對命令和位址 (CA) 的 CAS 信號進行切換。例如，讀或寫命令可緊跟在 WCK2CK SYNC 命令的 CAS 命令之後。作為回應，主機 110 和記憶體 150 在資料時鐘 WCK 進行時鐘控制 (例如，進行切換) 的情況下參與同步循環。

【0041】 在已經經由 WCK2CK 同步建立了同步的情況下，資料時鐘 WCK 可總是開啟 (例如，自由執行) 以保持同步。只要資料時鐘 WCK 進行時鐘控制 (例如，進行切換)，資料時鐘 WCK 就會在主機 110 與記憶體 150 之間保持同步。WCK2CK 同步可經由記憶體 150 接收到針對掉電、自刷新掉電、深度休眠，或重置的命令來退出。資料

時鐘 WCK 的此種常開模式將改良效能，因為後續的讀和寫命令將不需要重新同步。然而，當資料時鐘 WCK 進行切換時，記憶體 150 繼續汲取由內部 WCK 時鐘樹的切換引起的電流，即使在記憶體 150 閒置（例如，沒有進行讀或寫）時亦如此。

【0042】 命令解碼器 173 可被配置成解碼由主機 110（例如，記憶體控制器 130）經由鏈路 190 提供的各種命令。例如，命令解碼器 173 可被配置成解碼上文提供的讀命令、寫命令，以及各種 WCK2CK 命令。

【0043】 圖 2 圖示了根據本案的某些態樣的由圖 1 的主機 110 經由鏈路 190 提供給記憶體 150 的資料時鐘同步（WCK2CK SYNC）命令。圖 2 包括作為 CAS 命令被發出的 WCK2CK SYNC 命令的示圖 210 和（WCK2CK SYNC）CAS 命令的模式模式的示圖 220。示圖 210 圖示了（WCK2CK SYNC）CAS 命令可在任何組配置上操作。在時鐘 CK 上升沿，CS 引腳為高，並且在位址 CA0 - CA6 處提供了 WCK2CK SYNC 命令的運算元。在時鐘 CK 下降沿，輸入了附加運算元。運算元（例如，指示 WCK2CK SYNC 命令的某些態樣的變數、欄位，或值）可包括 DC0 - DC3、WS_WR、WS_RD、WS_FS、WRX、WXS、B3，如由 LPDDR5 規範所提供的。例如，WS_WR 處於邏輯 1 可指示寫命令緊跟在 WCK2CK SYNC 命令之後。WS_RD 處於邏輯 1 可指示讀命令緊跟在 WCK2CK SYNC 命令之後。WS_FS 可指示快速同步。WRX 和 WXS 可指示寫 X 功

能（例如，`WRX`及/或`WXS`可以是寫`X`功能的運算元）。
`B3`可指示讀短脈衝起始位址。

【0044】 示圖220圖示了（`WCK2CK SYNC`）`CAS`命令的模式可包括針對寫的`WCK2CK SYNC`（例如，`WS_WR`為邏輯1）、針對讀的`WCK2CK SYNC`（例如，`WS_RD`為邏輯1）、快速`WCK2CK SYNC`（例如，`WS_FS`為邏輯1）以及`WCK2CK SYNC`關閉（結束`WCK`同步並關斷記憶體150中的內部`WCK`時鐘樹的命令）。（`WCK2CK SYNC`）`CAS`命令被進一步增強成具有資料時鐘暫停（`WCK`暫停）模式。例如，（`WCK2CK SYNC`）`CAS`命令可進入`WCK`暫停模式，其中`WS_WR`處於邏輯1，`WS_RD`處於邏輯0，並且`WS_FS`處於邏輯1。為了便於引用，具有此種`WCK`暫停模式的`WCK2CK SYNC`命令可被稱為資料時鐘（`WCK`）暫停命令。資料時鐘（`WCK`）暫停命令向記憶體150發信號通知以關斷至該記憶體150的至少一個內部`WCK`時鐘樹，即便資料時鐘`WCK`繼續進行時鐘控制（例如，進行切換）。以此種方式，該至少一個內部`WCK`時鐘樹停止切換，並且在維持`WCK`同步之時節省了功耗。在`WCK`暫停模式之後，執行讀或寫操作不需要新的`WCK`同步。

【0045】 對於`LPDDR5`雙秩配置，記憶體控制器130可被配置成啟用具有`LPDDR5 WCK2CK SYNC`廣播特徵的增強型資料時鐘（`WCK`）操作。例如，為了更佳的操作和

位址 (CA) 匯流排效率，CAS-WCK_SUS 被同時廣播給該兩個秩 (秩 0 和 1)。

【0046】 在一些實例中，模式暫存器 170 (圖 1) 可包括指示支援或啟用資料暫停 (WCK 暫停) 模式的欄位。參見例如圖 1 中的 WCK 暫停暫存器 171。主機 110 (例如，記憶體控制器 130) 可經由鏈路 190 發起模式暫存器讀 (MRR) 命令以讀取模式暫存器 170 內的 WCK 暫停暫存器 171，並基於儲存在 WCK 暫停暫存器 171 中的值或運算元來決定記憶體 150 是否支援時鐘資料暫停 (WCK 暫停) 模式。

【0047】 在一些實例中，時鐘資料暫停 (WCK 暫停) 模式可經由後續的讀或寫命令來退出。回應於後續的讀或寫命令 (在處於時鐘資料暫停模式之時)，記憶體 150 可重新開啟該至少一個內部 WCK 時鐘樹進行切換。由於退出時鐘資料暫停 (WCK 暫停) 模式不需要附加的時鐘循環，因此沒有損失效能。

【0048】 圖 3 圖示了根據本案的某些態樣的 WCK 暫停模式下的 WCK 同步的波形。在圖 3 中，讀操作是作為實例提供的。寫操作可按類似方式實現。在 T_0 (並且在 T_{0_f} — 時鐘 CK 的下降沿)，主機 110 (例如，記憶體控制器 130) 經由鏈路 190 向記憶體 150 發出 WCK2CK_SYNC 命令，其中 WS_RD 處於邏輯 1。在緊跟著的時鐘循環 T_1 中，主機 110 (例如，記憶體控制器 130) 經由鏈路 190 向記憶體 150 發出讀命令。結果，主機 110 和記憶體 150 進入資料時鐘 WCK 同步 (WCK2CK) 循環。在 T_{b1} ，資料時鐘 WCK 在

主機 110 與記憶體 150 之間被同步。隨後，主機 110 繼續對資料時鐘 WCK 進行時鐘控制（例如，進行切換）以保持同步。主機 110（例如，記憶體控制器 130）可經由鏈路 190 向記憶體 150 發出附加的讀命令或寫命令，而無需進一步的資料時鐘 WCK 同步。

【0049】 在 T_{d0} （並且在 T_{d0_f} ——時鐘 CK 的下降沿），主機 110（例如，記憶體控制器 130）經由鏈路 190 向記憶體 150 發出（指定 WCK 暫停模式的）時鐘資料暫停（WCK 暫停）命令，以進入 WCK 暫停模式。作為回應，記憶體 150 可使至少一個內部 WCK 時鐘樹停止進行切換。以此種方式，減小了記憶體 150 內的功耗。

【0050】 在進入 WCK 暫停模式之後，在 T_{e0} ，主機 110（經由記憶體控制器 130）發出讀命令（或寫命令）。回應於讀/寫命令，記憶體 150 開啟該一或多個內部 WCK 時鐘樹進行切換，並且該讀/寫操作正常開始。不存在對讀/寫操作的改變。

【0051】 圖 4 圖示了根據本案的某些態樣的在圖 1 的主機 110 與記憶體 150 之間在鏈路 190 上的資料時鐘（WCK）暫停模式的操作和通訊。在 402，主機 110（例如，記憶體控制器 130）經由鏈路 190 向記憶體 150 提供模式暫存器讀命令。例如，模式暫存器讀命令可被指向讀取模式暫存器 170 的 WCK 暫停暫存器 171。在 404，記憶體 150 經由鏈路 190 向主機 110 提供儲存在例如模式暫存器 170 的 WCK 暫停暫存器 171 中的資料時鐘（WCK）暫停命令的資訊。

資料時鐘 (WCK) 暫停命令的資訊可指示記憶體 150 是否支援資料時鐘 (WCK) 暫停命令。

【0052】 在 410，主機 110（例如，記憶體控制器 130）經由鏈路 190 向記憶體 150 提供資料時鐘同步 (WCK2CKSYNC) 命令。參見 T_0 (圖 3)。例如，參照圖 2 的示圖 220，WCK2CKSYNC 命令可以是針對讀的 WCK2CKSYNC，其中運算元 WS_WR 處於邏輯 0，WS_RD 處於邏輯 1，並且 WS_FS 處於邏輯 0。主機 110（例如，記憶體控制器 130）可被配置成使用資料時鐘 WCK 來輸出寫資料（例如，與寫資料進行同步）及/或擷取（例如，取樣）讀資料。記憶體 150（例如，記憶體 I/O 模組 160）可被配置成接收資料時鐘 WCK 並且被配置成擷取（例如，取樣）寫資料及/或輸出讀資料（例如，與讀資料進行同步）。記憶體 150 可包括納入一或多個時鐘樹緩衝器的一或多個內部資料時鐘樹。時鐘樹緩衝器被配置成基於資料時鐘 WCK 來進行切換（例如，與資料時鐘 WCK 一起切換）以擷取寫資料或輸出讀資料。該一或多個時鐘樹緩衝器被配置成驅動記憶體 150 內的內部資料時鐘 WCK 以執行例如擷取寫資料及/或輸出讀資料（例如，與讀資料進行同步）。

【0053】 在 420，使主機 110 和記憶體 150 同步（例如，處於 WCK2CK 同步）。參見例如 T_{b0} 和 T_{b1} 之間的同步循環。例如，記憶體控制器 130 可被配置成根據 LPDDR5 規範來執行同步循環以將資料時鐘 WCK 與記憶體 150 同步（例如，將 CA 時鐘 CLK 與記憶體 150 的內部資料時鐘同步；例

如，該兩者處於相同狀態）。在430，主機110（例如，記憶體控制器130）經由鏈路190向記憶體150提供資料時鐘（WCK）暫停命令，並且記憶體150進入資料時鐘（WCK）暫停模式。例如，記憶體150可被配置成：在使主機110與記憶體150之間的資料時鐘（WCK）同步之後及/或在資料時鐘（例如，WCK）在主機110與記憶體150之間被同步之時，接收資料時鐘（WCK）暫停命令並將其解碼。參見 T_{d0} （圖3）。主機110（例如，記憶體控制器130）可被配置成：在提供資料時鐘（WCK）暫停命令之後，繼續對資料時鐘WCK進行切換。回應於資料時鐘（WCK）暫停命令，記憶體150可進入資料時鐘（WCK）暫停模式。例如，記憶體150可被配置成：禁用時鐘樹基於資料時鐘WCK來進行切換，以減小功耗。

【0054】 在440，主機110（例如，記憶體控制器130）在提供資料時鐘（WCK）暫停命令之後並且在沒有執行主機110與記憶體150之間的同步的情況下，經由鏈路190向記憶體150提供讀（或寫）命令。參見 T_{e0} （圖3）。 T_{e0} 處的讀命令是由主機110在 T_{d0} 提供資料時鐘（WCK）暫停命令之後提供的。主機110和記憶體150（在430）在 T_{d0} 提供資料時鐘（WCK）暫停命令與（在440）在 T_{d0} 提供讀或寫命令之間沒有執行資料時鐘WCK的同步（沒有同步循環）。430與440之間不需要同步循環是因為資料時鐘WCK在資料時鐘（WCK）同步暫停模式中保持同步，只要主機110對資料時鐘（WCK）進行切換。回應於讀（或

寫) 命令，記憶體 150 執行讀 (或寫) 操作。記憶體 150 可使用由基於資料時鐘 WCK 來進行切換的該一或多個時鐘樹緩衝器供電的時鐘來輸出讀資料 (例如，與讀資料進行同步) 及/或擷取寫資料。

【0055】 圖 5 圖示了根據本案的某些態樣的圖 1 的操作資料時鐘同步 (WCK 2 CK) 暫停模式的記憶體控制器 130 的各部分 (包括增強型資料時鐘模組 132)。圖 5 圖示了記憶體控制器 130 包括記憶體命令模組 506、記憶體存取佇列模組 508 和增強型資料時鐘模組 132。增強型資料時鐘模組 132 可包括 WCK 暫停支援決定模組 502 和 WCK 暫停使用決定模組 504 中的一些或全部。該等模組由匯流排系統 510 耦合，該等模組經由匯流排系統 510 進行通訊。匯流排系統 510 被進一步耦合到主機 I/O 模組 134。

【0056】 記憶體命令模組 506 可被配置成經由鏈路 190 (並且經由主機 I/O 模組 134) 向記憶體 150 提供各種命令。例如，記憶體命令模組 506 可被配置成提供模式暫存器讀命令 (例如，針對資料時鐘暫停命令的資訊；參見圖 4、402 處)、資料時鐘 (WCK) 同步命令 (參見圖 4、410 處)、資料時鐘 (WCK) 暫停命令 (例如，基於資料時鐘暫停命令的資訊及/或在資料時鐘 WCK 在主機 110 與記憶體 150 之間被同步之時；參見圖 4、430 處)，及/或指示記憶體 150 執行讀 (或寫) 操作的讀 (或寫) 命令 (例如，在提供資料時鐘暫停命令之後及/或在提供資料時鐘暫停命令與提供讀或寫命令之間無需執行資料時鐘 WCK 的同

步；參見圖4、440處）。記憶體存取佇列模組508可以是例如一或多個儲存元件，並且可被配置成儲存一或多個記憶體存取命令或指令。

【0057】 WCK暫停支援決定模組502可被配置成決定記憶體150是否支援增強型資料時鐘操作，諸如資料時鐘（WCK）暫停模式。例如，在圖4的404，WCK暫停支援決定模組502可接收儲存在記憶體150的模式暫存器170（例如，WCK暫停暫存器171）中的資料時鐘（WCK）暫停模組的資訊。資料時鐘（WCK）暫停模組的資訊可指示記憶體150是否支援資料時鐘暫停命令。

【0058】 WCK暫停使用決定模組504可被配置成基於資料時鐘暫停命令的資訊來決定是否要使用資料時鐘（WCK）暫停模式（例如，是否要提供資料時鐘（WCK）暫停命令）。在資料時鐘暫停命令的資訊指示記憶體150支援資料時鐘（WCK）暫停模式的情形中，WCK暫停使用決定模組504可觀察記憶體存取佇列模組508以決定來自資料時鐘（WCK）暫停模式的功率節省是否足以證明進入資料時鐘（WCK）模式是合理的。WCK暫停使用決定模組504可基於儲存在記憶體存取佇列模組508中的命令或指令的類型、數目、定時（例如，定時差）來作出此種決定。

【0059】 例如，若記憶體存取命令或指令被決定為頻繁發生，則此種情形中的功率節省可能無法證明進入資料時鐘（WCK）暫停模式是合理的。或者，若從記憶體存取佇列

模組 508 決定在第一時間段之後需要下一記憶體存取（讀或寫），則主機 110（例如，WCK 暫停使用決定模組 504）可決定功率節省將證明進入到資料時鐘（WCK）暫停模式中是合理的，並使得記憶體命令模組 506 經由鏈路 190（並且經由主機 I/O 模組 134）向記憶體 150 提供資料時鐘（WCK）暫停命令（例如，WS_WR 和 WS_FS 處於邏輯 1 且 WS_RD 處於邏輯 0 的運算元）。換言之，（下一）讀或寫命令可以在處於或晚於在資料時鐘（WCK）暫停命令之後的第一時間段時被提供。例如，主機 110 可被配置成：在提供資料時鐘（WCK）暫停命令之後，在第一時間段後提供（下一）讀或寫命令。

【0060】 或者，若將要在比第一時間段更長的第二時間段後提供（下一）讀或寫命令，則 WCK 暫停使用決定模組 504 可被配置成決定現有資料時鐘同步（WCK2CK）能節省更多功率。在此種情形中，主機 110（例如，WCK 暫停使用決定模組 504）可選擇不使得記憶體命令模組 506 提供資料時鐘（WCK）暫停命令。主機 110（例如，WCK 暫停使用決定模組 504）可使得記憶體命令模組 506 經由鏈路 190 向記憶體 150 提供退出資料時鐘同步（WCK2CK）（例如，掉電）的指令。以此種方式，主機 110 可被配置成在提供資料時鐘（WCK）暫停命令之後的第一時間段與第二時間段之間經由鏈路 190 向記憶體 150 提供（下一）讀或寫命令。

【0061】 圖 6 圖示了根據本案的某些態樣的圖 1 的操作資料時鐘（WCK）暫停模式的記憶體 I/O 模組 160 的各部分。

圖 6 圖示了記憶體 I/O 模組 160 包括 WCK 緩衝器 602、CA 緩衝器 606 和 DQ 緩衝器 608（記憶體 I/O 模組 160 可包括該等緩衝器的多個例子）。圖 6 進一步圖示了記憶體 I/O 模組 160 包括時鐘樹 603 和 WCK 暫停控制模組 605。

【0062】 WCK 緩衝器 602 可以是被配置成接收資料時鐘 WCK 的輸入緩衝器/接收器並且被配置成向時鐘樹 603 輸出。時鐘樹 603 可被配置成：與所接收到的資料時鐘 WCK 一起切換，以及向 DQ 緩衝器 608 輸出內部 WCK。時鐘樹 603 包括一或多個時鐘樹緩衝器 604，其被配置成基於資料時鐘 WCK 來進行切換（例如，與資料時鐘 WCK 一起切換）以擷取寫資料或輸出讀資料。在一些實例中，時鐘樹緩衝器 604 可以在 WCK 緩衝器 602 之後（例如，直接或間接地從 WCK 緩衝器 602 接收輸出）（亦即，在記憶體 I/O 模組 160 之後）。DQ 緩衝器 608 可以是輸入/輸出緩衝器，其被配置成從鏈路 190 的 DQ 接收寫資料以及向鏈路 190 的 DQ 輸出讀資料。DQ 緩衝器 608 可被配置成由內部 WCK 進行時鐘控制（或基於內部 WCK 來進行時鐘控制）。例如，DQ 緩衝器 608 可被配置成基於內部 WCK（其進而基於資料時鐘 WCK）來擷取（例如，取樣）寫資料及/或被配置成基於內部 WCK（其進而基於資料時鐘 WCK）來輸出（例如，將輸出與內部 WCK 進行同步）。

【0063】 CA 緩衝器 606 可以是輸入緩衝器/接收器，其被配置成從鏈路 190 接收命令和位址輸入並且被配置成向命令解碼器 173 輸出。命令解碼器 173 可被配置成偵測例如模

式暫存器讀命令（例如，針對資料時鐘暫停命令的資訊；參見圖4、402處）、資料時鐘同步（例如，WCK2CK）命令（參見圖4、410處）、資料時鐘（WCK）暫停命令（例如，基於資料時鐘（WCK）暫停命令的資訊及/或在資料時鐘WCK在主機110與記憶體150之間被同步之時；參見圖4、430處），及/或指示記憶體150執行讀（或寫）操作的讀（或寫）命令（例如，在偵測到資料時鐘（WCK）暫停命令之後，而在偵測到資料時鐘（WCK）暫停命令與偵測到讀或寫命令之間無需執行資料時鐘WCK的同步；參見圖4、440處）。

【0064】 在一些實例中，資料時鐘（WCK）暫停命令向記憶體150通知要禁用對時鐘樹緩衝器604進行切換，時鐘樹緩衝器604被配置成基於資料時鐘WCK來進行切換。由此，回應於命令解碼器173偵測到資料時鐘（WCK）暫停命令，WCK暫停控制模組605使時鐘樹緩衝器604禁止進行切換。時鐘樹緩衝器604因此被配置成回應於命令解碼器173偵測到資料時鐘（WCK）暫停命令而禁用基於資料時鐘WCK來進行切換。以此種方式，節省了時鐘樹603所消耗的時鐘控制功率。

【0065】 在一些實例中，在資料時鐘（WCK）暫停命令之後的讀或寫命令向記憶體150通知要開啟對時鐘樹緩衝器604進行切換。由此，回應於命令解碼器173偵測到在資料時鐘（WCK）暫停命令之後的讀或寫命令，WCK暫停控制模組605啟用時鐘樹緩衝器604以開啟基於資料時鐘

WCK來進行切換。由此，時鐘樹緩衝器604被配置成回應於命令解碼器173偵測到（在資料時鐘（WCK）暫停命令之後的）讀或寫命令而開啟基於資料時鐘WCK來進行切換。此外，記憶體150被配置成回應於命令解碼器173偵測到讀或寫命令而執行讀（或寫）操作（例如，從圖1的記憶體陣列162讀取或向其寫入）。以此種方式，記憶體150的效能不會被妨礙，因為不需要附加的同步循環。

【0066】 圖7圖示了根據本案的某些態樣的減少圖1的經由鏈路190耦合到主機110的記憶體150的資料時鐘（WCK）的功率的方法。圖7的操作可由例如關於圖1-圖6所提供的裝置100（例如，記憶體150）來實現。箭頭指示操作之間的特定關係，但不一定是順序關係。

【0067】 在710，由記憶體經由鏈路從主機接收資料時鐘。參見例如圖1和圖6，WCK緩衝器經由鏈路190從主機110接收資料時鐘WCK。在720，由該記憶體將該資料時鐘與該主機進行同步。參見例如圖3的 T_{b0} 和 T_{b1} 之間的同步循環以及圖4處的420。在730，基於該資料時鐘來對該記憶體的時鐘樹緩衝器進行切換以擷取寫資料或輸出讀資料。參見例如時鐘樹緩衝器604基於資料時鐘WCK來進行切換以擷取寫資料或輸出讀資料。

【0068】 在740，在該資料時鐘在該記憶體與該主機之間被同步之時，由該記憶體偵測資料時鐘暫停命令。參見例如圖4、430處。此外，參照圖6，命令解碼器173偵測到資料時鐘（WCK）暫停命令（例如，WCK2CK命令，其

中運算元 WS_WR 和 WS_FS 處於邏輯 1 且 WS_RD 處於邏輯 0)。在 750，回應於偵測到資料時鐘暫停命令而禁用基於該資料時鐘來對該時鐘樹緩衝器進行切換。參照圖 6，由 WCK 暫停控制模組 605 回應於命令解碼器 173 偵測到資料時鐘 (WCK) 暫停模式而禁用時鐘樹緩衝器 604 的切換。

【0069】 在 760，由該記憶體在偵測到該資料時鐘暫停命令之後，偵測讀或寫命令。參見例如圖 4、440 處。參照圖 6，命令解碼器 173 在偵測到資料時鐘 WCK 暫停命令之後，偵測讀 (或寫) 命令。在 770，回應於偵測到該讀或寫命令而由該時鐘樹緩衝器開啟基於該資料時鐘來進行切換。參照圖 6，時鐘樹緩衝器 604 回應於命令解碼器 173 偵測到讀或寫命令而開啟基於資料時鐘 WCK 來進行切換 (由 WCK 暫停控制模組 605 啟用)。

【0070】 在 780，回應於該讀或寫命令而由該記憶體執行讀或寫操作，而在偵測到該資料時鐘暫停命令與偵測到該讀或寫命令之間無需執行該資料時鐘的同步。參見圖 4、440 處。記憶體 150 根據讀或寫命令來執行讀或寫操作，而在偵測到資料時鐘 (WCK) 暫停命令與偵測到讀或寫命令之間無需執行資料時鐘 WCK 的同步。不需要此種同步是因為主機 110 和記憶體 150 保持在 $WCK2CK$ 模式 (資料時鐘同步模式) 中。在 790，由記憶體模式暫存器儲存該資料時鐘暫停命令的資訊。參照圖 1，模式暫存器 170 包括 WCK 暫停暫存器 171，其儲存關於記憶體 150 是否支援增強型資

料時鐘 WCK 操作（諸如資料時鐘（WCK）暫停命令）的資訊。

【0071】圖 8 圖示了根據本案的某些態樣的減小圖 1 的經由鏈路 190 耦合到主機 110 的記憶體 150 的資料時鐘（WCK）的功率的方法。圖 7 的操作可由例如關於圖 1 - 圖 6 所提供的裝置 100（例如，主機 110）來實現。箭頭指示操作之間的特定關係，但不一定是順序關係。圖 7 和圖 8 的操作可被組合，如本案中所提供的。

【0072】在 810，由主機經由鏈路向記憶體提供資料時鐘同步命令。參見例如圖 4、410 處。參照圖 5，記憶體命令模組 506 經由鏈路 190 向記憶體 150 提供資料時鐘同步命令（例如，針對讀的 WCK2CK 或針對寫的 WCK2CK；參見圖 2）。在 820，在使資料時鐘同步之後，由該主機經由該鏈路向該記憶體提供資料時鐘暫停命令。該資料時鐘暫停命令向該記憶體通知要禁用基於該資料時鐘來進行切換的資料時鐘緩衝器。參見例如圖 4、430 處。參照圖 5，在將資料時鐘與記憶體 150 同步（例如，圖 4、420 處）之後，記憶體命令模組 506 經由鏈路 190 向記憶體 150 提供資料時鐘（WCK）暫停命令。參照圖 6，命令解碼器 173 偵測到資料時鐘（WCK）暫停命令並使得 WCK 暫停控制模組 605 使基於資料時鐘 WCK 來進行切換的時鐘樹緩衝器 604 禁止進行切換。

【0073】在 830，由該主機在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換。參照圖 3，主機 110 在 T_{d0} 提

供資料時鐘暫停命令之後，繼續對資料時鐘 WCK 進行切換。相應地，主機 110 和記憶體 150 保持在資料時鐘同步模式（WCK2CK 模式）中，並且需要同步循環以用於後續的讀或寫操作。

【0074】 在 840，在該資料時鐘暫停命令之後，由該主機經由該鏈路向該記憶體提供讀或寫命令，而在提供該資料時鐘暫停命令與提供該讀或寫命令之間無需執行該資料時鐘的同步。參見例如圖 4、440 處。在 850，回應於該資料時鐘暫停命令的資訊而提供該資料時鐘暫停命令。參見例如圖 4、430 處。

【0075】 附上了附錄 I、II 和 III 並經由援引將其整體納入。

【0076】 提供先前描述是為了使任何熟習此項技術者均能夠實踐本文中所描述的各種態樣。對該等態樣的各種修改將容易為熟習此項技術者所明白，並且在本文中所定義的普適原理可被應用於其他態樣。因此，請求項並非意欲被限定於本文中所示的態樣，而是應被授予與語言上的請求項相一致的全部範疇，其中對元素的單數形式的引述除非特別聲明，否則並非意欲表示「有且僅有一個」，而是「一或多個」。措辭「示例性」在本文中用於意指「用作示例、實例，或說明」。本文中描述為「示例性」的任何態樣不必被解釋為優於或勝過其他態樣。除非特別另外聲明，否則術語「一些/某個」指的是一或多個。諸如「A、B 或 C 中的至少一者」、「A、B 或 C 中的一者或多者」、「A、B 和 C 中的至少一者」、「A、B 和 C 中的一者或多者」，以

及「A、B、C或其任何組合」之類的組合包括A、B及/或C的任何組合，並且可包括多個A、多個B或者多個C。具體地，諸如「A、B或C中的至少一者」、「A、B或C中的一者或多者」、「A、B和C中的至少一者」、「A、B和C中的一者或多者」，以及「A、B、C或其任何組合」之類的組合可以是僅A、僅B、僅C、A和B、A和C、B和C，或者A和B和C，其中任何此類組合可包含A、B或C中的一或多個成員。本案通篇描述的各個態樣的元素為一般技術者當前或今後所知的所有結構上和功能上的等效方案經由引述被明確納入於此，且意欲被請求項所涵蓋。此外，本文中所揭示的任何內容皆並非意欲貢獻給公眾，無論此種揭示是否在申請專利範圍中被顯式地敘述。措辭「模組」、「機制」、「元素」、「設備」等等可以不是措辭「構件」的代替。如此，沒有任何請求項元素應被解釋為構件功能，除非該元素是使用短語「用於……的構件」來明確敘述的。

【符號說明】

【0077】

100：裝置

110：主機

115：匯流排系統

120：處理器

122：中央處理單元（CPU）

123：圖形處理單元（GPU）

124：數位信號處理器（DSP）

1 3 0 : 記 憶 體 控 制 器

1 3 2 : 增 強 型 資 料 時 鐘 模 組

1 3 4 : 主 機 I / O 模 組

1 5 0 : 記 憶 體

1 6 0 : 記 憶 體 I / O 模 組

1 6 2 : 記 憶 體 陣 列

1 7 0 : 模 組 暫 存 器

1 7 1 : W C K 暫 停 暫 存 器

1 7 2 : 匯 流 排 系 統

1 7 3 : 命 令 解 碼 器

1 8 0 - 1 : 記 憶 體 組

1 8 0 - 2 : 記 憶 體 組

1 8 0 - M : 記 憶 體 組

1 9 0 : 鏈 路

2 1 0 : 示 圖

2 2 0 : 示 圖

4 0 2 : 元 件 符 號

4 0 4 : 元 件 符 號

4 1 0 : 元 件 符 號

4 2 0 : 元 件 符 號

4 3 0 : 元 件 符 號

4 4 0 : 元 件 符 號

5 0 2 : W C K 暫 停 支 援 決 定 模 組

5 0 4 : W C K 暫 停 使 用 決 定 模 組

5 0 6 : 記 憶 體 命 令 模 組

5 0 8 : 記 憶 體 存 取 佇 列 模 組

5 1 0 : 匯 流 排 系 統

6 0 2 : W C K 緩 衝 器

6 0 3 : 時 鐘 樹

6 0 4 : 時 鐘 樹 緩 衝 器

6 0 5 : W C K 暫 停 控 制 模 組

6 0 6 : C A 緩 衝 器

6 0 8 : D Q 緩 衝 器

7 1 0 : 步 驟

7 2 0 : 步 驟

7 3 0 : 步 驟

7 4 0 : 步 驟

7 5 0 : 步 驟

7 6 0 : 步 驟

7 7 0 : 步 驟

7 8 0 : 步 驟

7 9 0 : 步 驟

8 1 0 : 步 驟

8 2 0 : 步 驟

8 3 0 : 步 驟

8 4 0 : 步 驟

8 5 0 : 步 驟

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種用於記憶體中的增強型資料時鐘操作的裝置，包括：

一記憶體，其被配置成經由一鏈路從一主機接收一資料時鐘以及將該資料時鐘與該主機進行同步，該裝置進一步包括：

一時鐘樹緩衝器，其被配置成基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；及

一命令解碼器，其被配置成在該資料時鐘在該主機與該記憶體之間被同步之時偵測一資料時鐘暫停命令，其中該時鐘樹緩衝器被配置成回應於該命令解碼器偵測到該資料時鐘暫停命令而禁用基於該資料時鐘來進行切換；該命令解碼器被進一步配置成：在偵測到該資料時鐘暫停命令之後，偵測一讀或寫命令，而在偵測到該資料時鐘暫停命令與偵測到該讀或寫命令之間無需執行該資料時鐘的同步，並且該時鐘樹緩衝器被進一步配置成：回應於該命令解碼器偵測到該讀或寫命令而開啟基於該資料時鐘來進行切換。

【請求項2】 如請求項1之裝置，其中該記憶體被配置成：回應於該讀或寫命令而執行一讀或寫操作。

【請求項3】 如請求項1之裝置，其中該記憶體進一步包括：一記憶體模式暫存器，其被配置成儲存該資料時鐘暫停命令的資訊。

【請求項4】 如請求項3之裝置，其中該資料時鐘暫停命

令的該資訊指示該記憶體是否支援該資料時鐘暫停命令。

【請求項5】 如請求項2之裝置，其中該記憶體被配置成：根據一低功率雙倍資料速率動態隨機存取記憶體規範來操作。

【請求項6】 如請求項5之裝置，其中該資料時鐘暫停命令包括 WS_WR 和 WS_FS 處於邏輯1且 WS_RD 處於邏輯0的運算元。

【請求項7】 如請求項5之裝置，進一步包括：納入該主機、該記憶體和該鏈路的一計算系統、一行動計算系統、一物聯網設備、一虛擬實境系統，或一增強現實系統中的一者，其中該主機進一步包括：耦合到該記憶體的至少一個處理器，其用於執行該計算系統、該行動計算系統、該物聯網設備、該虛擬實境系統，或該增強現實系統中的該一者的一計算功能。

【請求項8】 如請求項7之裝置，其中該記憶體包括一LPDDR5記憶體。

【請求項9】 如請求項7之裝置，其中該時鐘樹緩衝器被配置成直接或間接地從一資料時鐘緩衝器接收一輸出，該資料時鐘緩衝器被配置成接收該資料時鐘。

【請求項10】 一種用於記憶體中的增強型資料時鐘操作的裝置，包括：

經由一鏈路耦合到一記憶體的一主機，其中該主機被配置成將一資料時鐘與該記憶體進行同步以及基於該資

料時鐘來輸出寫資料或擷取讀資料，

其中該主機包括一記憶體控制器，該記憶體控制器被配置成：

在該資料時鐘在該主機與該記憶體之間被同步之時經由該鏈路向該記憶體提供一資料時鐘暫停命令，其中該資料時鐘暫停命令向該記憶體通知要禁用對一時鐘樹緩衝器進行切換，該時鐘樹緩衝器被配置成基於該資料時鐘來進行切換，

在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換，

在提供該資料時鐘暫停命令之後，經由該鏈路向該記憶體提供一讀或寫命令，其中該讀或寫命令向該記憶體通知要開啟對一資料時鐘緩衝器進行切換，以及

提供該讀或寫命令以存取該記憶體，而在提供該資料時鐘暫停命令與提供該讀或寫命令之間無需執行該資料時鐘的同步。

【請求項11】如請求項10之裝置，其中該記憶體控制器被配置成：經由該鏈路向該記憶體提供針對該資料時鐘暫停命令的資訊的一模式暫存器讀命令，並且被配置成：基於該資料時鐘暫停命令的該資訊來提供該資料時鐘暫停命令。

【請求項12】如請求項11之裝置，其中該資料時鐘暫停命令的該資訊指示該記憶體是否支援該資料時鐘暫停命令。

【請求項13】如請求項11之裝置，其中該記憶體控制器被配置成：根據一低功率雙倍資料速率動態隨機存取記憶體規範來操作。

【請求項14】如請求項13之裝置，其中該資料時鐘暫停命令包括 WS_WR 和 WS_FS 處於邏輯1且 WS_RD 處於邏輯0的運算元。

【請求項15】如請求項13之裝置，進一步包括：納入該主機、該記憶體和該鏈路的一計算系統、一行動計算系統、一物聯網設備、一虛擬實境系統，或一增強現實系統中的一者，其中該主機進一步包括：耦合到該記憶體的至少一個處理器，其用於執行該計算系統、該行動計算系統、該物聯網設備、該虛擬實境系統，或該增強現實系統中的該一者的一計算功能。

【請求項16】如請求項15之裝置，其中該記憶體包括一LPDDR5記憶體。

【請求項17】如請求項15之裝置，其中該讀或寫命令在該資料時鐘暫停命令之後的一第一時間段與一第二時間段之間。

【請求項18】一種減小經由一鏈路耦合到一主機的一記憶體的一資料時鐘的功率的方法，包括以下步驟：

由該記憶體經由一鏈路從一主機接收一資料時鐘；

由該記憶體將該資料時鐘與該主機進行同步；

由該記憶體的一時鐘樹緩衝器基於該資料時鐘來進行

切換以擷取寫資料或輸出讀資料；

在該資料時鐘在該記憶體與該主機之間被同步之時，
由該記憶體偵測一資料時鐘暫停命令；

回應於偵測到該資料時鐘暫停命令而禁用基於該資料
時鐘來對該時鐘樹緩衝器進行切換；

由該記憶體在偵測到該資料時鐘暫停命令之後，偵測
一讀或寫命令；

回應於偵測到該讀或寫命令而由該時鐘樹緩衝器開啟
基於該資料時鐘來進行切換；及

由該記憶體回應於該讀或寫命令而執行一讀或寫操作，
而在偵測到該資料時鐘暫停命令與偵測到該讀或寫命令
之間無需執行該資料時鐘的同步。

【請求項 19】如請求項 18 之方法，進一步包括以下步驟：

由一記憶體模式暫存器儲存該資料時鐘暫停命令的資
訊。

【請求項 20】如請求項 19 之方法，其中該資料時鐘暫停
命令的該資訊指示該記憶體是否支援該資料時鐘暫停命
令。

【請求項 21】如請求項 18 之方法，其中該記憶體根據一
低功率雙倍資料速率動態隨機存取記憶體規範來操作。

【請求項 22】如請求項 21 之方法，其中該資料時鐘暫停
命令包括 WS_WR 和 WS_FS 處於邏輯 1 且 WS_RD
處於邏輯 0 的運算元。

【請求項 23】如請求項 22 之方法，其中該鏈路根據一
LPDDR5 規範來操作。

【請求項24】如請求項23之方法，其中該記憶體包括一LPDDR5記憶體。

【請求項25】如請求項24之方法，其中該主機根據該LPDDR5規範來操作。

【請求項26】一種減小經由一鏈路耦合到一主機的一記憶體的一資料時鐘的功率的方法，包括以下步驟：

經由一鏈路來同步該主機與該記憶體之間的一資料時鐘；

由該記憶體的一時鐘樹緩衝器基於該資料時鐘來進行切換以擷取寫資料或輸出讀資料；

在該資料時鐘在該主機與該記憶體之間被同步之時，由該主機經由該鏈路向該記憶體提供一資料時鐘暫停命令；

由該時鐘樹緩衝器回應於該資料時鐘暫停命令而禁用基於該資料時鐘進行切換；

由該主機在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換；及

在該資料時鐘暫停命令之後，由該主機經由該鏈路向該記憶體提供一讀或寫命令，而在提供該資料時鐘暫停命令與提供該讀或寫命令之間無需執行該資料時鐘的同步。

【請求項27】如請求項26之方法，進一步包括以下步驟：

回應於該讀或寫命令，由該記憶體開啟對該時鐘樹緩衝器進行切換。

【請求項28】如請求項27之方法，其中回應於該讀或寫命令，由該記憶體執行該讀或寫操作。

【請求項29】如請求項26之方法，進一步包括以下步驟：
由該主機經由該鏈路向該記憶體提供一模式暫存器讀命令；及

回應於該模式暫存器讀命令，由該記憶體經由該鏈路向該主機提供該資料時鐘暫停命令的資訊。

【請求項30】如請求項29之方法，其中該資料時鐘暫停命令的該資訊指示該記憶體是否支援該資料時鐘暫停命令。

【請求項31】如請求項30之方法，其中提供該資料時鐘暫停命令是回應於該資料時鐘暫停命令的該資訊的。

【請求項32】如請求項31之方法，其中主機、該記憶體和該鏈路根據一低功率雙倍資料速率動態隨機存取記憶體規範來操作。

【請求項33】如請求項32之方法，其中該資料時鐘暫停命令包括 WS_WR 和 WS_FS 處於邏輯1且 WS_RD 處於邏輯0的運算元。

【請求項34】如請求項33之方法，其中該主機根據一LPDDR5規範來操作。

【請求項35】一種減小經由一鏈路耦合到一主機的一記憶體的一資料時鐘的功率的方法，包括以下步驟：

由一主機經由一鏈路向一記憶體提供一資料時鐘同步命令；

在使一資料時鐘同步之後，由該主機經由該鏈路向該記憶體提供一資料時鐘暫停命令，其中該資料時鐘暫停命令向該記憶體通知要禁用基於該資料時鐘來進行切換的一資料時鐘緩衝器；

由該主機在提供該資料時鐘暫停命令之後，對該資料時鐘進行切換；及

在該資料時鐘暫停命令之後，由該主機經由該鏈路向該記憶體提供一讀或寫命令，而在提供該資料時鐘暫停命令與提供該讀或寫命令之間無需執行該資料時鐘的同步。

【請求項36】如請求項35之方法，進一步包括以下步驟：

該記憶體回應於該讀或寫命令而開啟對該資料時鐘緩衝器進行切換。

【請求項37】如請求項36之方法，其中該記憶體回應於該讀或寫命令而執行一讀或寫操作。

【請求項38】如請求項35之方法，進一步包括以下步驟：

由該主機經由該鏈路向該記憶體提供針對該資料時鐘暫停命令的資訊的一模式暫存器讀命令。

【請求項39】如請求項38之方法，其中該資料時鐘暫停命令的該資訊指示該記憶體是否支援該資料時鐘暫停命令。

【請求項40】如請求項39之方法，其中提供該資料時鐘暫停命令是回應於該資料時鐘暫停命令的該資訊的。

【請求項41】如請求項35之方法，其中主機、該記憶體

和該鏈路根據一低功率雙倍資料速率動態隨機存取記憶體規範來操作。

【請求項42】如請求項35之方法，其中該資料時鐘暫停命令包括 WS_WR 和 WS_FS 處於邏輯1且 WS_RD 處於邏輯0的運算元。

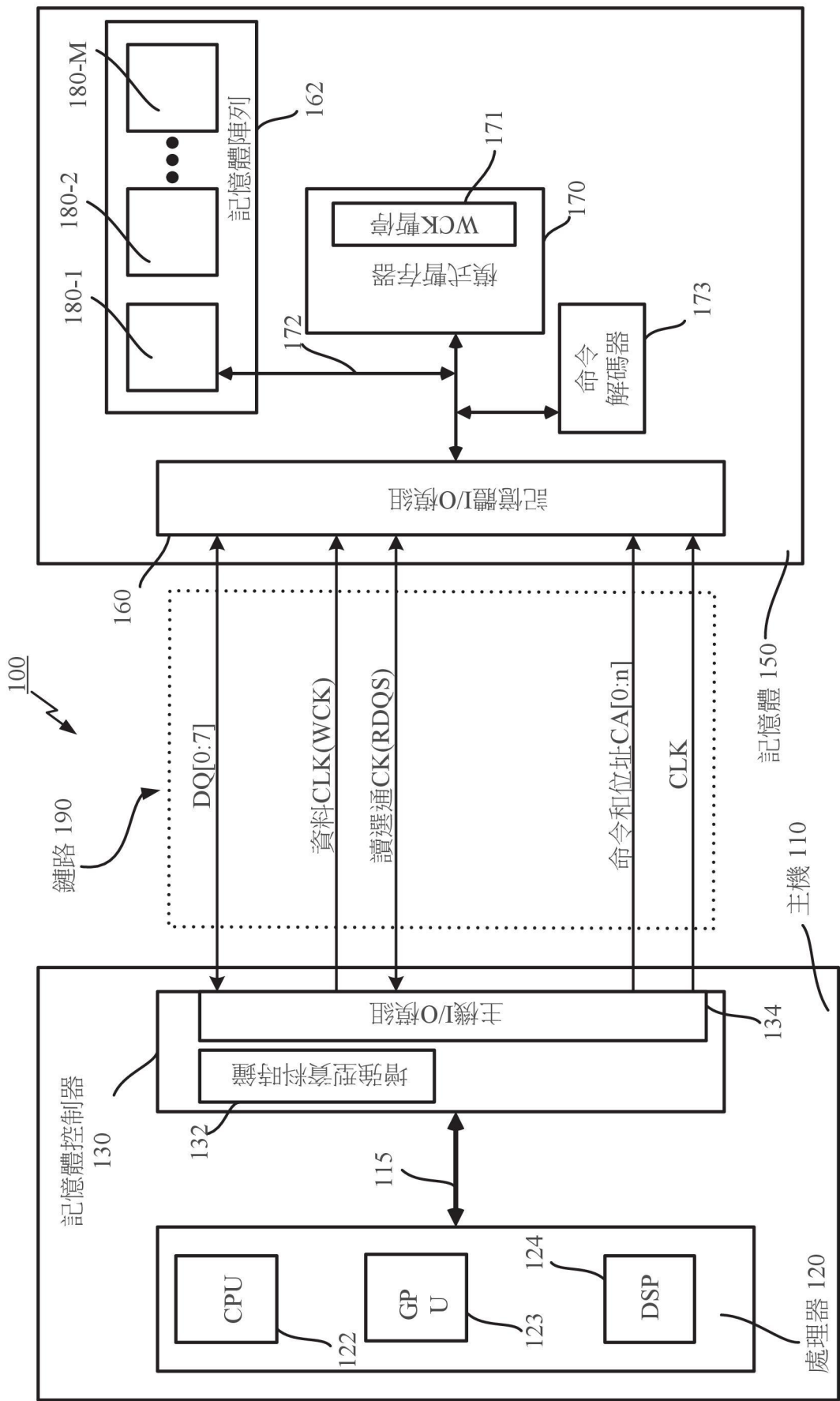


圖1

210 ↗

命令	組	引腳	位址						CLK 邊沿	
		CS	CA0	CA1	CA2	CA3	CA4	CA5	CA6	
CAS	任何	H	L	L	H	H	WS WR	WS RD	WS FS	上升
		X	DC0	DC1	DC2	DC3	WRX	WXS	B3	下降

220 ↗

操作模式	CAS命令運算元									
	WS_WR	WS_RD	WS_FS	DC0-3	WRX	WXS	B3			
針對寫的WCK2CK SYNC	H	L	L	LLLL	L	L	L			
針對讀的WCK2CK SYNC	L	H	L	LLLL	L	L	L			
快速WCK2CK SYNC	L	L	H	LLLL	L	L	L			
WCK2CK SYNC關閉	H	H	H	LLLL	L	L	L			
WCK暫停	H	L	H	LLLL	L	L	L			

圖2

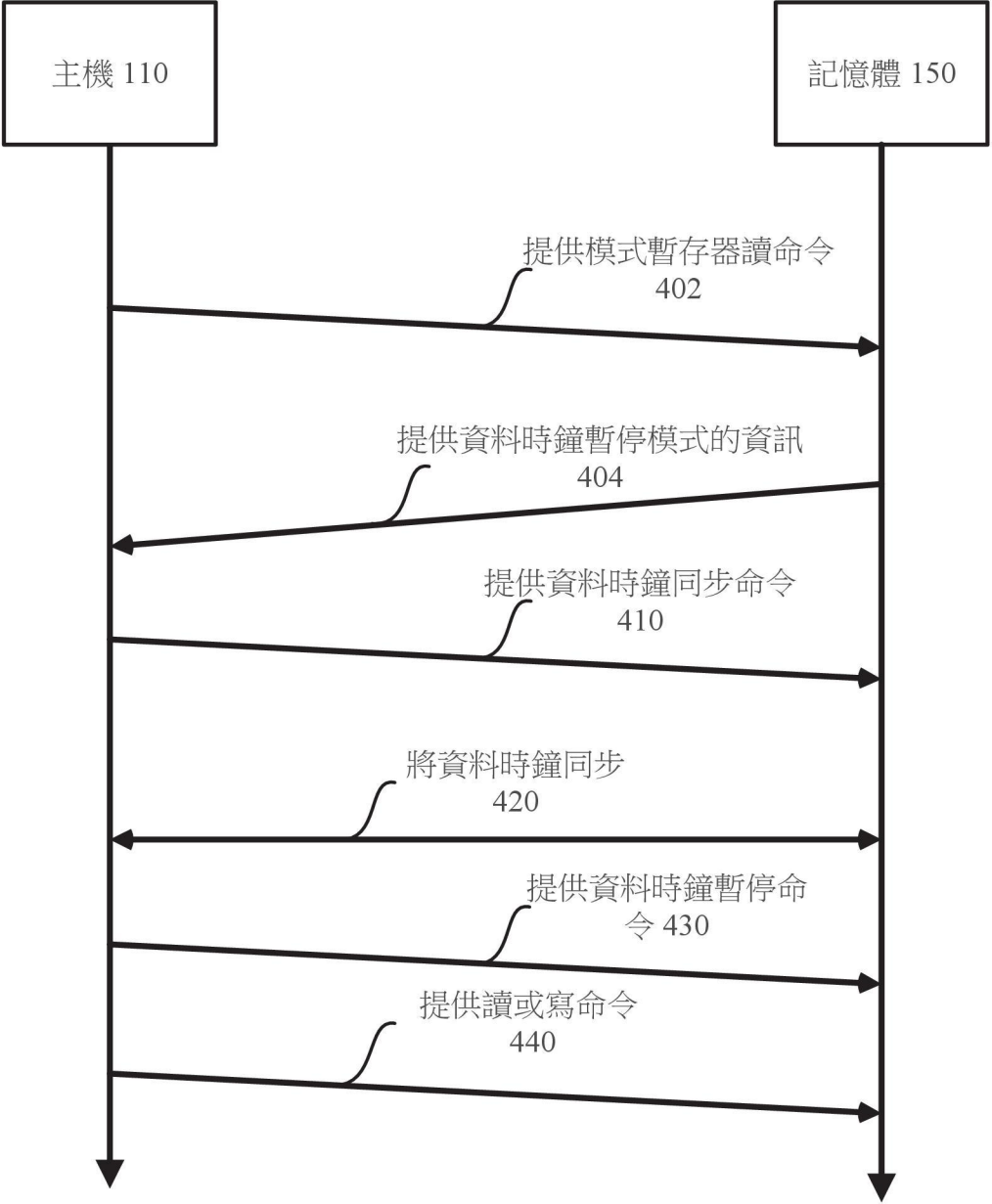


圖4

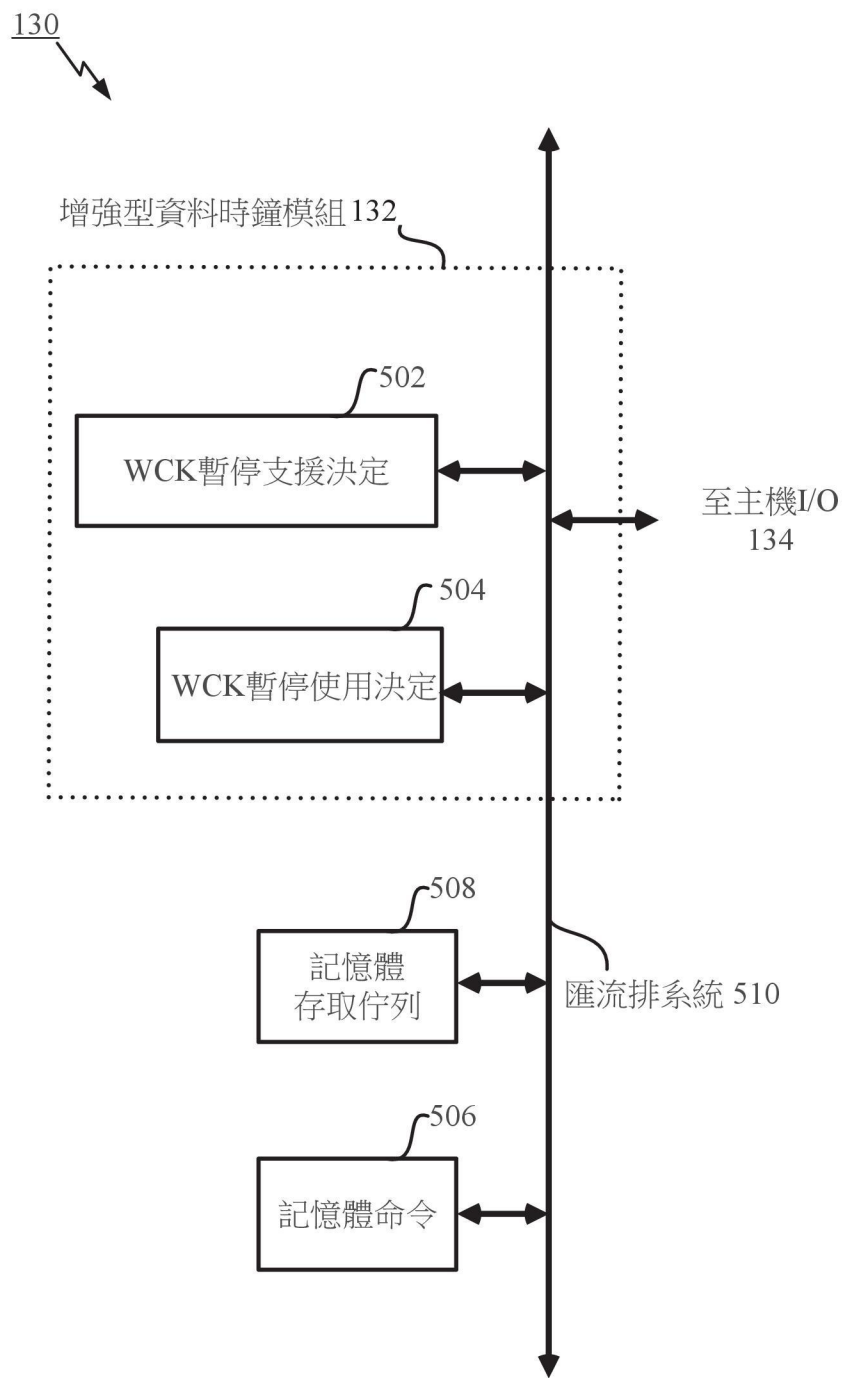


圖5

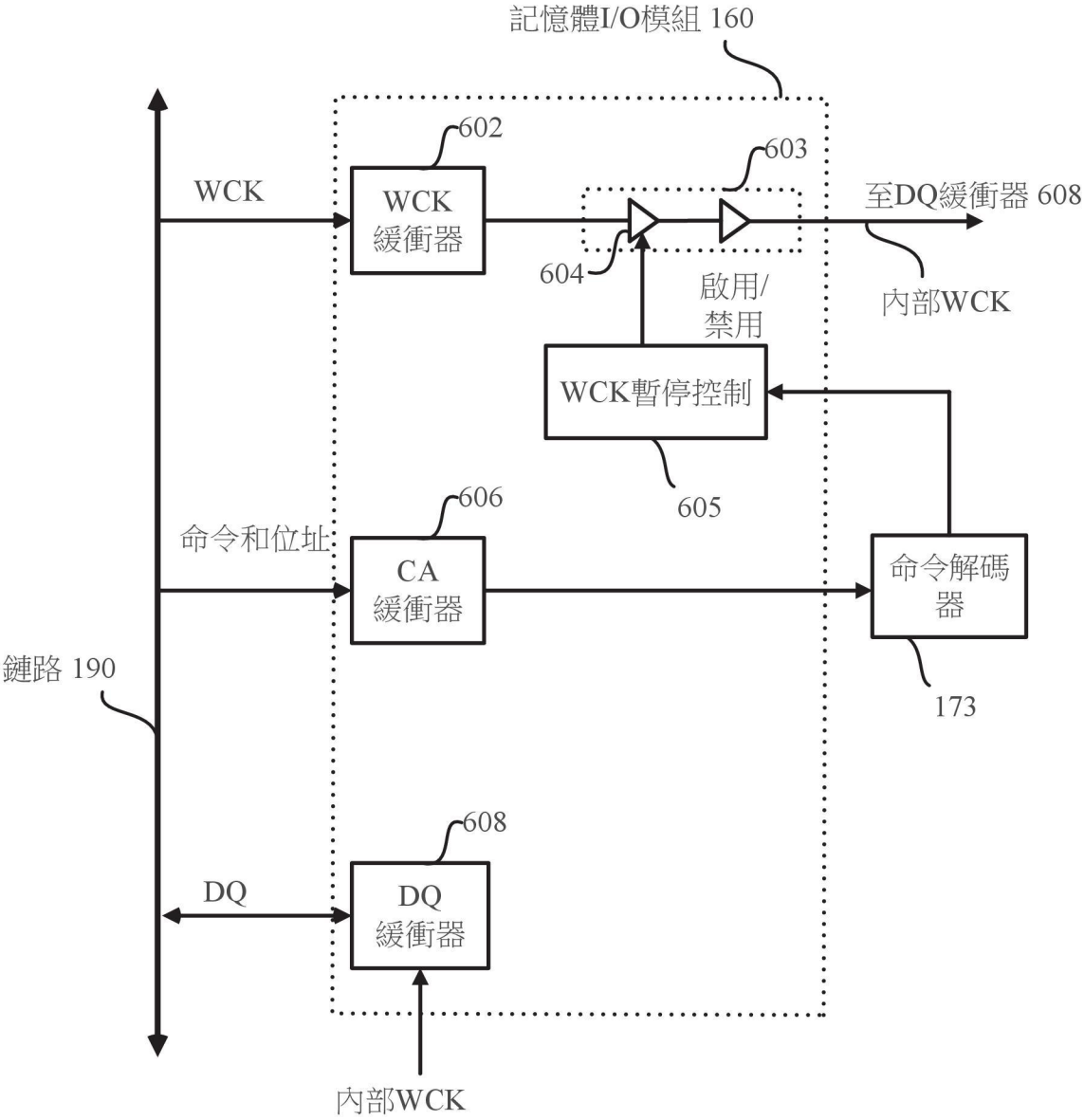


圖6

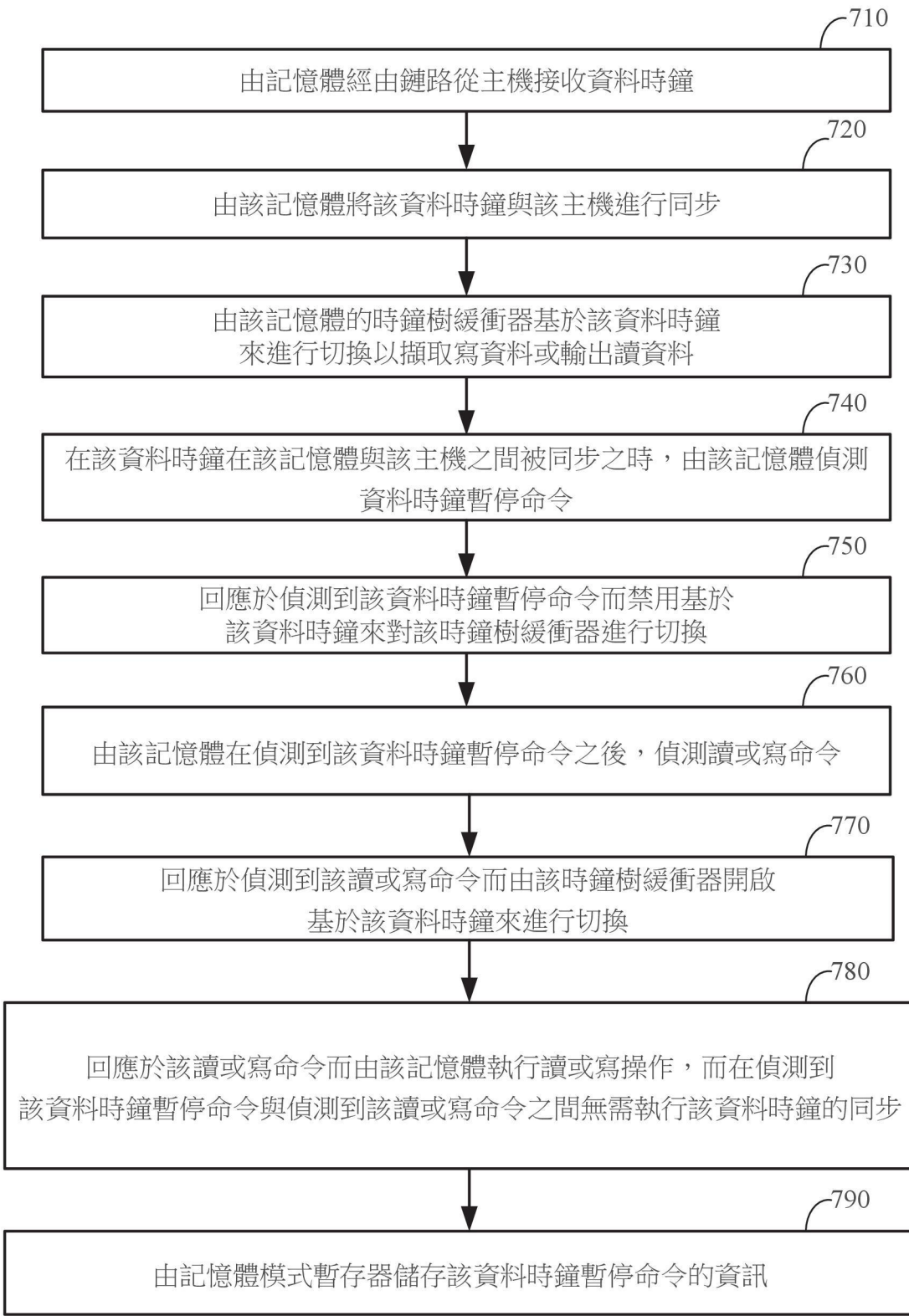


圖7

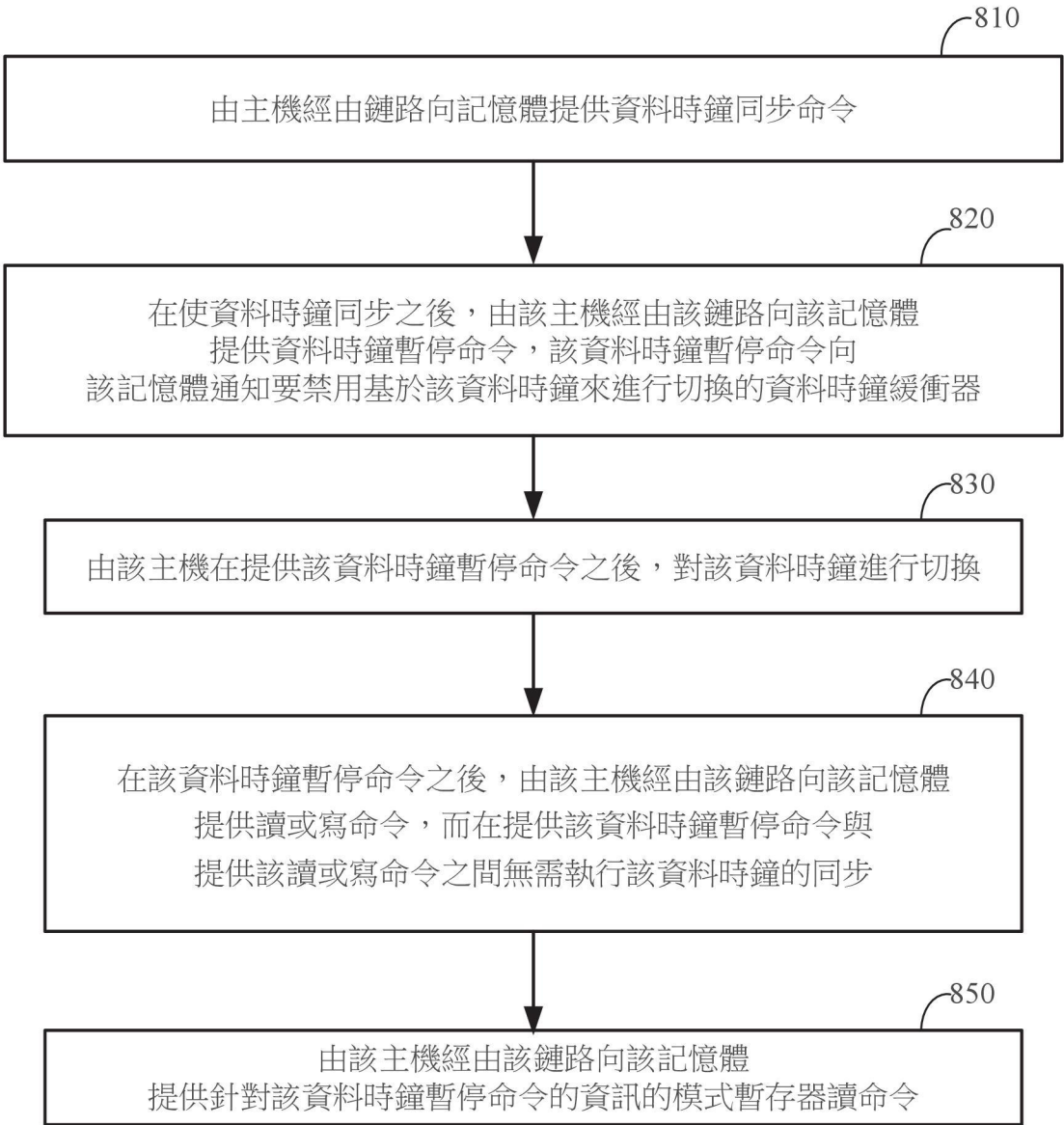


圖8