

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G11C 16/00

H01L 27/115

[12] 发明专利申请公开说明书

[21] 申请号 99103230.6

[43]公开日 1999 年 10 月 6 日

[11]公开号 CN 1230751A

[22]申请日 99.3.29 [21]申请号 99103230.6

[30]优先权

[32]98.3.27 [33]JP [31]081344/98

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 天内正和

[74]专利代理机构 中原信达知识产权代理有限责任公司

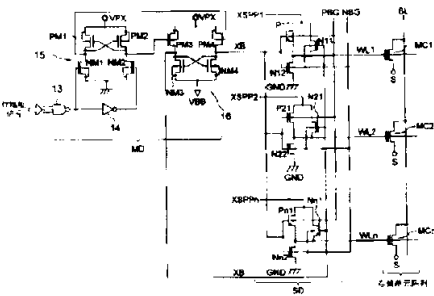
代理人 穆德骏 余 滕

权利要求书 3 页 说明书 19 页 附图页数 7 页

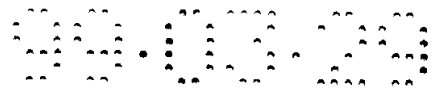
[54]发明名称 半导体存储器件

[57]摘要

一种半导体存储器件包括多个存储单元、行子译码器、行主译码器和减压装置。存储单元排列成矩阵形式。行子译码器选择存储单元的每行。行主译码器译码行地址信号并把控制信号输送给行子译码器。行主译码器是由至少一个具有 PN 结击穿电压的晶体管构成。减压装置在擦除操作期间降低 PN 结击穿电压。



ISSN 1008-4274



权 利 要 求 书

1. 一种半导体存储器件，包括：

排列成矩阵形式的多个存储单元；

5 选择所述存储单元的每行的行子译码器；

译码行地址信号并把控制信号输送给所述行子译码器的行主译码器，所述行主译码器是由至少一个具有 PN 结击穿电压的晶体管构成；
和

用于在擦除操作期间减少 PN 结电压的减压装置。

10

2. 根据权利要求 1 的半导体存储器件，其中：

每个所述存储单元是电可写和可擦的。

3. 根据权利要求 1 的半导体存储器件，其中：

15 预译码信号输送给所述行子译码器，并且经过字线输送给所述存储单元，和

所述减压装置把字线的电势设置为地电势。

4. 根据权利要求 1 的半导体存储器件，其中：

20 所述减压装置放置在所述行子译码器中，并由传输门构成，和
所述传输门是由至少一个 p 沟道晶体管构成。

5. 根据权利要求 4 的半导体存储器件，其中：

25 所述行子译码器具有地电势节点，所述 p 沟道晶体管连接在字线和地电势节点之间。

6. 根据权利要求 5 的半导体存储器件，其中：

所述 p 沟道晶体管具有源极、漏极和栅极，源极与地电势节点连接，漏极与字线连接。

30

7. 根据权利要求 6 的半导体存储器件，其中：
控制信号从所述行主译码器输送给栅极。

5 8. 根据权利要求 1 的半导体存储器件，其中：
控制信号具有预定振幅，预定振幅在零电势和负电势之间的范围
内。

9. 根据权利要求 1 的半导体存储器件，其中：
所述行主译码器是由至少一个电平变换电路构成，
10 所述电平变换电路根据写模式、擦除模式和读模式的每个模式产生
不同的电压，作为控制信号。

10. 根据权利要求 9 的半导体存储器件，其中：
所述存储单元是闪烁存储器，在写模式中负电压施加于所述闪烁存
15 储器。

11. 根据权利要求 9 的半导体存储器件，其中：
所述电平变换电路是由多个晶体管构成。

12. 根据权利要求 1 的半导体存储器件，其中：
所述行子译码器包括每个具有第一导电类型的第一和第二晶体
管，和具有不同于第一导电类型的第二导电类型的第三和第四晶体管，
和

所述行主译码器的控制信号具有彼此互补的第一输出信号和第二
25 输出信号。

13. 根据权利要求 12 的半导体存储器件，其中：
所述第一、第二、第三和第四晶体管的每个具有源极、漏极和栅极，
所述第一、第二、第三和第四晶体管的每个漏极连接到字线，
30 预译码信号输送给所述第一和第三晶体管的每个源极，

第一输出信号输送给所述第一和第四晶体管，
第二输出信号输送给所述第二和第三晶体管。

14. 根据权利要求 12 的半导体存储器件，其中：
第一导电类型是 n 型，而第二导电类型是 p 型。

15. 根据权利要求 12 的半导体存储器件，其中：
所述第一和第二晶体管的每个具有第一背栅，而所述第三和第四晶体管的每个具有第二背栅，
所述行子译码器具有第一和第二背栅控制节点，和
第一背栅耦合到第一背栅控制节点，而第二背栅耦合到第二背栅节点。

说明书

半导体存储器件

5 本发明涉及一种半导体存储器件，特别涉及如闪烁存储器之类的半导体存储器件。

首先参照图 1 说明常规半导体存储器件。

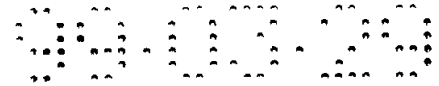
10 如图 1 所示，常规半导体存储器件，诸如闪烁存储器或 EEPROM(电可擦可编程 ROM)，包括多个存储单元 MC1-MCn，行子译码器(即字线驱动电路)SD，和多个行主译码器 MD。这里，应该注意为方便起见图 1 中所示只有一个译码器 MD。

15 在这种情况下，每个存储单元 MC1-MCn 是电可写的和可擦的，并且每个行子译码器 SD 选择每个存储单元 MC1-MCn 的一行。另外，每个行主译码器 MD 译码行地址信号并把输出信号 XB、 $\overline{XB}$ 输送给行子译码器 SD。

20 此时，行主译码器由两级电平变换电路 15、16 组成，并且其输出信号 XB、 $\overline{XB}$ 是彼此互补的。

25 这里，存储单元阵列是由按矩阵形式排列的多个存储单元构成。通过这样的结构，多个字线 WL 与在行方向排列的各个存储单元的控制栅极连接，同时多个位线 BL 与在行方向排列的各个存储单元的漏极连接。这种情况下，多个字线 WL 被分成多个块，并且每个块被行主译码器 MD 之一选择。

30 用于选择存储单元 MC1 的行的行子译码器 SD 由一个 p 沟道晶体管 P11 和两个 n 沟道晶体管 N11、N12 构成。这种情况下，晶体管 P11



和晶体管 N11 的源极连接到被输送预译码信号(XSPP)的 XSPP 节点,而晶体管 N12 的源极与地端(GND)耦合。

5 各个晶体管 P11、N11、N12 的漏极与字线(WL)连接。此外,输出信号 $\overline{XB}$ 输送给晶体管 P11 和晶体管 N12 的栅极,同时输出信号 XB 输送给晶体管 N11 的栅极。

而且,晶体管 P11 的背栅与背栅电压(PBG)节点耦合,而晶体管 N11、N12 的背栅分别与背栅电压(NBG)节点连接。

10

用于驱动其它存储单元 MC2-MCn 的每个行子译码器由各个晶体管 Pn1、Nn1、Nn2 以相同的方式构成。这些行子译码器被预译码信号 XSPP 和输出信号 XB、 $\overline{XB}$ 控制以确定每个字线(WL)的电势。

15

如后面所述,在写操作或擦除操作期间每个晶体管 P11、N11、N12 的漏极和背栅之间的电势差经常变高。这种情况下,当每个晶体管的阈值 V_t 降低时,由于亚阈值或击穿现象而使漏电流流过。为了防止这种现象,每个晶体管 P11、N11、N12 的背栅电压根据操作模式转换。

20

第一电平变换电路 15 由串联连接在模式转换电源(VPX)节点和地节点之间的两对晶体管构成。具体地说,电平变换电路 15 由 p 沟道晶体管 PM1 和 n 沟道晶体管 NM1, p 沟道晶体管 PM2 和 n 沟道晶体管 NM2 构成。

25

通过这种结构,NAND 门 13 的输出输送给晶体管 NM1 的栅极,而反相器电路 14 的输出输送给晶体管 NM2 的栅极。此外,晶体管 PM1 和晶体管 NM1 之间的串联连接点耦合到晶体管 PM2 的栅极,而晶体管 PM2 和晶体管 NM2 之间的串联连接点耦合到晶体管 PM1 的栅极。

30

下面说明第一电平变换电路 15 的操作。

当 NAND 门 13 的输出等于 0V 时，反相器 14 的输出变为 VDD 以导通晶体管 NM2。由此晶体管 NM2 的漏极和晶体管 PM1 的栅极分别为 0V。

5

因此，晶体管 PM1 导通，并且晶体管 PM1 的漏极和晶体管 PM2 的栅极变为 VPX。此时，晶体管 NM1 和 PM2 截断。

10

相反，当 NAND 门 13 的输出等于 VDD 时，反相器 14 的输出为 0V。由此晶体管 NM1 导通，晶体管 PM2 的栅极为 0V。结果，晶体管 PM2 导通，晶体管 PM1 的栅极变为 VPX。此时，晶体管 NM2 和 PM1 截断。

15

这样，第一电平变换电路 15 把作为 NAND 门 13 输出的[0V, VDD]的二进制信号转换成二进制信号[0V, VPX]。

20

另一方面，第二电平变换电路 16 由串联连接在 VPX 节点和模式转换电源电压(VBB)之间的两对晶体管构成。具体地说，第二电平变换电路 16 由晶体管 PM3 和晶体管 NM3，以及晶体管 PM4 和晶体管 NM4 构成。

25

通过这种结构，来自晶体管 PM2 和晶体管 NM2 之间的串联连接点的输出输送给晶体管 PM3 的栅极。另外，来自晶体管 PM1 和晶体管 NM1 之间的串联连接点的输出输送给晶体管 PM4 的栅极。

30

而且晶体管 PM3 和晶体管 NM3 之间的串联连接点与晶体管 NM4 的栅极连接，而晶体管 PM4 和晶体管 NM4 之间的串联连接点与晶体管 NM3 的栅极连接。

接下来说明第二电平变换电路 16 的操作。

当 NAND 门的输出等于 0V 时，晶体管 NM2 的漏极变为 0V。由此晶体管 PM4 导通以把输出信号 $\overline{XB}$ 输送给 VPX。因而，晶体管 NM3 的栅极为 VPX，晶体管 NM3 导通以把输出信号 XB 输送给 VBB。此时，晶体管 NM4 和 PM3 被截断。

相反，NAND 门 13 的输出等于 VDD 时，晶体管 NM1 的漏极为 0V。由此晶体管 PM3 导通以把输出信号 XB 输送给 VPX。因此，晶体管 NM4 的栅极为 VPX。结果，晶体管 NM4 导通以把输出信号 $\overline{XB}$ 输送给 VBB。此时，晶体管 NM3 和 PM4 截断。

这样，第二电平变换电路 16 把作为第一电平变换电路 15 的输出的 [0V, VPX] 的二进制信号转换成二进制信号 [VBB, VPX]。

如前所述，输出信号 XB 是从第二电平变换电路 16 的晶体管 PM3 和晶体管 NM3 之间的串联连接点产生的，而输出信号 $\overline{XB}$ 是从晶体管 PM4 和晶体管 NM4 之间的串联连接点产生的。这种情况下，输出信号 XB 和 $\overline{XB}$ 是互补关系。

此时，图 1 中所示的行译码器的每个操作模式中的每个端子的每个电压示于图 2 中。

这里，假设图 1 中所示的行主译码器 MD 被行地址选择以选择字线 WL1，字线 WL2-WLn 和行主译码器(未示出)没有被选择。

下面通过这个例介绍图 1 中所示的行译码器 MD、SD 的操作。

在写操作中，施加于行主译码器 MD 的模式转换电源电压 VPX 和低电势侧的节点转换电源电压 VBB 分别为 5V 和 -9V，如图 2 中所示。另外，p 沟道晶体管的背栅电压 PBG 等于 0V，而 n 沟道晶体管的背栅

电压 NBG 等于-9V。

5 当地址译码器 13 的输出变为 0V 时，输出信号 XB 变为电源电压 5V，输出信号 $\overline{XB}$ 变为-9V。另外，预译码信号 XSPP1 变为-9V，同时 XSPP2-n 变为 0V。因此晶体管 N11、P21-Pn1 导通。结果，字线信号 WL1 为-9V，而所有字线信号 WL2-WLn 为 0V。

10 这种情况下，未被选择的存储块(未示出)的预译码信号 XSPP1 变为-9V。但是输出信号 XB 变为-9V，输出信号 $\overline{XB}$ 变为电源电压 5V。因而，晶体管 N12-Nn2 导通，未选择的块的所有字线信号 WL1-WLn 变为 0V。

15 在擦除操作期间，模式转换电源电压 VPX 和背栅电压 PBG 分别为 1V。另外，在低电势侧模式转换电源电压 VBB 和背栅电压 NBG 分别等于 0V。

而且，各个预译码信号 XSPP1-n 和输出信号 XB 分别等于 11V，而输出信号 $\overline{XB}$ 等于 0V。结果，晶体管 P11-Pn1 导通，字线信号 WL1-WLn 分别等于 11V。

20 在这种情况下，未选择存储块(未示出)的预译码信号 XSPP1-n 等于 11V。但是，地址译码器 13 的输出变为 VDD。另外，输出信号 XB 变为 0V，并且输出信号 $\overline{XB}$ 变为 11V。因而，晶体管 N12-Nn2 被导通，未选择块的所有字线信号 WL1-WLn 变为 0V。

25 在读操作期间，模式转换电源电压 VPX 和背栅电压 PBG 分别为电源电压。另外，在低电势侧的模式转换电源电压 VBB 和背栅电压分别等于 0V。

30 当地址译码器 13 的输出为 0V 时，输出信号 XB 为电源电压 VDD，输出信号 $\overline{XB}$ 变为 0V。此外，预译码信号 XSPP1 变为 VDD，同时 XSPP2-n

分别等于 0V。因而，晶体管 P11、N21-Nn1 导通。由此字线信号 WL1 为 VDD，而 WL2-n 等于 0V。

5 这种情况下，未选择存储块(未示出)的预译码信号 XSPP1 为 VDD。然而，地址译码器 13 的输出变为 VDD，输出信号 XB 变为 0V。另外，输出信号 $\overline{XB}$ 为电源电压 VDD。因而，晶体管 N12-Nn2 被导通，未选择块的字线信号 WL1-WLn 分别为 0V。

10 这样，在用于闪烁存储器的行译码器 RD 中的写操作期间，用于控制字线驱动电路 SD 的行主译码器 MD 的输出信号 XB 和 $\overline{XB}$ 在高电平变为 5V，在低电平变为 -9V。结果， $5 - (-9) = 14V$ 的高电压施加于构成电平变换电路 MD 的晶体管的 PN 结。

15 即，在写操作期间，构成字线驱动电路 SD 的晶体管 N12 的背栅电压(NBG)为 -9V。由此，由于背栅偏置效应而使阈值电压变为例如大约 3.5V。

为此，需要晶体管 N12 的栅极电势选择到高于 3.5V 的高值，通过导通晶体管 N12 把字线(WL)的电势置为 0V。

20

以往，因为电源电压 VDD 被用做 VPX 并且 VDD 设置到大约 5V，所以不会有问题发生。

25 最近，电源电压 VDD 倾向于变为低于 1.8 和 3.6V 之间。当在低电源电压下使用半导体存储器件时，输出电压 $\overline{XB}$ 不会满足晶体管 N12 的阈值电压。结果晶体管 N12 没被导通。

30 如图 3 中所示，14V 的电压施加于晶体管的高电压（高击穿电压）的 N⁺区和 P 阱之间，和 P⁺区和深 N 阱之间。因而，需要 PN 结的击穿电平设计为 $(14 + \alpha)V$ 。这里，当负电势施加于 P 衬底(GND)时，深阱可

以防止电流流过结部分。

因此,需要形成扩散层,其杂质浓度比形成用于输送馈送电压 VDD 如电源电压的晶体管的源和漏极的扩散层的低。

5

结果,必须附加两个步骤,即薄 P 型扩散层的形成步骤和薄 N 型扩散层的形成步骤。这意味着制造步骤的数量和制造成本增加。

10

同时,在日本未审查专利公报平 9-17189 中已经公开了关于用于防止大电场压力施加于栅绝缘膜的常规非易失性半导体存储器。

在这种非挥发性半导体存储器(EEPROM)中,行主译码器和行子译码器根据多个单元块设置。

15

在这种情况下,行子译码器包括插入和连接在单元块的输入节点和字线之间的 PMOS 晶体管,和连接到字线和地节点的用于下拉(pull-down)的 NMOS 晶体管。

20

另一方面,行主译码器产生多个控制信号,这些控制信号的电势根据单元块的擦除选择/写未选择期间和擦除未选择/写选择期间被限制,并把各个控制信号输送给行子译码器的 PMOS 晶体管和 NMOS 晶体管。

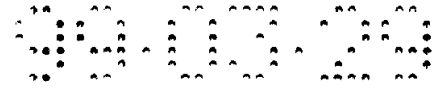
25

在写和擦除期间,此 EEPROM 防止大电场施加行子译码器中的特定晶体管的栅绝缘膜。结果,可以避免可靠性下降。

但是,在上述非易失性半导体存储器(EEPROM)中没有考虑关于负电压的情况。

30

另外,非易失性半导体存储器件不适用于如闪烁存储器的半导体存



储器件。在半导体存储器件中，在写操作过程中要施加于存储单元的施加电压彼此不同。

因此本发明的目的是提供半导体存储器件，即使在写操作过程中要施加于存储单元的施加电压为负电压时也不另外增加制造步骤，减少PN结的击穿电平，并且不增加制造成本。

根据本发明，半导体存储器件包括多个存储单元，行子译码器，行主译码器和减压装置。

在这种情况下，存储单元排列成矩阵形式。行子译码器选择每行存储单元。另外，行主译码器译码行地址信号和输送控制信号给行子译码器。这里，行主译码器是由至少一个具有PN结击穿电压的晶体管构成。

而且，减压装置在擦除模式期间减少PN结击穿电压。在这种情况下，每个存储单元是电可写和可擦的。

通过这种结构，预译码信号输送给行子译码器，并经过字线输送到存储单元。减压装置把字线的电势设置为地电势。

此时，减压装置放置在行子译码器中并由传输门构成。传输门是由至少一个p沟道晶体管构成。

此外，行子译码器具有地电势节点。p沟道晶体管连接在字线和地电势节点之间。具体地，p沟道晶体管具有源极、漏极和栅极。在此条件下，源极与地电势节点连接，而漏极与字线连接。此外，控制信号从行主译码器输送给栅极。

而且控制信号具有预定振幅，预定振幅在零电势和负电势之间的范围内。

行主译码器是由至少一个电平变换电路构成。这种情况下，该电平变换电路根据写模式、擦除模式和读模式的每个模式产生不同的电压，作为控制信号。

5

例如，存储单元是闪烁存储器。此时，在写模式中负电压施加于闪烁存储器。

10

具体地，减压装置在写模式中减少行主译码器的晶体管的 PN 结电压。

因此，即使在要施加于存储单元的施加电压是负电压时，也能减少 PN 结的击穿电平。

15

结果，在半导体存储器件的制造步骤中不需要两个附加步骤(即用于形成薄 p 型扩散层的步骤和用于形成薄 n 型扩散层的步骤)，这样就防止了制造成本的增加。由此可以大大减少制造成本。

20

而且，行主译码器是由多个级的电平变换电路构成，在多个级的电平变换电路中模式转换信号彼此不同，输出信号 XB 、 $\overline{XB}$ 变为二进制信号[0V, -9V]。

由此在写模式中施加于构成电平变换电路的晶体管的 PN 结的电压进一步被减少。因而，PN 结的击穿电平进一步被减少。

25

图 1 是表示相关技术的半导体存储器件的行译码器的电路图；

图 2 是表示图 1 中所示的行译码器的每个模式中的每个端子的每个电压的表；

30

图 3 是表示构成图 1 中所示的行主译码器的晶体管的例子的剖面图；

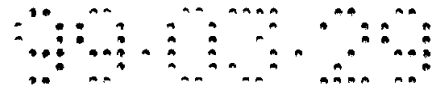


图 4 是表示根据本发明的第一实施例半导体存储器件的行译码器的电路图；

图 5 是表示图 4 中所示行译码器的每个模式中的每个端子的每个电压的表；

5 图 6 是表示根据本发明的第二实施例半导体存储器件的行译码器的电路图；

图 7 是表示图 6 中所示行译码器的每个模式中的每个端子的每个电压的表。

10 (第一实施例)

首先根据本发明的第一实施例说明半导体存储器件。

如图 4 中所示，设置在半导体存储器件如闪烁存储器或 EEPROM(电可擦可编程 ROM)中的行译码器 RD10 包括：多个存储单元
15 MC1-MCn，行子译码器(即字线驱动电路)SD，和多个行主译码器 MD。这里，应该注意到，为方便起见在图 4 中只示出一个译码器 MD。

在这种情况下，每个存储单元 MC1-MCn 是电可写和可擦的，并且每个行子译码器 SD 选择每个存储单元 MC1-MCn 的一行。另外，每个
20 行主译码器 MD 译码行地址信号并把输出信号 XB、 $\overline{XB}$ 输送给行子译码器 SD。

此时，行主译码器由电平变换电路 15、16 构成，并且其输出信号 XB、 $\overline{XB}$ 是彼此互补的。

25

这里，存储单元阵列由设置成矩阵形式的多个存储单元构成。通过这种结构，多个字线 WL 被连接以控制在行方向设置的各个存储单元的栅极，而多个位线 BL 连接到在行方向设置的各个存储单元的漏极。在这种情况下，多个字线 WL 分成多个块，每个块由行主译码器 MD 之一
30 选择。

对应于字线 WL1 的行子译码器 SD 是由两个 p 沟道晶体管 P11、P12 和两个 n 沟道晶体管 N11、N12 构成。

此时，晶体管 P11 和晶体管 N11 的源极连接到被输送以预译码信号(XSPP)的 XSPP 节点，而晶体管 N12 和晶体管 P12 的源极与地端(GND)耦连。

各个晶体管 P11、P12、N11、N12 的漏极与字线(WL)连接。另外，输出信号 $\overline{XB}$ 输送给晶体管 P11 和晶体管 N12 的栅极，而输出信号 XB 输送给晶体管 N11 和晶体管 P12 的栅极。

而且晶体管 P11、P12 的背栅与背栅电压(PBG)节点连接，而晶体管 N11、N12 的背栅分别与背栅电压(NBG)节点连接。

因此，p 沟道晶体管 P12 起连接在字线(WL)和地电势节点之间的传输栅的作用。

用于驱动其它存储单元 MC2-MCn 的每个行子译码器由各个晶体管 Pn1、Pn2、Nn1、Nn2 以相同的方式构成。这些行子译码器被预译码信号 XSPPn 和输出信号 XB、 $\overline{XB}$ 控制，以确定每个字线(WL)的电势。

行主译码器 MD 由译码行地址信号的 NAND 门 13、转换 NAND 门 13 的输出的反相器电路 14、转换 NAND 门 13 的输出的第一电平变换电路 15、和转换第一电平变换电路 15 的输出电平的第二电平变换电路 16 构成。

第一电平变换电路 15 是由串联连接在模式转换电源(VPX)节点和地节点之间的两对晶体管构成。具体地说，电平变换电路 15 是由 p 沟道晶体管 PM1 和 n 沟道晶体管 NM1，和 p 沟道晶体管 PM2 和 n 沟道晶



5

10

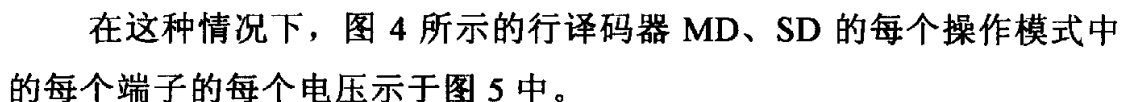
15

20

25

30

12



5

在写操作中, 模式转换电源电压 VPX 和地电势的模式转换电源电 BB 分别等于电源电压 VDD 和 -9V, 如图 5 中所示。另外, p 沟道管的背栅电压 PBG 等于 0V, 而 n 沟道晶体管的背栅电压 NBG 等 V。

15

20

25

在擦除操作期间,模式转换电源电压 VPX 和背栅电压 PBG 分别等

于 1V。此外，在低电势侧的模式转换电源电压 VBB 和背栅电压 NBG 分别等于 0V。

5 而且，各个预译码信号 XSPP1-n 和输出信号 XB 分别等于 11V，而输出信号 $\overline{XB}$ 等于 0V。结果，晶体管 P11-Pn1 导通，字线信号 WL1-WLn 分别等于 11V。

10 这种情况下，未选择的存储块(未示出)的预译码信号 XSPP1-n 等于 11V。但是，地址译码器 13 的输出为 VDD。另外，输出信号 XB 为 0V，输出信号 $\overline{XB}$ 等于 11V。

因而，晶体管 N12-Nn2 被导通，未选择的块的字线信号 WL1-WLn 变为 0V。

15 在读操作期间，模式转换电源电压 VPX 和背栅电压 PBG 分别等于电源电压 VDD。此外，在低电势侧模式转换电源电压 VBB 和背栅电压 NBG 分别等于 0V。

20 当地址译码器 13 的输出为 0V 时，输出信号 XB 为电源电压 VDD，输出信号 $\overline{XB}$ 变为 0V。

此外，预译码信号 XSPP1 为 VDD，而 XSPP2-n 分别等于 0V。结果晶体管 P11-Pn1 被导通。由此，字线信号 WL1 为 VDD，而 WL2-n 分别等于 0V。

25 在这种情况下，未选择的存储块(未示出)的预译码信号 XSPP 为 VDD。但是，地址译码器 13 的输出为 VDD，输出信号 XB 等于 0V。此外，输出信号 $\overline{XB}$ 为电源电压 VDD。

30 结果晶体管 N12-Nn2 被导通，未选择块的字线信号 WL1-WLn 分

别为 0V。

这样，在写操作过程中，用于控制字线驱动电路 SD 的行主译码器 MD 的输出信号 XB、 $\overline{XB}$ 在高电平时为电源电压 VDD，在低电平时为 -9V。

结果，VDD-(-9) 的电压施加于构成行主译码器 MD 的晶体管的 PN 结。这样，电源电压在 1.8 和 3.6V 之间的范围内，并且与常规情况相比减少了大约 1.4V。

即，p 沟道晶体管 P12 加在行子译码器 SD 中。由此，即使在输出信号 $\overline{XB}$ 等于电源电压 VDD 和 n 沟道晶体管 N12 没被导通时，输出信号 XB 等于 -9V。结果，p 沟道晶体管 P12 被导通，字线 WL1 的电势可以为 0V(即地电势)。

这里，应该注意到，晶体管 P12 只有在写模式中是必需的。虽然晶体管 N12 在写模式中不起作用，但因为它在其它模式中是必需的，因此保留该晶体管。

因此，即使当象诸如根据本发明的闪烁存储器的半导体存储器件的存储单元 MC 的施加电压是负电压时，在写操作过程中也可以减少施加于构成行主译码器 MD 的晶体管的 PN 结的电压。由此可以降低 PN 结的击穿电平。

这样，在半导体存储器件的制造步骤中两附加步骤(即，用于形成薄 p 型扩散层的步骤和用于形成薄 n 型扩散层的步骤)是不需要的。结果可以避免制造成本的增加。

具体地说，假设在根据本发明的半导体存储器件中可以减少大约 10% 的制造成本。这会大大减少制造成本。

(第二实施例)

下面说明根据本发明的第二实施例的半导体存储器件。

5 如图 6 所示, 除了行译码器 RD20 中的第一电平变换电路 15 和第二电平变换电路 16 之外, 行主译码器 MD 还包括第三电平变换电路 21。在这种情况下, 第三电平变换电路 21 转换第二电平变换电路 16 的输出

10 此外, 第三电平变换电路 21 的模式转换电源电压 VPX2 与第一和第二电平变换电路 15 和 16 的模式转换电源电压 VPX1 不同。

 而且第三电平变换电路 21 的低电势侧的模式转换电源电压 VBB2 与第二电平变换电路 16 的低电势侧的模式转换电源电压 VBB1 不同。

15 行译码器 R20 与图 4 中所示的行译码器在其它结构、操作和效果上相似。

20 通过这种结构, 第一电平变换电路 15 把作为 NAND 门 13 的输出

 的[0V, VDD]的二进制信号转换为二进制信号[0V, VPX]。另一方面, 第二电平变换电路 16 把作为第一电平变换电路 15 的输出的[0V, VPX]的二进制信号转换为二进制信号[VBB1, VPX1]。

25 第三电平变换电路 21 是由串联连接在模式转换电源电压(VPX2)节点和低电势侧的模式转换电源电压 VBB2 节点之间的两对晶体管构成。具体地说, 第三电平变换电路 21 是由 p 沟道晶体管 PM5 和 n 沟道晶体管 NM5, 和 p 沟道晶体管 PM6 和 n 沟道晶体管 NM6 构成。

30 来自第二电平变换电路 16 的晶体管 PM4 和晶体管 NM4 之间的串联连接点的输出输送给晶体管 PM5 的栅极。

此外，来自第二电平变换电路 16 的晶体管 PM3 和晶体管 NM3 之间的串联连接点的输出输送给晶体管 PM6 的栅极。

5 而且晶体管 PM5 和晶体管 NM5 之间的串联连接点与晶体管 NM6 的栅极耦合，而晶体管 PM6 和晶体管 NM6 之间的串联连接点与晶体管 NM5 的栅极耦合。

10 通过这样的结构，第三电平变换电路 21 把[VBB1, VPX1]的二进制信号转换为二进制信号[VBB2, VPX2]。

15 在这种情况下，输出信号 XB 是从第三电平变换电路 21 的晶体管 PM5 和晶体管 NM5 之间的串联连接点产生的，而输出信号 $\overline{XB}$ 是从晶体管 PM6 和晶体管 NM6 之间的串联连接点产生的。此时，输出信号 XB 和 $\overline{XB}$ 是互补关系。

这种情况下，图 6 中所示的行译码器 MD、SD 的每个操作模式中的每个端子的每个电压示于图 7 中。

20 这里，假设图 6 中所示的行主译码器 MD 被行地址选择以选择字线 WL1，并且字线 WL2-WLn 和行主译码器 MD(未示出)未被选择。

下面通过这个例子说明图 6 中所示的行译码器 MD、SD 的操作。

25 在写操作期间，模式转换电源电压 VPX1 等于电源电压 VDD，模式转换电源电压 VPX2 等于 0V，低电势的模式转换电源电压 VBB1 等于 -4V，并且低电势的模式转换电源电压 VBB2 等于 -9V。

30 另外，p 沟道晶体管背栅电压 PBG 等于 0V，而 n 沟道晶体管的背栅电压 NBG 等于 -9V。

当地址译码器 13 的输出为 0V 时,输出信号 XB 变为电源电压 0V,输出信号 $\overline{XB}$ 为-9V。另外,预译码信号 XSP1 为-9V,而 XSP2-n 变为 0V。

5

因而,晶体管 N11 和 P21-Pn1 被导通。结果字线信号 WL1 为-9V,字线信号 WL2-WLn 变为 0V。

10

这种情形下,没有被选择的存储块(未示出)的预译码信号 XSP1 为-9V。但是,地址译码器 13 的输出为 VDD,输出信号 XB 为-9V,输出信号 $\overline{XB}$ 为电源电压 0V。

15

在擦除操作期间,模式转换电源电压 VPX1、VPX2 和背栅电压 PBG 分别等于 11V。另外,在低电势侧的模式转换电源电压 VBB1、VBB2 和背栅电压 NBG 分别等于 0V。

20

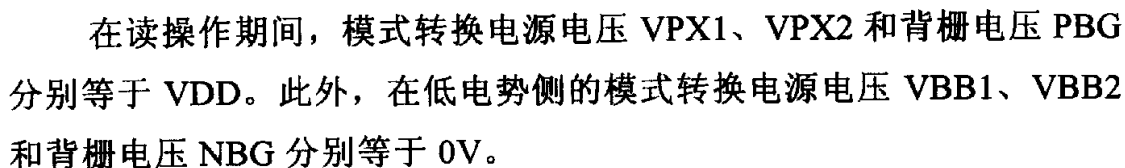
而且各个预译码信号 XSP1-n 和输出信号 XB 分别为 11V,而输出信号 $\overline{XB}$ 为 0V。结果晶体管 P11-Pn1 导通,所有字线信号 WL1-WLn 分别等于 11V。

25

在这种情形下,未选择存储块(未示出)的预译码信号 XSP1-n 等于 11V。然而,地址译码器 13 的输出为 VDD。此外,输出信号 XB 为 0V,而输出信号 $\overline{XB}$ 变为 11V。

30

因而,晶体管 N12-Nn2 导通,未选择的块的所有字线信号 WL1-WLn 为 0V。



5

10

—

15

20

1

25

30

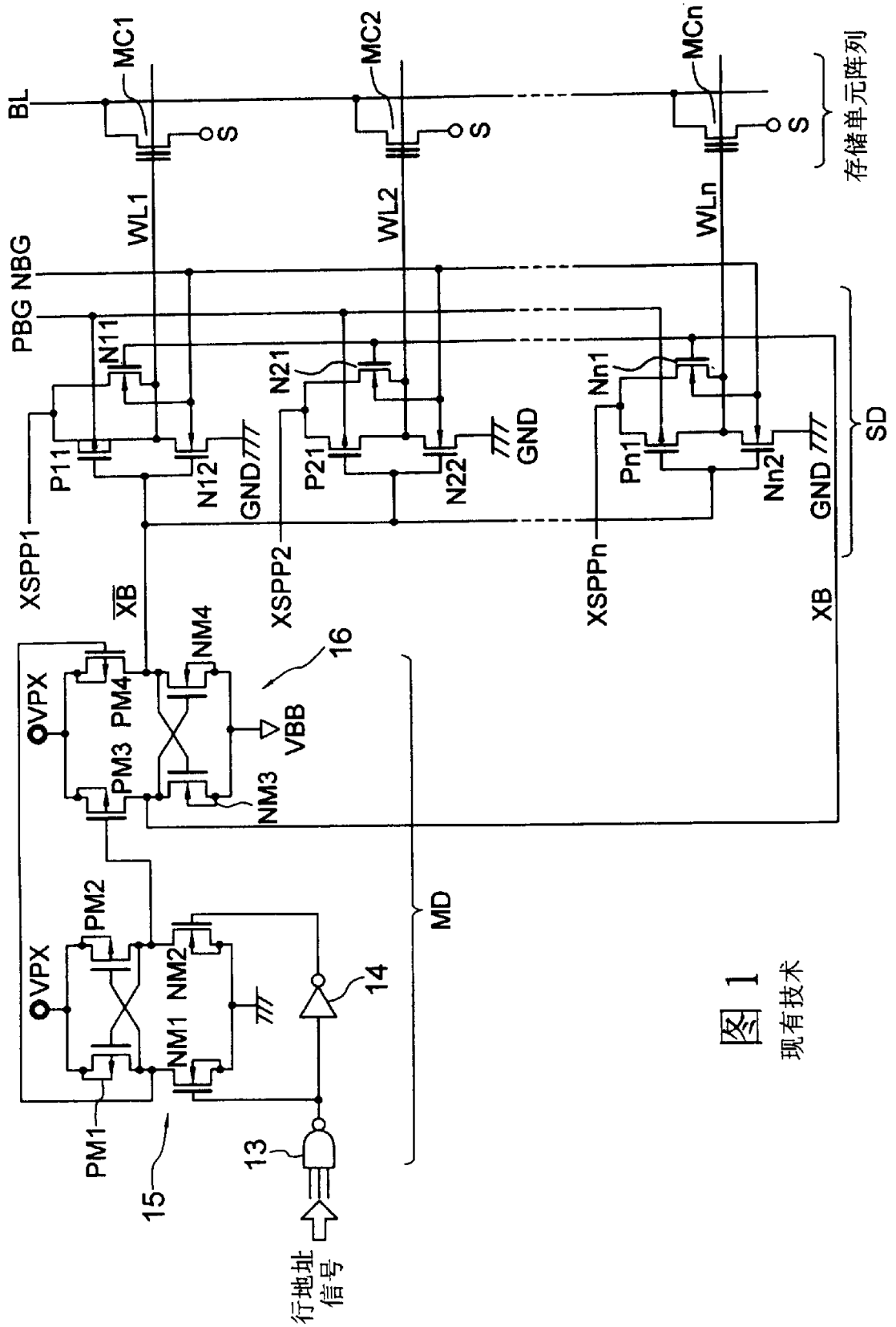


图 1

现有技术

信号名称	写模式期间		擦除模式期间		读模式期间	
	选择字线	未选择字线	选择字线	未选择字线	选择字线	未选择字线
XSPPI1~n	-9V	0V	11V	11V	VDD	0V
XB	5V	5V	11V	0V	VDD	0V
$\overline{\text{XB}}$	-9V	-9V	0V	11V	0V	VDD
WL1~n	-9V	0V	11V	0V	VDD	0V
VPX	5V		11V		VDD	
VBB	-9V		0V		0V	
PBG	0V		11V		VDD	
NBG	-9V		0V		0V	

图 2
现有技术

信号名称	写模式期间		擦除模式期间		读模式期间	
	选择字线	未选择字线	选择字线	未选择字线	选择字线	未选择字线
XSP1~n	-9V	0V or -9V	11V	11V	VDD	0V
XB	VDD	-9V	11V	0V	VDD	0V
$\overline{XB}$	-9V	VDD	0V	11V	0V	VDD
WL1~n	-9V	0V	11V	0V	VDD	0V
VPX	VDD		11V		VDD	
VBB	-9V		0V		0V	
PBG	0V		11V		VDD	
NBG	-9V		0V		0V	

图 5

