



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0060317  
(43) 공개일자 2009년06월11일

(51) Int. Cl.

H01L 29/06 (2006.01)

- (21) 출원번호 10-2009-7006475
- (22) 출원일자 2009년03월27일  
심사청구일자 2009년03월27일  
번역문제출일자 2009년03월27일
- (86) 국제출원번호 PCT/US2007/016947  
국제출원일자 2007년07월27일
- (87) 국제공개번호 WO 2008/027143  
국제공개일자 2008년03월06일
- (30) 우선권주장  
11/511,596 2006년08월28일 미국(US)

(71) 출원인

마이크론 테크놀로지, 인크.

미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우스 페드럴 웨이 8000

(72) 발명자

태일러, 테드

미국 83709 아이다호주 보이스 웨스트 홀란데일 드라이브 9894

양, 시아완

미국 83706 아이다호주 보이스 아파트먼트 21 싸우스 로저스 폰드플레이스 1486

(74) 대리인

양영준, 백만기

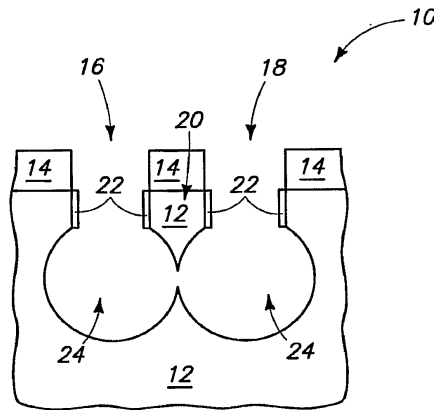
전체 청구항 수 : 총 50 항

(54) 반도체 장치, 어셈블리 및 구조, 및 반도체 장치, 어셈블리 및 구조의 형성 방법

(57) 요약

여기에 개시된 실시예들은, 반도체 재료 내에 한 쌍의 개구들이 형성되고, 그러한 개구들은 반도체 재료의 세그먼트에 의해 서로 이격되는 방법들을 포함한다. 그 개구들의 측벽들을 따라서 라이너들이 형성되고, 그 후 그 개구들의 저면들로부터 반도체 재료를 등방성으로 에칭하여 그 개구들을 병합하고 그에 의해 반도체 재료의 세그먼트를 완전히 언더컷팅한다. 여기에 개시된 실시예들은 SOI 구조들을 형성하는 데 이용될 수 있고, 또한 채널 영역들을 전체적으로 둘러싸는 트랜지스터 게이트들을 갖는 전계 효과 트랜지스터들을 형성하는 데 이용될 수 있다. 여기에 개시된 실시예들은 또한 채널 영역들을 둘러싸는 반도체 구조들과, 또한 절연성 재료가 상부 반도체 재료를 하부 반도체 재료로부터 분리시키는 구조들을 포함한다.

대표도 - 도5



**특허청구의 범위**

**청구항 1**

반도체 장치를 형성하는 방법으로서,

반도체 재료 내에 한 쌍의 개구들을 형성하는 단계 - 상기 개구들은 상기 반도체 재료의 세그먼트에 의해 서로 이격되어 있음 -;

상기 개구들의 측벽들을 따라서 라이너(liner)들을 형성하는 단계; 및

상기 라이닝된 개구들의 저면(bottom)들로부터 반도체 재료를 등방성으로 에칭하여 상기 개구들을 병합하고 그에 의해 상기 세그먼트를 완전히 언더컷팅하는(undercut) 단계

를 포함하는 반도체 장치 형성 방법.

**청구항 2**

제1항에 있어서,

상기 개구들을 형성하는 단계 및 상기 세그먼트를 언더컷팅하는 단계는, 상기 세그먼트의 옆과 아래에 연장하는 공동(cavity)을 형성하고, 상기 공동을 전기 절연성 재료로 충전(fill)하는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 3**

제2항에 있어서,

상기 공동을 전기 절연성 재료로 충전하는 단계는, 상기 공동을 실리콘 이산화물을 포함하는 전기 절연성 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 4**

제2항에 있어서,

상기 공동을 전기 절연성 재료로 충전하는 단계는, 상기 공동을 실리콘 이산화물로 이루어진 전기 절연성 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 5**

제1항에 있어서,

상기 개구들을 형성하는 단계 및 상기 세그먼트를 언더컷팅하는 단계는, 상기 세그먼트의 옆과 아래에 연장하는 공동을 형성하고, 상기 공동 내에 및 상기 세그먼트의 주위에 워드라인 재료를 형성하는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 6**

제5항에 있어서,

상기 워드라인 재료는 금속, 금속을 포함한 화합물, 및 도전성으로 도핑된(conductively-doped) 반도체 재료로 이루어진 그룹으로부터 선택된 조성들 중 하나 이상을 포함하도록 형성되는 반도체 장치 형성 방법.

**청구항 7**

제5항에 있어서,

상기 워드라인 재료는 도전성으로 도핑된 실리콘을 포함하도록 형성되고, 상기 도전성으로 도핑된 실리콘은,

처음에 상기 공동 내에 실리콘을 성막하는 단계; 및

상기 실리콘을 성막한 후에, 상기 실리콘 내에 도전성 항상 도펀트를 주입하는 단계에 의해 형성되는 반도체 장치 형성 방법.

**청구항 8**

제5항에 있어서,

상기 워드라인 재료는 도전성으로 도핑된 실리콘을 포함하도록 형성되고, 상기 도전성으로 도핑된 실리콘은 상기 공동 내에 상기 실리콘이 성장될 때 실리콘을 인 시튜 도핑(in situ doping)함으로써 형성되는 반도체 장치 형성 방법.

**청구항 9**

반도체 장치를 형성하는 방법으로서,

반도체 재료 내에 복수의 활성 영역 위치를 정의하는 단계 - 인접한 활성 영역 위치들은 상기 반도체 재료의 영역들에 의해 서로 이격되어 있음 -;

상기 반도체 재료의 영역들 내로 에칭하여 상기 활성 영역 위치들의 아래에 완전히 연장하는 공동들을 형성하는 단계; 및

상기 공동들을 유전 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 10**

제9항에 있어서,

상기 반도체 재료는 단결정 실리콘을 포함하는 반도체 장치 형성 방법.

**청구항 11**

제9항에 있어서,

상기 공동들을 유전 재료로 충전하는 단계는, 상기 공동들을 실리콘 이산화물을 포함하는 유전 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 12**

제9항에 있어서,

상기 공동들을 유전 재료로 충전하는 단계는, 상기 공동들을 실리콘 이산화물로 이루어진 유전 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 13**

제9항에 있어서,

상기 공동들을 형성하는 단계는,

상기 영역들의 반도체 재료를 제거하여 상기 인접한 활성 영역 위치들 사이에 개구들을 형성하는 단계;

상기 개구들을 좁히기 위해, 상기 개구들의 측벽들을 따라서 보호 재료를 형성하는 단계; 및

상기 개구들을 통하여 상기 반도체 재료를 등방성으로 에칭하여 상기 활성 영역 위치들의 아래에 완전히 상기 개구들을 연장하는 단계

를 포함하는 반도체 장치 형성 방법.

**청구항 14**

제13항에 있어서,

상기 보호 재료를 형성하는 단계는, 실리콘 이산화물을 포함하도록 상기 보호 재료를 형성하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 15**

제14항에 있어서,

상기 개구들이 상기 유전 재료로 충전된 후에 상기 개구들 내에 상기 보호 재료를 남겨두는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 16**

제15항에 있어서,

상기 유전 재료는 실리콘 이산화물을 포함하는 반도체 장치 형성 방법.

**청구항 17**

반도체 장치를 형성하는 방법으로서,

반도체 재료를 제공하는 단계;

상기 반도체 재료 내에 활성 영역 위치들의 어레이를 정의하는 단계 - 상기 어레이는 열(column)들 및 행(row)들을 포함함 -;

상기 활성 영역 위치들의 열들 사이에 트렌치(trench)들을 형성하는 단계 - 상기 트렌치들은 상기 활성 영역 위치들의 단부들까지 연장함 -;

상기 트렌치들을 제1 유전 재료로 충전하여 상기 제1 유전 재료의 라인들을 형성하는 단계 - 상기 제1 유전 재료의 라인들 및 활성 영역 위치들의 행들이 격자를 정의하고, 상기 격자의 행들과 라인들 사이의 위치들에는 상기 반도체 재료의 섹션들이 있고, 그러한 섹션들은 상기 어레이의 열들을 따라서 활성 영역 위치들과 번갈아 있음 -;

상기 반도체 재료의 섹션들 내로 에칭하여 상기 어레이의 열들을 따라서 상기 활성 영역 위치들과 번갈아 있는 개구들을 형성하는 단계;

상기 개구들을 좁히기 위해, 상기 개구들의 측벽들을 따라서 보호 재료를 형성하는 단계;

상기 좁혀진 개구들을 통하여 상기 반도체 재료를 등방성으로 에칭하여 상기 활성 영역 위치들의 아래에 완전히 상기 개구들을 연장하는 단계; 및

상기 개구들을 제2 유전 재료로 충전하는 단계

를 포함하는 반도체 장치 형성 방법.

**청구항 18**

제17항에 있어서,

상기 반도체 재료는 단결정 실리콘을 포함하고, 상기 연장된 개구들을 충전하는 단계는 상기 연장된 개구들 내에 상기 유전 재료 위에 상기 단결정 실리콘 활성 영역 위치들의 SOI(silicon-on-insulator) 구조들을 형성하고,

상기 활성 영역 위치들 위에 게이트들을 갖고 상기 활성 영역 위치들의 단결정 실리콘 내에 소스/드레인 영역들을 갖는 트랜지스터들을 형성하는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 19**

제17항에 있어서,

상기 공동들을 제2 유전 재료로 충전하는 단계는, 상기 공동들을 실리콘 이산화물을 포함하는 유전 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 20**

제17항에 있어서,

상기 공동들을 제2 유전 재료로 충전하는 단계는, 상기 공동들을 실리콘 이산화물로 이루어진 유전 재료로 충전하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 21**

제17항에 있어서,

상기 제1 및 제2 유전 재료들은 서로 동일한 조성인 반도체 장치 형성 방법.

**청구항 22**

제17항에 있어서,

상기 제1 및 제2 유전 재료들은 실리콘 이산화물을 포함하는 반도체 장치 형성 방법.

**청구항 23**

제17항에 있어서,

상기 제1 및 제2 유전 재료들은 실리콘 이산화물로 이루어지는 반도체 장치 형성 방법.

**청구항 24**

반도체 장치를 형성하는 방법으로서,

그와 연관된 라인 위치를 갖는 반도체 재료를 제공하는 단계 - 상기 라인 위치는 한 쌍의 대향하는 측면들을 가짐 -;

상기 라인 위치의 대향하는 측면들 상에 상기 반도체 재료 내로 한 쌍의 트렌치들을 이방성으로 에칭하는 단계;

상기 트렌치들을 통하여 상기 반도체 재료를 등방성으로 에칭하여 상기 라인 위치의 적어도 일부의 아래에서 상기 트렌치들을 병합하는 단계; 및

상기 트렌치들 내에 및 상기 라인 위치의 적어도 일부의 아래에 전기 도전성 게이트 재료를 형성하는 단계를 포함하는 반도체 장치 형성 방법.

**청구항 25**

제24항에 있어서,

상기 반도체 재료는 단결정 실리콘이고, 상기 라인 위치는 상기 단결정 실리콘의 세그먼트인 반도체 장치 형성 방법.

**청구항 26**

제25항에 있어서,

상기 게이트 재료를 형성하기 전에 상기 세그먼트의 상기 적어도 일부의 주위에 유전 재료를 형성하는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 27**

제25항에 있어서,

상기 단결정 실리콘의 상기 세그먼트의 부분들은 상기 이방성 에칭 전에 도전성으로 도핑되는 반도체 장치 형성 방법.

**청구항 28**

제25항에 있어서,

상기 등방성 에칭 후에 상기 단결정 실리콘의 상기 세그먼트의 부분들을 도전성으로 도핑하는 단계를 더 포함하는 반도체 장치 형성 방법.

**청구항 29**

제25항에 있어서,

상기 세그먼트는 한 쌍의 넓은 영역들 사이에 좁은 영역을 갖고, 상기 등방성 에칭은 상기 좁은 영역의 아래에서는 상기 트렌치들을 병합하지만, 상기 넓은 영역들의 아래에서는 상기 트렌치들을 병합하지 않는 반도체 장치 형성 방법.

**청구항 30**

트랜지스터를 형성하는 방법으로,

반도체 재료를 제공하는 단계;

상기 반도체 재료를 따라서 라인을 정의하는 단계 - 상기 라인은 넓은 영역들 사이에 좁은 영역을 갖고, 상기 라인은 한 쌍의 대향하는 측면들을 가짐 -;

상기 라인의 대향하는 측면들을 따라서 한 쌍의 트렌치들을 형성하는 단계;

상기 트렌치들을 좁히기 위해, 상기 트렌치들의 측벽들을 따라서 보호 재료를 형성하는 단계;

상기 트렌치들을 통하여 상기 반도체 재료를 등방성으로 에칭하여 상기 넓은 영역들의 아래에서는 상기 트렌치들을 병합하지 않고 상기 좁은 영역의 아래에서는 상기 트렌치들을 병합하는 단계;

상기 라인의 좁은 영역을 따라서 게이트 유전체를 형성하는 단계; 및

상기 트렌치들 내에 및 상기 좁은 영역의 아래에 전기 도전성 게이트 재료를 형성하는 단계

를 포함하는 트랜지스터 형성 방법.

**청구항 31**

제30항에 있어서,

상기 보호 재료는 상기 게이트 유전체를 형성하기 전에 제거되고, 상기 게이트 유전체는 상기 라인의 좁은 영역을 전체적으로 둘러싸도록 형성되는 트랜지스터 형성 방법.

**청구항 32**

제30항에 있어서,

상기 반도체 재료는 단결정 실리콘이고, 상기 게이트 재료는 금속, 금속 화합물, 및 도전성으로 도핑된 반도체 재료로 이루어진 그룹으로부터 선택된 적어도 하나의 조성물을 포함하는 트랜지스터 형성 방법.

**청구항 33**

제30항에 있어서,

상기 게이트 재료는,

상기 병합된 트렌치들 내에 반도체 재료를 성막하는 단계; 및

상기 병합된 트렌치들 내에 상기 반도체 재료가 성막될 때 상기 반도체 재료를 인 시튜 도핑(in situ doping)하는 단계에 의해 형성된 도전성으로 도핑된 반도체 재료를 포함하는 트랜지스터 형성 방법.

**청구항 34**

제30항에 있어서,

상기 게이트 재료는,

상기 병합된 트렌치들 내에 반도체 재료를 성막하는 단계; 및

상기 성막된 반도체 재료 내로 도전성 향상 도펀트를 주입하는 단계에 의해 형성된 도전성으로 도핑된 반도체 재료를 포함하는 트랜지스터 형성 방법.

**청구항 35**

제30항에 있어서,

상기 제1 반도체 재료의 라인의 상기 넓은 영역들을 도전성으로 도핑하여 한 쌍의 소스/드레인 영역들을 형성하는 단계 - 상기 한 쌍의 소스/드레인 영역들은 상기 제1 반도체 재료의 라인의 상기 좁은 영역에 의해 이루어진 채널 영역에 의해 서로 이격되어 있음 - 를 더 포함하고,

상기 라인의 좁은 부분은 외부 주변부(outer periphery)를 갖고,

상기 게이트 재료는 상기 라인의 좁은 부분의 외부 주변부를 전체적으로 둘러싸는 트랜지스터 게이트인 트랜지스터 형성 방법.

**청구항 36**

반도체 구조로서,

기재(base);

상기 기재에 의해 지지되는 반도체 재료 활성 영역들의 어레이 - 상기 어레이는 상기 활성 영역들의 열들 및 행들을 포함함 -;

상기 활성 영역들의 열들을 따라서 있는 제1 절연성 재료의 라인들 - 상기 라인들은 상기 활성 영역들의 단부들과 직접 접촉하고, 상기 제1 절연성 재료의 라인들과 상기 활성 영역들의 행들이 격자를 정의함 -;

상기 격자의 상기 행들과 라인들 사이의 위치에 있는 제2 절연성 재료의 섹션들 - 상기 섹션들은 상기 어레이의 상기 열들을 따라서 활성 영역들과 번갈아 있음 -; 및

상기 활성 영역들의 아래에 있는 상기 제2 절연성 재료의 영역들 - 개개의 영역들은 개개의 활성 영역들의 대향하는 측면들 상의 섹션들로부터 연장하여 상기 개개의 활성 영역들을 상기 기재로부터 전체적으로 분리시킴 -

을 포함하는 반도체 구조.

**청구항 37**

제36항에 있어서,

상기 기재는 단결정 실리콘을 포함하고, 상기 활성 영역들도 단결정 실리콘을 포함하는 반도체 구조.

**청구항 38**

제37항에 있어서,

상기 활성 영역들 위에 있는 트랜지스터 게이트들, 및 상기 활성 영역들 내에 있는 도전성으로 도핑된 소스/드레인 영역들을 더 포함하고, 상기 트랜지스터 게이트들 및 소스/드레인 영역들은 함께 상기 활성 영역들과 연관된 트랜지스터들을 형성하는 반도체 구조.

**청구항 39**

제36항에 있어서,

상기 제1 절연성 재료는 실리콘 이산화물로 이루어지는 반도체 구조.

**청구항 40**

제36항에 있어서,

상기 제2 절연성 재료는 실리콘 이산화물로 이루어지는 반도체 구조.

**청구항 41**

제36항에 있어서,

상기 제1 절연성 재료 및 상기 제2 절연성 재료는 서로에 대하여 공통의 조성을 갖는 반도체 구조.

**청구항 42**

제41항에 있어서,  
 상기 제1 및 제2 절연성 재료들은 실리콘 이산화물로 이루어지는 반도체 구조.

**청구항 43**

반도체 장치로서,  
 반도체 재료의 라인 - 상기 라인은 넓은 영역들 사이에 좁은 영역을 가짐 -;  
 상기 좁은 영역의 주위에 전체적으로 있는 유전 재료;  
 상기 좁은 영역의 주위에서 전체적으로 연장하고, 상기 유전 재료에 의해 상기 라인의 좁은 영역과 이격되어 있는 게이트 재료;  
 상기 라인의 좁은 영역 내에 있는 채널 영역; 및  
 상기 라인의 넓은 영역들 내에 있고 상기 채널 영역에 의해 서로 이격되어 있는 한 쌍의 소스/드레인 영역들을 포함하는 반도체 장치.

**청구항 44**

제43항에 있어서,  
 상기 반도체 재료는 단결정 실리콘을 포함하고, 상기 게이트 재료는 금속, 금속 화합물 및 도전성으로 도핑된 반도체 재료 중 하나 이상을 포함하는 반도체 장치.

**청구항 45**

제43항에 있어서,  
 단결정 실리콘 기재 위에 있는 절연성 재료에 의해 지지되고, 상기 절연성 재료는 상기 기재와 상기 게이트 재료 사이에 있는 반도체 장치.

**청구항 46**

반도체 어셈블리로서,  
 반도체 재료의 라인 - 상기 라인은 넓은 영역들 사이에 좁은 영역들을 갖고, 상기 넓은 영역들은 트랜지스터들의 소스/드레인 영역들을 포함하고, 상기 좁은 영역들은 상기 소스/드레인 영역들 사이의 채널들을 포함함 -;  
 상기 좁은 영역들의 주위에 전체적으로 있는 제1 유전 재료;  
 상기 좁은 영역의 주위에서 전체적으로 연장하고, 상기 유전 재료에 의해 상기 라인의 좁은 영역과 이격되어 있는 트랜지스터 게이트 재료; 및  
 상기 라인의 넓은 영역들을 통하여 연장하고, 인접한 넓은 영역들을 서로 분리시키는 제2 유전 재료를 포함하는 반도체 어셈블리.

**청구항 47**

제46항에 있어서,  
 상기 라인의 넓은 영역 위에 있는 제3 유전 재료를 더 포함하고, 상기 제3 유전 재료는 상기 트랜지스터 게이트 재료와 상기 제2 유전 재료 사이에 있는 반도체 어셈블리.

**청구항 48**

전자 시스템으로서,  
 프로세서; 및



어드레싱 및 판독 회로를 통하여 상기 프로세서와 통신하는 메모리를 포함하고,

상기 메모리와 상기 프로세서 중 적어도 하나는 트랜지스터를 포함하며,

상기 트랜지스터는,

반도체 재료의 라인 - 상기 라인은 넓은 영역들 사이에 좁은 영역을 가짐 -;

상기 좁은 영역의 주위에 전체적으로 있는 유전 재료;

상기 좁은 영역의 주위에서 전체적으로 연장하고, 상기 유전 재료에 의해 상기 라인의 좁은 영역과 이격되어 있는 게이트 재료;

상기 라인의 좁은 영역 내에 있는 채널 영역; 및

상기 라인의 넓은 영역들 내에 있고 상기 채널 영역에 의해 서로 이격되어 있는 한 쌍의 소스/드레인 영역들을 포함하는 전자 시스템.

#### 청구항 49

제48항에 있어서,

상기 반도체 재료는 단결정 실리콘을 포함하고, 상기 게이트 재료는 금속, 금속 화합물 및 도전성으로 도핑된 반도체 재료 중 하나 이상을 포함하는 전자 시스템.

#### 청구항 50

제48항에 있어서,

상기 트랜지스터는 단결정 실리콘 기재 위에 있는 절연성 재료에 의해 지지되고, 상기 절연성 재료는 상기 기재와 상기 게이트 재료 사이에 있는 전자 시스템.

### 명세서

#### 기술분야

<1> 기술 분야는 반도체 장치, 어셈블리 및 구조, 및 반도체 장치, 어셈블리 및 구조의 형성 방법이다.

#### 배경기술

<2> 반도체 장치 제조의 지속적인 목표는 반도체 장치의 무결성(integrity) 및 원하는 성능 특징들을 유지하면서 반도체 웨이퍼 리얼 에스테이트(real estate)를 보존하는 것(즉, 고집적도를 달성하는 것)이다. 그것은, 예를 들면, SOI(silicon-on-insulator) 구조, 및 finFET(fin field effect transistor)를 포함하는, 다양한 반도체 구조의 개발 및 진보로 이어졌다.

#### 실시예

<24> 일부 실시예들에서는, 반도체 재료 내에 한 쌍의 개구들이 형성되고, 그러한 개구들은 반도체 재료의 세그먼트에 의해 서로 이격된다. 그 후 그 개구들의 측벽을 따라서 라이너들이 형성되고, 그 라이닝된 개구들의 저면들로부터 반도체 재료를 등방성 에칭하여 개구들을 병합하고 그에 의해 반도체 재료의 세그먼트를 완전히 언더컷팅한다(undercut). 그러한 실시예들은 실리콘으로 3차원 구조를 형성하는 데 이용될 수 있고, SOI 구조 및 전체적으로 둘러싸인(fully surrounded) 트랜지스터 구조(즉, 채널 영역을 둘러싸는 게이트를 갖는 트랜지스터)의 제조에 적용될 수 있다.

<25> 도 1-5를 참조하여 제1 실시예를 설명한다.

<26> 우선 도 1을 참조하면, 예비 처리 단계에서의 반도체 구조(10)가 도시되어 있다. 구조(10)는 반도체 재료를 포함하는 기재(base)(12)를 포함한다. 일부 실시예들에서, 기재(12)는 실리콘 웨이퍼일 수 있고, 백그라운드 p형 도펀트가 저농도로 도핑된 단결정 실리콘을 포함하거나, 그러한 단결정 실리콘으로 본질적으로 이루어지거나, 그러한 단결정 실리콘으로 이루어질 수 있다. 기재(12)는 반도체 기판이라고 불릴 수 있다. 뒤에 오는 청구항

들의 해석을 돕기 위해, 용어 "반도전성 기관" 및 "반도체 기관"은 반도체성 웨이퍼(단독으로 또는 그 위에 다른 재료들을 포함하는 어셈블리로), 및 반도체성 재료층(단독으로 또는 다른 재료들을 포함하는 어셈블리로)과 같은 벌크 반도체성 재료를 포함하지만 그것에 제한되지 않는 반도체성 재료를 포함하는 임의의 구조를 의미하는 것으로 정의된다. 용어 "기관"은 위에서 설명된 반도체성 기관을 포함하지만 그것에 제한되지 않는 임의의 지지 구조를 나타낸다.

- <27> 한 쌍의 마스크 재료들(11 및 14)이 기관(12) 위에 있고, 그를 관통하여 연장하는 한 쌍의 개구들(16 및 18)을 갖도록 패터닝되어 있다. 재료(11)는, 예를 들면, 포토리소그래피식으로 패터닝된 포토레지스트로 이루어질 수 있고, 재료(14)는 실리콘 질화물 및 실리콘 이산화물 중 하나 또는 둘 다를 포함할 수 있다. 재료(14) 내의 패턴은 포토리소그래피식으로 패터닝된 레지스트(11)로부터의 패턴을 하나 이상의 에칭을 이용해 밑에 있는 재료(14)의 층에 전사하는 것에 의해 형성될 수 있다.
- <28> 도 2를 참조하면, 개구들(16 및 18)은 적절한 에칭을 이용해 기재(12) 내로 연장된다. 그러한 에칭은 이방성 에칭(예를 들면,  $Cl_2$  및  $HBr$ 을 이용한 에칭 등)인 것으로, 특히 기재(12) 내로 주로 아래쪽으로 향해 있는 것으로 도시되어 있다. 기재(12) 내의 개구들은 저면(15) 및 측벽(17)을 포함하는 주변부를 갖는다. 개구들은 도 2의 도시에서 눈에 보이는 도 2의 평면 뒤에 후방 표면을 가질 것이다. 그러나, 도면을 간략화하기 위하여, 여기서 제시된 단면도에서는 단면의 평면을 따르는 표면들만이 도시될 것이다.
- <29> 기재(12) 내의 개구들(16 및 18)은 기재(12)의 반도체 재료의 세그먼트(20)에 의해 서로 이격되어 있는 한 쌍의 개구들이라고 생각될 수 있다. 세그먼트(20)는 개구들(16 및 18) 사이에 폭(21)을 포함한다. 그러한 폭은, 예를 들면, 약 10 나노미터 내지 약 350 나노미터일 수 있다.
- <30> 도 3을 참조하면, 포토레지스트(11)(도 2)가 제거되고, 기재(12) 내의 개구들(16 및 18)의 노출된 측벽들(17)을 따라서 라이너들(liner)들(22)이 형성되어 있다. 포토레지스트는 반응 체임버 내에서  $O_2$  플라즈마를 이용하여 제거될 수 있다. 라이너들은 포토레지스트를 제거하는 데 이용되는 동일한 체임버 내에서,  $O_2$  플라즈마를 이용하여 형성될 수 있지만, 기관은 라이너들의 형성을 위하여 포토레지스트를 제거하는 경우와는 다르게 바이어스될 수 있다. 만일 기재(12)가 단결정 실리콘 웨이퍼에 대응한다면, 라이너들(22)은 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다. 그러한 실리콘 이산화물은 개구들의 저면을 가로질러, 또한 측벽들을 따라서 연장할 것이지만, 그 후에 적절한 에칭을 이용해 저면으로부터 제거되어 측벽들을 따라서만 라이너들이 남겨질 수 있다. 라이너들(22)은, 차후의 에칭으로부터 측벽들(17)을 보호한다는 점에서, 보호 재료라고 불릴 수 있다. 라이너들(22)은 개구들의 최초 폭에 대하여 개구들(16 및 18)을 좁힌다.
- <31> 도 4를 참조하면, 개구들(16 및 18)을 기재(12) 내로 연장하기 위해 등방성 에칭이 수행된다. 라이너들(22)은 그러한 등방성 에칭 동안에 개구들의 최상부 영역들의 측벽을 보호한다. 그 등방성 에칭은 개구들의 하부에 보울(bowl)(또는 구근 모양(bulbous) 영역)(24)을 형성한다. 임의의 적합한 등방성 에칭 조건이 이용될 수 있고, 그 에칭은, 예를 들면,  $NF_3$ 을 포함할 수 있다.
- <32> 도 5를 참조하면, 그 등방성 에칭은 개구들(16 및 18)이 세그먼트(20)의 아래에서 병합하여, 그러한 세그먼트를 완전히 언더컷팅할 때까지 계속된다. 후속 처리에서, 마스크 재료(14)가 제거되고, 개구들(16 및 18)은 원하는 전기 특성을 갖는 재료로 충전(fill)되어 원하는 구조를 형성할 수 있다. 예를 들면, 개구들(16 및 18)은 전기 절연성 재료(예를 들면, 실리콘 이산화물 등)로 충전되어 그 충전 재료의 절연체 위에 세그먼트(20)의 반도체를 갖는 SOI 구조를 형성할 수 있다. 다른 예로서, 세그먼트(20)의 반도체 재료가 도핑되어 한 쌍의 소스/드레인 영역들 사이에 채널을 형성할 수도 있고, 개구들(16 및 18)이 트랜지스터 게이트 재료로 충전될 수도 있다.
- <33> 도 6 및 7을 참조하면, 그것은 SOI 구조들을 형성하기 위한 실시예의 예비 처리 단계에서의 반도체 구조(50)를 도시한다.
- <34> 구조(50)는, 예를 들면, 도 1-5의 실시예를 참조하여 위에서 설명된 단결정 실리콘 웨이퍼에 대응할 수 있는 반도체 기재(12)를 포함한다. 구조(50)는 또한 마스크 재료(14)를 포함한다.
- <35> 기재(12)의 반도체 재료 내에 복수의 활성 영역 위치들(52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80 및 82)이 정의되고, 그러한 위치들은 대시 선들에 의해 대략 경계가 정해져 있다. 활성 영역 위치들은 도시된 어레이에 대하여 실질적으로 수직으로 연장하는 열들(예시 열은 활성 영역 위치들(54, 62, 70 및 78)을 따라서 연장함)을 포함하고, 도시된 어레이에 대하여 실질적으로 수평으로 연장하는 행들(예시 행은 활성 영역

위치들(60, 62, 64 및 66)을 따라서, 그에 따라 도 9의 단면을 따라서 연장함)을 포함하는 어레이를 형성한다. 행들 및 열들의 인접한 활성 영역 위치들은, 도시된 바와 같이, 기판(12)의 반도체 재료의 영역들에 의해 서로 이격되어 있다.

- <36> 도 8 및 9를 참조하면, 트렌치들에 대한 위치를 정의하도록 재료(14)가 패터닝된다. 그러한 패터닝은 차후에 제거될 수 있는 포토리소그래피식으로 패터닝된 포토레지스트 마스크(도시되지 않음)를 이용하여 달성될 수 있다. 재료(14)의 패턴은 밑에 있는 기판(12)에 전사되어 활성 영역 위치들의 어레이의 열들 사이에 트렌치들(90, 92, 94, 96 및 98)을 형성한다. 그러한 트렌치들은 활성 영역 위치들의 단부들까지 연장한다(즉, 활성 영역 위치들의 단부에 연결된다).
- <37> 도 10 및 11을 참조하면, 트렌치들(90, 92, 94, 96 및 98)은 유전 재료(즉, 전기 절연성 재료)로 충전된다. 그 유전 재료는 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있고, 일부 실시예들에서는, 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다. 처음에 트렌치 내에 및 재료(14)의 상면을 전체적으로 가로질러 유전 재료를 제공하고, 그 후 구조(50)를 평탄화(예를 들면, 화학 기계 연마)하여 트렌치 내에는 유전 재료를 남겨두면서 마스크 재료(14)의 최상부 표면 위로부터 유전 재료를 제거하는 것에 의해 트렌치 내에 유전 재료(100)가 형성될 수 있다.
- <38> 충전된 트렌치들은 기판(12)을 가로질러 연장하는 전기 절연성 재료(100)의 라인들에 대응한다고 생각될 수 있다. 그러한 라인들과 활성 영역 위치들의 행들과의 조합은 기판(12)을 가로질러 격자를 정의한다. 활성 영역 위치를 포함하지 않는 기판(12)의 섹션들은 격자의 행들과 라인들 사이의 위치들에 있다고 생각될 수 있고, 도 10에 예시 섹션들(102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 및 124)이 표시되어 있다. 격자의 열을 따르는 섹션들은 활성 영역 위치들의 어레이의 열을 따르는 활성 영역 위치들과 번갈아 있다. 예를 들면, 격자의 열을 따르는 섹션들(104, 112 및 120)은 활성 영역 위치들의 어레이의 열을 따르는 활성 영역 위치들(54, 62, 70 및 78)과 번갈아 있다.
- <39> 도 12-14를 참조하면, 활성 영역 위치들(52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80 및 82)(이 활성 영역 위치들은 도 6의 상면도에서 대략 도시되어 있음)의 행들을 따라서 마스크 재료(11)가 형성된다. 마스크 재료들(11 및 14)은 함께 차후의 에칭으로부터 그 활성 영역 위치들을 보호하기 위해 그러한 위치들 위에 형성된 보호 재료를 포함한다. 마스크 재료(11)는 트렌치들(90, 92, 94, 96 및 98) 내의 유전 재료 위에 연장하는 것으로 도시되어 있다.
- <40> 마스크 재료(11)는, 예를 들면, 포토리소그래피식으로 패터닝된 포토레지스트의 층에 대응할 수 있다.
- <41> 섹션들(102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 및 124) 위의 재료(14)는 마스크 재료(11)의 행들 사이에 노출된 채로 남아 있다.
- <42> 도 15-17을 참조하면, 재료(14) 내로 및 섹션들(102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 및 124) 내로 개구들(132)이 이방성으로 에칭되고, 그 개구들의 측벽을 따라서 보호 재료 라이너들(134)이 형성된다. 기판(12) 내의 개구들은 도 3을 참조하여 위에서 설명된 개구들(16 및 18)과 유사하고, 라이너들은 도 3을 참조하여 위에서 설명된 라이너들(22)과 유사하다. 따라서 개구들(132) 및 라이너들(134)은 도 3을 참조하여 위에서 설명된 것과 유사한 처리를 이용해 형성될 수 있고, 그러한 처리는 또한 도 3에 관하여 위에서 설명된 재료(11)를 제거할 수 있다. 보호 재료 라이너들(134)은 위에서 설명된 라이너들(22)에 의해 개구들(16 및 18)을 좁히는 것과 유사한 방식으로 개구들(132)을 좁힌다.
- <43> 개구들(132)은 섹션들(102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 및 124)이 활성 영역 위치 어레이의 열들을 따르는 활성 영역 위치들과 번갈아 있는 것과 유사한 방식으로 그러한 활성 영역 위치들과 번갈아 있다.
- <44> 도 18-20을 참조하면, 도 4 및 5를 참조하여 위에서 설명된 것과 유사한 이방성 에칭을 이용해 기판 반도체 재료(12) 내로 개구들(132)이 연장된다. 인접한 개구들(132)이 활성 영역 위치들(52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80 및 82)(이 활성 영역 위치들은 도 6의 상면도에서 대략 도시되어 있고, 도 19 및 20의 단면들에도 대략 예시되어 있음)의 바로 밑에서 병합하여 그러한 활성 영역 위치들의 전체 주위에 있는 연장된 개구들을 형성한다. 트렌치들(90, 92, 94, 96 및 98) 내의 유전 재료(100)의 라인들은 도 18-20의 처리 단계에서 활성 영역 위치들의 단부를 고정시킨다(anchor).
- <45> 도 21-23을 참조하면, 개구들(132)은 전기 절연성 재료(140)로 충전되고, 재료(14)가 제거된다. 재료(140)는 처음에 개구들을 충전하고 재료(14) 위에 연장하도록 형성될 수 있고, 그 후 평탄화(예를 들면, 화학 기계

연마)를 이용하여 기판(12)의 일부 영역들로부터 재료들(140 및 14)을 제거할 수 있다. 대안적으로는, 평탄화를 이용하여 재료(14) 위로부터 재료(140)를 제거하고, 그 후 재료(140)에 대하여 재료(14)에 대한 선택적인 에칭을 이용해 재료(14)를 제거할 수 있다(용어 "선택적"은 그 에칭이 재료(140)를 제거하는 것보다 빠른 비율로 재료(14)를 제거한다는 것을 의미함). 그러한 대안적인 처리는 활성 영역 위치들에 인접한 재료(140)의 돌출부들(도시되지 않음)을 남겨둘 수 있다.

- <46> 재료(140)는 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있지만, 바람직하게는 개구들 내에 쉽게 유입될 수 있는 물질을 포함한다. 재료(140)는, 예를 들면, SOD(spin on dielectric)(즉, 특정 온도 범위에서 유동 가능한 유전 재료)를 포함하거나, SOD로 본질적으로 이루어지거나, SOD로 이루어질 수 있고, 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다.
- <47> 유전 재료들(100 및 140)은 각각 제1 및 제2 유전 재료라고 불릴 수 있다. 그러한 유전 재료들은 일부 실시예들에서 서로 동일한 조성을 포함할 수 있다.
- <48> 도시된 실시예에서, 유전 재료(140)는 개구들 내에 있고, 활성 영역 위치들(52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80 및 82)의 상면을 가로질러 있지 않다.
- <49> 도 22 및 23에서 볼 수 있는 바와 같이, 유전 재료(140)는 활성 영역 위치들 내의 반도체 재료(12)를 기재의 남아 있는 반도체 재료(12)로부터 전체적으로 분리시킨다.
- <50> 스페이서들(134)은 유전 재료(140)와 함께 개구들 내에 남아 있는 것으로 도시되어 있다. 만일 스페이서들(134) 및 유전 재료(140)가 서로 동일한 조성을 포함한다면, 스페이서들 및 유전 재료는 병합하여 개구들 내에 단일 절연성 재료를 형성할 수 있다. 일부 응용(도시되지 않음)에서는 재료(140)의 제공 전에 적절한 에칭을 이용해 스페이서들(134)을 제거하는 것이 바람직할 수 있다.
- <51> 도 21-23의 구조는 위치들(52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80 및 82)에서 복수의 활성 영역들을 포함하고, 그러한 활성 영역들은 SOI 구조들이다. 후속 처리에서, 그 활성 영역들과 관련되어 반도체 장치들이 형성될 수 있다. 예를 들면, 도 21-23은 그 활성 영역들을 가로질러 연장하는 복수의 워드라인들(150, 152, 154, 156, 158, 160, 162, 및 164)을 보여준다. 도 22의 단면은 워드라인들이 게이트 유전체(166), 도전성 게이트 재료(168), 및 전기 절연성 캡(170)을 포함하는 스택들을 포함하는 것을 보여준다. 또한, 워드라인들의 측벽을 따라서 측벽 스페이서들(172)이 있다. 활성 영역 위치들의 반도체 재료(12) 내에 복수의 소스/드레인 영역들(180)이 제공되고, 그 소스/드레인 영역들과 함께 워드라인들은 복수의 트랜지스터 장치들을 형성한다.
- <52> 도 21은 소스/드레인 영역들 중 일부에 전기적으로 접속된 커패시터들(182, 184, 186, 188, 190, 192, 194, 및 196)을 개략적으로 도시하고, 또한 소스/드레인 영역들 중 다른 것들에 전기적으로 접속된 비트라인(199)을 개략적으로 도시한다. 비록 도면을 간략화하기 위해 활성 영역 위치들의 상부 행을 따라서만 커패시터들 및 비트라인이 도시되어 있지만, 커패시터들 및 비트라인은 다른 활성 영역 위치들과 관련된 소스/드레인 영역들에도 접속할 것임을 이해해야 한다. 이 기술의 통상의 기술을 가진 자라면 전하 축적 장치(커패시터 등)와 트랜지스터의 조합은 DRAM(dynamic random access memory) 유닛 셀에 대응하고, 따라서 도 21-23의 구조를 따라서 DRAM 어레이가 형성될 수 있다는 것을 알 것이다.
- <53> 다음으로 도 24-27을 참조하면, 그것은 전계 효과 트랜지스터를 형성하기 위한 실시예의 예비 처리 단계에서의 반도체 구조(200)를 도시한다.
- <54> 구조(200)는 도 1에 관하여 위에서 설명된 동일한 조성일 수 있고, 따라서 단결정 실리콘을 포함하거나, 단결정 실리콘으로 본질적으로 이루어지거나, 단결정 실리콘으로 이루어질 수 있는 기재(12)를 포함한다.
- <55> 기재(12) 내로 한 쌍의 분리 영역들(202)이 연장한다. 이 분리 영역들은 임의의 적합한 전기 절연성 조성 또는 조성들의 조합을 포함할 수 있고, 일부 실시예들에서는 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다.
- <56> 기재(12)의 상면을 가로질러 패터닝된 마스크 재료들(203 및 204)이 연장한다. 그러한 패터닝된 마스크 재료들은 한 쌍의 넓은 영역들(208) 사이에 좁은 영역(206)을 포함한다. 패터닝된 마스크 재료들은 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있다. 예를 들면, 재료(204)는 실리콘 이산화물과 실리콘 질화물 중 하나 또는 둘 다를 포함할 수 있고(따라서 도 1을 참조하여 설명된 재료(14)와 유사할 수 있고), 재료(203)는 패터닝된 포토레지스트를 포함할 수 있다(따라서 도 1을 참조하여 설명된 재료(11)와 유사할 수 있다).



- <57> 패터닝된 마스크 재료들은 기재(12) 내에서 연장하는 라인 위치(210)를 그 아래에 정의한다. 구체적으로, 마스크 재료들 아래의 기재(12)의 부분은 그러한 라인 위치에 대응한다. 따라서 라인 위치는 또한 한 쌍의 넓은 영역들 사이의 좁은 영역의 마스크 재료들(203 및 204)의 형상을 포함한다.
- <58> 마스크 재료들(203 및 204), 및 그 아래에 정의된 라인은 한 쌍의 대향하는 측면들(212 및 214)을 포함하는 것으로 생각될 수 있다.
- <59> 도 28-31을 참조하면, 기재(12)의 반도체 재료 내로 트렌치들(216)이 에칭되고, 측벽 라이너들(218)이 형성되고, 마스크 재료(203)가 제거된다. 트렌치들 및 라이너들의 형성, 및 마스크 재료(203)의 제거는 도 2 및 3을 참조하여 위에서 설명된 것과 유사한 처리를 이용해 달성될 수 있다.
- <60> 트렌치들(216)은 한 쌍의 트렌치들에 대응한다고 생각될 수 있고, 그 쌍 중 하나의 트렌치는 마스크 재료(204)의 측면(212)을 따라서 있고, 그 쌍 중 다른 하나는 마스크 재료의 측면(214)을 따라서 있다. 트렌치들(216)의 형성은 패터닝된 마스크 재료(204)의 패턴을 기재(12)의 반도체 재료 내로 전사하고, 따라서 라인 위치(210)에서 라인(211)을 형성한다(도 24-27). 그러한 라인은 대향하는 측벽들(212 및 214)을 갖는다. 라인은 마스크의 형상으로부터 전사된 좁은 부분 및 넓은 부분들을 갖는다. 일부 실시예들에서, 좁은 부분은 넓은 부분들의 폭보다 적어도 약 25% 작은 폭을 가질 수 있다.
- <61> 측벽 라이너들(218)은 전기 절연성이 있고, 보호 재료라고 불릴 수 있다. 라이너들(218)은 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다.
- <62> 도 32-35를 참조하면, 도 4 및 5를 참조하여 위에서 설명된 에칭과 유사한 등방성 에칭을 이용해 기재(12) 내로 개구들(216)이 연장된다. 라인(211)의 대향하는 측면들(212 및 214)로부터의 개구들은 라인의 좁은 부분(206)의 아래에서 병합하지만(도 34에 도시됨), 라인의 넓은 부분(208)의 아래에서는 병합하지 않는다(도 33에 도시됨). 따라서, 라인의 좁은 부분(206)은 라인의 대향하는 측면들 상의 개구들(216)이 등방성 에칭 중에 병합할 수 있게 할 만큼 충분히 얇은 반면, 라인의 넓은 부분들(208)은 그 개구들이 그러한 부분들의 아래에서 병합하지 않도록 충분히 넓다. 따라서 넓은 부분들(208)은 좁은 부분(206)의 아래의 에칭 후에 기재(12)의 벌크에 고정된 채로 남아 있고, 따라서 좁은 부분(206)에 대응하는 라인 세그먼트는 구조(200)의 나머지 부분에 계속 유지된다.
- <63> 도 36-39를 참조하면, 마스크 재료(204)(도 32-35)가 제거되고, 기재(12)의 반도체 재료의 노출된 부분들을 따라서 유전 재료(220)가 형성된다. 보호 재료(218)(도 32-35)는 유전 재료(220)의 형성 전에 제거되는 것으로 도시되어 있다. 재료(220)는 궁극적으로 게이트 유전체로서 이용되고, 재료(218)는 게이트 유전체로서 적합하지 않을 수 있다. 대안적인 실시예들에서, 유전체(220)가 재료(218)에 의해 덮여 있지 않은 재료(12)의 부분들만을 덮도록 유전체(220)가 형성될 때 재료(218)가 남아 있을 수 있다.
- <64> 유전체(220)는 적합한 조성 또는 조성들의 조합을 포함할 수 있고, 예를 들면, 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다. 유전체(220)는 반도체 재료(12)의 노출된 표면들의 열산화에 의해 형성될 수 있고, 및/또는 성막에 의해 형성될 수 있다.
- <65> 라인(211)의 넓은 부분들은 소스/드레인 영역들(231 및 233)을 형성하도록 도전성 재료로 변환된 것으로 도시되어 있다(크로스해칭(cross-hatching)으로 표시됨). 그러한 변환은 라인의 재료(12) 내로 도전을 향상 도펀트를 주입하는 것에 의해 달성될 수 있다. 비록 그 변환은 마스크 재료(204)(도 32-35)의 제거 후에 일어나는 것으로 도시되어 있지만, 그 변환은 그러한 마스크 재료의 제거 전에 일어날 수도 있다는 것을 이해해야 한다. 대안적으로, 그 변환은 도 36-39의 처리 단계 이후의 처리 단계에서 일어날 수도 있다.
- <66> 라인(211)의 좁은 부분은 소스/드레인 영역들(231 및 233) 사이의 트랜지스터 채널 영역(235)에 대응하도록 임계 전압 도펀트로 적절히 도핑될 수 있다.
- <67> 트랜지스터 게이트 재료(232)는 개구들(216) 내에 및 라인(211)의 좁은 영역(206) 위에도 형성되고, 절연성 재료(234)는 게이트 재료의 대향하는 측면들 상에 라인(211)의 넓은 부분들 위에 형성된 것으로 도시되어 있다. 라인(211)은 그것이 재료들(232 및 234)의 바로 밑에 있다는 것을 나타내기 위해 도 36의 상면도에서 대시 선 도시로 도시되어 있다. 구조(200)의 다른 구조들도 도 36의 대시 선 도시에서 유사하게 표시되어 있다.
- <68> 게이트 재료(232)는 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있고, 일부 실시예들에서 금속, 금속을 포함한 조성 및 도전성으로 도핑된 반도체 재료(도전성으로 도핑된 실리콘 등) 중 하나 이상을 포함하거나, 그 하나 이상으로 본질적으로 이루어지거나, 그 하나 이상으로 이루어질 수 있다. 단일 게이트 재료가 반도체

재료를 포함한다면, 그 재료는 그것을 기재(12)의 제1 반도체 재료와 구별하기 위해 제2 반도체 재료라고 불릴 수 있다. 게이트 재료는 라인(211)과 실질적으로 직교하여 연장하는 워드라인의 일부일 수 있다.

- <69> 절연성 재료(234)는 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있고, 예를 들면, 실리콘 이산화물과 실리콘 질화물 중 하나 또는 둘 다를 포함하거나, 그것으로 본질적으로 이루어지거나, 그것으로 이루어질 수 있다.
- <70> 도 38은 게이트 재료(232)가 라인(211)의 좁은 부분의 외부 주변부를 전체적으로 둘러싸고, 채널 영역(235)을 둘러싸는 것을 보여준다. 소스/드레인 영역들(231 및 233), 채널 영역(235), 및 게이트 재료(232)는 함께 전계 효과 트랜지스터를 형성한다. 그러한 전계 효과 트랜지스터는 적어도 하나의 단면도(예를 들면, 도 38의 도시)에서 게이트 재료에 의해 전체적으로 둘러싸인 채널 영역의 외부 주변부를 갖는다.
- <71> 도 36-39는 라인을 따라서 단일 트랜지스터를 보여준다. 그러나, 라인을 따라서 복수의 트랜지스터가 형성될 수 있다는 것을 이해해야 한다. 도 40은 그러한 실시예의 일례를 개략적으로 도시한다. 구체적으로, 이 도면은 위에서 설명된 라인(211)과 유사한 라인(302)을 포함하는 구조(300)를 보여준다. 이 구조도 도 36-39의 분리 영역들(202)와 유사한 분리 영역들(301)을 포함한다.
- <72> 라인(302)은 넓은 부분들(304) 및 좁은 부분들(306)을 포함한다. 넓은 부분들 내에는 소스/드레인 영역들(도시되지 않음)이 있을 수 있고, 좁은 부분들 내에는 채널 영역들(도시되지 않음)이 있을 수 있다.
- <73> 라인(302)은 번갈아 있는 재료들(232 및 234)의 아래에 있는 것으로 도시되어 있다(라인(302)은 그것이 다른 재료들의 아래에 있다는 것을 나타내기 위해 대시 선 도시로 도시되어 있다). 재료들(232 및 234)은 도 36-39를 참조하여 위에서 설명된 게이트 재료 및 전기 절연성 재료이다. 라인(302)의 좁은 영역들(306)은 도 38에 도시된 실시예와 유사하게 게이트 재료(232)에 의해 둘러싸여 있다.
- <74> 절연성 재료(310)는 인접한 트랜지스터들의 소스/드레인 영역들을 서로 분리시키기 위해 라인(302)의 넓은 영역들을 관통하는 것으로 도시되어 있다. 재료(310)는 임의의 적합한 조성 또는 조성들의 조합을 포함할 수 있고, 예를 들면, 실리콘 이산화물을 포함하거나, 실리콘 이산화물로 본질적으로 이루어지거나, 실리콘 이산화물로 이루어질 수 있다.
- <75> 도 41은 컴퓨터 시스템(400)의 실시예를 도시한다. 컴퓨터 시스템(400)은 모니터(401) 또는 다른 통신 출력 장치, 키보드(402) 또는 다른 통신 입력 장치, 및 마더보드(404)를 포함한다. 마더보드(404)는 마이크로프로세서(406) 또는 기타 데이터 처리 장치, 및 적어도 하나의 메모리 장치(408)를 구비할 수 있다. 메모리 장치(408)는 메모리 셀들의 어레이를 포함할 수 있고, 그러한 어레이는 그 어레이 내의 개개의 메모리 셀들에 액세스하기 위한 어드레싱 회로와 연결될 수 있다. 또한, 메모리 셀 어레이는 그 메모리 셀들로부터 데이터를 판독하기 위한 판독 회로에 연결될 수 있다. 어드레싱 및 판독 회로는 메모리 장치(408)와 프로세서(406) 사이에 정보를 전달하기 위해 이용될 수 있다. 그것은 도 42에 도시된 마더보드(404)의 블록도에 도시되어 있다. 그러한 블록도에서, 어드레싱 회로(410)는 410으로서 도시되어 있고 판독 회로는 412로서 도시되어 있다.
- <76> 프로세서 장치(406)는 프로세서 모듈에 대응할 수 있고, 위에서 설명된 다양한 메모리 및 분리 구조들을 포함할 수 있다.
- <77> 메모리 장치(408)는 메모리 모듈에 대응할 수 있고, 위에서 설명된 다양한 메모리 및 분리 구조들을 포함할 수 있다.
- <78> 도 43은 전자 시스템(700)의 하이레벨 구성의 간략화된 블록도를 도시한다. 시스템(700)은, 예를 들면, 컴퓨터 시스템, 프로세스 제어 시스템, 및 프로세서 및 관련 메모리를 이용하는 임의의 다른 시스템에 대응할 수 있다. 전자 시스템(700)은, 프로세서(702), 컨트롤 유닛(704), 메모리 장치 유닛(706) 및 입출력(I/O) 장치(708)를 포함하는, 기능 엘리먼트들을 갖는다(시스템은 다양한 실시예들에서 복수의 프로세서들, 컨트롤 유닛들, 메모리 장치 유닛들 및/또는 I/O 장치들을 가질 수 있다는 것을 이해해야 한다). 일반적으로, 전자 시스템(700)은 프로세서(702)에 의해 데이터에 대해 수행될 연산들 및 프로세서(702), 메모리 장치 유닛(706) 및 I/O 장치(708) 사이의 상호작용들을 명기하는 명령들의 네이티브 세트를 가질 것이다. 컨트롤 유닛(704)은 메모리 장치(706)로부터 명령들이 페치되어 실행되게 하는 동작들의 세트를 통하여 연속적으로 순환으로써 프로세서(702), 메모리 장치(706) 및 I/O 장치들(708)의 모든 동작들을 코디네이트한다. 시스템(700)의 다양한 컴포넌트들은 위에서 논의된 메모리 및 분리 구조들 중 하나 이상을 포함할 수 있다.
- <79> 도 44는 전자 시스템(800)의 간략화된 블록도이다. 시스템(800)은 메모리 셀들의 어레이(804), 어드레스 디코

더(806), 행 액세스 디코더(808), 열 액세스 디코더(810), 동작들을 제어하기 위한 관독/기입 제어 회로(812), 및 입출력 회로(814)를 갖는 메모리 장치(802)를 포함한다. 메모리 장치(802)는 전원 회로(816), 및 메모리 셀이 저임계 도전 상태에 있는지 고임계 비도전 상태에 있는지를 판정하기 위한 전류 센서 등의 센서들(820)을 더 포함한다. 도시된 전원 회로(816)는 전원 공급 회로(880), 기준 전압을 제공하기 위한 회로(882), 제1 워드라인에 펄스를 제공하기 위한 회로(884), 제2 워드라인에 펄스를 제공하기 위한 회로(886), 및 비트라인에 펄스를 제공하기 위한 회로(888)를 포함한다. 시스템(800)은 또한 프로세서(822), 또는 메모리 액세스를 위한 메모리 컨트롤러를 포함한다.

- <80> 메모리 장치(802)는 배선 또는 금속화 라인들을 통하여 프로세서(822)로부터 제어 신호들을 수신한다. 메모리 장치(802)는 I/O 라인들을 통하여 액세스되는 데이터를 저장하는 데 이용된다. 프로세서(822) 또는 메모리 장치(802) 중 적어도 하나는 위에서 설명된 다양한 메모리 및 분리 구조들을 포함할 수 있다.
- <81> 다양한 전자 시스템들은, 프로세서와 메모리 장치(들) 사이의 통신 시간을 줄이기 위해, 단일 패키지 처리 유닛들로, 또는 단일 반도체 칩 상에 제조될 수 있다.
- <82> 전자 시스템들은 메모리 모듈들, 장치 드라이버들, 전원 모듈들, 통신 모듈들, 프로세서 모듈들, 및 특수 용도 모듈들에서 이용될 수 있고, 멀티레이어, 멀티칩 모듈들을 포함할 수 있다.
- <83> 전자 시스템들은 시계, 텔레비전, 휴대폰, 퍼스널 컴퓨터, 자동차, 산업용 제어 시스템, 항공기 등의 광범위한 시스템들 중 임의의 것일 수 있다.

**도면의 간단한 설명**

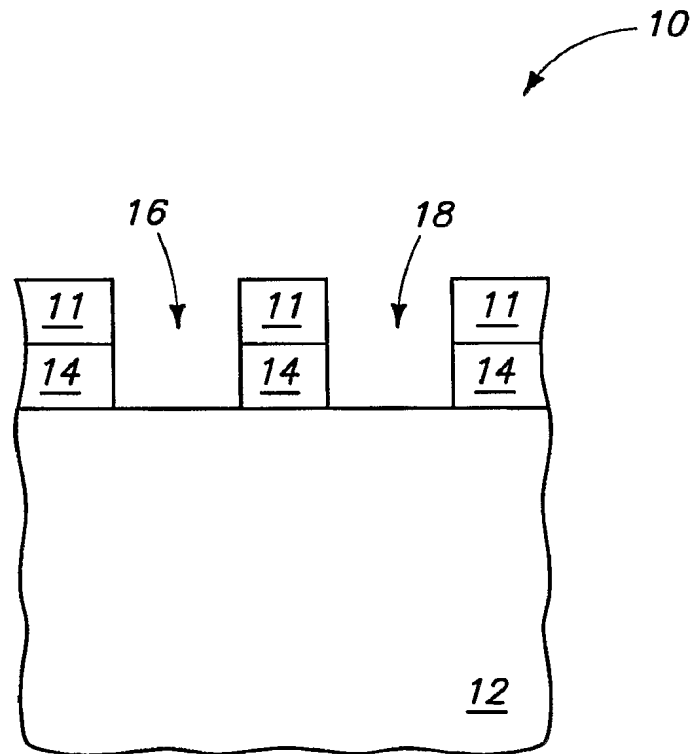
- <3> 도 1은 일 실시예의 예비 처리 단계에서의 반도체 구조의 개략 단면 단편도이다.
- <4> 도 2는 도 1의 처리 단계 다음의 처리 단계에서 도시된 도 1 단편의 도시이다.
- <5> 도 3은 도 2의 처리 단계 다음의 처리 단계에서 도시된 도 1 단편의 도시이다.
- <6> 도 4는 도 3의 처리 단계 다음의 처리 단계에서 도시된 도 1 단편의 도시이다.
- <7> 도 5는 도 4의 처리 단계 다음의 처리 단계에서 도시된 도 1 단편의 도시이다.
- <8> 도 6 및 7은, 각각, 다른 실시예에 따른 예비 처리 단계에서 도시된 반도체 구조의 단편의 상면도 및 단면도이다. 도 7의 단면은 도 6의 라인 7-7을 따른 것이다.
- <9> 도 8 및 9는, 각각, 도 6 및 7의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 단편들의 도시이다. 도 9의 단면은 도 8의 라인 9-9를 따른 것이다.
- <10> 도 10 및 11은, 각각, 도 8 및 9의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 단편들의 도시이다. 도 11의 단면은 도 10의 라인 11-11을 따른 것이다.
- <11> 도 12-14는 도 10 및 11의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 반도체 구조의 도시들이다. 도 12 및 13은, 각각, 도 6 및 7의 도시들에 대응하고, 도 14는 도 13의 것과 대략 직교하는 도시에 대응한다. 도 13의 단면은 도 12 및 14의 라인 13-13을 따른 것이고, 도 14의 단면은 도 12 및 13의 라인 14-14를 따른 것이다.
- <12> 도 15-17은 도 12-14의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 반도체 구조의 도시들이고, 도 15-17의 단편들은, 각각, 도 12-14의 단편들에 대응한다. 도 16의 단면은 도 15 및 17의 라인 16-16을 따른 것이고, 도 17의 단면은 도 15 및 16의 라인 17-17을 따른 것이다.
- <13> 도 18-20은 도 15-17의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 반도체 구조의 도시들이고, 도 18-20의 단편들은, 각각, 도 12-14의 단편들에 대응한다. 도 19의 단면은 도 18 및 20의 라인 19-19를 따른 것이고, 도 20의 단면은 도 18 및 19의 라인 20-20을 따른 것이다.
- <14> 도 21-23은 도 18-20의 처리 단계 다음의 처리 단계에서 도시된 도 6 및 7의 반도체 구조의 도시들이고, 도 21-23의 단편들은, 각각, 도 12-14의 단편들에 대응한다. 도 22의 단면은 도 21 및 23의 라인 22-22를 따른 것이고, 도 23의 단면은 도 21 및 22의 라인 23-23을 따른 것이다.
- <15> 도 24-27은 다른 실시예에 따른 예비 처리 단계에서 도시된 반도체 구조의 상면도 및 단면 측면도들이다. 도 25의 단면은 도 24 및 27의 라인 25-25를 따른 것이고, 도 26의 단면은 도 24 및 27의 라인 26-26을 따른 것이다.

고, 도 27의 단면은 도 24-26의 라인 27-27을 따른 것이다.

- <16> 도 28-31은, 각각, 도 24-27의 처리 단계 다음의 처리 단계에서 도시된 도 24-27의 단면들의 도시이다. 도 29의 단면은 도 28 및 31의 라인 29-29를 따른 것이고, 도 30의 단면은 도 28 및 31의 라인 30-30을 따른 것이고, 도 31의 단면은 도 28-30의 라인 31-31을 따른 것이다.
- <17> 도 32-35는, 각각, 도 28-31의 처리 단계 다음의 처리 단계에서 도시된 도 24-27의 단면들의 도시이다. 도 33의 단면은 도 32 및 35의 라인 33-33을 따른 것이고, 도 34의 단면은 도 32 및 35의 라인 34-34를 따른 것이고, 도 35의 단면은 도 32-34의 라인 35-35를 따른 것이다.
- <18> 도 36-39는, 각각, 도 32-35의 처리 단계 다음의 처리 단계에서 도시된 도 24-27의 단면들의 도시이다. 도 37의 단면은 도 36 및 39의 라인 37-37을 따른 것이고, 도 38의 단면은 도 36 및 39의 라인 38-38을 따른 것이고, 도 39의 단면은 도 36-38의 라인 39-39를 따른 것이다.
- <19> 도 40은 또 다른 실시예를 도시하는 반도체 웨이퍼 단면의 상면도이다.
- <20> 도 41은 컴퓨터 실시예의 개략도이다.
- <21> 도 42는 도 41의 컴퓨터 실시예의 마더보드의 특정 특징들을 보여주는 블록도이다.
- <22> 도 43은 전자 시스템 실시예의 하이 레벨 블록도이다.
- <23> 도 44는 메모리 장치 실시예의 간략화된 블록도이다.

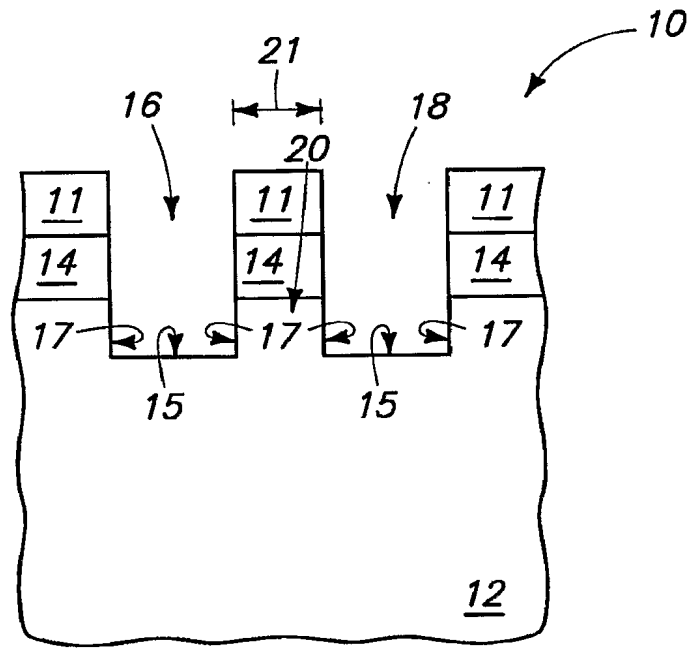
**도면**

**도면1**

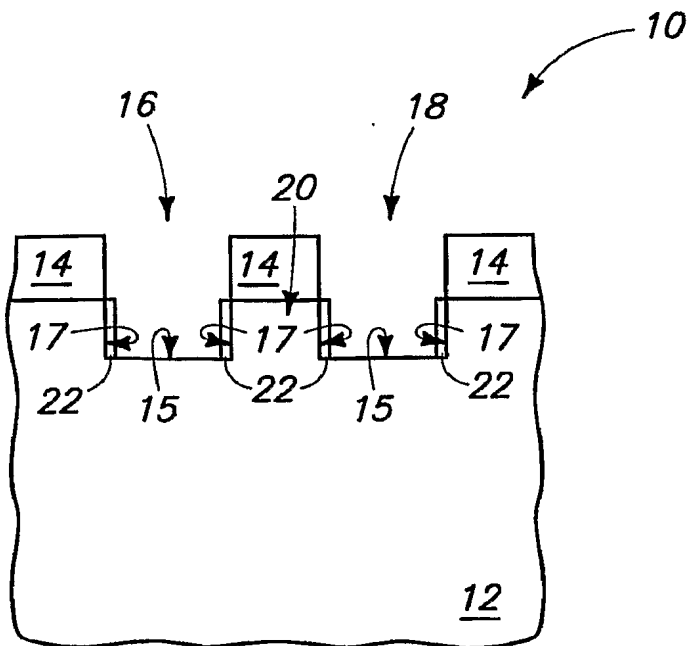




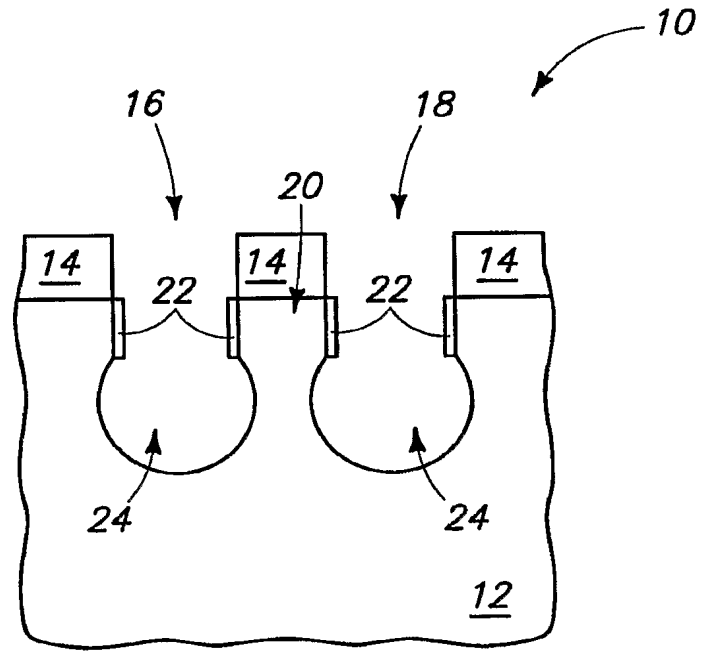
도면2



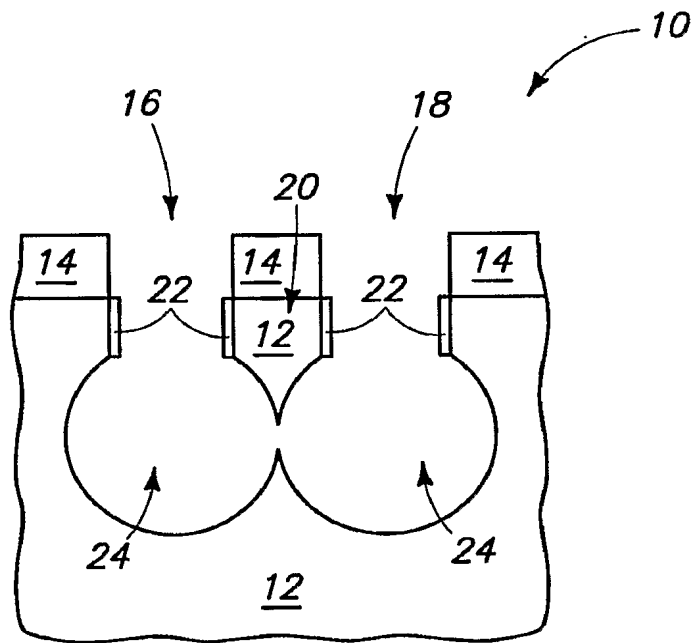
도면3



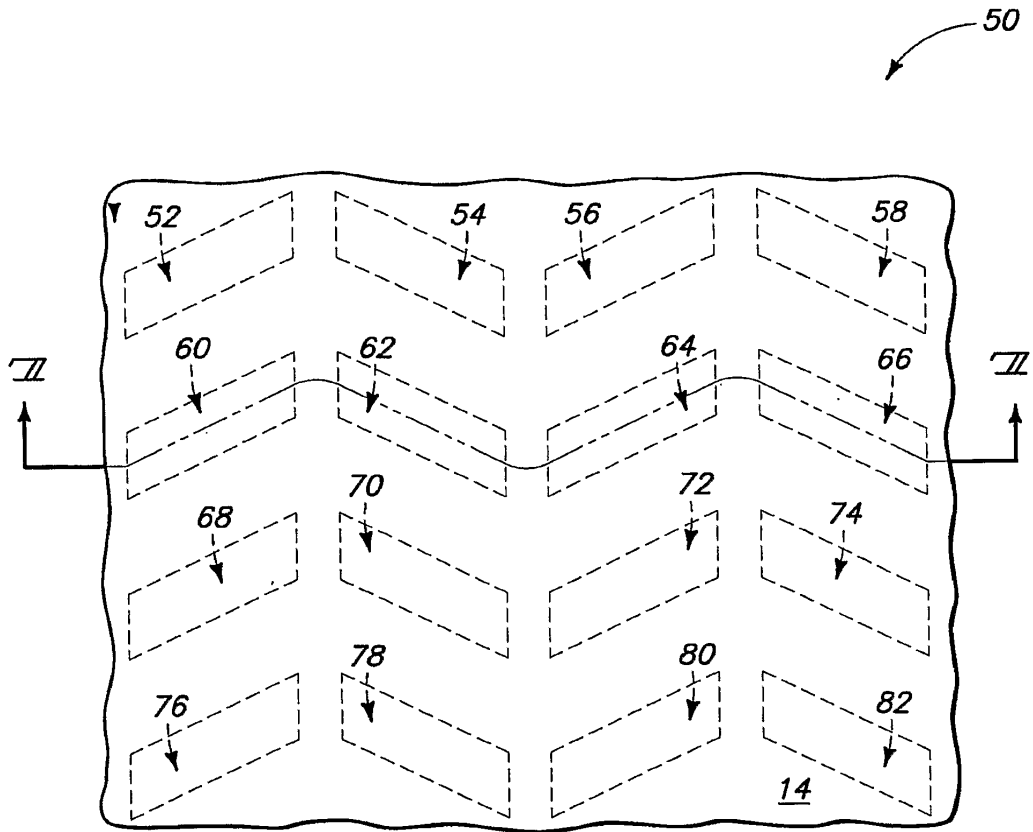
도면4



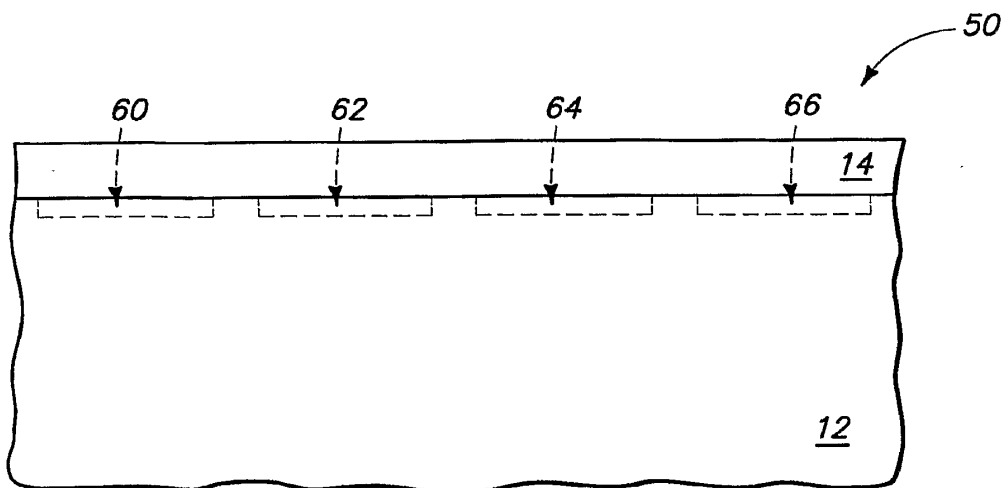
도면5



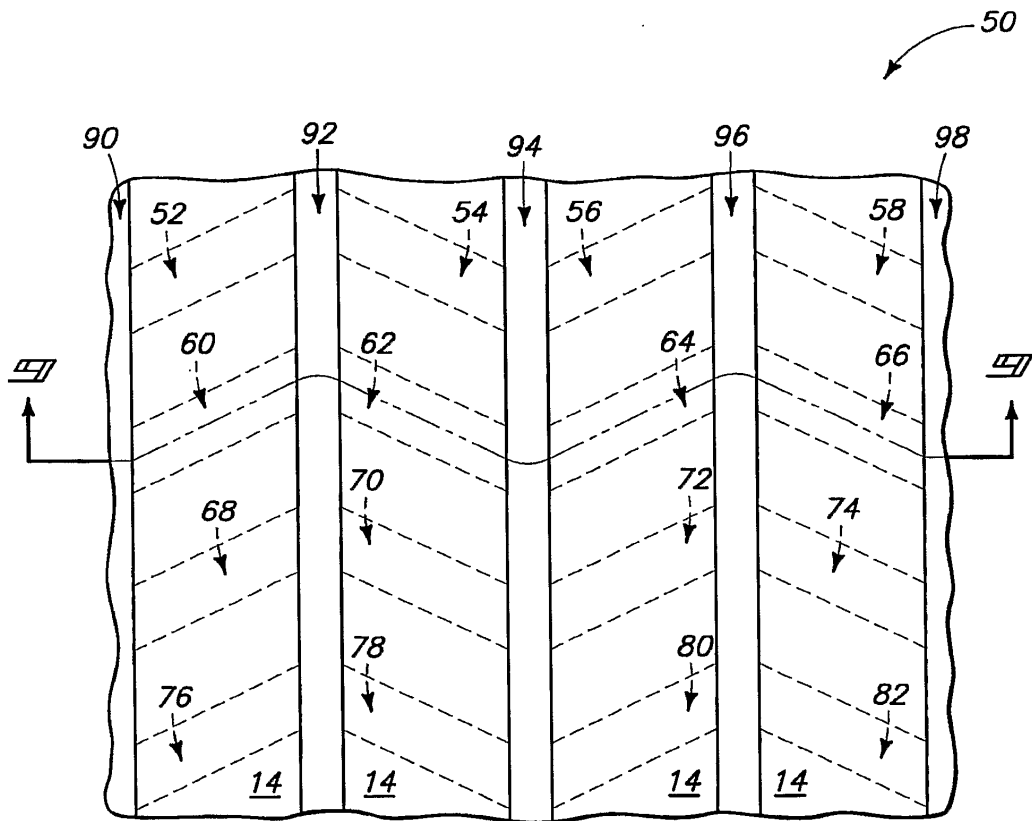
도면6



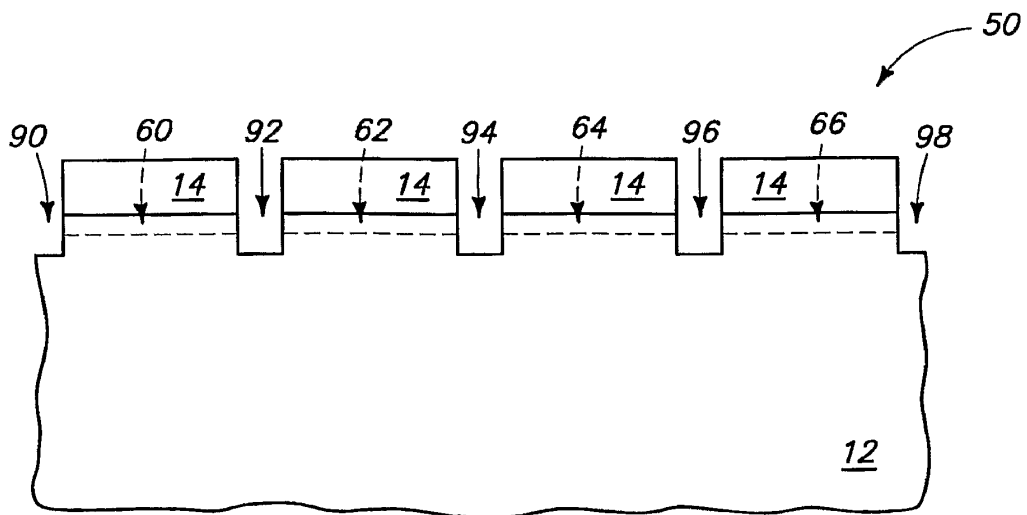
도면7



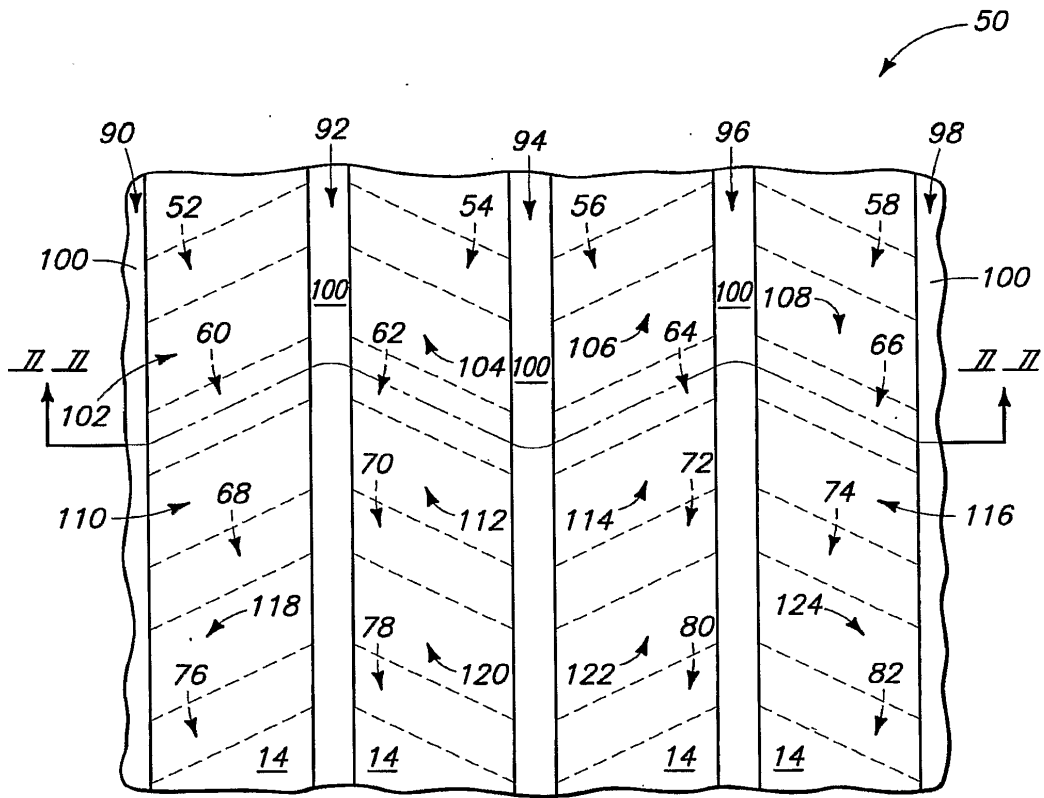
도면8



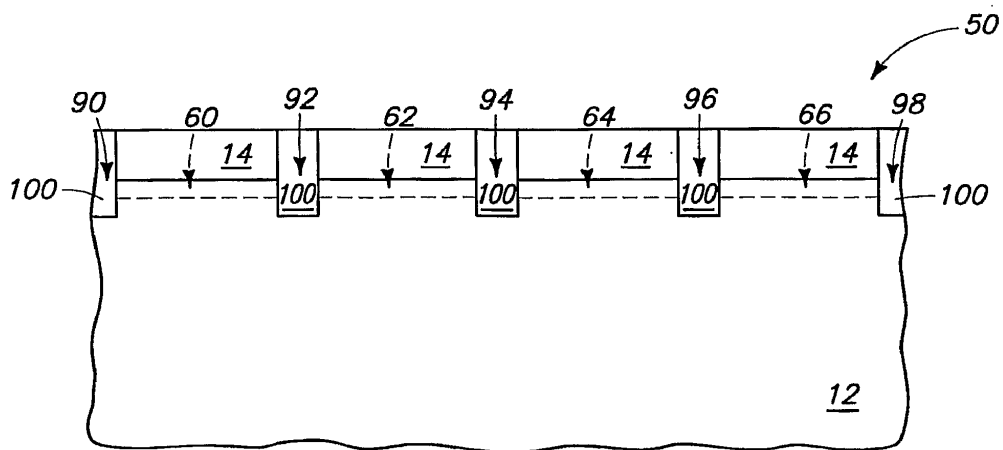
도면9



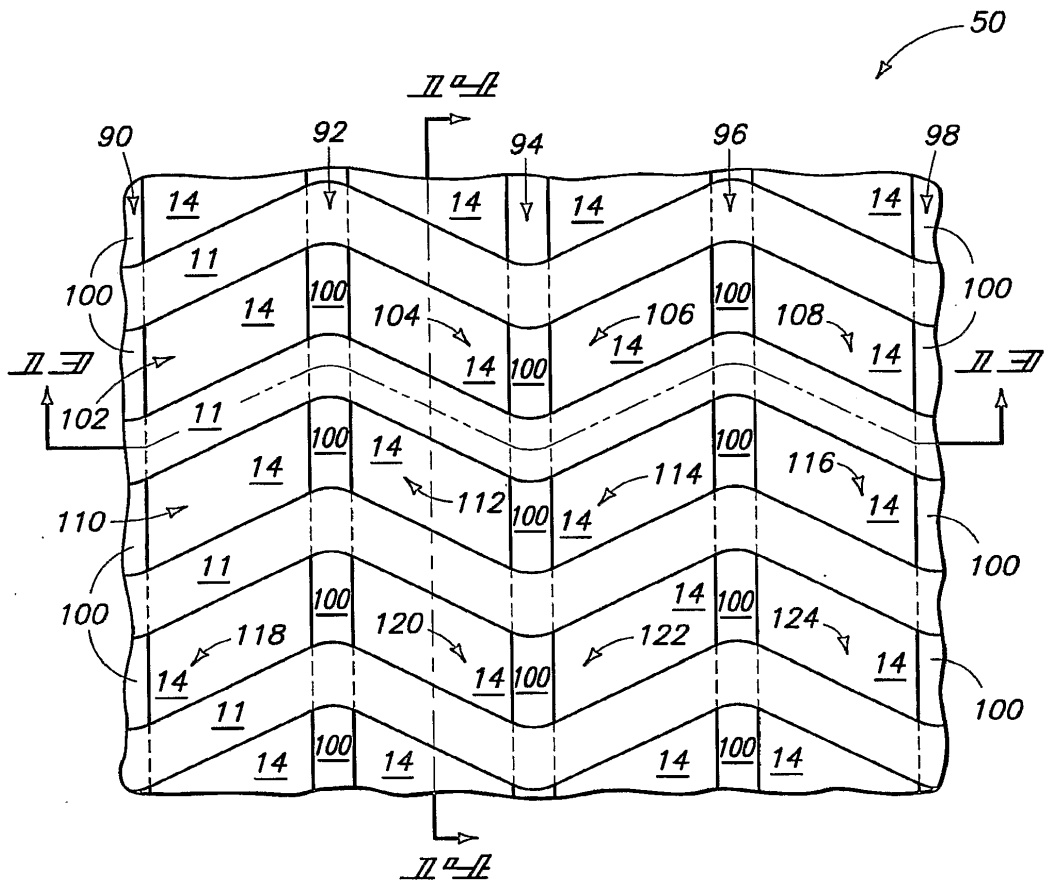
도면10



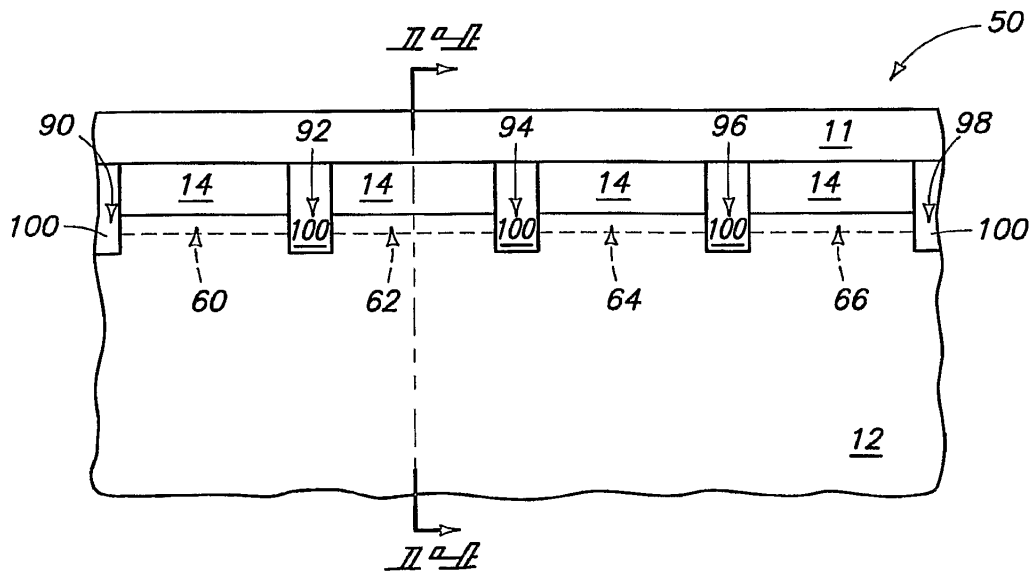
도면11



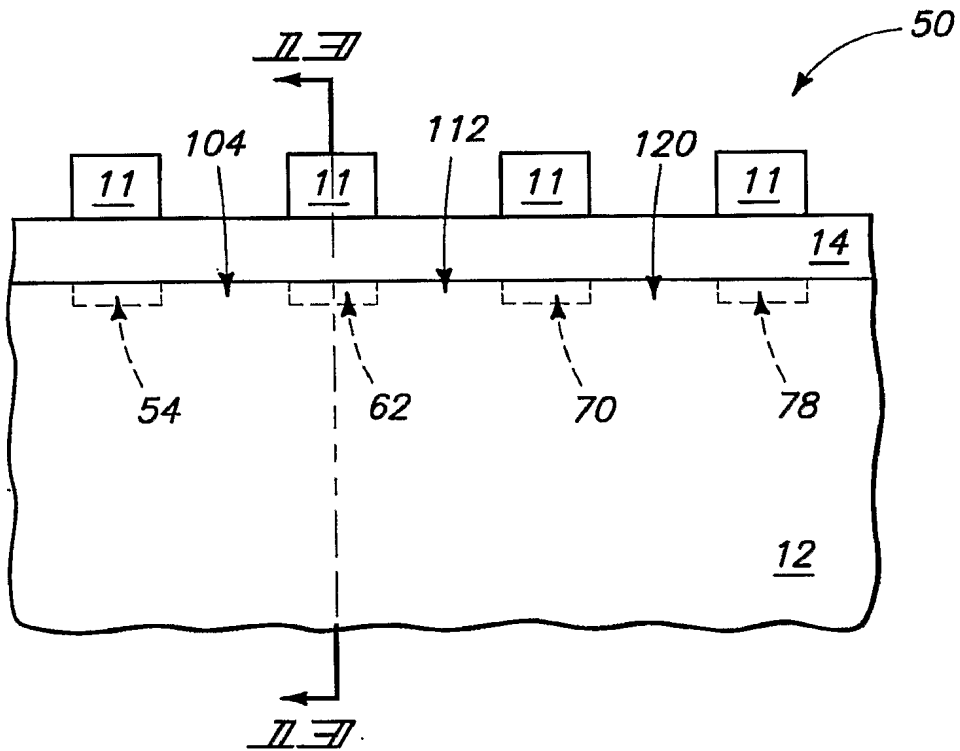
도면12



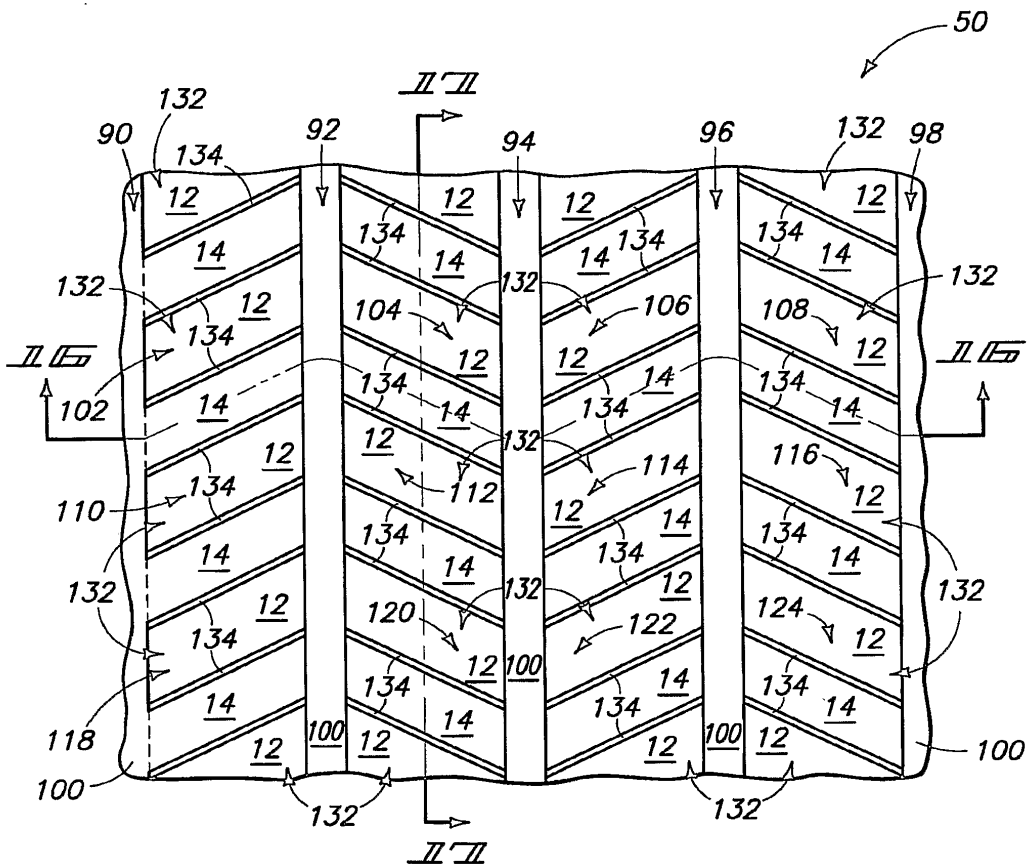
도면13



도면14



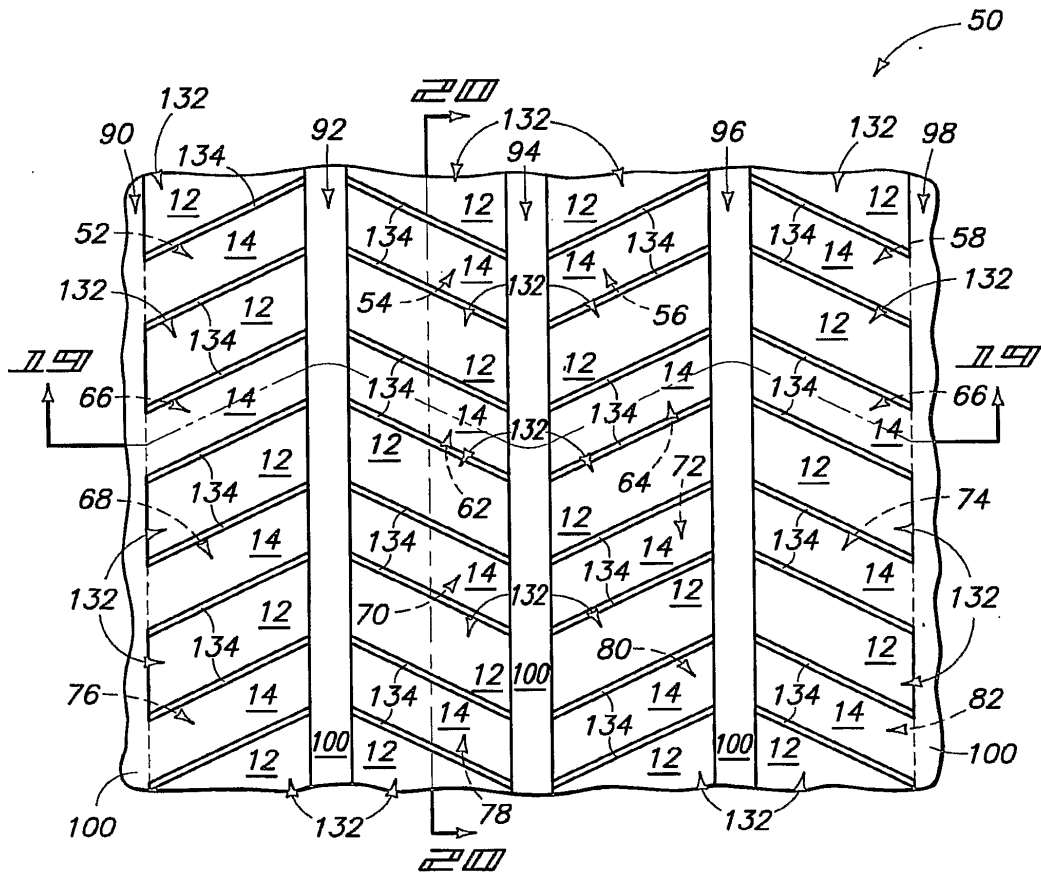
도면15



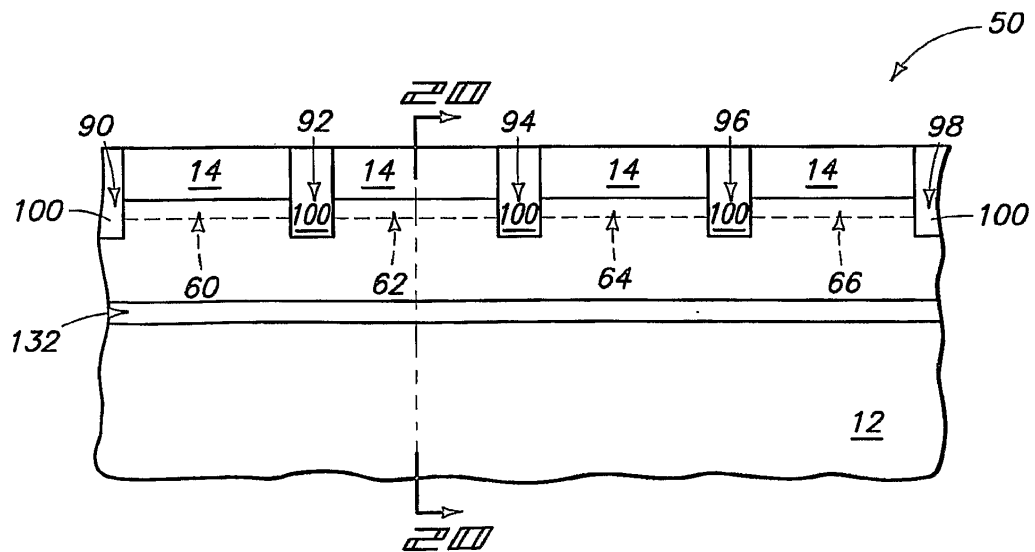




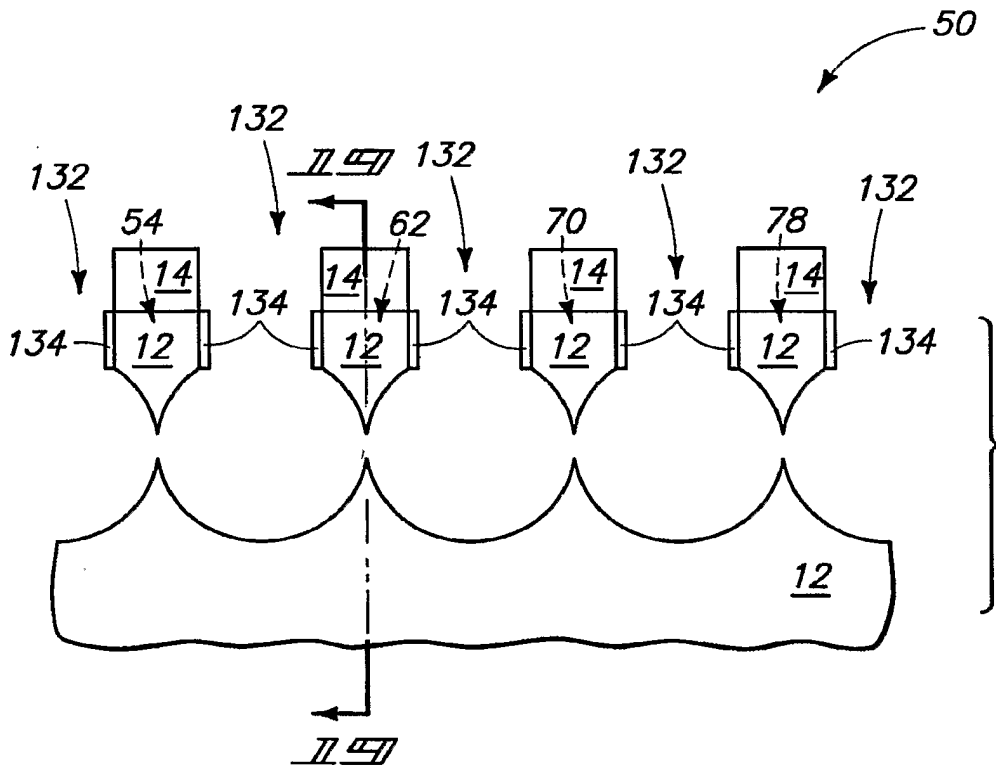
도면18



도면19



도면20

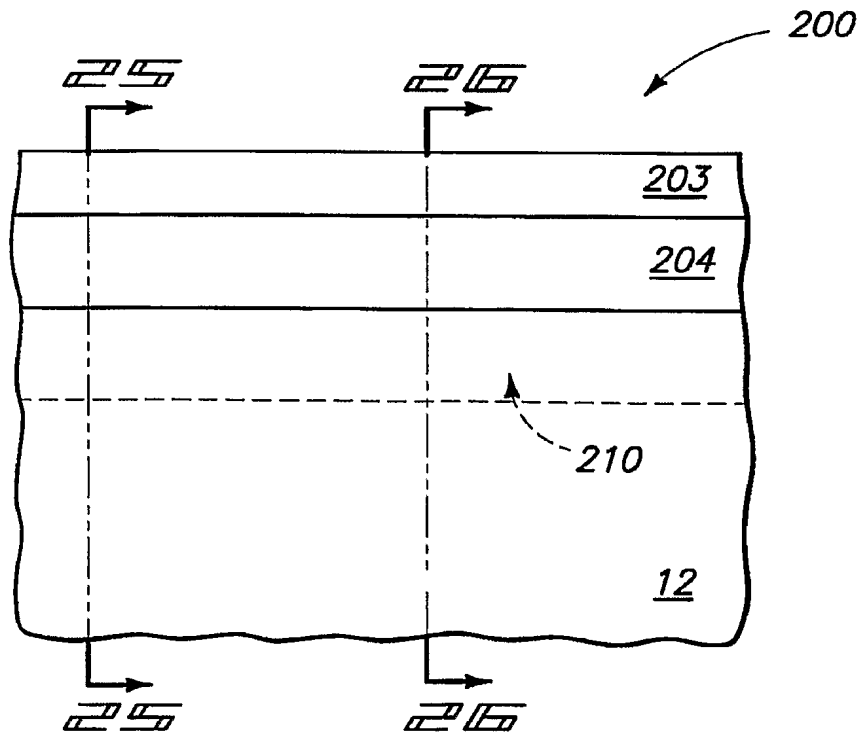




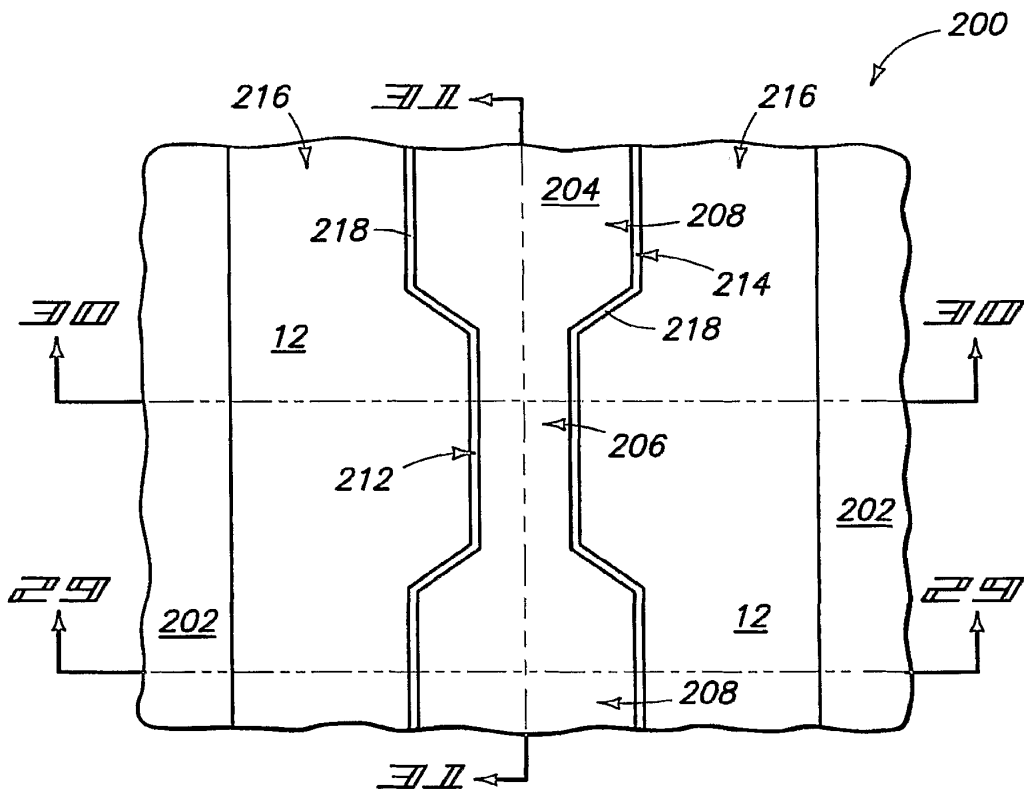




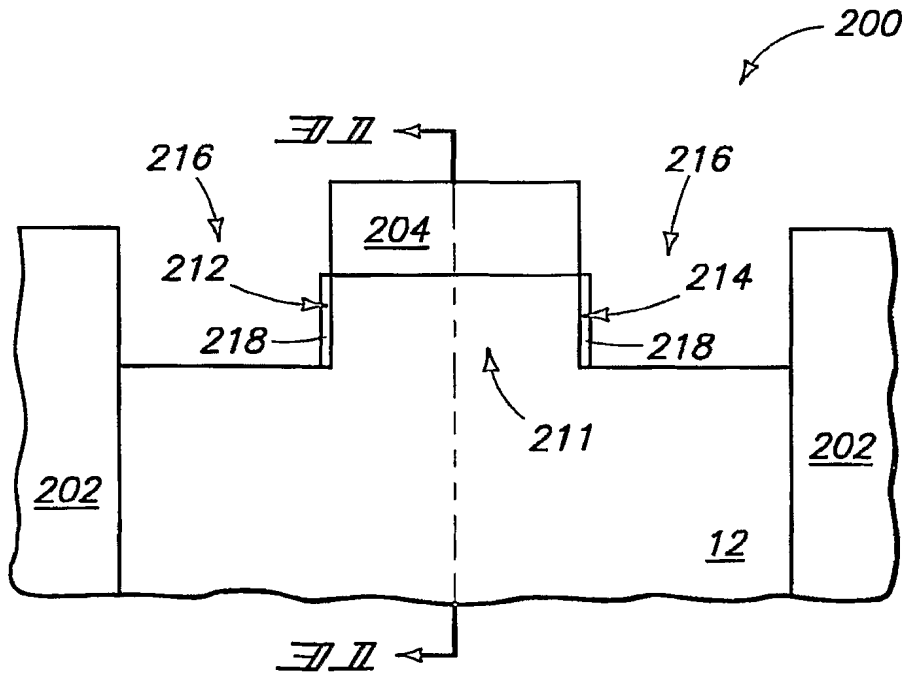
도면27



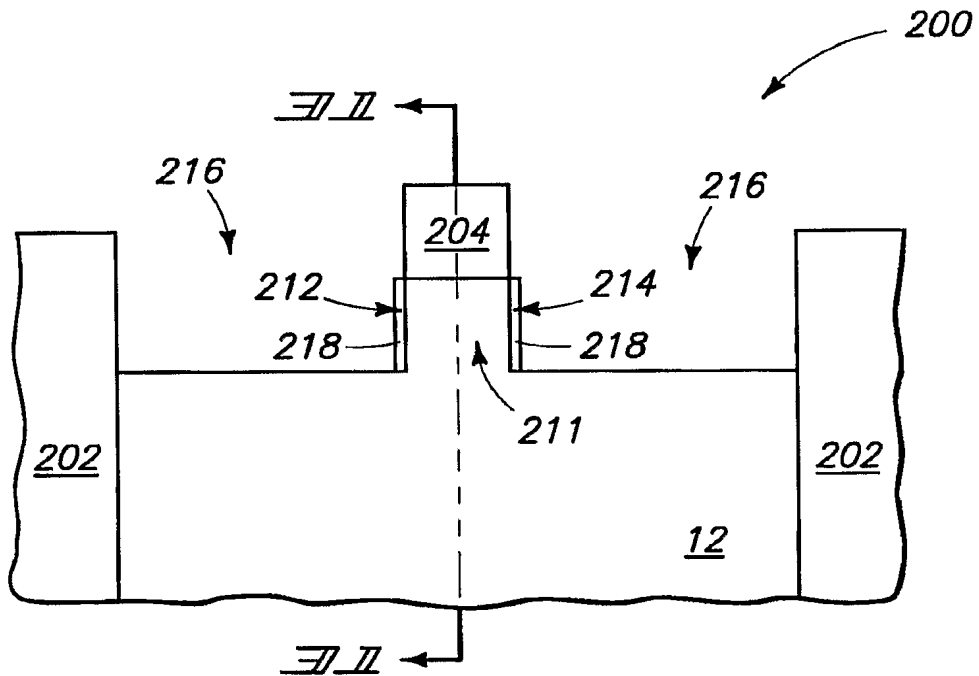
도면28



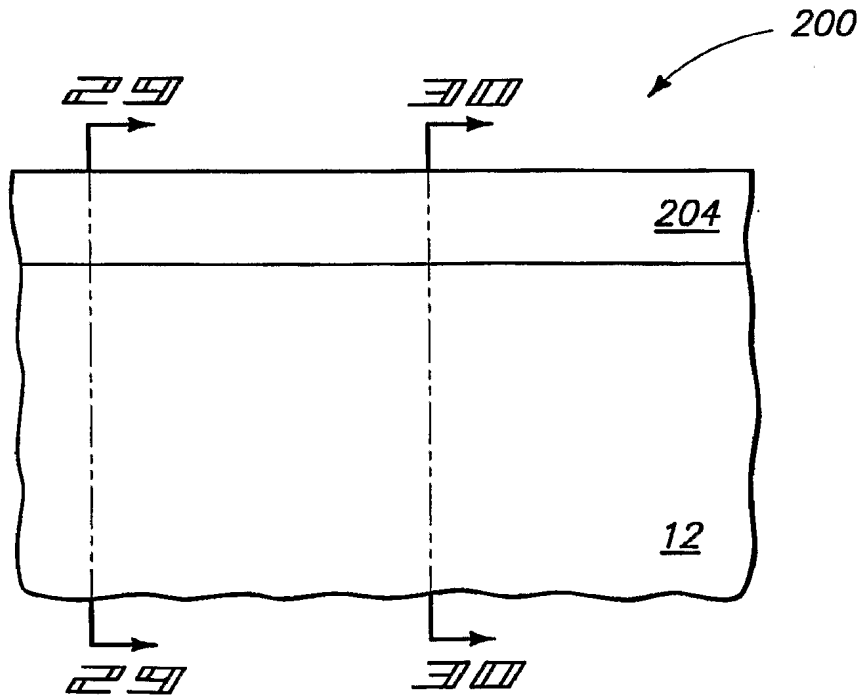
도면29



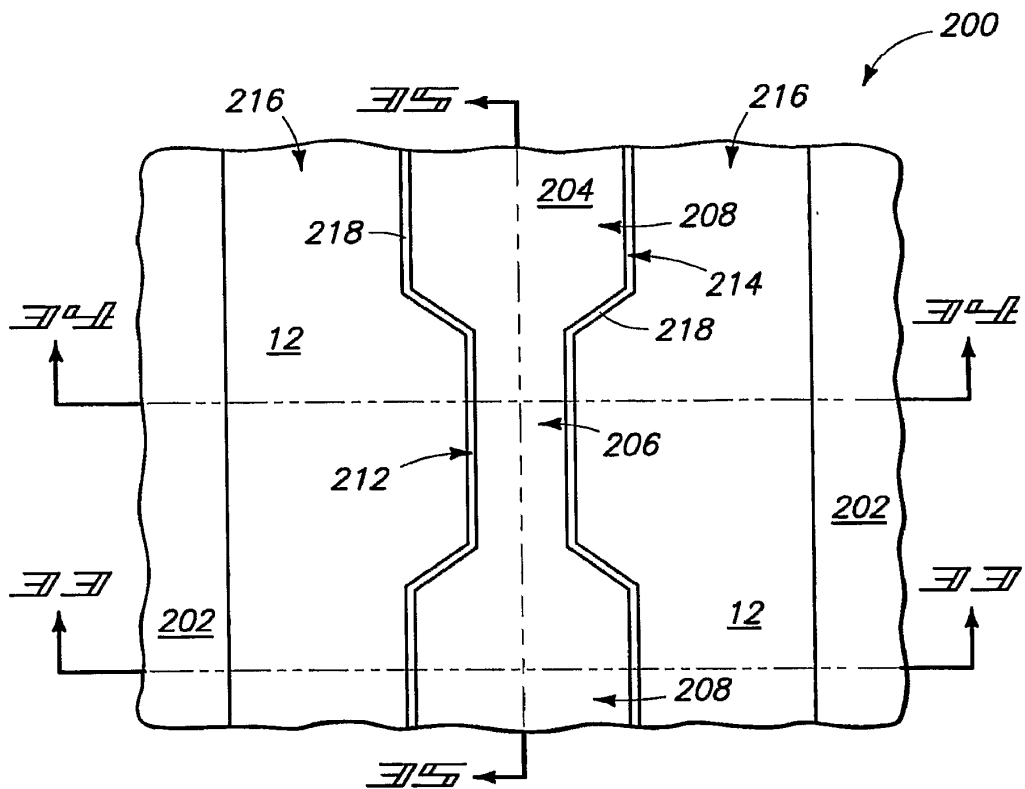
도면30



도면31

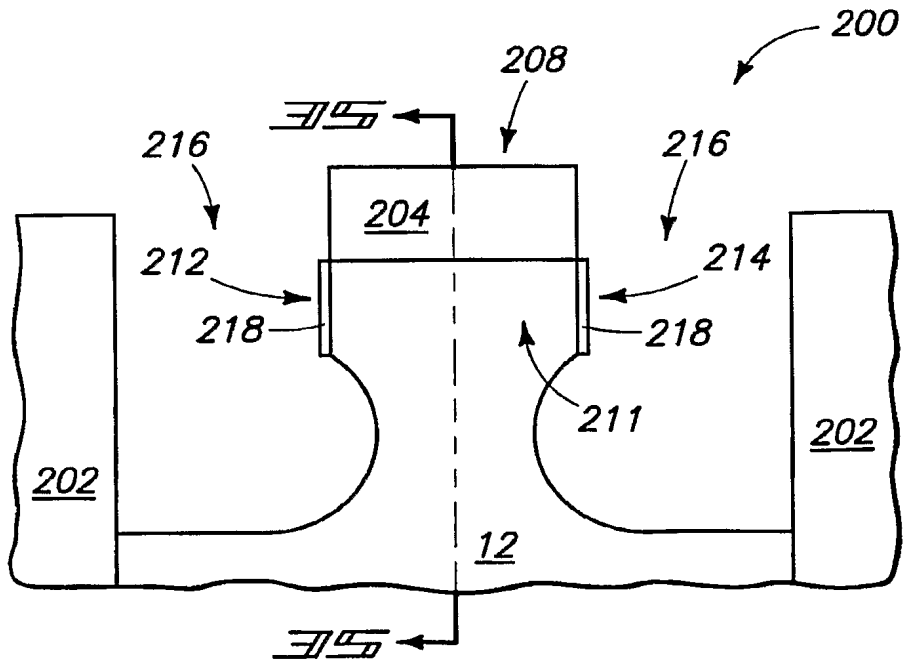


도면32

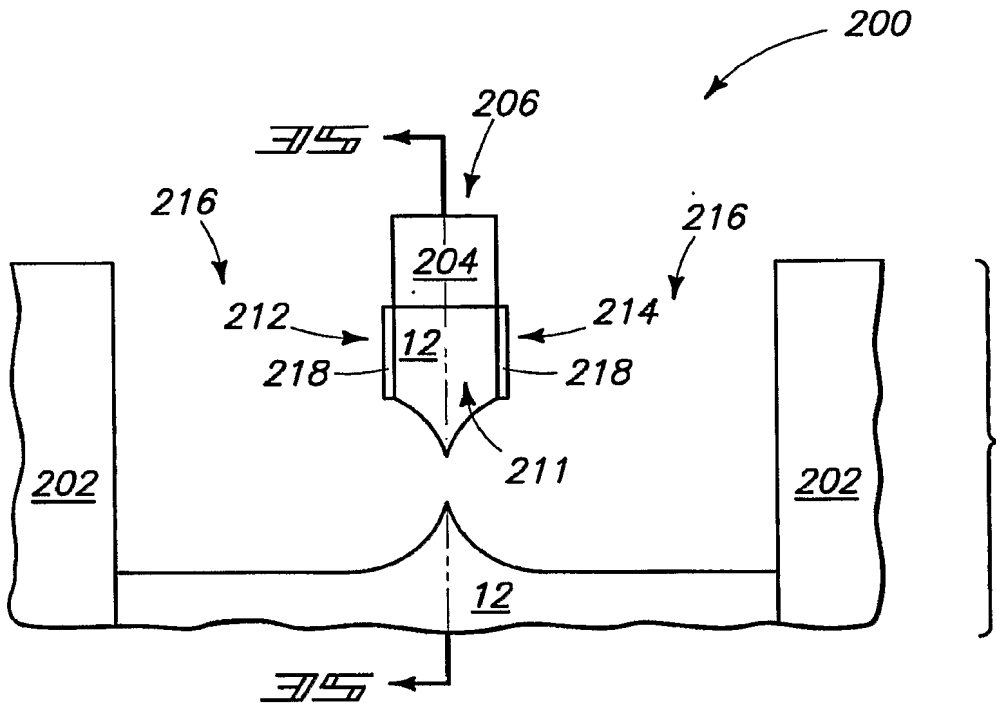




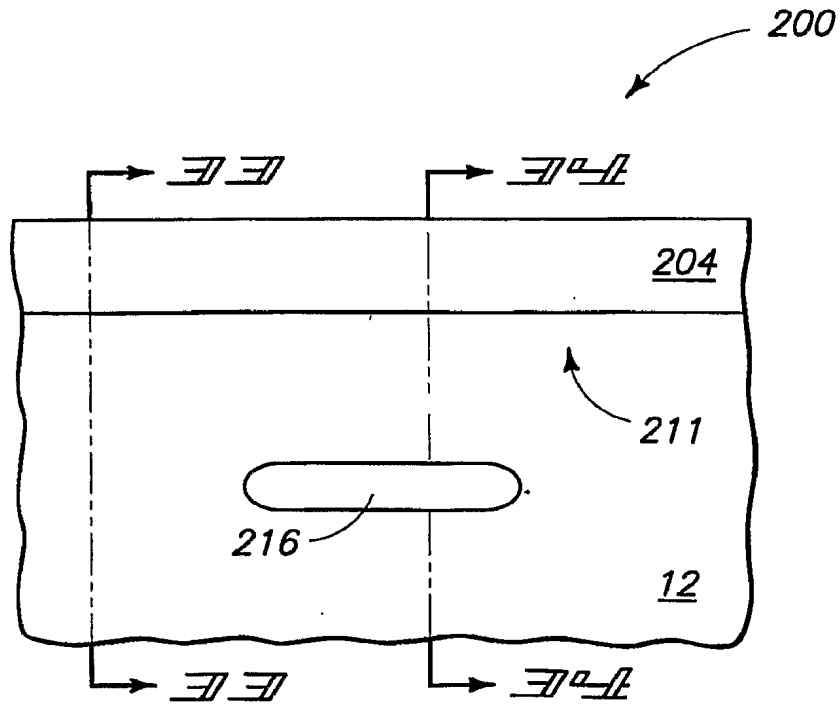
도면33



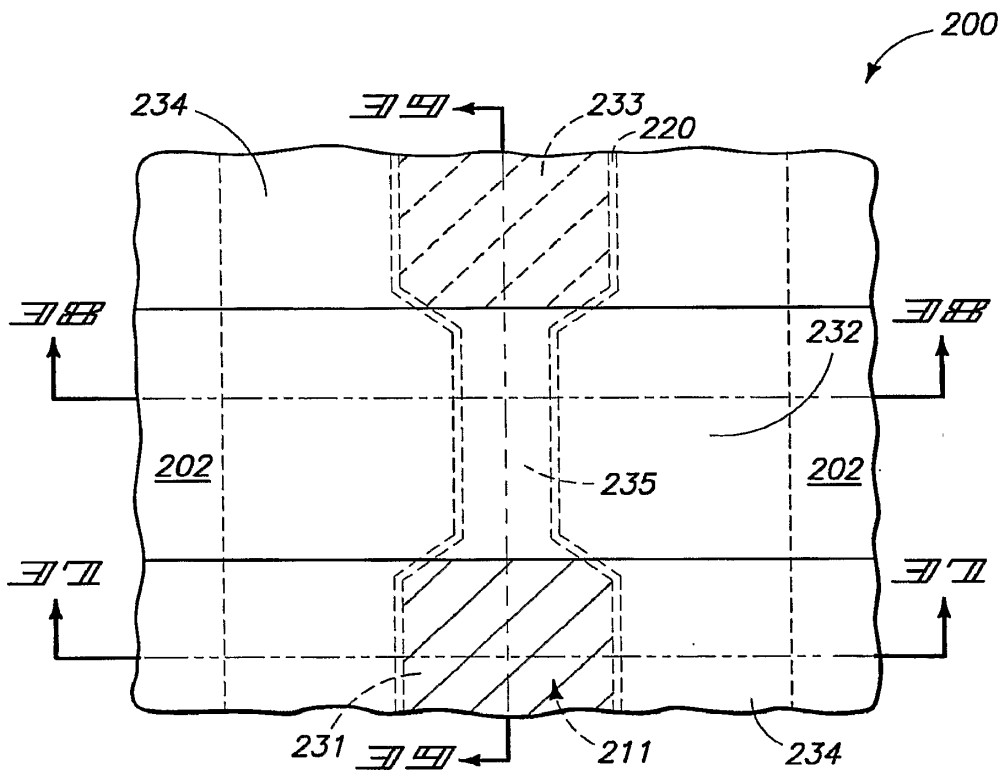
도면34



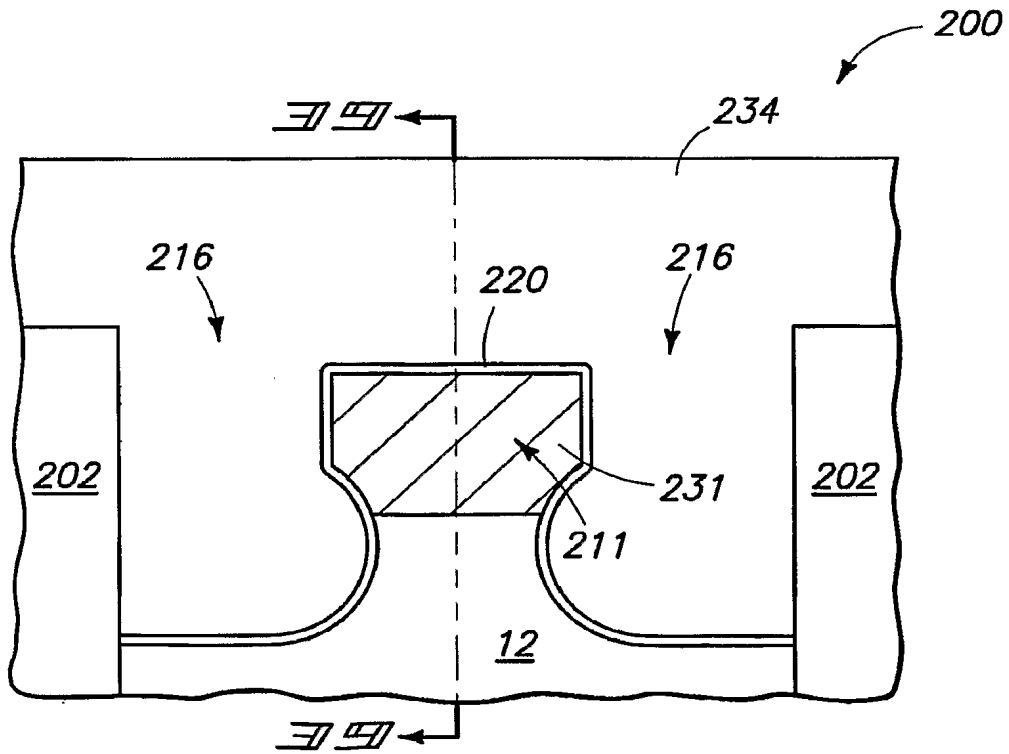
도면35



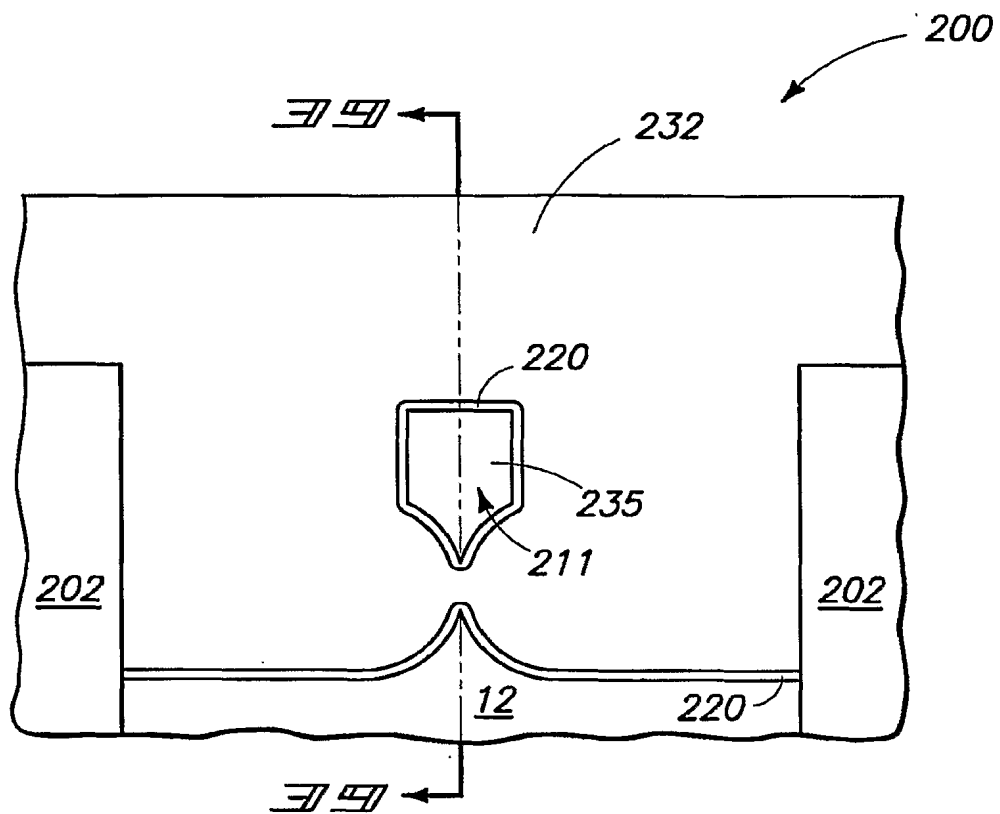
도면36



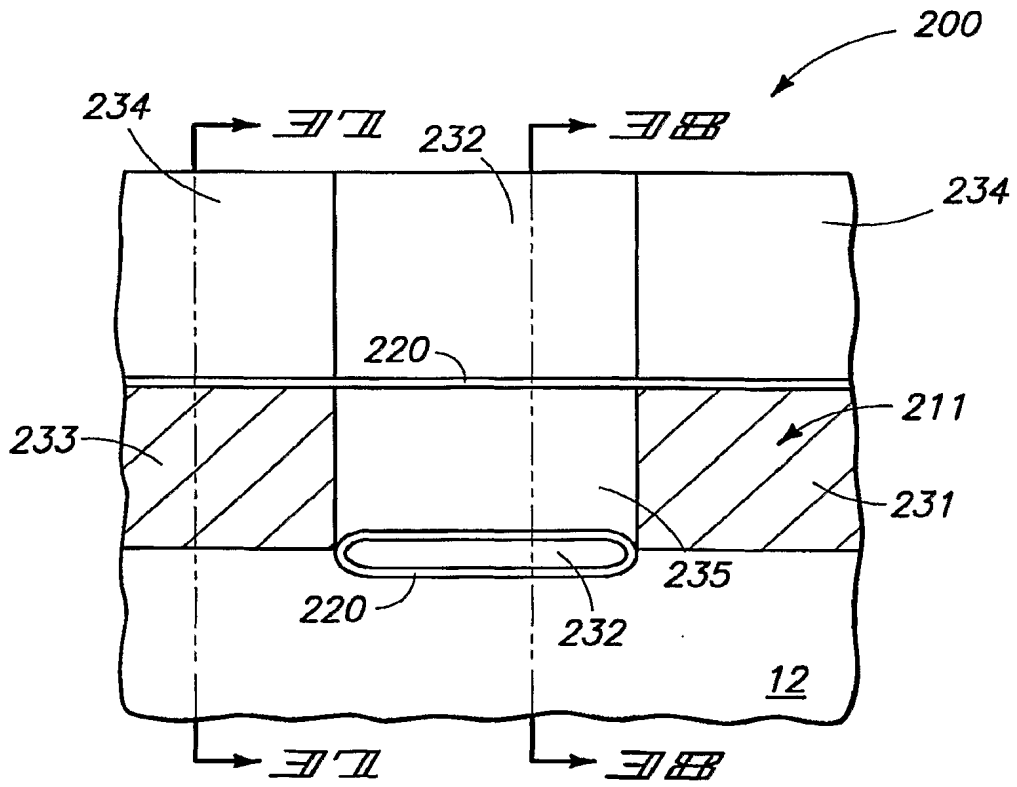
도면37



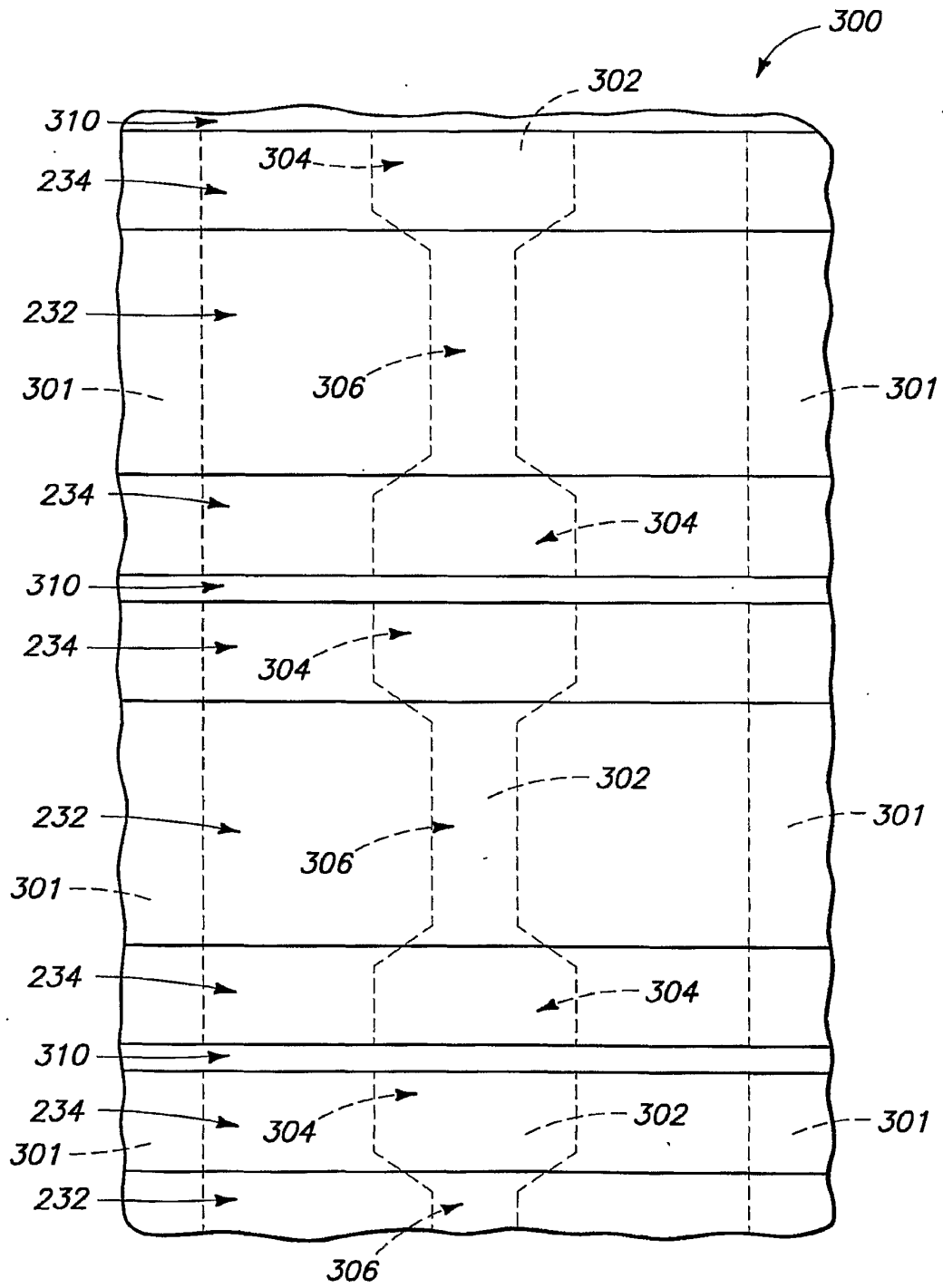
도면38



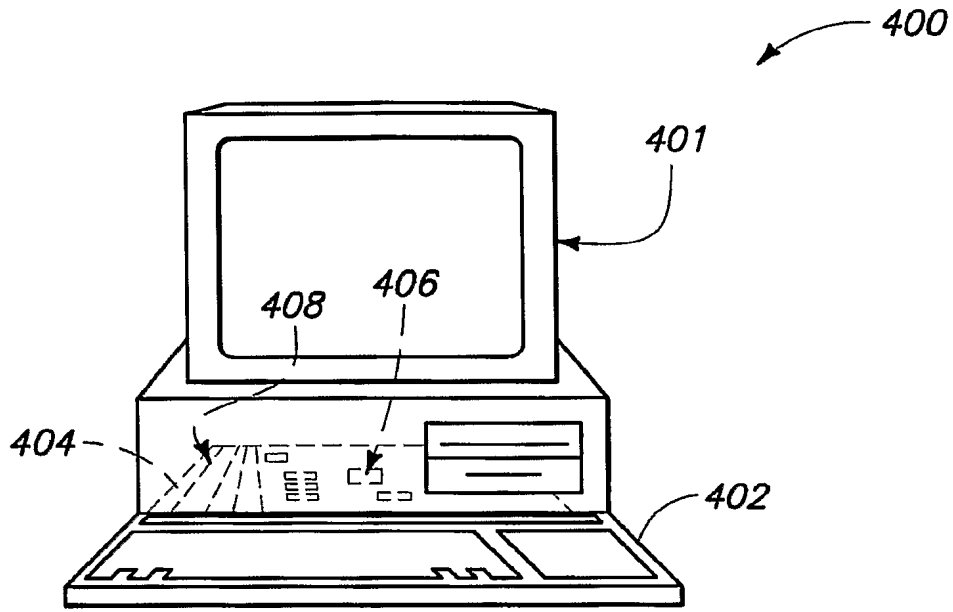
도면39



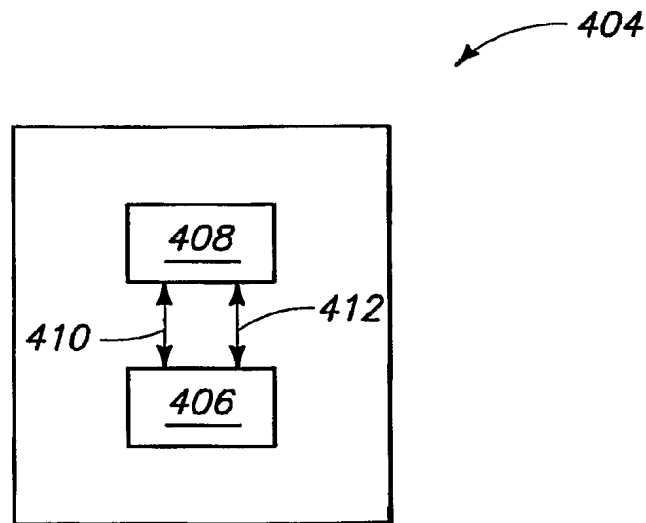
도면40



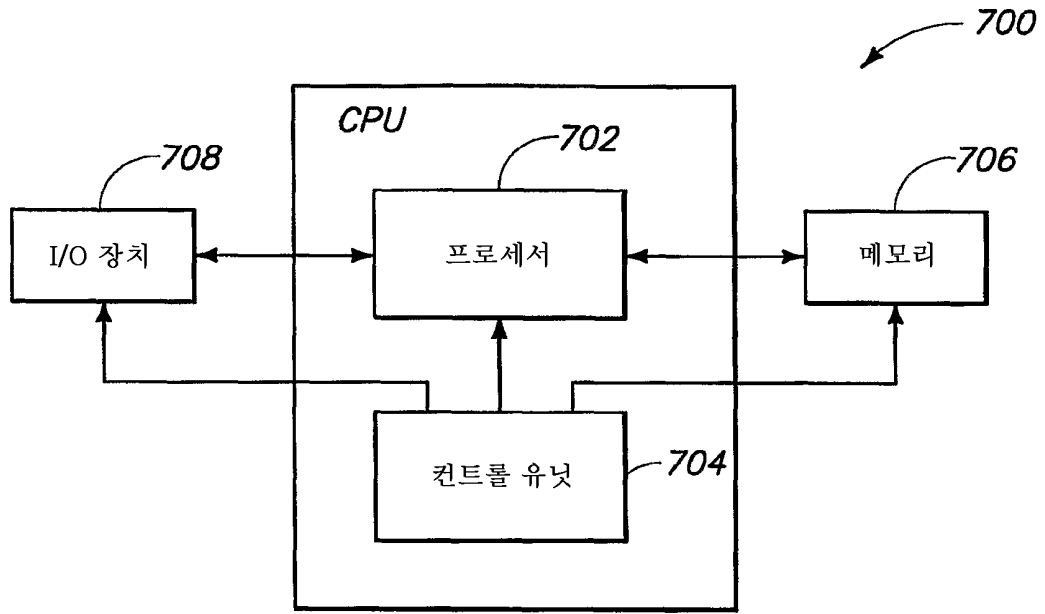
도면41



도면42



도면43



도면44

