



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I614897 B

(45)公告日：中華民國 107 (2018) 年 02 月 11 日

(21)申請案號：102136356

(22)申請日：中華民國 102 (2013) 年 10 月 08 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2012/10/17 日本

2012-230365

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；須澤英臣 SUZAWA, HIDEOMI (JP)；笹
川慎也 SASAGAWA, SHINYA (JP)；田中哲弘 TANAKA, TETSUHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201140827A1

JP 2008-42088A

JP 2011-243745A

JP 2012-174723A

US 20110180796A1

US 20120132905A1

審查人員：張展溢

申請專利範圍項數：13 項 圖式數：25 共 112 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

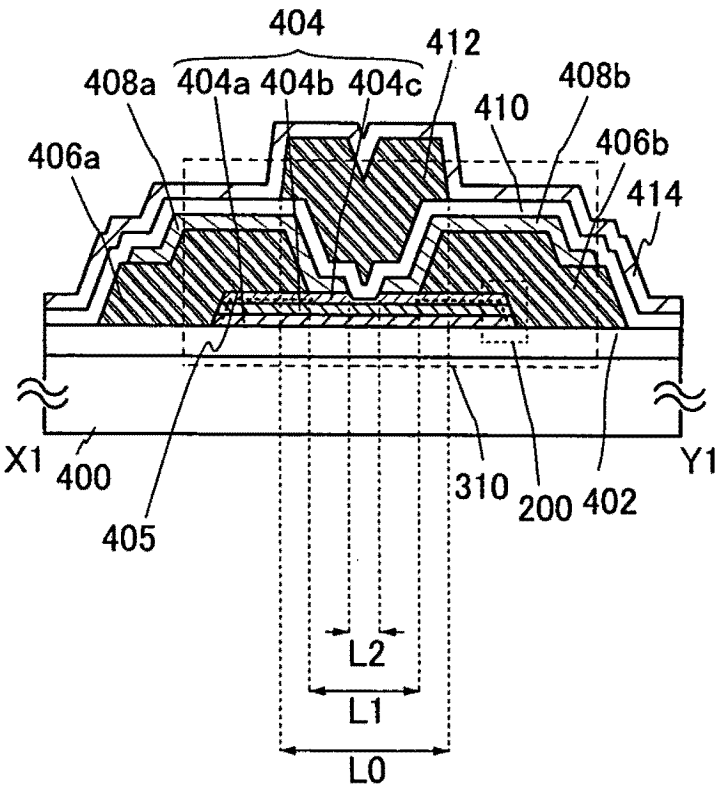
(57)摘要

提供一種包含氧化物半導體的高度可靠的半導體裝置，經由抑制其電子特性的變化。從形成於氧化物半導體層下之基底絕緣層及形成於氧化物半導體層上之閘極絕緣層提供氧至通道形成區域，於此處填滿可能產生的氧空缺。此外，於通道形成區域附近的氧化物半導體層，抑制源極電極層和汲極電極層從氧化物半導體層中取出氧，抑制此處可能形成於通道中的氧空缺。

To provide a highly reliable semiconductor device including an oxide semiconductor by suppression of change in its electrical characteristics. Oxygen is supplied from a base insulating layer provided below an oxide semiconductor layer and a gate insulating layer provided over the oxide semiconductor layer to a region where a channel is formed, whereby oxygen vacancies which might be generated in the channel are filled. Further, extraction of oxygen from the oxide semiconductor layer by a source electrode layer or a drain electrode layer in the vicinity of the channel formed in the oxide semiconductor layer is suppressed, whereby oxygen vacancies which might be generated in a channel are suppressed.

指定代表圖：

第 1B 圖



符號簡單說明：

- 200 . . . 區域
- 310 . . . 電晶體
- 400 . . . 基板
- 402 . . . 基底絕緣層
- 404 . . . 氧化物層疊
- 404a . . . 氧化物層
- 404b . . . 氧化物半導體層
- 404c . . . 氧化物層
- 405 . . . 區域
- 406a . . . 源極電極層
- 406b . . . 汲極電極層
- 408a . . . 源極電極層
- 408b . . . 汲極電極層
- 410 . . . 閘極絕緣層
- 412 . . . 閘極電極層
- 414 . . . 保護絕緣層
- X1 . . . 虛線方向
- Y1 . . . 虛線方向
- L0 . . . 長度
- L1-L2 . . . 距離

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 如本發明說明書揭示之本發明之一實施例，關於一種半導體裝置，包含一種半導體裝置及其製造方法。

[0002] 於本發明說明書中，一種半導體裝置，可利用半導體特性產生功能應用於各種類型之裝置；光電裝置，影像顯示器，半導體電路及電子裝置皆係半導體裝置。

【先前技術】

[0003] 一種利用形成於具有絕緣面之基板上的半導體薄層形成電晶體之技術漸被關注。此種電晶體廣泛應用於電子裝置，例如積體電路（IC）及影像顯示器（亦可稱作顯示裝置）。矽基半導體材料係眾所皆知之薄層半導體材料，可應用於電晶體。而另一種材料，氧化物半導體漸被關注。

[0004] 例如，利用氧化鋅或 In-Ga-Zn 基氧化物半導體形成電晶體之技術，揭示於專利文獻 1 以及專利文獻

2。

參考文獻：

專利文獻：

[0005]

專利文獻 1：日本公開專利 2007-123861

專利文獻 2：日本公開專利 2007-096055

【發明內容】

[0006] 本發明之一實施例之目標係得到一種半導體裝置，包含具有良好的電子特性的氧化物半導體。

[0007] 另一目標係提供一種包含氧化物半導體的高度可靠的半導體裝置，經由抑制其電子特性的變化。

[0008] 於形成包含氧化物半導體的電晶體的情況，可提供氧空缺作為氧化物半導體的載子供應源之一者。包含電晶體的通道形成區域的氧化物半導體中的許多氧空缺，使通道形成區域中產生電子，造成電子特性的缺陷；例如，電晶體成為常態導通型，漏電流增加，或是臨界電壓因有應力而偏移。此外，於氧化物半導體層中，氫、矽、氮、碳以及除了氧化物半導體的主要元素之外的金屬元素，皆為雜質。例如，氧化物半導體層中的氫形成施體能階，增加載子密度。矽形成雜質能階於氧化物半導體中。雜質能階作為陷阱並可能造成電晶體的電子特性劣化。

[0009] 因此，為使包含氧化物半導體的半導體元件具有穩定的電子特性，需要進行一些措施以減少氧化物半導體層中的氧空缺，並減少雜質濃度，例如氫和矽。

[0010] 綜上所述，本發明之一實施例之一種半導體裝置，從形成於氧化物半導體層下之基底絕緣層，以及形成於氧化物半導體層上之閘極絕緣層提供氧往通道形成區域，於此處填滿可能產生的氧空缺。此外，於通道形成區域附近的氧化物半導體層，抑制源極電極層和汲極電極層從氧化物半導體層中取出氧，抑制此處可能形成於通道中的氧空缺。另外，形成保護絕緣層作為具有低氫含量及低氧傳輸特性的阻障層於閘極電極層上，以使氧能有效率地供予通道形成區域，而抑制從閘極絕緣層及／或基底絕緣層中氧之解吸附。

[0011] 此外，提供氧化物層含有一或更多種類金屬元素形成並接觸於氧化物半導體層之通道形成區域之上或下。因此通道可以與閘極絕緣層分離。此外，介面能階較不易形成於氧化物半導體層及每個氧化物層之介面，因此可以減少電晶體中電子特性之波動，例如臨界電壓。

[0012] 於本發明之一實施例之一種半導體裝置，具有上述之結構，可以減少作為通道（作為主要載子路徑）之氧化物半導體層之雜質濃度，以高度純化氧化物半導體層而成為高度純淨之本質氧化物半導體層。得到高度純淨之本質氧化物半導體層意味著純化或是實質上純化氧化物半導體層成為本質或實質上本質之氧化物半導體層。值得

注意的是，本發明說明書中，實質上純淨之氧化物半導體層之載子濃度係少於 $1 \times 10^{17}/\text{cm}^3$ ，少於 $1 \times 10^{15}/\text{cm}^3$ ，或少於 $1 \times 10^{13}/\text{cm}^3$ 。利用高度純化氧化物半導體層而成為高度純淨之本質氧化物半導體層，電晶體可具有穩定的電子特性。

[0013] 特別是，例如可以配置以下之結構。

[0014] 本發明之一實施例之一種半導體裝置，包含：含有氧的基底絕緣層；島狀氧化物層疊設置於基底絕緣層上；第一源極電極層及第一汲極電極層各接觸島狀氧化物層疊之上表面及其在通道長度方向之側表面；第二源極電極層及第二汲極電極層分別設置於第一源極電極層及第一汲極電極層上，接觸島狀氧化物層疊之上表面，並且係由金屬氮化物層所形成；閘極絕緣層設置於第二源極電極層及第二汲極電極層上，並且接觸第二源極電極層及第二汲極電極層之間的島狀氧化物層疊之上表面；閘極電極層重疊氧化物層疊，並且閘極絕緣層設置於其間；保護絕緣層設置並接觸於閘極絕緣層及閘極電極層上。氧化物層疊包含氧化物半導體層，至少一通道形成於氧化物半導體層中；第一氧化物層設置於氧化物半導體層及基底絕緣層之間；並且第二氧化物層設置於氧化物半導體層及閘極絕緣層之間。基底絕緣層及閘極絕緣層於島狀氧化物層疊外處相互接觸。保護絕緣層具有較閘極絕緣層低的氧傳輸特性。

[0015] 本發明之另一實施例之一種半導體裝置，包

含：含有氧的基底絕緣層；島狀氧化物層疊設置於基底絕緣層上；第一源極電極層及第一汲極電極層各接觸島狀氧化物層疊之上表面及其在通道長度方向之側表面；第二源極電極層及第二汲極電極層分別設置於第一源極電極層及第一汲極電極層上，接觸島狀氧化物層疊之上表面，並且係由金屬氮化物層所形成；閘極絕緣層設置於第二源極電極層及第二汲極電極層上，並且接觸第二源極電極層及第二汲極電極層之間的島狀氧化物層疊之上表面；閘極電極層重疊氧化物層疊、部分第二源極電極層及部分第二汲極電極層，並且閘極絕緣層設置於其間；保護絕緣層設置並接觸於閘極絕緣層及閘極電極層上。氧化物層疊包含氧化物半導體層，至少一通道形成於氧化物半導體層中；第一氧化物層設置於氧化物半導體層及基底絕緣層之間；並且第二氧化物層設置於氧化物半導體層及閘極絕緣層之間。基底絕緣層及閘極絕緣層於島狀氧化物層疊外處相互接觸。保護絕緣層具有較閘極絕緣層低的氧傳輸特性。

[0016] 前述之任一半導體裝置中，較佳的是氧化物半導體層、第一氧化物層及第二氧化物層各利用 In-M-Zn 氧化物（ M 係 Al 、 Ti 、 Ga 、 Y 、 Zr 、 La 、 Ce 、 Nd 或 Hf ）形成，並且每個第一氧化物層及第二氧化物層的 M 與 In （此後，稱作銦）的原子比高於氧化物半導體層。

[0017] 此外，前述之任一半導體裝置中，較佳的是氧化物半導體層包含結晶部分，並且結晶部分之 c 軸平行於氧化物半導體層之表面的法向量。

[0018] 此外，前述之任一半導體裝置中，第一源極電極層及第一汲極電極層各利用相較於第二源極電極層及第二汲極電極層之形成材料較易與氧結合之材料形成。

[0019] 另外，前述之任一半導體裝置中，保護絕緣層中的氫濃度較佳的是低於 $5 \times 10^{19} \text{cm}^{-3}$ 。

[0020] 如本發明之一實施例，一種半導體裝置，包含氧化物半導體可具有較佳的電子特性。

[0021] 此外，如本發明之一實施例，提供一種包含氧化物半導體的高可靠的半導體裝置，抑制其電子特性的變化。

【圖式簡單說明】

[0022]

第 1A 至 1D 圖係揭示一種半導體裝置之一實施例的平面圖和截面圖；

第 2A 至 2C 圖係揭示一種半導體裝置之一實施例的平面圖和截面圖；

第 3A 至 3D 圖係揭示一種半導體裝置之一實施例的截面圖；

第 4A 至 4C 圖係揭示一種半導體裝置之製造方法的範例的截面圖；

第 5A 至 5D 圖係揭示一種半導體裝置之製造方法的範例的截面圖；

第 6A 及 6B 圖揭示氧化物層疊的能帶結構；

第 7A 及 7B 圖揭示氧化物層疊的能帶結構；

第 8 圖揭示氧化物層疊的能帶結構；

第 9A 至 9C 圖係揭示一種半導體裝置之一實施例的平面圖和截面圖；

第 10 圖係揭示電晶體之層疊結構的概念圖；

第 11A 及 11B 圖揭示 SIMS 量測結果；

第 12A 及 12B 圖揭示 SIMS 量測結果；

第 13A 及 13B 圖揭示 SIMS 量測結果；

第 14A 及 14B 圖揭示 SIMS 量測結果；

第 15A 及 15B 圖揭示平面電阻量測結果；

第 16 圖揭示平面電阻量測結果；

第 17A 及 17B 圖揭示平面電阻量測結果；

第 18A 及 18B 圖揭示 TDS 分析結果；

第 19 圖係揭示一種半導體裝置之一實施例的截面圖；

第 20A 及 20B 圖各係揭示本發明一種半導體裝置之一實施例的電路圖；

第 21A 至 21C 圖係揭示本發明一種半導體裝置之一實施例的電路圖和概念圖；

第 22 圖係本發明之一種半導體裝置之一實施例的方塊圖；

第 23 圖係本發明之一種半導體裝置之一實施例的方塊圖；

第 24 圖係本發明之一種半導體裝置之一實施例的方

塊圖；以及

第 25A 及 25B 圖係揭示本發明之一種半導體裝置之一實施例之可使用的電子裝置。

【實施方式】

[0023] 以下，發明說明書將伴隨參考圖式揭示本發明之實施例及範例。唯本發明不限於發明說明書以下之敘述，而應包含所屬技術領域中具有通常知識者所能輕易了解的模式及細節，並且可以有所變化。因此，本發明之詮釋不限於發明說明書中所揭示如下實施例及範例。

[0024] 值得注意的是，於本發明之一實施例之下述結構，相同部分或是具有相似功能的部分將於不同的圖式中具有相同的元件編號，並且不會重複敘述它們。此外，相同的規畫圖案應用於具有相似功能的部分，並且這些部分在某些情況不會給予參考編號。

[0025] 值得注意的是，在本說明書中，一般性的編號例如「第一」及「第二」僅用於避免元件間的混淆，而非限制性編號。

[0026] 值得注意的是，當配置相反極性之電晶體或當電路之運作電流方向改變時，電晶體之源極和汲極的功能可能轉換。因此，本發明中，「源極」和「汲極」這兩個詞可分別用於表示源極和汲極。

[0027]

〈第一實施例〉

以下敘述本實施例中，本發明之一實施例之一種半導體裝置之層疊結構，參考第 10 圖。

[0028]

〈層疊結構〉

第 10 圖係揭示層疊結構之概念圖之一例。

[0029] 半導體裝置之層疊結構包含氧化物層疊 404 於基底絕緣層 402 及閘極絕緣層 410 之間。此外，氧化物層疊 404 包含第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c。

[0030] 每個第一氧化物層 404a 及第二氧化物層 404c 係含有一或更多種形成於氧化物半導體層 404b 之金屬元素的氧化物層。

[0031] 氧化物半導體層 404b 包含 In-M-Zn 氧化物層，其含有銦、鋅及 M（M 係金屬元素，例如 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf）的其中至少一種。氧化物半導體層 404b 較佳地含有銦，因為可提升電晶體的載子移動率。

[0032] 第一氧化物層 404a 於氧化物半導體層 404b 下，第一氧化物層 404a 包含氧化物層包括 In-M-Zn 氧化物（M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf），並且其中 M 與 In 之原子比係高於氧化物半導體層 404b 中之原子比。特別是，相較於氧化物半導體層 404b 中之原子比，第一氧化物層中 404a 中上述任一元素的原子比係 1.5 倍或更多，較佳的是 2 倍或更多，

更佳的是 3 倍或更多。上述任一元素相較於銦更易與氧結合，因此具有一至於氧化物層中產生氧化缺的功能。也就是，相對於氧化物半導體層 404b，於第一氧化物層 404a 中，氧空缺較不易產生。

[0033] 此外，第二氧化物層 404c 於氧化物半導體層 404b 上，第二氧化物層 404c 包含氧化物層包括 In-M-Zn 氧化物（M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf），並且其中 M 與 In 之原子比係高於氧化物半導體層 404b 中之原子比。特別是，相較於氧化物半導體層 404b 中之原子比，第二氧化物層 404c 中上述任一元素的原子比係 1.5 倍或更多，較佳的是 2 倍或更多，更佳的是 3 倍或更多。

[0034] 也就是，當每個第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c 係含有至少銦、鋅及 M（M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf）之 In-M-Zn 氧化物，並且第一氧化物層 404a 具有 In：M：Zn 之原子比為 $x_1 : y_1 : z_1$ ，氧化物半導體層 404b 具有 In：M：Zn 之原子比為 $x_2 : y_2 : z_2$ ，以及第二氧化物層 404c 具有 In：M：Zn 之原子比為 $x_3 : y_3 : z_3$ ，每個 y_1/x_1 及 y_3/x_3 較佳的是大於 y_2/x_2 。相較於 y_2/x_2 ，每個 y_1/x_1 及 y_3/x_3 係 1.5 倍或更多，較佳的是 2 倍或更多，更佳的是 3 倍或更多。此時，於氧化物半導體層 404b 中，若 y_2 係大於或等於 x_2 ，電晶體可具有穩定的電子特性。唯，當 y_2 係大於 3 倍 x_2 或更多，電晶體的場效

移動率會降低。因此， y_2 較佳的是等於 x_2 或係小於 3 倍 x_2 。

[0035] 值得注意的是，當第一氧化物層 404a 係 In-M-Zn 氧化物，較佳的是 In 與 M 的原子比中，In 的比率小於 50 atomic%，且 M 的比率大於或等於 50 atomic%，並且更佳的是 In 與 M 的原子比中，In 的比率小於 25 atomic%，且 M 的比率大於或等於 75 atomic%。當氧化物半導體層 404b 係 In-M-Zn 氧化物，較佳的是 In 與 M 的原子比中，In 的比率大於或等於 25 atomic%，且 M 的比率小於 75 atomic%，並且更佳的是 In 與 M 的原子比中，In 的比率大於或等於 34 atomic%，且 M 的比率小於 66 atomic%。當第二氧化物層 404c 係 In-M-Zn 氧化物，較佳的是 In 與 M 的原子比中，In 的比率小於 50 atomic%，且 M 的比率大於或等於 50 atomic%，並且更佳的是 In 與 M 的原子比中，In 的比率小於 25 atomic%，且 M 的比率大於或等於 75 atomic%。

[0036] 第一氧化物層 404a 的組成元素與第二氧化物層 404c 可不同，或它們的組成元素可相同且有相同或不同的原子比。

[0037] 對於第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c，例如，可用氧化物半導體含有銦、鋅及鎵。

[0038] 第一氧化物層 404a 的厚度係大於或等於 3 nm 且小於或等於 100 nm，較佳的是大於或等於 3 nm 且小於

或等於 50 nm。氧化物半導體層 404b 的厚度係大於或等於 3 nm 且小於或等於 200 nm，較佳的是大於或等於 3 nm 且小於或等於 100 nm，更佳的是大於或等於 3 nm 且小於或等於 50 nm。

[0039] 較佳的是，每個第一氧化物層 404a 及第二氧化物層 404c 含有一或更多種類形成氧化物半導體層 404b 的金屬元素，並且用於形成第一氧化物層 404a 及第二氧化物層 404c 的氧化物半導體的導帶底端與真空能階的距離相較於用於形成氧化物半導體層 404b 的氧化物半導體的導帶底端與真空能階的距離小，小於 0.05 eV 或更多、小於 0.07 eV 或更多、小於 0.1 eV 或更多、小於 0.15 eV 或更多，並且小於 2 eV 或更少、小於 1 eV 或更少、小於 0.5 eV 或更少、小於 0.4 eV 或更少。

[0040] 於此種結構中，當電壓施加於與氧化物層疊 404 重疊之閘極電極層，且閘極絕緣層 410 設置於其間，通道形成於氧化物層疊 404 中之氧化物半導體層 404b，其導帶底端的能階係最低。也就是，第二氧化物層 404c 形成於氧化物半導體層 404b 與閘極絕緣層 410 之間，其中得到電晶體的通道不接觸閘極絕緣層 410 的結構。

[0041]

〈氧化物層疊之能帶結構〉

以下揭示氧化物層疊 404 之能帶結構。製造與氧化物層疊 404 相應的層疊，In-Ga-Zn 氧化物具有 3.15 eV 之能隙作為一層，相應於每個第一氧化物層 404a 及第二氧化

物層 404c，In-Ga-Zn 氧化物具有 2.8 eV 之能隙作為一層，相應於氧化物半導體層 404b，並且分析上述層疊的能帶結構。值得注意的是，為了簡化，形成層疊的層係表示第一氧化物層、氧化物半導體層以及第二氧化物層。

[0042] 每個第一氧化物層、氧化物半導體層以及第二氧化物層的厚度係 10 nm。利用光譜橢圓偏振器（由 HORIBA Jobin Y Von 製造的 UT-300）測量能隙。此外，第一氧化物層及氧化物半導體層介面附近的能隙係 3 eV，並且第二氧化物層及氧化物半導體層介面附近的能隙係 3 eV。

[0043] 於第 6A 圖中，量測當從第二氧化物層側蝕刻氧化物層疊的真空能階與價帶頂端間的能階差異，並繪製成圖。利用紫外光電子能譜儀（UPS）裝置（由 UL VAC-PHI, Inc.製造的 VersaProbe）測量真空能階與價帶頂端間的能階差異。

[0044] 於第 6B 圖中，量測每個層的真空能階與導帶底端的能階差異（電子親和力），由每個層的真空能階與價帶頂端間的能階差異減去能隙計算，並繪製成圖。

[0045] 第 6B 圖的部分能帶結構繪製揭示於第 7A 圖。第 7A 圖揭示氧化矽層設置接觸第一氧化物層與第二氧化物層的例子。此處，eV 表示氧化矽層的真空能階的能量，EcI1 及 EcI2 表示氧化矽層的導帶底端的能階，EcS1 表示第一氧化物層的導帶底端的能階，EcS2 表示氧化物半導體層的導帶底端的能階，EcS3 表示第二氧化物

層的導帶底端的能階。

[0046] 如第 7A 圖中所示，第一氧化物層、氧化物半導體層及第二氧化物層的導帶底端的能階連續改變。這可理解為第一氧化物層、氧化物半導體層及第二氧化物層的組成相互接近的事實，並且氧容易擴散穿越第一氧化物層與氧化物半導體層之間的介面以及氧化物半導體層與第二氧化物層之間的介面。

[0047] 值得注意的是，雖然如第 7A 圖中所示的例子，第一氧化物層與第二氧化物層具有相同的能隙，第一氧化物層及第二氧化物層可以是具有不同能隙的氧化物層。例如，如第 7B 圖中所示的部分能階結構的例子， E_{cS1} 高於 E_{cS3} 。或是，雖然未揭示於第 7A 及 7B 圖中， E_{cS3} 可能高於 E_{cS1} 。

[0048] 如第 6A 及 6B 圖及第 7A 及 7B 圖，氧化物層疊的氧化物半導體層亦作為包含氧化物層疊的電晶體的通道係形成於氧化物半導體層中。值得注意的是，因為導帶底端的能階係連續改變，氧化物層疊亦可稱作 U 形井。此外，通道亦可具有稱作埋入通道的結構。

[0049] 因為每個第一氧化物層 404a 及第二氧化物層 404c 係含有一或更多種形成氧化物半導體層 404b 的金屬元素的氧化物層，氧化物層疊 404 亦可表示為多層含有相同主要成分的層疊。多層含有相同主要成分的層疊的氧化物層疊形成為不僅具有單純多層的層疊結構，也具有連續的能帶（此處，特別是，井結構具有 U 形形狀，其導帶底

端的能階在層之間係連續改變)。此係因當氧化物半導體的缺陷能階或是雜質，例如，缺陷如束縛中心或結合中心，或是形成阻障而阻礙載子流動的雜質於層之介面混雜，能帶失去連續性，因此載子被束縛或是因介面間的結合而消失。

[0050] 為了形成連續的能帶，需將多層成為連續的層疊而不暴露空氣，使用多腔室沉積裝置（濺鍍裝置）包含載鎖腔室。每個濺鍍裝置較佳的是具有高真空抽取能力（至約 1×10^{-4} Pa 至 5×10^{-7} Pa 的真空）利用吸式真空抽取幫浦例如冷凍幫浦以儘可能去除水等對於氧化物半導體的雜質。另外，渦輪分子幫浦較佳的是與冷束縛一起使用，以使氣體不從抽取系統回流至腔室。

[0051] 為了得到高純淨的本質氧化物半導體，腔室必須使用高真空抽取，並且另外濺鍍氣體必須高純淨化。當使用高純淨氣體具有露點攝氏 -40 度或更低，較佳的是攝氏 -80 度或更低，更佳的是攝氏 -100 度或更低之氧氣或氬氣作為濺鍍氣體，儘可能減少防止水氣等進入氧化物半導體層。

[0052] 第一氧化物層 404a 及第二氧化物層 404c 設置於氧化物半導體層 404b 之上或之下各可作為阻障層並可防止束縛能階形成於氧化物層疊 404 與各接觸氧化物層疊 404 的絕緣層（基底絕緣層 402 及閘極絕緣層 410）的介面，以免影響作為電晶體主要載子路徑的氧化物半導體層 404b。

[0053] 例如，氧化物半導體層所含的氧空缺作為侷域能階於氧化物半導體的能隙中的深能階區域。載子束縛於此種能階，會使電晶體的可靠性降低。因此，須減少氧化物半導體層中含有的氧空缺。設置較氧化物半導體層 404b 不易產生氧空缺的氧化物層接觸於氧化物半導體層 404b 之上或之下，以使氧化物半導體層 404b 中的氧空缺可減少。例如，氧化物半導體層 404b 中，因侷域能階產生的吸收常數，由恆定光電流法（CPM）量測而得，係使小於 $1 \times 10^{-3}/\text{cm}$ ，較佳的是 $1 \times 10^{-4}/\text{cm}$ 。

[0054] 此外，氧化物半導體層 404b 接觸包含不同組成元素（例如基底絕緣層包含氧化矽層）的絕緣層的例子，雜質元素（例如矽）可能會混合進入氧化物半導體層 404b 中的通道形成區域。當介面能階由混合雜質元素而形成於氧化物半導體層 404b 及絕緣層的介面之間，電晶體的電子特性會降低，例如造成電晶體的臨界電壓降低。唯因氧化物層疊 404 中的第一氧化物層 404a 含有形成氧化物半導體層 404b 的一或更多種金屬元素，形成於第一氧化物層 404a 與氧化物半導體層 404b 之間的介面能階減少。因此，設置第一氧化物層 404a 使可減少電晶體的電子特性的波動，例如臨界電壓。

[0055] 在通道形成於閘極絕緣層 410 及氧化物半導體層 404b 的介面附近的例子，介面散射發生於介面，並且電晶體的場效移動率降低。唯，因氧化物層疊 404 中，第二氧化物層 404c 含有一或更多種形成氧化物半導體層

404b 的金屬元素，載子散射於第二氧化物層 404c 及氧化物半導體層 404b 之間的界面較不易發生，因此電晶體的場效移動率可提升。

[0056] 此外，每個第一氧化物層 404a 及第二氧化物層 404c 亦作為阻障層，抑制因與氧化物層疊 404 接觸的絕緣層（基底絕緣層 402 及閘極絕緣層 410）的組成元素進入氧化物半導體層 404b 而造成的雜質能階。

[0057] 例如，於使用含有矽的絕緣層作為與氧化物層疊 404 相互接觸的每個基底絕緣層 402 及閘極絕緣層 410 的例子，某些情況下，絕緣層中的矽或絕緣層中可能含有的碳進入第一氧化物層 404a 及第二氧化物層 404c 至從介面起算數奈米深。雜質例如矽、碳等進入氧化物半導體層形成雜質能階。雜質能階作為施體並產生電子使氧化物半導體層可能成為 n 型。

[0058] 唯，當第一氧化物層 404a 及第二氧化物層 404c 的厚度大於數奈米時，雜質，例如氧或碳不會到達氧化物半導體層 404b，故可抑制雜質能階。

[0059] 此處，氧化物半導體層中的矽濃度低於或等於 $3 \times 10^{18}/\text{cm}^3$ ，較佳的是低於或等於 $3 \times 10^{17}/\text{cm}^3$ 。另外，氧化物半導體層中的碳濃度低於或等於 $3 \times 10^{18}/\text{cm}^3$ ，較佳的是低於或等於 $3 \times 10^{17}/\text{cm}^3$ 。特別更佳的是，作為載子路徑的氧化物半導體層 404b 夾置於第一氧化物層 404a 及第二氧化物層 404c 間以防止多量的為 14 族的矽及碳進入氧化物半導體層 404b。也就是，氧化物半導體層 404b 中含

有的矽及碳濃度較佳的是低於第一氧化物層 404a 及第二氧化物層 404c 中的濃度。

[0060] 值得注意的是，氧化物半導體層中的雜質濃度可由二次離子質量能譜儀（SIMS）量測。

[0061] 若氧化物半導體層含有氫或是水氣，可作為施體並形成 n 型區域；因此，為達成 U 形結構，可提供保護絕緣層（例如氮化矽層）於氧化物層疊 404 上以防止氫或水氣從外部進入。

[0062] 值得注意的是，雖然如第 8 圖中所示，因雜質或缺陷造成的陷阱能階可能形成於絕緣層，例如氧化矽層，以及每個第一氧化物層及第二氧化物層的介面附近，因第一氧化物層及第二氧化物層的存在，氧化物半導體層可與陷阱能階隔離。唯，當 E_{cS1} 及 E_{cS2} 間的能階差異以及 E_{cS2} 及 E_{cS3} 間的能階差異小時，氧化物半導體層中的電子可能穿越能階差異而達到陷阱能階。當束縛於陷阱能階時，於絕緣層或其附近的介面產生固定負電荷，造成電晶體的臨界電壓往正方向偏移。

[0063] 因此，較佳的是，每個 E_{cS1} 及 E_{cS2} 間的能階差異以及 E_{cS3} 及 E_{cS2} 間的能階差異大於或等於 0.1 eV，更佳的是大於或等於 0.15 eV，因可減少電晶體的臨界電壓改變量，並使電晶體具有穩定電子特性。

[0064]

〈氧化物層疊的形成〉

包含於多層結構中的每個氧化物層利用至少含有銦

(In) 的標靶濺鍍形成，並且層可由濺鍍法形成，較佳的是 DC 濺鍍法。當濺鍍標靶含有銦，可提升其導電率；因此，使用 DC 濺鍍法較佳。

[0065] 使用 In-M-Zn 的氧化物 (M 係金屬元素例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf) 作為形成第一氧化物層 404a 及第二氧化物層 404c 的材料。較佳的是使用 Ga 作為 M。唯，具有高 Ga 比率的材料，特別是 $\text{InGa}_x\text{Zn}_y\text{O}_z$ 材料，其中 x 大於 10，並不適合，因為沉積過程中可能產生粉末，使用濺鍍法沉積變困難。

[0066] 值得注意的是，對於每個第一氧化物層 404a 及第二氧化物層 404c，使用的材料的銦的比率在原子比中小於氧化物半導體層 404b 使用的材料。此氧化物層 404a 及 404c 與氧化物半導體層 404b 中含有的銦及鎵可由飛行時間二次離子質能譜儀 (亦稱作 TOF-SIMS) 以及 X 光光電子能譜儀 (亦稱作 XPS) 量測以相互比較。

[0067] 當第一氧化物層 404a 含有基底絕緣層 402 的組成元素 (例如矽) 作為雜質，其可能具有非晶結構。值得注意的是，氧化物半導體層 404b 中的通道形成區域較佳的是具有結晶部分。於具有結晶部分的氧化物半導體層 404b 堆疊於具有非晶結構的第一氧化物層 404a 上的例子，氧化物層疊可作為具有不同結晶結構的異質結構。

[0068] 另外，第二氧化物層 404c 可能具有非晶結構或包含部分結晶。形成第二氧化物層 404c 於具有結晶部分的氧化物半導體層 404b 上使第二氧化物層 404c 具有結

晶結構。於某些情況中，氧化物半導體層 404b 與第二氧化物層 404c 之間的邊界無法由穿透式電子顯微鏡（TEM）清楚地觀測及辨識。值得注意的是，第二氧化物層 404c 具有較氧化物半導體層 404b 較低的結晶程度。因此，邊界可由結晶程度決定。

[0069] 較佳的是，至少氧化物層疊 404 中的氧化物半導體層 404b 係沿結晶氧化物半導體（CAAC-OS）層的 c 軸。於本說明書中，CAAC-OS 層作為包含結晶部分的氧化物半導體層，其 c 軸係沿實質上垂直氧化物半導體層的表面方向。

[0070] 以下描述氧化物半導體層的結構。

[0071] 氧化物半導體層大致分類為單晶氧化物半導體層及非單晶氧化物半導體層。非單晶氧化物半導體層包含非晶氧化物半導體層，微晶氧化物半導體層，多晶氧化物半導體層，及 CAAC-OS 層等的任一種。

[0072] 非晶氧化物半導體層具有無次序的原子排列以及不具有結晶部分。一種典型的例子是即使在顯微鏡的領域，氧化物半導體層沒有結晶部分，並且整個層係非晶。

[0073] 微晶氧化物半導體層包含微晶（亦稱作奈米結晶），例如具有大小大於或等於 1 nm 並且小於 10 nm。因此，微晶氧化物半導體層相較於非晶氧化物半導體層具有較高次序的原子排列。因此微晶氧化物半導體層的缺陷能階密度小於非晶氧化物半導體層的缺陷能階密

度。

[0074] CAAC-OS 層係包含許多結晶部分的氧化物半導體層，並且大部分的結晶結構每個適配於邊長小於 100 nm 的立方體中。因此，有 CAAC-OS 層的結晶結構適配於邊長小於 10 nm、小於 5 nm 或小於 3 nm 的立方體中的情況。CAAC-OS 層的缺陷能階密度小於微晶氧化物半導體層。CAAC-OS 層詳述如下。

[0075] CAAC-OS 層的穿透式電子顯微鏡（TEM）影像中，結晶結構之間的邊界，也就是晶粒邊界，並不能清楚觀測。因此，於 CAAC-OS 層中，因晶粒邊界造成的載子移動率降低較不易發生。

[0076] 根據於實質上平行樣本表面之方向觀測的 CAAC-OS 層的 TEM 影像（截面 TEM 影像），金屬原子在結晶部分中係層狀排列。每個金屬原子層具有反應 CAAC-OS 層之形成表面之形態結構（此後，CAAC-OS 層之形成表面稱為形成表面），或是 CAAC-OS 層之上表面，並且相對於 CAAC-OS 層之形成表面或上表面平行排列。

[0077] 另一方面，根據於實質上垂直樣本表面之方向觀測的 CAAC-OS 層的 TEM 影像（平面 TEM 影像），金屬原子在結晶部分中係三角狀或六邊狀排列。唯，於不同的結晶部分之間，金屬原子的排列並沒有規律。

[0078] 由截面 TEM 影像及平面 TEM 影像，得知 CAAC-OS 層之結晶部分的排列。

[0079] CAAC-OS 層使用 X 光散射裝置 (XRD) 進行結構分析。例如，當由出平面法分析包含 InGaZnO_4 結晶的 CAAC-OS 層，於散射角 (2θ) 為 31 度附近常出現峰值。此峰值係由 InGaZnO_4 結晶的 (009) 面產生，表示 CAAC-OS 層具有 c 軸排列，並且 c 軸係沿實質上垂直於 CAAC-OS 層的形成表面或上表面的方向。

[0080] 另一方面，當 CAAC-OS 層係以入平面法分析，即 X 光沿實質上垂直 c 軸的方向進入樣本，於散射角 (2θ) 為 56 度附近常出現峰值。此峰值係由 InGaZnO_4 結晶的 (110) 面產生。此處，固定 2θ 為 56 度附近，於環繞樣本表面作為一軸 (ϕ 軸) 的法向量而旋轉樣本進行分析 (ϕ 掃描)。於樣本係單晶 InGaZnO_4 的例子，顯現六個峰值。此六個峰值係由相當於 (110) 面的結晶表面產生。另一方面，於 CAAC-OS 層的例子，即使當於固定 2θ 為 56 度附近進行 ϕ 掃描時，並未觀測到明顯的峰值。

[0081] 如上所述，CAAC-OS 層中具有 c 軸排列，雖然結晶結構之間的 a 軸與 b 軸方向不同，c 軸係沿平行於形成表面的法向量的方向或沿上表面的法向量的方向。因此，於相應於平行 a-b 平面的平面之 TEM 截面影像中所觀測，每個金屬原子層係以層疊方式排列。

[0082] 值得注意的是，結晶部分係於 CAAC-OS 層沉積時同時形成，或是於結晶化製程，例如熱處理，中形成。如上所述，結晶的 c 軸係沿平行於 CAAC-OS 層的形成表面的法向量或是上表面的法向量。因此，於 CAAC-



OS 層形狀因蝕刻等而改變時， c 軸可能不會平行於 CAAC-OS 層的形成表面的法向量或是上表面的法向量。

[0083] 此外，CAAC-OS 層的結晶程度不需要是一致的。例如，於結晶成長而使 CAAC-OS 層產生於層的上表面附近時，於某些情況，上表面附近的結晶化程度高於形成表面附近的結晶化程度。此外，當雜質摻入 CAAC-OS 層時，加入摻雜的區域的結晶程度改變，並且不同區域的 CAAC-OS 層具有不同的結晶程度。

[0084] 值得注意的是，當由出平面法分析具有 InGaZnO_4 結晶的 CAAC-OS 層時，亦可能觀測到 2θ 除了於 31 度附近具有峰值之外，於 36 度附近具有峰值。此表示部分 CAAC-OS 層包含具有無 c 軸排列的結晶。較佳的是，CAAC-OS 層中， 2θ 的峰值出現於 31 度附近而不出現於 36 度附近。

[0085] 使用 CAAC-OS 層於電晶體中時，因可見光或紫外光照射造成的電晶體電子特性改變很小。因此，電晶體具有高度可靠性。

[0086] 值得注意的是，氧化物半導體層可為包含二或更多層的層疊，例如非晶氧化物層、微晶氧化物層以及 CAAC-OS 層。

[0087] 值得注意的是，包含於氧化物層疊 404 中的第一氧化物層 404a 及第二氧化物層 404c 可具有與上述氧化物半導體層相同的結構。

[0088] 值得注意的是，較佳的是氧化物層疊 404

中，第一氧化物層 404a 具有非晶結構，CAAC-OS 層沉積於非晶結構表面以作為氧化物半導體層 404b。

[0089]

〈CAAC-OS 層的形成方法〉

例如，由多晶氧化物半導體作為濺鍍標靶的濺鍍法形成 CAAC-OS 層。當離子撞擊濺鍍標靶時，濺鍍標靶中所含的結晶區域可能沿 a-b 平面從標靶中分離；也就是，濺鍍粒子具有平行於 a-b 平面的平面（面狀濺鍍粒子或球狀濺鍍粒子），可能從濺鍍標靶上分離。此時，面狀濺鍍粒子抵達基板並維持它們的結晶狀態，CAAC-OS 層可形成於此。

[0090] 面狀濺鍍粒子具有，例如，平行 a-b 平面的平面之相等圓直徑大於或等於 3 nm 並且小於或等於 10 nm，且厚度（垂直於 a-b 平面的方向的長度）大於或等於 0.7 nm 並且小於或等於 1 nm。值得注意的是，面狀濺鍍粒子中，平行 a-b 平面的平面可為等邊三角形或等邊六邊形。此處，"相等圓直徑"這個詞表示與前述平面具有相同面積的正圓形的直徑。

[0091] 較佳的是，使用以下條件以形成 CAAC-OS 層。

[0092] 於沉積過程增加基板溫度，在濺鍍粒子到達基板表面後，濺鍍粒子的遷移容易發生。特別是，沉積過程中基板溫度高於或等於攝氏 100 度並且低於或等於攝氏 740 度，特別是高於或等於攝氏 200 度並且低於或等於攝

氏 500 度。於沉積過程增加基板溫度，當面狀濺鍍粒子抵達基板，於基板上發生遷移，因此面狀濺鍍粒子附著於基板。此時，濺鍍粒子帶正電荷，此處附著於基板的沉積粒子彼此相互排斥；因此，濺鍍粒子不隨機相互重疊，並且可沉積具有一致厚度的 CAAC-OS 層。

[0093] 減少沉積過程中進入 CAAC-OS 層的雜質量，可防止結晶狀態為雜質破壞。例如，存在於沉積腔室中的雜質（例如氫、水、二氧化碳及氮）濃度可減少。除此之外，存在於沉積氣體中的雜質濃度可減少。特別是使用露點攝氏 -80 度或更低的沉積氣體，較佳的是攝氏 -100 度或更低。

[0094] 另外，較佳的是沉積氣體中增加氧的比率並最佳化功率以減少沉積時的電漿傷害。沉積氣體中氧的比率等於 30 Vol% 或更高，較佳的是 100 Vol%。

[0095] 沉積 CAAC-OS 層之後，可進行熱處理。熱處理的溫度高於或等於攝氏 100 度並且低於或等於攝氏 740 度，特別是高於或等於攝氏 200 度並且低於或等於攝氏 500 度。此外，熱處理進行時間為 1 分鐘至 24 小時，較佳的是 6 分鐘至 4 小時。可於惰性氣氛中或氧化氣氛中進行熱處理。較佳的是於惰性氣氛中進行熱處理，而後於氧化氣氛中進行熱處理。惰性氣氛中的熱處理可於短時間內減少 CAAC-OS 層中的雜質濃度。在此同時，惰性氣氛中的熱處理可能於 CAAC-OS 層中產生氧空缺。此種情況下，於氧化氣氛中進行熱處理可減少氧空缺。熱處理另可

增加 CAAC-OS 層的結晶程度。值得注意的是，可於較低的壓力中進行熱處理，例如 1000 Pa 或更低，100 Pa 或更低，10 Pa 或更低或 1 Pa 或更低。於較低的壓力下進行熱處理可於較短時間內減少 CAAC-OS 層中的雜質濃度。

[0096] 作為濺鍍標靶的一例，In-Ga-Zn-O 化合物標靶敘述如下。

[0097] 多晶 In-Ga-Zn-O 化合物標靶由於預定的分子比例混合 InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末，供給壓力，並於高於或等於攝氏 1000 度的溫度或低於或等於 1500 度的溫度進行熱處理而製造。值得注意的是， x 、 y 及 z 各為正數。此處， InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末的預定的分子比例係，例如，2：2：1，8：4：3，3：1：1，1：1：1，4：2：3 或 3：1：2。混合粉末的種類及分子比例可適當的依想要的濺鍍標靶決定。

[0098] 或是，CAAC-OS 層以下述方法形成。

[0099] 首先，第一氧化物半導體層形成為厚度大於或等於 1 nm 並且小於 10 nm。第一氧化物半導體層由濺鍍法形成。特別是，沉積過程的基板溫度係高於或等於攝氏 100 度並且低於或等於攝氏 500 度，較佳的是高於或等於攝氏 150 度並且低於或等於攝氏 450 度，並且沉積氣體中氧的比率等於 30 Vol%或更高，較佳的是 100 Vol%。

[0100] 再來，進行熱處理以使第一氧化物半導體層成為具有高結晶程度的第一 CAAC-OS 層。熱處理的溫度係高於或等於攝氏 350 度並且低於或等於攝氏 740 度，較

佳的是高於或等於攝氏 450 度並且低於或等於攝氏 650 度。此外，熱處理進行時間為 1 分鐘至 24 小時，較佳的是 6 分鐘至 4 小時。可於惰性氣氛中或氧化氣氛中進行熱處理。較佳的是於惰性氣氛中進行熱處理，而後於氧化氣氛中進行熱處理。惰性氣氛中的熱處理可於短時間內減少第一氧化物半導體層中的雜質濃度。在此同時，惰性氣氛中的熱處理可能於第一氧化物半導體層中產生氧空缺。此種情況下，於氧化氣氛中進行熱處理可減少氧空缺。值得注意的是，可於較低的壓力中進行熱處理，例如 1000 Pa 或更低，100 Pa 或更低，10 Pa 或更低或 1 Pa 或更低。於較低的壓力下進行熱處理可於較短時間內減少第一氧化物半導體層的雜質濃度。

[0101] 厚度大於或等於 1 nm 並且小於 10 nm 的第一氧化物半導體層相較於厚度大於或等於 10 nm 的第一氧化物半導體層，可由熱處理輕易地結晶化。

[0102] 再來，形成具有與第一氧化物半導體層相同組成的第二氧化物半導體層為厚度大於或等於 10 nm 並且小於或等於 50 nm。第二氧化物半導體層係由濺鍍法形成。特別是，沉積過程的基板溫度係高於或等於攝氏 100 度並且低於或等於攝氏 500 度，較佳的是高於或等於攝氏 150 度並且低於或等於攝氏 450 度，並且沉積氣體中氧的比率等於 30 Vol%或更高，較佳的是 100 Vol%。

[0103] 其後，進行熱處理以使發生由第一 CAAC-OS 層固態成長的第二氧化物半導體層，其中第二氧化物半導

體層轉化成為具有高結晶程度的第二 CAAC-OS 層。熱處理的溫度係高於或等於攝氏 350 度並且低於或等於攝氏 740 度，較佳的是高於或等於攝氏 450 度並且低於或等於攝氏 650 度。此外，熱處理進行時間為 1 分鐘至 24 小時，較佳的是 6 分鐘至 4 小時。可於惰性氣氛中或氧化氣氛中進行熱處理。較佳的是於惰性氣氛中進行熱處理，而後於氧化氣氛中進行熱處理。惰性氣氛中的熱處理可於短時間內減少第二氧化物半導體層中的雜質濃度。在此同時，惰性氣氛中的熱處理可能於第二氧化物半導體層中產生氧空缺。此種情況下，於氧化氣氛中進行熱處理可減少氧空缺。值得注意的是，可於較低的壓力中進行熱處理，例如 1000 Pa 或更低，100 Pa 或更低，10 Pa 或更低或 1 Pa 或更低。於較低的壓力下進行熱處理可於較短時間內減少第二氧化物半導體層的雜質濃度。

[0104] 如前所述，可形成總厚度等於或大於 10 nm 的 CAAC-OS 層。CAAC-OS 層可適用作為氧化物層疊中的氧化物半導體層。

[0105] 本實施例中的方法和結構可與其它實施例中的任一方法或結構適當結合。

[0106]

〈第二實施例〉

本實施例中，已下將敘述一種半導體裝置的實施例，包含如第一實施例中的層疊結構，參考第 1A 至第 1D 圖、第 2A 至 2C 圖、第 3A 至 3D 圖、第 9A 至 9C 圖以及

第 19 圖。本實施例中，將敘述一種包含氧化物半導體層的上閘極電晶體作為半導體裝置的一例。

[0107]

〈半導體裝置之結構之第一例〉

第 1A 至第 1D 圖揭示電晶體 310 的結構的一例。第 1A 圖係電晶體 310 的平面視圖，第 1B 圖係沿第 1A 圖之 X1-Y1 虛線方向之截面圖，第 1C 圖係沿第 1A 圖之 V1-W1 虛線方向之截面圖。第 1D 圖係第 1B 圖之區域 200 的部分放大圖。值得注意的是，第 1A 圖中，電晶體 310 的部分組件（例如，保護絕緣層 414 等）未揭示以避免過於複雜。

[0108] 第 1A 至 1D 圖揭示電晶體 310 包含形成於基板 400 上的基底絕緣層 402；島狀氧化物層疊 404 形成於基底絕緣層 402 上；於通道長度方向，每個第一源極電極層 406a 及第一汲極電極層 406b 接觸狀氧化物層疊 404 之上表面以及側表面；第二源極電極層 408a 及第二汲極電極層 408b 分別設置並覆蓋第一源極電極層 406a 及第一汲極電極層 406b，接觸氧化物層疊 404 的上表面，並且利用金屬氮化物形成；閘極絕緣層 410 設置於第二源極電極層 408a 及第二汲極電極層 408b 上並且接觸氧化物層疊 404 於第二源極電極層 408a 及第二汲極電極層 408b 之間的上表面；閘極電極層 412 重疊氧化物層疊 404，閘極絕緣層 410 設置於其間；以及保護絕緣層 414 設置於閘極絕緣層 410 與閘極電極層 412 上並與其接觸。值得注意的

是，可形成於另一絕緣層於保護絕緣層 414 上。

[0109]

〈基板〉

基板 400 不限於簡單支撐基板，而可以是元件例如電晶體的形成基板。此例，包含於電晶體 310 中的閘極電極層 412、第一源極電極層 406a、第一汲極電極層 406b、第二源極電極層 408a 及第二汲極電極層 408b 的至少其一可與上述元件電連接。

[0110]

〈基底絕緣層〉

基底絕緣層 402 具有提供氧予氧化物層疊 404 的功能，並且具有防止雜質從基板 400 擴散進入的功能；因此，含有氧的絕緣層作為基底絕緣層 402。值得注意的是，於基板 400 上形成有其它元件的例子，基底絕緣層 402 也具有層間絕緣層的功能。此例，基底絕緣層 402 較佳的是接受平面化處理，例如化學機械研磨（CMP），以具有平整表面。

[0111] 本實施例之電晶體 310 中，設置含有氧的基底絕緣層 402 於含有氧化物半導體層的層疊結構（氧化物層疊 404）下。具有此種結構，基底絕緣層 402 中的氧可供給至通道形成區域。基底絕緣層 402 較佳的是含有超過化學當量組成的氧。當基底絕緣層 402 含有超過化學當量組成的氧，可促進供給氧至通道形成區域。

[0112] 值得注意的是，於說明書中，含有超量的氧

表示氧可以傳輸至氧化物半導體層、氧化矽層或氧氮化矽層，存在超過化學當量組成的氧，或是具有填充因缺乏氧而產生的 V_o （氧空缺）功能的氧。

[0113]

〈 閘極絕緣層 〉

氧亦可由設置於氧化物層疊 404 上並與其接觸的閘極絕緣層 410 供給至氧化物層疊 404。閘極絕緣層 410 係接觸島狀氧化物層疊 404 外側的基底絕緣層 402。因此，利用閘極絕緣層 410 作為通道，基底絕緣層 402 中的氧可由閘極絕緣層 410 與基底絕緣層 402 相互接觸的區域供給至氧化物層疊 404。

[0114] 閘極絕緣層 410 係作為供給基底絕緣層 402 中的氧至氧化物層疊 404 的通道的層。閘極絕緣層 410 可利用絕緣層形成，絕緣層含有以下一種或是多種：氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋇、氧化釔、氧化鋇、氧化鋁、氧化釷、氧化鈾及氧化鈾。此外，閘極絕緣層 410 可是上述任何材料的層疊。

[0115] 因氧由氧化物層疊 404 的上側和下側供給，可減少氧化物層疊 404 中可能包含的氧空缺。

[0116]

〈 保護絕緣層 〉

設置具有較閘極絕緣層 410 低的氧傳輸特性（較高氧阻障特性）之絕緣層作為保護絕緣層 414，設置於電晶體

310 中之閘極絕緣層 410 及閘極電極層 412 上。當設置保護絕緣層 414 設置並接觸閘極絕緣層 410 及閘極電極層 412 並具有高氧阻障特性，可抑制從閘極絕緣層 410 的氧解吸。因為閘極絕緣層 410 係作為提供氧至通道形成區域的絕緣層，當抑制從閘極絕緣層 410 的氧解吸，可抑制因閘極絕緣層 410 之氧空缺造成之從氧化物層疊 404 中取出氧，以抑制通道形成區域中的氧空缺。例如，可提供氮化矽層或氮氧化矽作為保護絕緣層。

[0117] 此外，氧化物半導體中，氬作為氧之外的載子供應源。當氧化物半導體含有氬，產生具有接近導帶能階（淺能階）的施體，因此氧化物半導體具有較低的電阻率（n 型導電性）。因此，較佳的是保護絕緣層 414 中的氬濃度減少。特別是，保護絕緣層 414 中的氬濃度較佳的是 $5 \times 10^{19} \text{ cm}^{-3}$ ，更佳的是 $5 \times 10^{18} \text{ cm}^{-3}$ 。

[0118]

〈氧化物層疊〉

氧化物層疊 404 包含至少形成有一通道的氧化物半導體層 404b，第一氧化物層 404a 設置於氧化物半導體層 404b 及基底絕緣層 402 之間，且第二氧化物層 404c 設置於氧化物半導體層 404b 及閘極絕緣層 410 之間。

[0119] 每個第一氧化物層 404a 及第二氧化物層 404c 係含有一或更多種形成氧化物半導體層 404b 之金屬元素之氧化物層。氧化物層 404 之詳細敘述參考第一實施例。

[0120] 氧化物層疊 404 中，較氧化物半導體層 404b

不易產生氧空缺的氧化物層設置於並接觸氧化物半導體層 404b 之通道形成區域，抑制電晶體中之通道中的氧空缺產生。

[0121] 值得注意的是，為了使氧化物半導體層為本質或實質上本質，氧化物半導體層中之矽濃度，由 SIMS 量測，係設定為低於 1×10^{19} atoms/cm³，較佳的是低於 5×10^{18} atoms/cm³，更佳的是低於 3×10^{18} atoms/cm³，再更佳的是低於 1×10^{18} atoms/cm³。氧化物半導體層中之氫濃度設定為低於或等於 2×10^{20} atoms/cm³，較佳的是低於或等於 5×10^{19} atoms/cm³，更佳的是低於或等於 1×10^{19} atoms/cm³，再更佳的是低於或等於 5×10^{18} atoms/cm³。氧化物半導體層之氮濃度設定為低於 5×10^{19} atoms/cm³，較佳的是低於或等於 5×10^{18} atoms/cm³，更佳的是低於或等於 1×10^{18} atoms/cm³，再更佳的是低於或等 5×10^{17} atoms/cm³。

[0122] 於氧化物半導體層包含結晶之情形，高濃度之矽或碳可能減少氧化物半導體層之結晶程度。當矽的濃度低於 1×10^{19} atoms/cm³，較佳的是低於 5×10^{18} atoms/cm³，更佳的是低於 1×10^{18} atoms/cm³，並且碳濃度低於 1×10^{19} atoms/cm³，較佳的是低於 5×10^{18} atoms/cm³，更佳的是低於 1×10^{18} atoms/cm³，可防止氧化物半導體層之結晶程度減少。

[0123] 使用高度純淨氧化物半導體層作為通道區域的電晶體敘述如下。例如，當高度純淨電晶體於室溫（約

攝氏 25 度) 下處於關閉狀態時，汲極電流可以為小於或等於 1×10^{-18} A，較佳的是小於或等於 1×10^{-21} A，且更佳的是 1×10^{-24} A；或於攝氏 85 度時，小於或等於 1×10^{-15} A，較佳的是小於或等於 1×10^{-18} A，更佳的是小於或等於 1×10^{-21} A。電晶體之關閉狀態表示 n 通道電晶體中，閘極電壓係遠低於臨界電壓之狀態。特別是，電晶體於關閉狀態係當閘極電壓低於臨界電壓 1 V 或更多，2 V 或更多，3 V 或更多。

[0124]

〈源極電極層與汲極電極層〉

電晶體 310 包含第一源極電極層 406a 及第一汲極電極層 406b 每個接觸氧化物層疊 404 之側表面於通道長度方向，並且設置於第一源極電極層 406a 及第一汲極電極層 406b 上之第二源極電極層 408a 及第二汲極電極層 408b 於通道長度方向具有延伸超過第一源極電極層 406a 及第一汲極電極層 406b 之區域。

[0125] 可使用易與氧結合的導電材料於第一源極電極層 406a 及第一汲極電極層 406b。例如，可使用 Al、Cr、Cu、Ta、Ti、Mo 或 W。特別是，較佳可使用具有高熔點的 W，可允許後續製程之溫度相對較高。值得注意的是，易與氧結合的導電材料包含，氧容易擴散的材料種類。

[0126] 當此種易與氧結合的導電材料接觸氧化物層疊 404，氧化物層疊 404 中的氧被導電材料取走。於電晶

體製程中會有一些加熱步驟，因此氧空缺產生於氧化物層疊 404 中，於氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 的介面附近的區域，因而產生 n 型區域 405（參考第 1D 圖）。因此，n 型區域 405 可作為電晶體 310 之源極或汲極。

[0127] 值得注意的是，第一源極電極層 406a 及第一汲極電極層 406b 的組成物質可能進入區域 405。此外，第一源極電極層 406a 及第一汲極電極層 406b 與區域 405 接觸的部分，可能具有高氧濃度之區域。氧化物層疊 404 之組成物質可能進入第一源極電極層 406a 及第一汲極電極層 406b 與區域 405 接觸的部分。也就是，於一些情況，氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 的介面附近，形成可被稱為氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 的混合區域或混合層。值得注意的是，n 型區域 405 與不具有 n 型導電性的區域的介面在圖式中以虛線表示。下述的其它圖式中亦如此表示。

[0128] 此外，於電晶體形成有一極短通道的例子，由氧空缺形成的 n 型區域有時會延伸進入電晶體的通道區域。此例中，電晶體的電子特性改變；例如，臨界電壓偏移或電晶體的開關無法由閘極電壓控制（例如電晶體常開）。因此，當電晶體形成有極短通道，較佳的是使用不易與氧結合的電材料於源極電極及汲極電極中。

[0129] 因此，第二源極電極層 408a 及第二汲極電極

層 408b，具有於通道長度方向延伸超過第一源極電極層 406a 及第一汲極電極層 406b 的區域，決定通道長度且層疊於第一源極電極層 406a 及第一汲極電極層 406b 上，並且利用不易與氧結合的導電材料形成。作為導電材料，例如，較佳的是使用氮化鉬、氮化鈦等。值得注意的是，不易與氧結合的導電材料包含，一種氧不容易擴散的材料種類。

[0130] 值得注意的是，具有如第 1A 圖至第 1D 圖中所示的結構的電晶體中，通道長度以第二源極電極層 408a 及第二汲極電極層 408b 之間的距離 L2 表示。

[0131] 此外，具有如第 1A 圖至第 1D 圖中所示的結構的電晶體中，通道係於第二源極電極層 408a 及第二汲極電極層 408b 之間的氧化物半導體層 404b 的部分。

[0132] 另外，具有如第 1A 圖至第 1D 圖中所示的結構的電晶體中，通道形成區域係於第二源極電極層 408a 及第二汲極電極層 408b 之間的第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c 的部分。

[0133] 使用不易與氧結合的導電材料於第二源極電極層 408a 及第二汲極電極層 408b，可抑制氧化物層疊中之通道形成區域的氧空缺，以抑制通道改變成為 n 型。如此，即使電晶體具有極短通道，仍可具有良好的電子特性。

[0134] 於源極電極層與汲極電極層僅使用上述不易與氧結合的導電材料形成的例子，與氧化物層疊 404 的接

觸電阻變為過高；因此，較佳的是，如第 1B 圖中所示，第一源極電極層 406a 及第一汲極電極層 406b 形成於氧化物層疊 404 上，並且第二源極電極層 408a 及第二汲極電極層 408b 形成於第一源極電極層 406a 及第一汲極電極層 406b 上並與其接觸。

[0135] 此處，較佳的是氧化物層疊 404 具有與第一源極電極層 406a 或第一汲極電極層 406b 較大之接觸面積，並且氧化物層疊 404 具有與第二源極電極層 408a 或第二汲極電極層 408b 較小之接觸面積。因 n 型區域產生氧空缺，氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 之間的接觸電阻減少。另一方面，氧化物層疊 404 與每個第二源極電極層 408a 及第二汲極電極層 408b 之間的接觸電阻高於氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 之間的接觸電阻。因此，當氧化物層疊 404 與每個第二源極電極層 408a 及第二汲極電極層 408b 的接觸面積較大，某些情況下電晶體的電子特性會劣化。

[0136] 即使當第二源極電極層 408a 及第二汲極電極層 408b 之間的距離（L2）小於第一源極電極層 406a 及第一汲極電極層 406b 之間的距離（L1），例如，30 nm 或更小，電晶體可有較佳之電子特性。

[0137]

〈閘極電極層〉

對於閘極電極層 412，可使用利用 Al、Ti、Cr、Co、

Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta 或 W 等形成之導電層。

[0138] 本發明之一實施例之電晶體結構，可抑制氧化物半導體層中之氧空缺增加，因此，可提供一種半導體裝置，具有良好電子特性及高長時間可靠性。

[0139]

〈半導體裝置結構之第二例〉

第 2A 圖至第 2C 圖揭示電晶體 320 的結構的一例。第 2A 圖係電晶體 320 之平面圖，第 2B 圖係沿第 2A 圖中之虛線 X2-Y2 的截面圖，並且第 2C 圖係沿第 2A 圖中之虛線 V2-W2 的截面圖。值得注意的是，第 2A 圖中未揭示電晶體 320 之部分組件（例如保護絕緣層 414 等），以避免過於複雜。

[0140] 第 2A 至 2D 圖揭示電晶體 320 包含形成於基板 400 上的基底絕緣層 402；島狀氧化物層疊 404 形成於基底絕緣層上；於通道長度方向，每個第一源極電極層 406a 及第一汲極電極層 406b 接觸島狀氧化物層疊之上表面以及側表面；第二源極電極層 408a 及第二汲極電極層 408b 分別設置以覆蓋第一源極電極層 406a 及第一汲極電極層 406b，接觸氧化物層疊 404 的上表面，並且利用金屬氮化物形成；閘極絕緣層 410 設置於第二源極電極層 408a 及第二汲極電極層 408b 上並且接觸氧化物層疊 404 於第二源極電極層 408a 及第二汲極電極層 408b 之間的上表面；閘極電極層 412 重疊氧化物層疊 404，閘極絕緣層

410 設置於其間；以及保護絕緣層 414 設置於閘極絕緣層 410 與閘極電極層 412 上並與其接觸。值得注意的是，可形成於另一絕緣層於保護絕緣層 414 上。

[0141] 電晶體 310 與電晶體 320 之間的其中一差異在於於通道長度方向之閘極電極層 412 長度 L_0 。電晶體 320 中，設置第一源極電極層 406a 及第一汲極電極層 406b 不重疊閘極電極層 412 的結構，以減少閘極與汲極間的寄生電容以及閘極與源極間的寄生電容。當閘極電極層 412 的寬度係 L_0 且 $L_1 \geq L_0 \geq L_2$ (L_0 大於或等於 L_2 且小於或等於 L_1)，閘極與汲極間的寄生電容以及閘極與源極間的寄生電容可減少最多，以提升電晶體的頻率特性。值得注意的是，為得到較佳的電晶體電子特性， $(L_1 - L_2) / 2$ 較佳的是小於 L_2 的 20%。

[0142] 電晶體 320 佔有的面積較佳的是 $1 \mu m^2$ 至 $25 \mu m^2$ 。例如，當於電晶體 320 中的通道長度方向，氧化物層疊 404 的長度係 300 nm，較佳的是 L_0 係 40 nm 且 L_2 係 30 nm。此時，島狀氧化物層疊 404 的上表面可小於或等於 $1 \mu m^2$ 。

[0143] 值得注意的是，對於不需要高頻特性的電晶體， $L_0 \geq L_1 \geq L_2$ (L_1 大於或等於 L_2 且小於或等於 L_0) 可符合所需，如第 1B 圖中所示。此種結構的閘極電極製造步驟難度可降低。

[0144] 電晶體 310 與電晶體 320 之間的另一差異在於閘極電極層 412 的結構。電晶體 320 中，閘極電極層

412 具有層疊結構，第一閘極電極層 412a 接觸閘極絕緣層 410 及第二閘極電極層 412b。此處，當第一閘極電極層 412a 利用與第二源極電極層 408a 及第二汲極電極層 408b 相似的材料形成，可防止閘極電極層 412 從閘極絕緣層 410 取出氧。

[0145] 電晶體 310 與電晶體 320 之間的另一差異在於第二源極電極層 408a 及第二汲極電極層 408b 的結構。當第一源極電極層 406a（或第一汲極電極層 406b）於通道寬度方向的寬度係 $W1$ ，且第二源極電極層 408a（或第二汲極電極層 408b）於通道寬度方向的寬度係 $W2$ ，電晶體 320 中 $W1 < W2$ （ $W2$ 較 $W1$ 寬），因此電晶體 320 具有第二源極電極層 408a（或第二汲極電極層 408b）覆蓋第一源極電極層 406a（或第一汲極電極層 406b）的結構。

[0146] 此結構可防止閘極絕緣層 410 與由易與氧結合的導電材料形成的第一源極電極層 406a 及第一汲極電極層 406b 接觸。因此，可防止閘極絕緣層 410 中的氧被取出。

[0147] 因閘極絕緣層 410 係作為供應氧至氧化物層疊 404 的路徑的層，防止第一源極電極層 406a 及第一汲極電極層 406b 從閘極絕緣層 410 中取出氧，可使氧有效率地供應至氧化物層疊 404。因此，可防止產生氧空缺於氧化物層疊中，因而提升電晶體 320 的可靠度。

[0148] 值得注意的是，電晶體 320 的部分組成構件與電晶體 310 相同；因此，可參考電晶體 310 的敘述。

[0149]

〈半導體裝置結構之第三例〉

第 3A 圖及 3B 圖揭示電晶體 310 及電晶體 320 的修改之一例。電晶體 330 中之第一源極電極層 406a 及第一汲極電極層 406b 的末端部分，如第 3A 圖中所示，與電晶體 310 中之第一源極電極層 406a 及第一汲極電極層 406b 不同。電晶體 340 中之第一源極電極層 406a 及第一汲極電極層 406b 的末端部分，如第 3B 圖中所示，與電晶體 320 中之第一源極電極層 406a 及第一汲極電極層 406b 不同。值得注意的是，除了第一源極電極層 406a 及第一汲極電極層 406b 的末端部分，電晶體 330 及 340 分別具有與電晶體 310 及 320 相似之結構，因此可參考之前之敘述。

[0150] 第 3C 圖及第 3D 圖係電晶體 330 及 340 中之第一源極電極層 406a 的放大檢視圖。較佳的是，每個電晶體 330 及 340 中，第一源極電極層 406a 及第一汲極電極層 406b 的末端部分具有階梯狀結構包含複數階，較低的階的末端表面利用氧化物層疊 404 的上表面作為參考形成為角度 $\theta 1$ ，並且較高的階的末端表面利用較低的階的上表面作為參考形成為角度 $\theta 2$ 。此外，較佳的是，第一源極電極層 406a 及第一汲極電極層 406b 形成具有弧形表面具有曲率 $R1$ 於較低的階的上表面及末端表面之間，弧形表面具有曲率 $R3$ 於較高的階的上表面及末端表面之間，及弧形表面具有曲率 $R2$ 於較低的階的上表面及較高

的階的末端表面之間。

[0151] 值得注意的是，於第 3A 圖至第 3D 圖中，設置二階於每個第一源極電極層 406a 及第一汲極電極層 406b 的末端部分；唯，階的數量可為三或更多。較佳的是，階的數量隨第一源極電極層 406a 及第一汲極電極層 406b 的厚度增加而增加。值得注意的是，第一源極電極層 406a 及第一汲極電極層 406b 的末端部分不需要相互對稱。於第一源極電極層 406a 及第一汲極電極層 406b 的厚度小的例子，階的數量可能為一，也就是，每個第一源極電極層 406a 及第一汲極電極層 406b 可為僅具有角度 $\theta 1$ 及曲率 $R1$ 的形狀。

[0152] 此處，角度 $\theta 1$ 及 $\theta 2$ 係大於或等於 20 度並且小於或等於 80 度，較佳的是，大於或等於 25 度並且小於或等於 75 度，更佳的是，大於 30 或等於度並且小於或等於 60 度。當第一源極電極層 406a 或第一汲極電極層 406b 區域的厚度於階未形成時作為參考，厚度的曲率 $R1$ 、 $R2$ 及 $R3$ 大於或等於 10% 並且小於或等於 100%，較佳的是大於或等於 20% 並且小於或等於 75%，更佳的是大於或等於 30% 並且小於或等於 60%。較佳的是，曲率 $R2$ 大於曲率 $R1$ 及 $R3$ 之一或兩者。

[0153] 當每個第一源極電極層 406a 及第一汲極電極層 406b 具有形狀包含上述的複數階，由層形成於第一源極電極層 406a 及第一汲極電極層 406b 上而覆蓋，特別是由第二源極電極層 408a、第二汲極電極層 408b 及閘極絕

緣層 410 等而覆蓋，因而電晶體可具有較佳的電子特性及較高的長期可靠性。

[0154] 此外，第二源極電極層 408a 或第二汲極電極層 408b 的末端表面形成具有角度 θ_3 ，以氧化物層疊 404 的上表面作為參考。角度 θ_3 大於或等於 30 度並且小於或等於 80 度，較佳的是大於或等於 35 度並且小於或等於 75 度。具有前述角度，提升閘極絕緣層 410 的覆蓋，因此電晶體可具有較佳的電子特性及較高的長期可靠性。

[0155]

〈半導體裝置結構之第四例〉

第 9A 圖至第 9C 圖揭示電晶體 350 的結構的一例。電晶體 350 係第 2A 圖至第 2C 中揭示之電晶體 320 的修改之一例。第 9A 圖係電晶體 350 之平面圖，第 9B 圖係沿第 9A 圖中之線 X3-Y3 的截面圖，第 9C 圖係沿第 9A 圖中之線 V3-W3 的截面圖。值得注意的是，第 9A 圖中未揭示電晶體 350 之部分組件（例如保護絕緣層 414 等），以避免過於複雜。

[0156] 電晶體 320 與電晶體 350 之間的差異在氧化物層疊 404 及源極電極層與汲極電極層的層疊順序。也就是，於電晶體 350 中，第一源極電極層 406a 及第一汲極電極層 406b 設置以覆蓋島狀第一氧化物層 407a 的側表面於通道長度方向，以及島狀氧化物半導體層 407b 的部分上表面，並且島狀第二氧化物層 407c 設置並接觸於第一源極電極層 406a 及第一汲極電極層 406b 之上。另外，第

二源極電極層 408a 及第二汲極電極層 408b 設置於第二氧化物層 407c 之上。

[0157] 於第一氧化物層 407a、氧化物半導體層 407b 及第二氧化物層 407c 之接觸第一源極電極層 406a 或第一汲極電極層 406b 的區域，因由第一源極電極層 406a 或第一汲極電極層 406b 取出氧，形成 n 型區域 405。於電晶體 350 中，形成氧化物層疊 407 包含第一氧化物層 407a、氧化物半導體層 407b 及第二氧化物層 407c 於基底絕緣層 402 與閘極絕緣層 410 之間。

[0158] 氧化物層疊 407 中包含之氧化物半導體層 407b 的一區域不與第一源極電極層 406a 及第一汲極電極層 406b 重疊，也就是，不形成具有 n 型導電型的區域，於某些例子中具有小厚度，於製造時部分蝕刻進入第一源極電極層 406a 及第一汲極電極層 406b 形成。第二氧化物層 407c 的一區域不與第二源極電極層 408a 及第二汲極電極層 408b 重疊，於某些例子中具有小厚度，於製造時部分蝕刻進入第二源極電極層 408a 及第二汲極電極層 408b 形成。

[0159] 如第 9C 圖中所示，於沿通道寬度方向的截面，電晶體 350 可具有島狀第一氧化物層 407a 與島狀氧化物半導體層 407b 為第二氧化物半導體層 407c 所覆蓋之結構。具有此種結構，可減少於通道寬度方向可能由氧化物層疊 407 的末端產生的寄生通道的影響。因此，可提升電晶體的可靠度。

[0160] 如第 19 圖中所示，第一源極電極層 406a 及第二源極電極層 408a 係相互電連接，利用形成於設置於保護絕緣層 414 上之層間絕緣層 424 中的到達第一源極電極層 406a 的接觸孔，並且電極層 422a 形成於接觸孔中的方式。相同地，第一汲極電極層 406b 第二汲極電極層 408b 係相互電連接，利用形成於層間絕緣層 424 中的到達第一汲極電極層 406b 的接觸孔，並且電極層 422b 形成於接觸孔中的方式。

[0161] 每個第一源極電極層 406a 及第一汲極電極層 406b 的大小（其上表面面積）係形成為大於設置於層間絕緣層 424 中之接觸孔的大小（接觸孔之平面表面面積）。為使電晶體微型化，較佳的是減少電極層的大小。

[0162] 可適當地使用有機絕緣層或無機絕緣層作為層間絕緣層 424。特別是，較佳的是可使用容易形成具有高平整度的有機樹脂。對於電極層 422a 及電極層 422b，較佳的是使用相似於第一源極電極層 406a 及第一汲極電極層 406b 的材料。

[0163] 本發明之電晶體之一實施例敘述如上。本實施例中之電晶體中，可連續供應氧從基底絕緣層或於島狀氧化物層疊外與基底絕緣層接觸之閘極絕緣層至通道形成區域。此種電晶體結構可抑制氧化物半導體層中之氧空缺增加並且減少雜質濃度，以使氧化物半導體層能夠高度淨化而成為高度純淨之本質氧化物半導體層。

[0164] 因此，可抑制可能由通道形成區域中之氧空

缺產生的電子特性的變化，例如臨界電壓的改變。特別是，例如，電晶體包含氧化物層疊 404 具有於正臨界電壓時具有常關特性。因此，可提供具有良好電子特性及高度長期可靠性的半導體裝置。

[0165] 值得注意的是，本實施例中前述的電晶體可任意相互結合。例如，電晶體 310 具有電晶體 320 的層疊結構的閘極電極層。

[0166] 值得注意的是，本實施例可與本說明書中之任一其它實施例及例子適當組合。

[0167]

〈第三實施例〉

本實施例中，敘述第一實施例之電晶體之製造方法之一例。本實施例中，電晶體 340 的製造方法之作為一例如第 3B 圖中所示，一併參考第 4A 至 4C 圖及第 5A 至 5D 圖。

[0168] 首先，形成基底絕緣層 402 於具有絕緣表面的基板 400 上（請參考第 4A 圖）。

[0169] 形成厚度大於或等於 1 nm 並且小於或等於 100 nm 的基底絕緣層 402，並且絕緣層含有氧，例如由電漿化學氣相沉積法或濺鍍法形成之鋁氧化層、氧化鎂層、氧化矽層、氧氮化矽層、氧化鎵層、氧化銻層、氧化釷層、氧化銻層、氧化釷層、氧化鈾層或氧化鈾層，可用於基底絕緣層 402。

[0170] 利用含有氧的材料形成至少一基底絕緣層 402

之上層與氧化物層疊 404 及稍後形成之閘極絕緣層 410 接觸，以提供氧與氧化物層疊 404。此外，較佳的是，基底絕緣層 402 含有超量的氧。

[0171] 為使基底絕緣層 402 含有超量氧，於一例中基底絕緣層 402 可於氧氣氛中形成。或是，可利用將氧導入已形成之基底絕緣層 402 的方式使基底絕緣層 402 含有超量的氧的方式。兩種方法亦可結合。

[0172] 本實施例中，氧 302（至少包含氧原子團、氧原子或氧離子之任一），導入已形成之基底絕緣層 402 中以形成氧超量區域。可使用離子佈置法、電漿製程等作為導入氧的方法。

[0173] 可使用含有氧之氣體於氧導入製程。可使用氧氣、一氧化二氮、二氧化氮、二氧化碳、一氧化碳等作為含有氧之氣體。此外，於氧導入製程中，可使用稀有氣體於含有氧的氣體中。

[0174] 再來，第一氧化物層 404a、氧化物半導體層 404b 以及第二氧化物層 404c，由濺鍍法、化學氣相沉積法、分子束磊晶法、原子層沉積法或脈衝雷射沉積法，以及選擇性蝕刻，形成於基底絕緣層 402 上，以形成氧化物層疊 404（請參考第 4B 圖）。值得注意的是，可於蝕刻前進行熱處理。

[0175] 對於第一氧化物層 404a、氧化物半導體層 404b 以及第二氧化物層 404c，可使用於第一實施例中所述之材料。

[0176] 例如，較佳的是第一氧化物層 404a 係利用 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物、In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物、In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物或具有與前述任一組成相近的原子比的氧化物。

[0177] 此外，例如，較佳的是氧化物半導體層 404b 係利用 In : Ga : Zn 的原子比為 1 : 1 : 1 的 In-Ga-Zn 氧化物、In : Ga : Zn 的原子比為 3 : 1 : 2 的 In-Ga-Zn 氧化物或具有與前述任一組成相近的原子比的氧化物。

[0178] 此外，例如，較佳的是第二氧化物層 404c 係利用 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物或具有與前述組成相近的原子比的氧化物。

[0179] 值得注意的是，例如，含有 In、Ga 及 Zn 的氧化物組成的原子比， $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a+b+c=1$)，與含有 In、Ga 及 Zn 的氧化物組成的原子比， $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A+B+C=1$) 相近的表示方式，係意味著 a 、 b 、 c 滿足以下條件： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ，並且例如 r 可為 0.05。

[0180] 值得注意的是，每個氧化物層的組成不限於上述的原子比。氧化物半導體層 404b 中的銦含量較佳的是高於第一氧化物層 404a 及第二氧化物層 404c 中的銦含量。於氧化物半導體中，重金屬的 s 軌域主要助於載子轉移，當氧化物半導體層中之 In 含量上升，軌域重疊的可能性上升。因此，氧化物具有 In 高於 Ga 的組成比率時，

具有比具有 In 等於 Ga 的組成比率的氧化物高的移動率。此外，鎵的氧空穴的需要大形成能量，因此相較於銦不易於產生氧空穴。因此，具有高鎵含量的氧化物具有穩定的電子特性。

[0181] 因此，使用具有高銦含量的氧化物半導體層 404b，可達成電晶體具有高移動率。此外，當使用氧化物具有高鎵含量（此處為第一氧化物層 404a 及第二氧化物層 404c），電晶體可有較高可靠性。

[0182] 此外，於第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c 中可使用的氧化物半導體較佳的是包含至少銦（In）或鋅（Zn）。或是，氧化物半導體較佳的是含有 In 及 Zn 兩者。特別是，較佳的是氧化物半導體層 404b 含有銦，因為可以增加電晶體的載子移動率，以及氧化物半導體層 404b 含有鋅，因為容易形成 CAAC-OS 層。為減少包含氧化物半導體層的電晶體中電子特性的波動，氧化物半導體層較佳的是包含銦及鋅之外的穩定物。

[0183] 可使用鎵（Ga）、錫（Sn）、鈦（Hf）、鋁（Al）、鋯（Zr）等作為穩定物。可使用鑰係元素，例如鑰（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鎳（Eu）、釷（Gd）、鉍（Tb）、鐳（Dy）、鈹（Ho）、鉕（Er）、鎳（Tm）、鐳（Yb）、鑰（Lu）等作為另一穩定物。

[0184] 例如，可使用以下任一種作為氧化物半導體

體：氧化銦、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物或 In-Hf-Al-Zn 氧化物。

[0185] 值得注意的是，如第一實施例中所詳述，第一氧化物層 404a 及第二氧化物層 404c 的材料係選擇以使第一氧化物層 404a 及第二氧化物層 404c 具有較氧化物半導體層 404b 高的電子親和力。

[0186] 值得注意的是，較佳的是，氧化物層疊由濺鍍法形成。可使用 RF 濺鍍法、DC 濺鍍法、AC 濺鍍法等作為濺鍍法。特別是，較佳的是使用 DC 濺鍍法。

[0187] 值得注意的是，氧可於形成第一氧化物層 404a 後及形成氧化物半導體層 404b 前導入。由氧導入製程，第一氧化物層 404a 含有過量的氧，因此過量的氧於之後的層形成步驟中的加熱製程中，可供予氧化物半導體層 404b。

[0188] 因此，於第一氧化物層 404a 上執行的氧導入製程，可更加抑制氧化物半導體層 404b 中的氧空缺。

[0189] 值得注意的是，第一氧化物層 404a 於某些情況因氧導入製程而成為非晶。氧化物層疊 404 中，較佳的是至少氧化物半導體層 404b 係 CAAC-OS 層。因此，較佳的是，氧導入製程於形成第一氧化物層 404a 後及形成氧化物半導體層 404b 前執行。

[0190] 形成氧化物層疊 404 後，較佳的是執行第一熱處理。可執行第一熱處理於溫度高於或等於攝氏 250 度並且小於或等於攝氏 650 度，較佳的是高於或等於攝氏 300 度並且小於或等於攝氏 500 度，於鈍氣氣氛中，於含有 10 ppm 或更多的氧化氣體的氣氛中，或是減壓的狀態。或者，第一熱處理可以於鈍氣氣氛中進行一熱處理，而後於含有 10 ppm 或更多的氧化氣體的氣氛中執行另一熱處理的方式執行，以補償被吸收的氧。由第一熱處理，氧化物半導體層 404b 的結晶程度可提升，並且另外，雜質例如氫或水可從至少基底絕緣層 402、第一氧化物層 404a、氧化物半導體層 404b 及第二氧化物層 404c 之一中移除。值得注意的是，第一熱處理步驟可於形成氧化物層疊 404 的蝕刻步驟前執行。

[0191] 之後，形成作為第一導電層的第一源極電極層 406a 及第一汲極電極層 406b 於氧化物層疊 404 上。對於第一導電層，可使用 Al、Cr、Cu、Ta、Ti、Mo、W 或含有上述任一材料作為主要成分的合金。例如，100 nm

厚的鎢層由濺鍍法等形成。

[0192] 再來，蝕刻第一導電層以於氧化物層疊 404 上分離，而形成第一源極電極層 406a 及第一汲極電極層 406b（請參考第 4C 圖）。此時，較佳的是形成第一源極電極層 406a 及第一汲極電極層 406b 的末端部分成為具有如圖中所示的階梯狀。末端部分可以由灰化或蝕刻步驟交替執行複數次而製作成的逐漸後退的光阻遮罩的步驟的方式形成。

[0193] 值得注意的是，雖未顯示於圖中，由過度蝕刻第一導電層 108，部分的氧化物層疊 404（暴露區域）於某些情況被蝕刻。

[0194] 其後，形成作為第二源極電極層 408a 及第二汲極電極層 408b 的第二導電層於氧化物層疊 404、第一源極電極層 406a 及第一汲極電極層 406b 上。可使用金屬氮化物層如氮化鉬、氮化鈦等，或含有前述任一材料作為主要材料的合金材料作為第二導電層。例如，20 nm 厚的氮化鉬層由濺鍍法等形成。

[0195] 再來，蝕刻第二導電層以於氧化物層疊 404 上分離，而形成第二源極電極層 408a 及第二汲極電極層 408b（請參考第 5A 圖）。此時，部分的氧化物層疊 404（特別是部分的第二氧化物層 404c）可能被蝕刻。值得注意的是雖未顯示於圖中，利用蝕刻第二源極電極層 408a 及第二汲極電極層 408b，由第二源極電極層 408a 及第二汲極電極層 408b 暴露的基底絕緣層 402 區域於某些

情況具有較小的厚度。

[0196] 值得注意的是，於形成具有極短通道長度（第二源極電極層 408a 及第二汲極電極層 408b 之間的距離）的電晶體的一例，至少一分離第二導電層的區域利用光阻遮罩進行蝕刻，光阻遮罩利用適用於細線的製程製造，例如電子束曝光。值得注意的是，利用正光阻作為光阻遮罩，暴露區域可以減少，產量可以因此提升。以上述的方式，可形成電晶體具有通道長度 30 nm 或更小。

[0197] 再來，閘極絕緣層 410 形成於氧化物層疊 404、第二源極電極層 408a 及第二汲極電極層 408b 上（請參考第 5B 圖）。可利用三氧化二鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鈳、氧化釷、氧化鈳、氧化鈳或氧化鈳等，形成閘極絕緣層 410。值得注意的是，閘極絕緣層 410 可為上述材料的層疊。可利用濺鍍法、化學氣相沉積法、分子束磊晶法、原子層沉積法或脈衝雷射沉積法等形成閘極絕緣層 410。特別是，閘極絕緣層 410 較佳的是利用化學氣相沉積法，更加的是電漿化學氣相沉積法，因可得到較優的覆蓋率。

[0198] 形成閘極絕緣層 410 後，執行第二熱處理。閘極絕緣層 410 中所含的雜質例如水或氫可利用第二熱處理解吸（可執行脫水或脫氫）。較佳的是，第二熱處理的溫度係高於或等於攝氏 300 度並且低於或等於攝氏 400 度。第二熱處理可以於鈍氣氣氛中執行一熱處理，而後於

含有 10 ppm 或更多的氧化氣體的氣氛中執行另一熱處理的方式執行，以補償被吸收的氧。利用第二熱處理，雜質例如氫或水可從閘極絕緣層 410 中移除。另外，於某些情況，另一些雜質例如氫或水可從氧化物層疊 404 中移除。此外，當於含有氧化氣體的氣氛下執行熱處理，可提供氧至閘極絕緣層 410。

[0199] 值得注意的是，較佳的是第二熱處理接續於閘極絕緣層 410 形成後於沉積腔室中執行。或是，形成閘極絕緣層 410 時的加熱可作為第二熱處理。

[0200] 此外，當於第一源極電極層 406a 及第一汲極電極層 406b 與氧化物層疊接觸的狀況下執行第二熱處理，氧化物層疊 404 中的氧為易與氧結合的第一源極電極層 406a 及第一汲極電極層 406b 所取走進入。因此，氧化物層疊 404 中，於氧化物層疊 404 與每個第一源極電極層 406a 及第一汲極電極層 406b 之間的介面附近的區域產生氧空缺，因而形成 n 型區域 405。唯，於某些情況，依第二熱處理的溫度，n 型區域 405 未形成。

[0201] 再來，形成閘極電極層 412 的導電層於閘極絕緣層 410 上。可利用濺鍍法等形成導電層。蝕刻導電層以維持重疊通道形成區域，因而形成閘極電極層 412。
(請參考第 5C 圖)

[0202] 本實施例中，閘極電極層 412 具有層疊結構包含利用與第二導電層的材料形成之第一閘極電極層 412a，及與第一導電層的材料形成之第二閘極電極層

412b。

[0203] 其後，保護絕緣層 414 形成於閘極絕緣層 410 與閘極電極層 412 上。（請參考第 5D 圖）。作為保護絕緣層 414，提供具有相對於閘極絕緣層 410 有較低氧傳輸特性（較高氧阻障特性）的絕緣層。例如可提供氮化矽層或氮氧化矽層作為保護絕緣層 414。

[0204] 值得注意的是，較佳的是，保護絕緣層 414 利用濺鍍法形成，因為較佳的是，保護絕緣層 414 中的氫濃度可以減少。保護絕緣層 414 中的氫濃度較佳的是低於 $5 \times 10^{19} \text{ cm}^{-3}$ ，更佳的是低於 $5 \times 10^{18} \text{ cm}^{-3}$ 。

[0205] 較佳的是，執行第三熱處理於保護絕緣層 414 形成後。第三熱處理的溫度較佳的是高於或等於攝氏 350 度並且低於或等於攝氏 450 度。由第三熱處理，可輕易地從基底絕緣層 402 及閘極絕緣層 410 中釋出氧，因此氧化物層疊 404 中的氧空缺可減少。

[0206] 此外，利用第三熱處理，氧可能從氧化物層疊 404 轉移至易與氧結合的第一源極電極層 406a 及第一汲極電極層 406b。因此，於某些情況，n 型區域 405 產生更多的氧空缺。或是於某些介面附近的區域未形成 n 型區域的例子，介面附近的區域可於第三熱處理產生 n 型區域 405。

[0207] 如此，可製造本實施例中的電晶體 340。

[0208] 值得注意的是，本實施例可與本說明書中的其它任一其它實施例及例子適當組合。

[0209]

〈第四實施例〉

第 20A 圖揭示 NOR 電路之電路圖，其係邏輯電路，作為本發明之半導體裝置之一實施例。第 20B 圖揭示 NAND 電路之電路圖。

[0210] 於第 20A 圖之 NOR 電路中，p 通道電晶體 801 及 802，每個係通道形成區域利用不同於氧化物半導體的半導體材料（例如矽）形成之電晶體，並且 n 通道電晶體 803 及 804，每個係包含包括氧化物半導體層之氧化物層疊，以及每個具有與第二實施例中之任一電晶體結構相似的結構。

[0211] 電晶體包含半導體材料，例如矽，可輕易於高速操作。相對地，電晶體具有氧化物半導體層因其特性而能長時間抓住電荷。

[0212] 為了微型化邏輯電路，較佳的是，n 通道電晶體 803 及 804 層疊於 p 通道電晶體 801 及 802 上。例如，電晶體 801 及 802 可利用單晶矽基板形成，及電晶體 803 及 804 可以形成於電晶體 801 及 802 上並且絕緣層形成於其間。

[0213] 值得注意的是，如第 20A 圖中所示之 NOR 電路中，電晶體 803 及 804 具有背電極結構，以及利用控制背電極的電壓，例如設定電壓為 GND，電晶體 803 及 804 的臨界電壓可提升，以使電晶體可以常關。

[0214] 於如第 20B 圖中所示之 NAND 電路中，p 通

道電晶體 811 及 814 每個係通道形成區域利用不同於氧化物半導體的半導體材料（例如矽）形成之電晶體，並且 n 通道電晶體 812 及 813，每個係包含包括氧化物半導體層之氧化物層疊，以及每個具有與第二實施例中之任一電晶體結構相似的結構。

[0215] 值得注意的是，如第 20B 圖中所示之 NAND 電路中，電晶體 812 及 813 具有背電極結構，以及利用控制背電極的電壓，例如設定電壓為 GND，電晶體 812 及 813 的臨界電壓可提升，以使電晶體可以常關。

[0216] 如第 20B 圖中所示之 NAND 電路中，為了微型化邏輯電路，較佳的是，n 通道電晶體 812 及 813 層疊於 p 通道電晶體 811 及 814 上。

[0217] 本實施例之半導體裝置，提供包含氧化物半導體於通道形成區域的電晶體，並且具有極低的關閉狀態電流，半導體裝置的功率消耗可大幅減少。

[0218] 可提供一種微型化半導體裝置，係高集成，並且具有穩定且優良之電子特性，利用包括不同半導體材料及之半導體元件層疊，及其製造方法。

[0219] 另外，利用配置如第二實施例中所述之任一電晶體結構，可提供 NOR 電路及 NAND 電路具有高可靠性及穩定之電子特性。

[0220] 使用第二實施例之電晶體之 NOR 電路及 NAND 電路作為本實施例中之一例；唯，並沒有特別限制的電路，並且可形成 AND 電路，及 OR 電路等。

[0221] 本實施例中所述之方法及結構可與其它實施例中所述之任一方法及結構適當組合。

[0222]

〈第 5 實施例〉

本實施例中，一種半導體裝置（記憶體裝置）之一例，包含如第二實施例所述之任一電晶體，可於沒有提供電源時仍保存資料，以及具有無限制的寫入循環，將參考圖式描述。

[0223] 第 21A 圖係揭示本發明之半導體元件之電路圖。

[0224] 電晶體包含與氧化物半導體不同之半導體材料（例如矽），可應用於如第 21A 圖中所示之電晶體 260，因此電晶體 260 可輕易於高速操作。此外，電荷可被抓住於具有與第二實施例中所述之每個包括氧化物半導體層的任一電晶體相似的結構的電晶體 262 中，可因其特性應用於長時間。

[0225] 雖然此處所有電晶體係 n 通道電晶體，亦可使用 p 通道電晶體作為本實施例所述之半導體裝置。

[0226] 於第 21 圖中，第一導線（第一線）係電連接電晶體 260 之源極電極層。第二導線（第二線）係電連接電晶體 260 之汲極電極層。第三導線（第三線）係電連接電晶體 262 之源極電極層與汲極電極層之其一，第四導線（第四線）係電連接電晶體 262 之閘極電極層。電晶體 260 之閘極與電晶體 262 之源極電極層與汲極電極層之另

一電連接電容 264 的電極之其一。第五導線（第五線）與電容 264 之電極之另一相互電連接。

[0227] 如第 21A 圖中所示之半導體裝置，利用電晶體 260 之閘極電極層之電位可保持之特性，因此可寫入資料、儲存及讀取資料，敘述如下。

[0228] 敘述資料之寫與存。首先，第四導線的電位設定為電晶體 262 係開啟，以使電晶體 262 開啟。於是，提供電晶體 260 之閘極電極層及電容 264 的第三導線電位。也就是，提供預定的電荷予電晶體 260 之閘極電極層（寫入）。此處，提供兩種不同電位階之一的電荷（此後稱為高電位電荷及低電位電荷）。之後，第四導線之電位設定為電晶體 262 關閉之電荷，以使電晶體 262 關閉。因此，提供電晶體 260 的閘極電極層的電荷被保持（抓住）。也就是，資料保持於浮置閘極（FG）中。

[0229] 因為電晶體 262 之關閉態電係極低，電晶體 260 的閘極電極層之電荷可長時間保持。

[0230] 其次，敘述資料之讀取。提供適當之電位（讀取電位）予第五導線，同時提供預定電位（恆定電位）予第一導線，第二導線的電位依保存於電晶體 260 中之閘極電晶體之電荷量不同而不同。這是因為，通常，當電晶體 260 係 n 通道電晶體，表現臨界電壓 V_{th_H} 於高階電荷供予電晶體 260 之閘極電極層時低於表現臨界電壓 V_{th_L} 於低階電荷供予電晶體 260 之閘極電極層時。此處，表現臨界電壓係表示第五導線開啟電晶體 260 所需的電位。因

此，第五導線的電位設定成於 V_{th_H} 與 V_{th_L} 間的電位 V_0 ，其中可辨別提供予電晶體 260 之閘極電極層之電荷。例如，於寫入時提供高階電荷之情形，當第五導線之電位係 $V_0(>V_{th_H})$ ，電晶體 260 係開啟。於寫入時提供低階電荷的情形，即使當第五導線的電位係 $V_0(<V_{th_L})$ ，電晶體 260 維持關閉。因此，儲存於浮置閘極（FG）中之資料可利用決定第二導線的電位而讀取。

[0231] 值得注意的是，於記憶體單元係用於陣列時，需要可只讀取所欲讀取之記憶體單元之資料。此時，可提供不讀取資料之第五導線使電晶體 260 不論閘極狀態皆關閉的電位，也就是低於 V_{th_H} 的電位。或是可提供第五導線使電晶體 260 不論閘極狀態皆開啟的電位，也就是高於 V_{th_L} 的電位。

[0232] 第 21B 圖揭示本發明之另一實施例之記憶體裝置結構。第 21B 圖揭示半導體元件的電路組態的一例，並且第 21C 圖係半導體元件之一例之概念圖。首先，敘述如第 21B 圖中所示之半導體元件，而後，敘述如第 21C 圖中所示之半導體元件。

[0233] 第 21B 圖中所示之半導體元件中，位元線 BL 電連接電晶體 262 之源極電極或汲極電極，字線 WL 電連接電晶體 262 之閘極電極，電晶體 262 之源極電極或汲極電極電連接電容 254 之第一端。

[0234] 此處，包含氧化物半導體的電晶體 262 具有極低的關閉狀態電流。因此，電晶體 262 關閉後，電容

254 之第一端的電位（或電容 254 中所累積的電荷）可保持極長的時間。

[0235] 再來，敘述如第 21B 圖中所示之於半導體裝置（記憶體單元 250）中寫入及儲存資料。

[0236] 首先，字線 WL 的電位設定為使電晶體 262 開啟之電位，以使電晶體 262 開啟。於是，位元線 BL 提供於電容 254 的第一端（寫入）。其後，字線 WL 的電位設定為使電晶體 262 關閉的電位，以使電晶體 262 關閉。因此，電容的第一端係被保持（抓住）。

[0237] 因為電晶體 262 的關閉狀態電流極低，電容 254 的第一端（或累積於電容中之電荷）可長時間保持。

[0238] 再來，敘述讀取資料。當電晶體 262 開啟時，於浮置狀態之位元線 BL 及電容 254 相互電連接，並且位元線 BL 與電容 254 間的電荷重新分佈。因此，位元線 BL 的電位改變。位元線 BL 的電位改變量依電容 254 的第一端的電位（或累積於電容 254 中的電荷）而改變。

[0239] 例如，電荷重分配後位元線 BL 的電位係 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ ，其中 V 係電容 254 的第一端的電位， C 係電容 254 的電容值， C_B 係位元線 BL 的電容（此後稱為位元線電容），及 V_{B0} 係電荷重分配前位元線 BL 的電位。因此，可發現假設記憶體單元 250 的兩種狀態，電容 254 的第一端的電壓係 V_1 及 V_0 ($V_1 > V_0$)，位元線 BL 的電位於保持 V_1 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) 的情形，高於位元線 BL 的電位保持 V_0 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)

) 的情形。

[0240] 其後，比較位元線 BL 的電位與預定電位，可讀出資料。

[0241] 如前所述，如第 21B 圖中所示之半導體裝置可長時間保持累積於電容 254 中的電荷，因為電晶體 262 的關閉狀態電流極小。也就是，更新運作變為不需要或是更新頻率可很低，使功率消耗大幅下降。另外，儲存的資料可在未提供電源的情況下長時間保存。

[0242] 再來，敘述如第 21C 圖中所示之半導體裝置。

[0243] 如第 21C 圖中所示之半導體裝置包含記憶體單元陣列 251 (記憶體單元陣列 251a 及 251b) 包含：複數如第 21B 圖中所示之記憶體單元 250 作為記憶體的電路於上部分，記憶體單元陣列 251 (記憶體單元陣列 251a 及 251b) 操作所需的周邊電路 253 於下部分。值得注意的是，周邊電路 253 係電連接記憶體陣列 251。

[0244] 如第 21C 圖中所示，周邊電路 253 可設置於記憶體單元陣列 251 (記憶體單元陣列 251a 及 251b) 下。因此，半導體裝置的大小可減小。

[0245] 較佳的是，周邊電路 253 中之電晶體之半導體材料不同於電晶體 262 的材料。例如，可使用矽、銻、矽銻、炭化矽或砷化銻等，且較佳的是使用單晶半導體。或是，可使用有機半導體材料等。包含此種材料的電晶體可於足夠高之速度運作。因此，電晶體能良好達成需要操

作於高速的不同種類電路（例如，邏輯電路及驅動電路）。

[0246] 值得注意的是，第 21C 圖揭示，作為一例，半導體裝置中的二記憶體單元陣列 251（記憶體單元 251a 及 251b）係層疊。唯，層疊的記憶體單元陣列數量不限於此。可層疊三或更多的記憶體單元陣列。

[0247] 當包含氧化物半導體於通道形成區域的電晶體作為電晶體 262，儲存的資料可長時間保存。也就是，因可提供不需要更新操作或是更新操作的頻率極低的半導體裝置，功率消耗可大幅減少。

[0248] 此外，本實施例中所述之半導體裝置，係第一實施例中所述之包含氧化物層疊之半導體裝置，且通道形成處之氧化物層疊係與氧化物層疊表面分離。因此，可得到展現高穩定電子特性的高度可靠半導體裝置。

[0249]

〈第六實施例〉

本實施例中，將敘述上述任一實施例中之半導體裝置應用於電子裝置例如行動電話、智慧手機及電子書閱讀器的例子，參考第 22 圖、第 23 圖、第 24 圖及第 25A 與 25B 圖。

[0250] 第 22 圖係一種電子裝置的方塊圖。如第 22 圖中所示之一種電子裝置包含：射頻電路 901、類比基頻電路 902、數位基頻電路 903、電池 904、電源供應電路 905、應用處理器 906、快閃記憶體 910、顯示控制器

911、記憶體電路 912、顯示器 913、觸控感應器 919、聲音處理電路 917 及鍵盤 918 等。顯示器 913 包含：顯示部分 914、源極驅動電路 915 及閘極驅動電路 916。應用處理器 906 包含：中央處理器 907、數位訊號處理器 908 及介面 909 (IF909)。通常，記憶體電路 912 包含 SRAM 或 DRAM；配置上述半導體裝置於任一實施例於記憶體電路 912，可提供可於高速下執行寫入及讀取資料、資料可長時間保持、功率消耗可大幅減少且可靠度高的電子裝置。

[0251] 第 23 圖揭示上述實施例中之任一半導體裝置用於顯示器中之記憶體電路 950。如第 23 圖中所示之記憶體電路 950 包含：記憶體 952、記憶體 953、開關 954、開關 955 及記憶體控制器 951。此外，記憶體電路中，從影像資料（輸入影像資料）的訊號線，讀取並控制保持於記憶體 952 及 953 中之訊號（儲存影像資料）的顯示控制器 956，顯示從連接的顯示控制器 956 來的訊號的顯示器 957。

[0252] 首先，影像資料（輸入影像資料 A）由應用處理器（未顯示）形成。輸入影像資料 A 經由開關 954 保持於記憶體 952 中。經由開關 955 及顯示控制器 956，傳送保存於記憶體 952 中之影像資料（儲存影像資料 A）並顯示於顯示器 957。

[0253] 於輸入影像資料 A 沒有改變的情形，儲存影像資料 A 經由開關 955 及顯示控制器 956 從記憶體 952 讀

取，通常於接近 30Hz 至 60Hz 之頻率。

[0254] 再來，例如，當顯示於螢幕的資料被使用者改寫（也就是，輸入影像資料 A 改變之情形），新的影像資料（輸入影像資料 B）由應用處理器形成。輸入影像資料 B 經由開關 954 保持於記憶體 953 中。即使於此時，儲存影像資料 A 仍經由開關 955 從記憶體 952 週期性的讀取。於新的影像資料完成儲存（儲存影像資料 B）於記憶體 953 後，於顯示器 957 的下一時序，開始讀取儲存影像資料 B，經由開關 955 及顯示控制器 956 傳輸予顯示器 957 並顯示於顯示器 957 上。此讀取操作持續至另一新影像資料保持於記憶體 952 中。

[0255] 由如前所述之交替寫入及讀取影像資料從及予記憶體 952 及 953，影像顯示於顯示器 957 上。值得注意的是，記憶體 952 及記憶體 953 不限於分離的記憶體，且可使用可分割之單一記憶體。由配置如前述任一實施例之半導體裝置於記憶體 952 及記憶體 953，可於高速寫入及讀取資料並且長時間保持資料，以及功率消耗可大幅減少。此外，可提供不易受由外部進入的水、溼氣等而影響且具有高可靠度的半導體裝置。

[0256] 第 24 圖係一種電子書閱讀器的方塊圖。第 24 圖包含：電池 1001、電源供應電路 1002、微處理器 1003、快閃記憶體 1004、聲音處理電路 1005、鍵盤 1006、記憶體電路 1007、觸控面板 1008、顯示器 1009 及顯示控制器 1010。

[0257] 此處，可使用如前述實施例之任一半導體裝置於第 24 圖中之記憶體電路 1007。記憶體電路 1007 具有暫時保持書中資料的功能。例如，當使用者使用標記功能，記憶體電路 1007 儲存並保持該使用者指定之特殊部分的資料。值得注意的是，標記功能係用於由標註特殊部分，例如改變顯示器顏色、下標線、使字體粗體化或改變字型等，使閱讀電子書時，特殊部分與其它部分不同。為了於短時間儲存資料，資料可儲存於記憶體電路 1007 中。為了於長時間儲存資料，資料可儲存於記憶體電路 1007 的快閃記憶體 1004 中。另外，於此種情形由配置如前述任一實施例中之半導體裝置，可於高速寫入及讀取資料並且長時間保持資料，以及功率消耗可大幅減少。此外，可提供不易受由外部進入的水、溼氣等而影響且具有高可靠度的半導體裝置。

[0258] 第 25A 及 25B 圖揭示一種電子裝置之特定例子。第 25A 及 25B 圖揭示可摺疊之平板終端。第 25A 圖揭示於未折疊狀態之平板終端。平板終端包含：外殼 9630、顯示部分 9631a、顯示部分 9631b、顯示器模式切換按鍵 9034、電源開關 9035、省電模式切換開關按鍵 9036、繫槽 9033 及運作開關。

[0259] 前述實施例中之任一半導體裝置可用於顯示部分 9631a 及顯示部分 9631b，以使平板終端可具有高度可靠性。另外，前述實施例中之記憶體裝置可用於本實施例之任一半導體裝置。

[0260] 部分顯示部分 9631a 可為觸控面板區域 9632a，並且可由顯示的觸控運作鍵 9638 輸入資料。雖然顯示部分 9631a 的一半區域僅具有顯示功能並且另一半區域另具有觸控面板功能作為一例，顯示部分不限於此種結構。例如，顯示部分 9631a 可顯示鍵盤按鍵於整個作為觸控面板的區域，並且顯示部分 9631b 可作為顯示螢幕。

[0261] 與顯示部分 9631a 相似，部分顯示部分 9631b 可作為觸控面板區域 9632b。當手指或觸控筆等碰觸按鍵 9639 處以切換使鍵盤顯示於觸控面板中，可顯示按鍵部分於顯示部分 9631b 上。

[0262] 觸控輸入可同時執行於觸控面板區域 9632a 及 9632b。

[0263] 例如，用於切換顯示模式的開關 9034 可切換顯示方式（例如於風景模式或人像模式之間）並且選擇顯示模式（單色顯示及彩色顯示間的切換）。具有用於切換省電模式的開關 9036，顯示器的亮度可依據當平板終端使用時外部入射光量而最佳化，入射光量由與整合於平板終端中的的光偵測器所偵測。平板終端於光偵測器外另可包含另一偵測裝置例如偵測方向的偵測器（例如陀螺儀或加速度感測器）。

[0264] 值得注意的是，第 25A 圖揭示顯示部分 9631a 及顯示部分 9631b 具有相同顯示面積的一例；唯，本發明之實施例不受限，且顯示部分的其一的大小及顯示品質可與顯示部分的另一不同。例如，顯示部分的其一為

可顯示比顯示部分的另一高的影像解析度的顯示面板。

[0265] 第 25B 圖中之平板終端係閉合。平板終端包含：外殼 9630、太陽能電池 9633、充電放電電路 9634、電池 9635 及直流轉換元件 9636。值得注意的是，第 25B 圖中所示之例子，充電放電電路 9634 包含電池 9635 及 DC-DC 轉換器 9636。

[0266] 因平板終端可摺疊為二，當不使用平板時，外殼 9630 可閉合。因此，可保護顯示部分 9631a 及 9631b，以提供具有高耐受性極高可靠性可長期使用的平板終端。

[0267] 另外，如第 25A 圖及第 25B 圖中所示之平板終端可具有顯示多種類資料的功能（例如靜態影像、動態影像及文字影像），顯示日曆、日期或時間等的功能，由觸控輸入操作或編輯顯示於顯示部分的顯示資料的觸控輸入的功能，及由不同種類的軟體（程式）控制處理的功能等。

[0268] 本實施例中之結構及方法等，可與其它實施例中所述之任一結構及方法適當組合。

〈第一例〉

[0269] 於此例中，形成導電層於氧化物半導體層上，且層疊之間的元素傳輸由 SIMS 所檢視，且將討論其結果。

[0270] 第 11A 及 11B 圖各揭示於對樣本熱處理之前

及之後的氧同位素 (^{18}O) 特徵於深度方向由 SIMS 分析的結果，每個樣本為具有由濺鍍法製造之 IGZO 層及鎢層的層疊。值得注意的是，IGZO 層由具有含有 In : Ga : Zn 的原子比為 1 : 1 : 1 或 1 : 3 : 2 的濺鍍標靶及沉積氣體含有 Ar 及 O_2 (^{18}O) 的流速比為 2 : 1 的 DC 濺鍍法形成。鎢層由具有鎢濺鍍標靶及 100 百分比 Ar 的氣體作為濺鍍氣體的 DC 濺鍍法形成。值得注意的是，各執行熱處理於攝氏 300 度、攝氏 350 度、攝氏 400 度及攝氏 450 一小時，並且包含未經熱處理的樣本的五個樣本相互比較。

[0271] 此處，由具有含有 In : Ga : Zn 的原子比為 1 : 1 : 1 的濺鍍標靶形成的 IGZO 層係結晶，並且由具有含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的濺鍍標靶形成的 IGZO 層係非晶。

[0272] 如第 11A 及第 11B 圖中所示，當熱處理的溫度上升時，不論氧化物半導體層的組成（結晶程度），氧化物半導體層的氧帶入鎢層。

[0273] 因為電晶體的製造過程涉及一些熱處理步驟，氧空缺產生於氧化物半導體層與源極電極或汲極電極接觸的區域，並且此區域變為 n 型。因此，此 n 型區域可作為電晶體的源極或汲極。

[0274] 第 12A 及 12B 圖各揭示樣本的 SIMS 的分析結果，每個樣本利用氮化鉭層取代鎢層製成。氮化鉭層由具有鉭的濺鍍標靶及含有 Ar 與 N_2 的流動速率比為 5 : 1 的沉積氣體的反應濺鍍法（DC 濺鍍法）形成。值得注意

的是，熱處理執行於與前述相似的四個條件，並且包含未經熱處理的樣本的五個樣本相互比較。

[0275] 第 12A 揭示樣本的 SIMS 的分析結果，每個樣本各製造為具有 In : Ga : Zn 的原子比為 1 : 1 : 1 的 IGZO 層及氮化鉍層的層疊。於任一樣本中，未觀測到氧傳輸至氮化鉍層（氧帶入其中），且其行為與第 11A 圖中具有鎢層的樣本不同。第 12B 圖揭示樣本的 SIMS 分析結果，每個樣本各形成為具有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 IGZO 層及氮化鉍層的層疊。於任一樣本中，未觀測到氧傳輸至氮化鉍層（氧帶入其中），且其行為與第 11B 圖中具有鎢層的樣本不同。因此，可以說是氮化鉍層係不易與氧結合的層，氧不易帶入其中。

[0276] 第 13A 及 13B 圖各揭示每個利用氮化鈦層取代鎢層而製造的樣本的 SIMS 分析結果。氮化鈦層由具有鈦的濺鍍標靶及含有 100 百分比 N_2 的氣體作為沉積氣體的反應濺鍍法（DC 濺鍍法）形成。熱處理執行於與前述相似的四個條件，並且包含未經熱處理的樣本的五個樣本相互比較。

[0277] 第 13A 揭示樣本的 SIMS 的分析結果，每個樣本各製造為具有 In : Ga : Zn 的原子比為 1 : 1 : 1 的 IGZO 層及氮化鈦層的層疊。於任一樣本中，未觀測到氧傳輸至氮化鈦層（氧帶入其中），且其行為與第 11A 圖中具有鎢層的樣本不同。第 13B 圖揭示樣本的 SIMS 分析結果，每個樣本各形成為具有 In : Ga : Zn 的原子比為 1 :

3：2 的 IGZO 層及氮化鈦層的層疊。於任一樣本中，未觀測到氧傳輸至氮化鈦層（氧帶入），且其行為與第 11B 圖中具有鎢層的樣本不同。因此，可以說是氮化鈦層係不易與氧結合的層，氧不易帶入其中。

[0278] 再來，IGZO 層的雜質傳輸由 SIMS 分析所檢視，且其結果如下所述。

[0279] 第 14A 及 14B 圖各顯示於對樣本熱處理之前及之後的氮特徵於深度方向由 SIMS 分析的結果，每個樣本為具有由濺鍍法製造之氮化鈹層或氮化鈦層於 IGZO 層上。值得注意的是，IGZO 層由具有含有 In：Ga：Zn 的原子比為 1：1：1 的濺鍍標靶及沉積氣體含有 Ar 及 O₂ 的流速比為 2：1 的 DC 濺鍍法形成。氮化鈹層及氮化鈦層由前述之方法形成。值得注意的是，熱處理執行於攝氏 400 度一小時，並且包含未經熱處理的樣本的二個樣本相互比較。

[0280] 如第 14A 及第 14B 圖中所示，於每一樣本，未觀察到氮傳輸至 IGZO 層。因此，於 IGZO 層中作為施體的氮未由氮化鈹層或氮化鈦層廣泛傳輸至 IGZO 層。因此，電晶體中的通道形成區域未作成具有 n 型導電率。

[0281] 第 15A 及 15B 圖分別揭示與第 14A 及第 14B 圖中所揭示之相似之鈹及鈦特徵於樣本中深度方向的 SIMS 分析結果。如第 15A 及 15B 圖中所示，未觀測到鈹或鈦傳輸至 IGZO 層。因此，可能作為影響電子特性的雜質的鈹或鈦未由氮化鈦層或氮化鈹層廣泛傳輸進入 IGZO

層。

[0282] 上述結果顯示導電氮化層例如氮化鋁或氮化鈦係不易與氧結合的層，或是不易帶入氧於其中的層，並且此種導電氮化物的氮及金屬元素不易傳輸至氧化物半導體層。

[0283] 值得注意的是，此例可以與本說明書中之任一實施例或其它例子適當組合。

〈第二例〉

[0284] 於此例中，將敘述氧化物半導體層於移除形成於氧化物半導體層上的氧化物層後的面電阻值的量測結果。

[0285] 第 16 圖揭示樣本的面電阻量測結果，每個樣本由相對於 IGZO 層蝕刻的深度製造，敘述如下。IGZO 層由濺鍍法形成，鎢層或氮化鈦層由濺鍍法層疊於 IGZO 層上，而後移除鎢層或氮化鈦層。另製造導電層未形成於 IGZO 層上的樣本作為比較。值得注意的是，IGZO 層由具有含有 In : Ga : Zn 的原子比為 1 : 1 : 1 的濺鍍標靶及沉積氣體含有 Ar 及 O₂ (¹⁸O) 的流速比為 2 : 1 的 DC 濺鍍法形成。鎢層由具有鎢濺鍍標靶及 100 百分比 Ar 的氣體用以作為濺鍍氣體的 DC 濺鍍法形成。氮化鈦層由具有鈦的濺鍍標靶及含有 100 百分比 N₂ 的氣體作為沉積氣體的反應濺鍍法 (DC 濺鍍法) 形成。鎢層及氮化鈦層利用過氧化氫水溶液蝕刻。IGZO 層利用過氧化氫水溶液及氨的

混合溶液蝕刻。蝕刻前後存在的 IGZO 層厚度利用光譜橢圓偏振器量測以得到 IGZO 層的蝕刻深度。

[0286] 如第 16 圖中所示鎢層形成於 IGZO 層上的樣本中，形成於距離 IGZO 層表面深度約 5 nm 處的 IGZO 層區域的電阻降低。這表示，例如，形成低電阻的 IGZO 及鎢的混合層於 IGZO 層的接近表面區域中，並且這是因為存在 IGZO 層中的氧帶入鎢層造成的氧空缺而形成 n 型區域。

[0287] 另一方面，於氮化鈦層形成於 IGZO 層上的樣本中，與導電層未形成於 IGZO 層上的樣本中，每個 IGZO 層的電阻未減少。這表示，例如，氮化鈦不會輕易帶入 IGZO 層中，且 IGZO 層中的氧不會輕易帶入氮化鈦層中。

[0288] 第 17A 圖揭示樣本的面電阻量測結果，每個樣本由相對於 IGZO 層蝕刻的深度製造，敘述如下。IGZO 層由濺鍍法形成，鎢層或氮化鈦層由濺鍍法層疊於 IGZO 層上，進行熱處理，而後移除鎢層或氮化鈦層。另製造導電層未形成於 IGZO 層上的樣本作為比較。值得注意的是，IGZO 層的及鎢層或氮化鈦層的形成，以及鎢層或氮化鈦層的移除以與上述相似的方式執行。熱處理執行於攝氏 400 度於 N_2 氣氛下一小時。

[0289] 如第 17A 中所示，於任一樣本中，IGZO 層的電阻下降。此處，於鎢層形成於 IGZO 層上的樣本中，IGZO 層的電阻於接近其表面處減少最多，並且有最大的

深度。這表示鎢層最易於從 IGZO 層帶入氧於其間。此外，氮化鈦層形成於 IGZO 層上的樣本與導電層未形成於 IGZO 層上的樣本具有相似的表現。也就是，於鎢層於 IGZO 層上的樣本中，IGZO 層的電阻由 IGZO 層中的氧帶入鎢層而降低，而於氮化鈦層形成於 IGZO 層上的樣本中，IGZO 層中的氧被釋放並傳輸穿越氮化鈦層並進入上側。此結果與揭示於第一例中的 SIMS 分析結果相當吻合。

[0290] 第 17B 圖揭示樣本的面電阻量測結果，每個樣本由相對於 IGZO 層蝕刻的深度製造，敘述如下。氧化矽層由濺鍍形成，IGZO 層由濺鍍法形成於氧化矽層上，鎢層或氮化鈦層由濺鍍法層疊於 IGZO 層上，進行熱處理，而後移除鎢層或氮化鈦層。另製造導電層未形成於 IGZO 層上的樣本作為比較。氧化矽層由具有係濺鍍標靶及 100 百分比 O_2 的氣體作為沉積氣體的反應濺鍍法（DC 濺鍍法）形成。值得注意的是，IGZO 層的及鎢層或氮化鈦層的形成，以及鎢層或氮化鈦層的移除以與上述相似的方式執行。熱處理執行於攝氏 400 度於 N_2 氣氛下一小時。

[0291] 如第 17B 圖中所示，IGZO 層中電阻下降的區域，相較於揭示於第 17A 圖中所得到的結果，於厚度方向具有較小的厚度。這表示氧經由熱處理從二氧化矽層供予 IGZO 層，並且 IGZO 層中的氧空缺減少。因此，IGZO 層的電阻增加。使用具有能釋放氧氣的層提供於 IGZO 層下

的方式，可控制 IGZO 層的電阻減少的區域的厚度。

[0292] 如前所述，有以下的發現。易於帶入氧於其中的導電層例如鎢層形成接觸 IGZO 層，因而 IGZO 層中與導電層接觸且接近導電層的區域的電阻可減少。另外，IGZO 層電阻減少的區域，可由熱處理而變深。此外，具有釋放氧能力的層接近 IGZO 層，可控制電阻減少區域的厚度。

[0293] 值得注意的是，此例可以與本說明書中之任一實施例或其它例子適當組合。

〈第三例〉

[0294] 於此例中，製造氧由離子佈植法加入氧化物半導體層的樣本。所得結果由熱吸收光譜儀（TDS）分析樣本並評估此處層的密度於下所述。

[0295] 首先，敘述製成的樣本。由電漿 CVD 法形成氧氮化矽層於接受於含有 HCl 的氣氛下進行熱氧化處理的矽基板上。再來，氧氮化矽層的表面由 CMP 法接受平面化製程。此後，IGZO 層形成於氧氮化矽層上，並且氧離子（ O^+ ）由離子佈植法加入 IGZO 層中。此處，IGZO 層由具有含有 In：Ga：Zn 的原子比為 1：3：2 的濺鍍標靶及沉積氣體含有 Ar 及 O_2 的流速比為 2：1 的 DC 濺鍍法形成。於下條件加入氧離子：加速度電壓為 5 kV 且摻雜為 1.0×10^{16} ions/cm²。此外，亦準備氧離子未加入的樣本作為比較樣本。

[0296] 第 18A 揭示量測由 TDS 分析，從氧離子未加入的樣本中釋放的具有質量數 32 的氣體的量。峰值表示未觀測到釋放具有質量數 32 的氣體於約攝氏 50 度至約攝氏 550 度的範圍中。第 18B 圖揭示，由 TDS 分析，從氧離子加入的樣本中釋放的具有質量數 32 的氣體的量。顯著的峰表示觀測到釋放具有質量數 32 的氣體於約攝氏 400 度至約攝氏 500 度的範圍中。因此，發現當氧離子加入氧化物半導體層中，超量的氧可保持於氧化物半導體層中，且當加熱加入氧離子的氧化物半導體層，超量的氧從氧化物半導體層釋出。因此，提供此種加入氧離子的氧化物半導體層接觸電晶體的通道形成區的氧化物半導體層並對其執行熱處理，其間氧可以效率地從加入氧離子的氧化物半導體層供給至電晶體通道形成區的氧化物半導體層。

[0297] 加入氧離子的樣本與未加入氧離子的樣本的氧化物半導體層的層密度由 X 光反射儀 (XRR) 量測。

[0298] 首先，敘述製成的基板的製造方法。由電漿 CVD 法形成氧氮化矽層於接受於含有 HCl 的氣氛下進行熱氧化處理的矽晶圓上，並且氧離子 (O^+) 由離子佈植法加入氧氮化矽層中，其後，氧氮化矽層的表面由 CMP 法進行平面化製程。此後，IGZO 層形成於氧氮化矽層上，並且氧離子 (O^+) 由離子佈植法加入 IGZO 層中。此處，形成 IGZO 層與加入氧離子予 IGZO 層以與上述相似的條件下執行。於下述條件加入氧離子於氮氧化層中：加速度電壓為 60 kV 且摻雜為 2.0×10^{16} ions/cm²。亦製造氧離子

未加入的樣本作為比較。

[0299] 由 XRR 量測層密度的結果，氧離子未加入的樣本的層密度係 5.8 g/cm^3 ，並且加入氧離子的樣本的層密度係 5.6 g/cm^3 。因此，發現氧化物半導體層的層密度由加入氧離子而減少。這顯示由加入的氧離子，氧化物半導體層可具有更無序的原子排列，亦即，氧化物半導體層可修改成為顯著非晶。例如，於當具有結晶的氧化物半導體層層疊於氧化物半導體層上，並且下層的氧化物半導體層具有不同的結晶結構，與某些情況上層的氧化物半導體層的結晶程度下降。即使於此種情況，於上層氧化物半導體層形成前，氧離子加入下層的氧化物半導體層以使其成為非晶，上層的氧化物半導體層可具有提升的結晶程度。

[0300] 值得注意的是，此例可以與本說明書中之任一實施例或其它例子適當組合。

[0301] 本發明係基於申請於 2012 年 10 月 17 日之日本專利申請案號 No. 2012-230365，全部內容併同參考。

【符號說明】

[0302]

200：區域

250：記憶體單元

251：記憶體單元陣列

251a：記憶體單元陣列

251b：記憶體單元陣列

253 : 周邊電路
254 : 電容
260 : 電晶體
262 : 電晶體
264 : 電容
302 : 氧
310 : 電晶體
320 : 電晶體
330 : 電晶體
340 : 電晶體
350 : 電晶體
400 : 基板
402 : 基底絕緣層
404 : 氧化物層疊
404a : 氧化物層
404b : 氧化物半導體層
404c : 氧化物層
405 : 區域
406a : 源極電極層
406b : 汲極電極層
407 : 氧化物層疊
407a : 氧化物層
407b : 氧化物半導體層
407c : 氧化物層

408a：源極電極層
 408b：汲極電極層
 410：閘極絕緣層
 412：閘極電極層
 412a：閘極電極層
 412b：閘極電極層
 414：保護絕緣層
 422a：電極層
 422b：電極層
 424：層間絕緣層
 801：電晶體
 802：電晶體
 803：電晶體
 804：電晶體
 811：電晶體
 812：電晶體
 813：電晶體
 814：電晶體
 901：射頻電路
 902：類比基頻電路
 903：數位基頻電路
 904：電池
 905：電源供應電路
 906：應用處理器

907：中央處理器
908：數位訊號處理器
910：快閃記憶體
911：顯示控制器
912：記憶體電路
913：顯示器
914：顯示部分
915：源極驅動電路
916：閘極驅動電路
917：聲音處理電路
918：鍵盤
919：觸控感應器
950：記憶體電路
951：記憶體控制器
952：記憶體
953：記憶體
954：開關
955：開關
956：顯示控制器
957：顯示器
1001：電池
1002：電源供應電路
1003：微處理器
1004：快閃記憶體

1005：聲音處理電路

1006：鍵盤

1007：記憶體電路

1008：觸控面板

1009：顯示器

1010：顯示控制器

9033：繫槽

9034：切換按鍵

9035：電源開關

9036：開關

9038：運作開關

9630：外殼

9631a：顯示部分

9631b：顯示部分

9632a：區域

9632b：區域

9633：太陽能電池

9634：充電放電電路

9635：電池

9636：直流轉換元件

9638：運作鍵

9639：按鍵

發明摘要

※申請案號：102136356

※申請日：102 年 10 月 08 日

※IPC 分類：
H01L 29/78 (2006.01)
H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

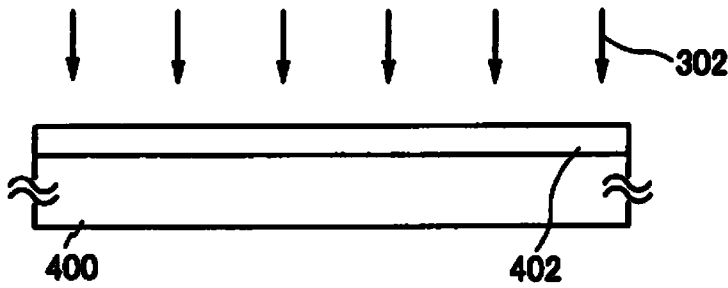
【中文】

提供一種包含氧化物半導體的高度可靠的半導體裝置，經由抑制其電子特性的變化。從形成於氧化物半導體層下之基底絕緣層及形成於氧化物半導體層上之閘極絕緣層提供氧至通道形成區域，於此處填滿可能產生的氧空缺。此外，於通道形成區域附近的氧化物半導體層，抑制源極電極層和汲極電極層從氧化物半導體層中取出氧，抑制此處可能形成於通道中的氧空缺。

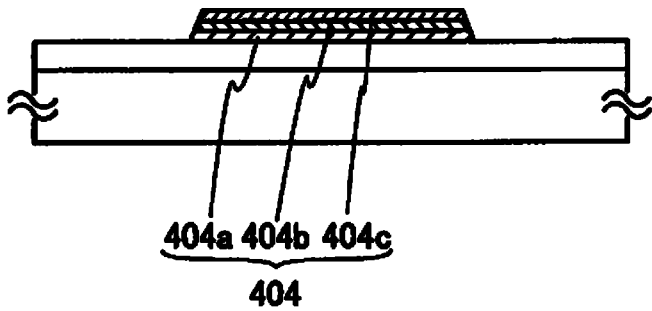
【英文】

To provide a highly reliable semiconductor device including an oxide semiconductor by suppression of change in its electrical characteristics. Oxygen is supplied from a base insulating layer provided below an oxide semiconductor layer and a gate insulating layer provided over the oxide semiconductor layer to a region where a channel is formed, whereby oxygen vacancies which might be generated in the channel are filled. Further, extraction of oxygen from the oxide semiconductor layer by a source electrode layer or a drain electrode layer in the vicinity of the channel formed in the oxide semiconductor layer is suppressed, whereby oxygen vacancies which might be generated in a channel are suppressed.

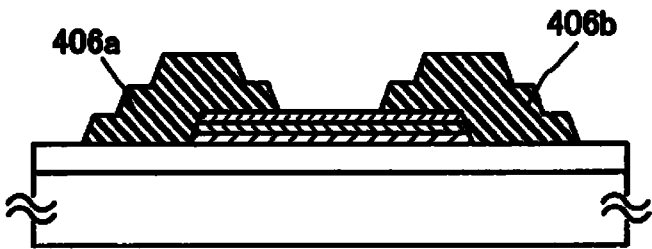
第 4A 圖



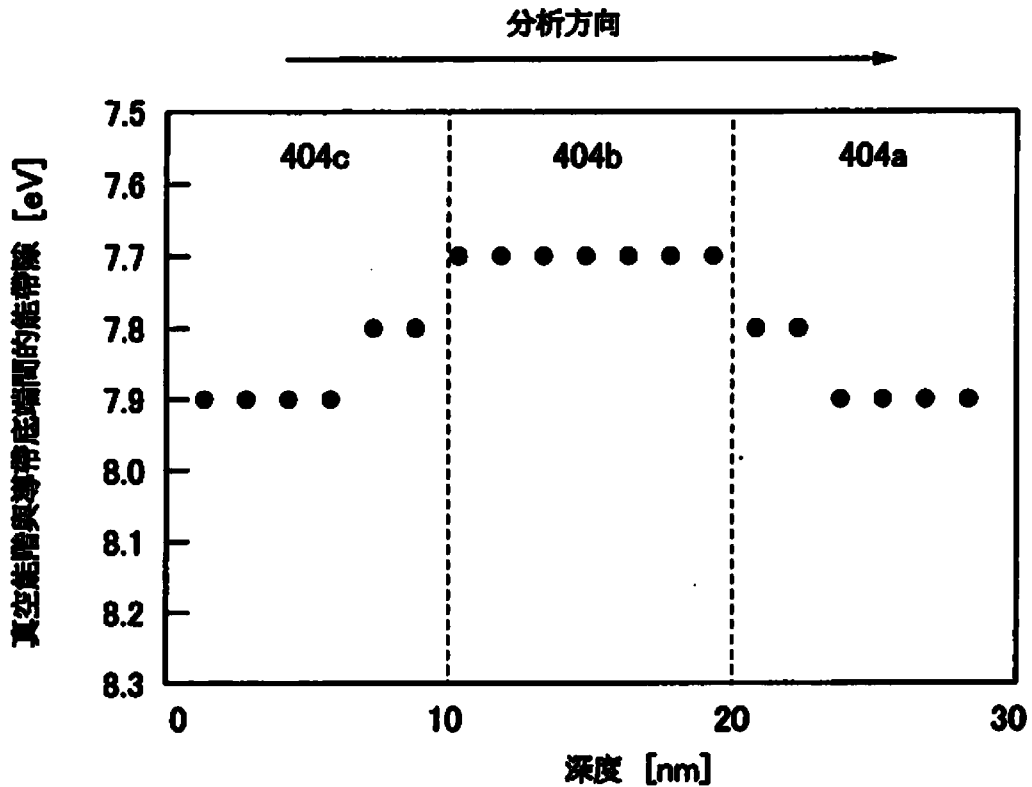
第 4B 圖



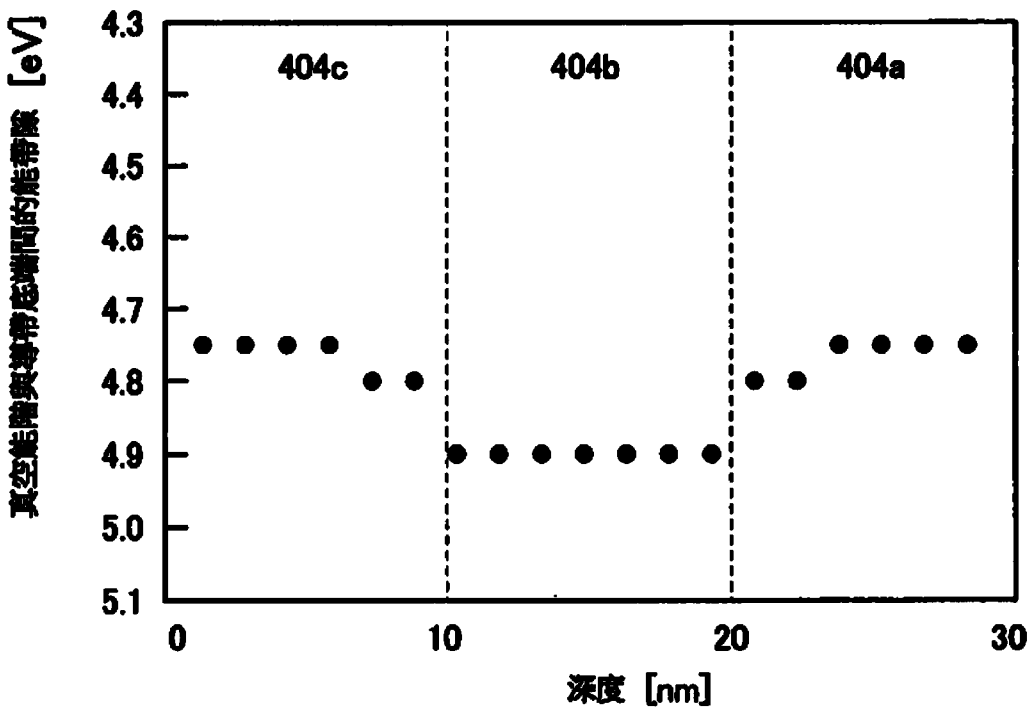
第 4C 圖



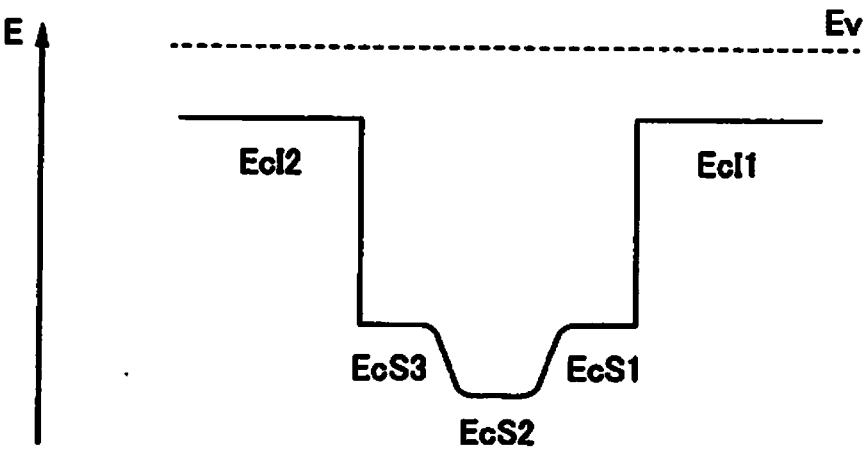
第 6A 圖



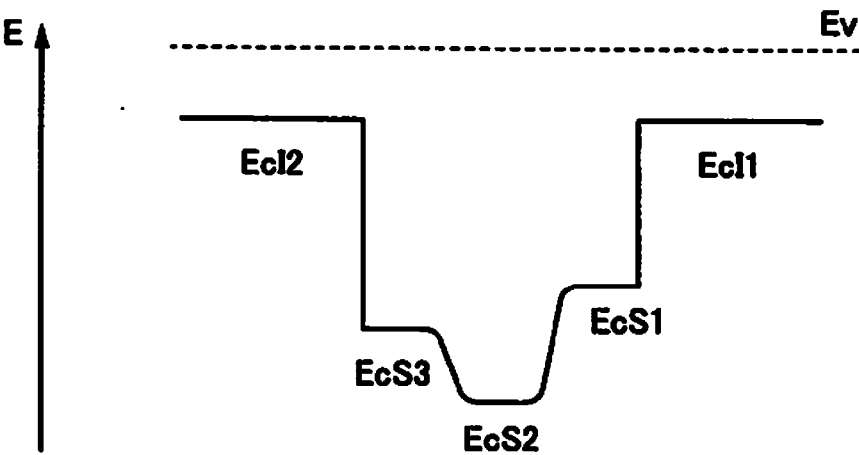
第 6B 圖



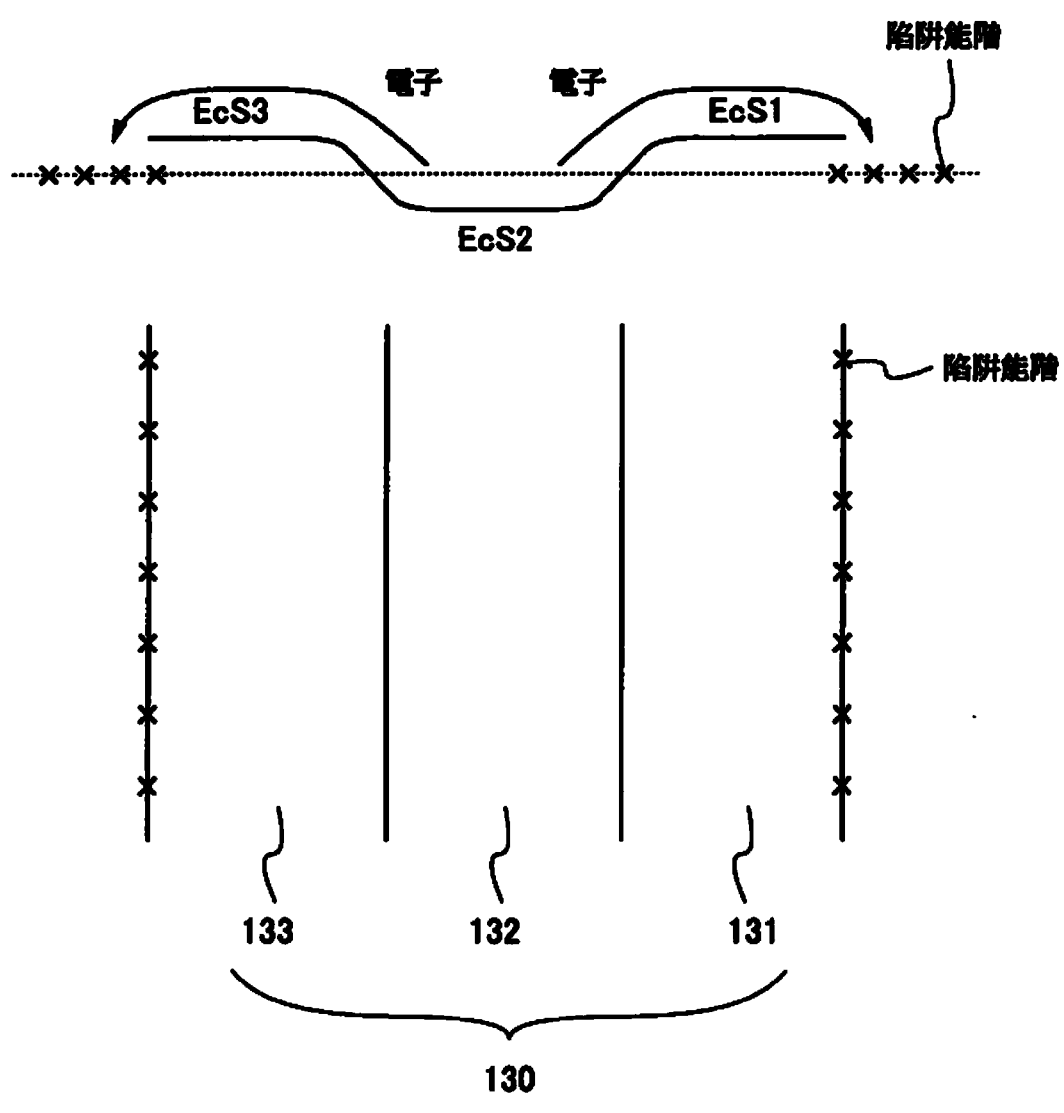
第 7A 圖



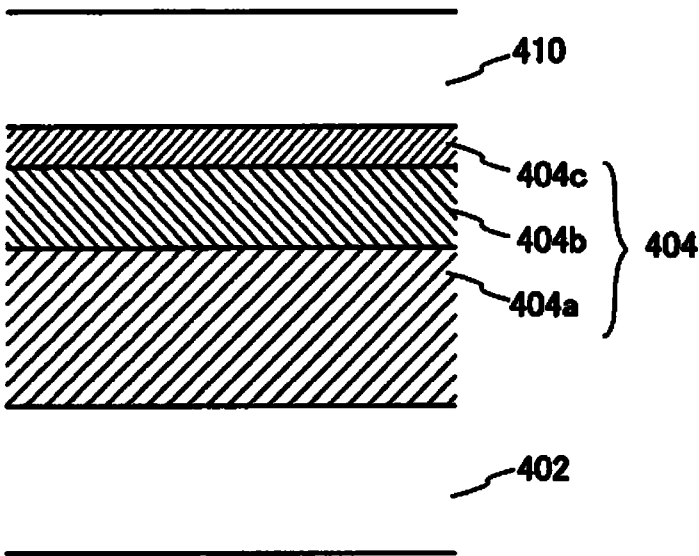
第 7B 圖



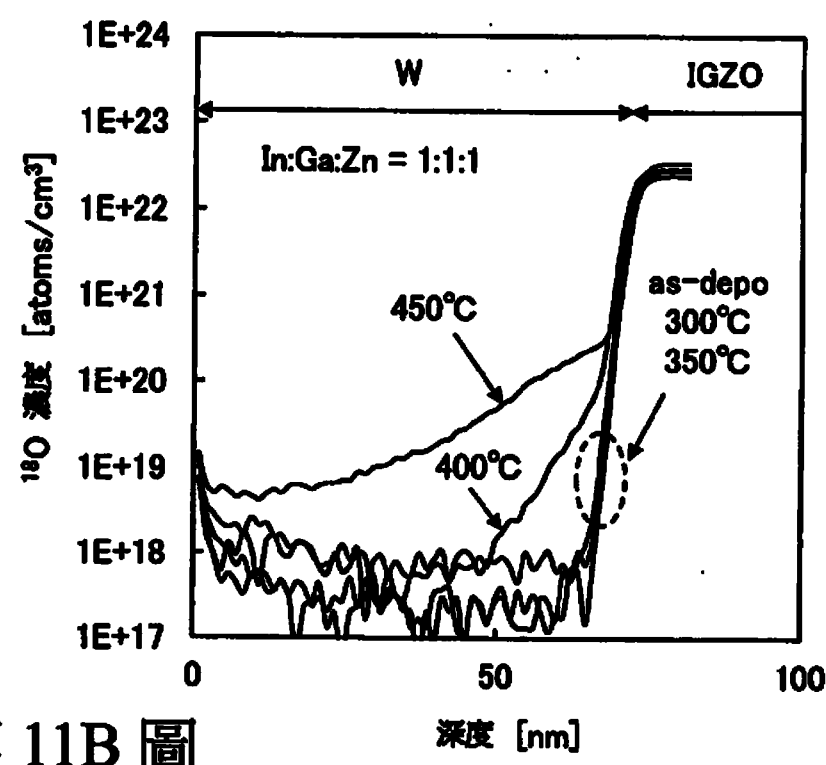
第 8 圖



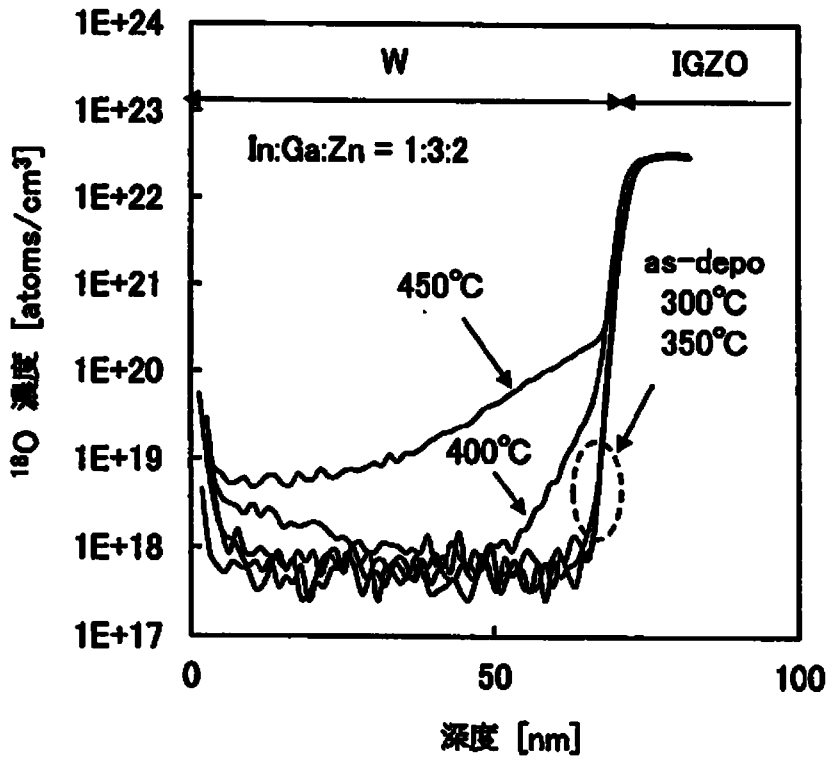
第 10 圖



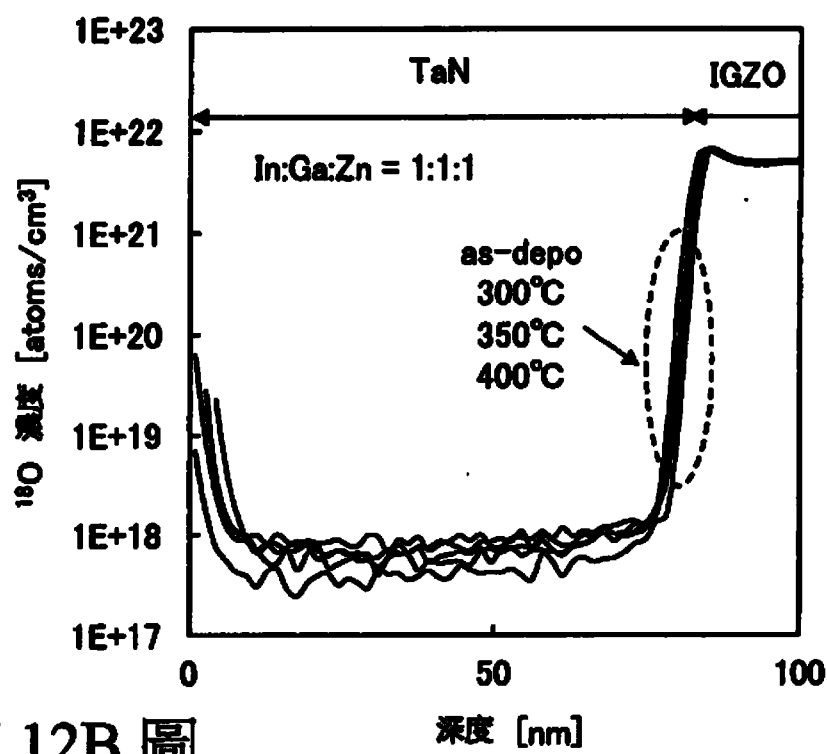
第 11A 圖



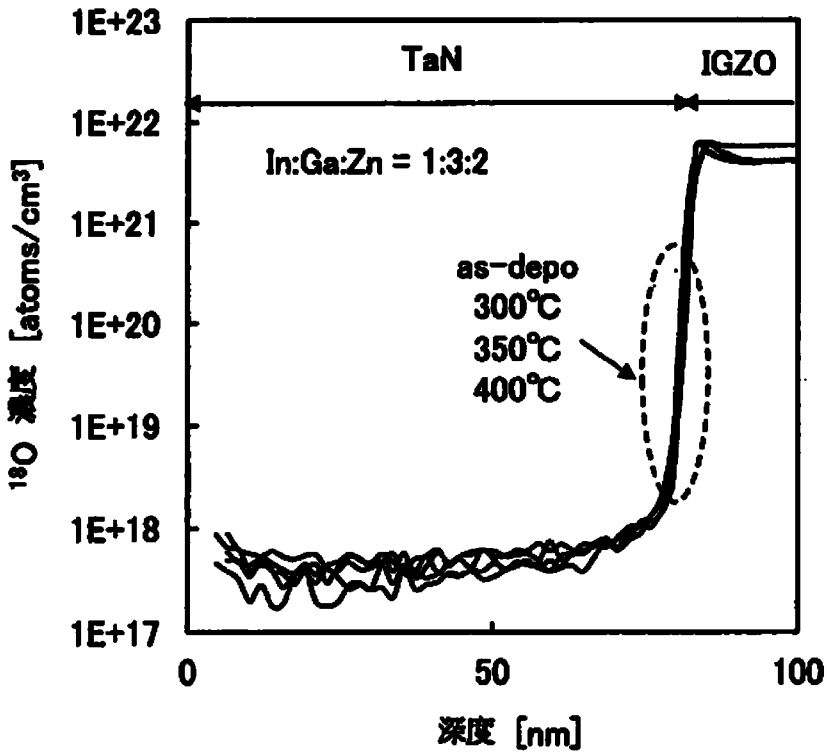
第 11B 圖



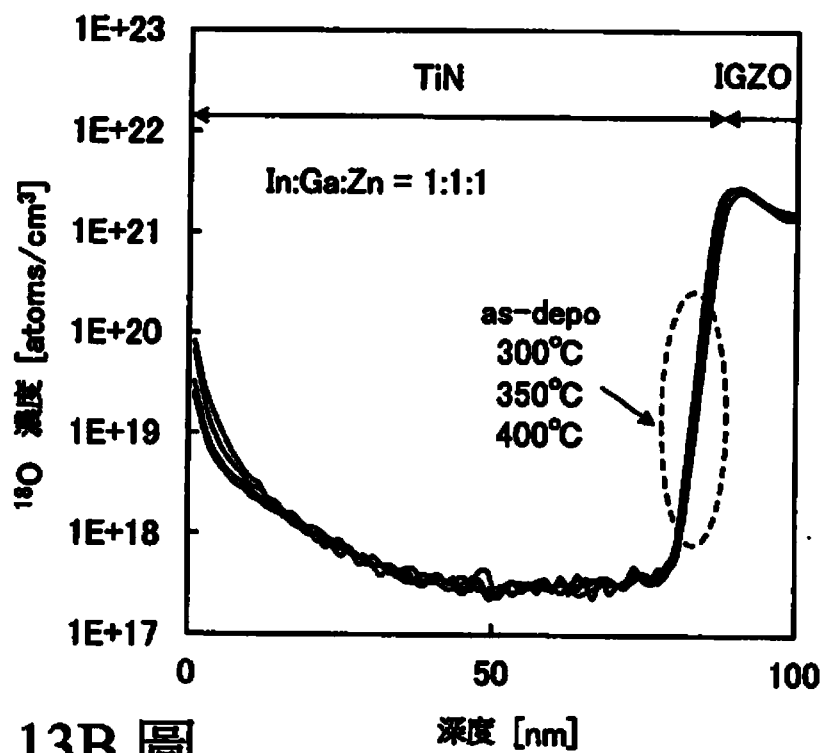
第 12A 圖



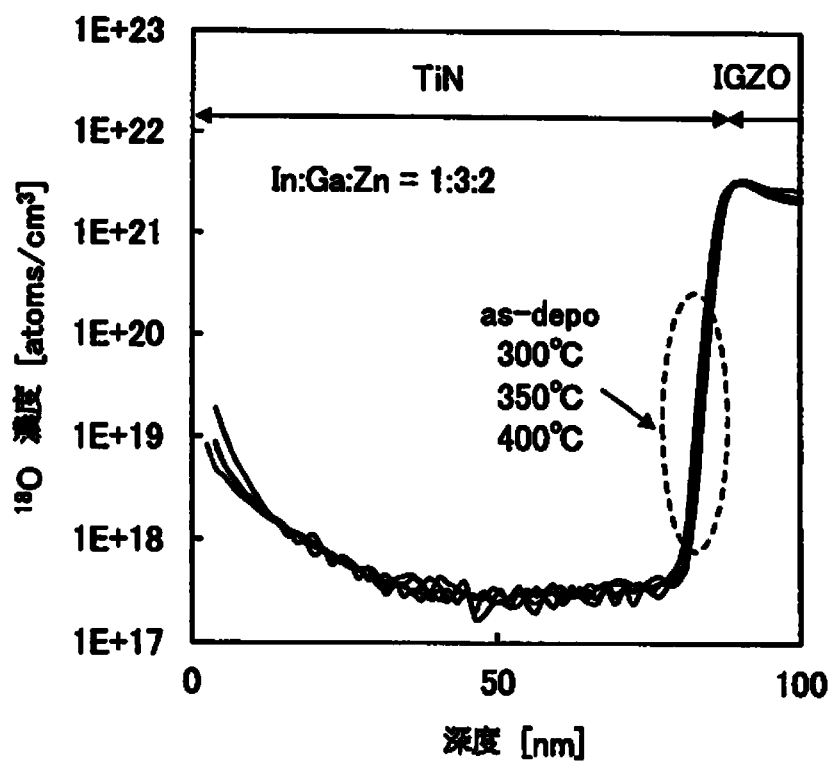
第 12B 圖



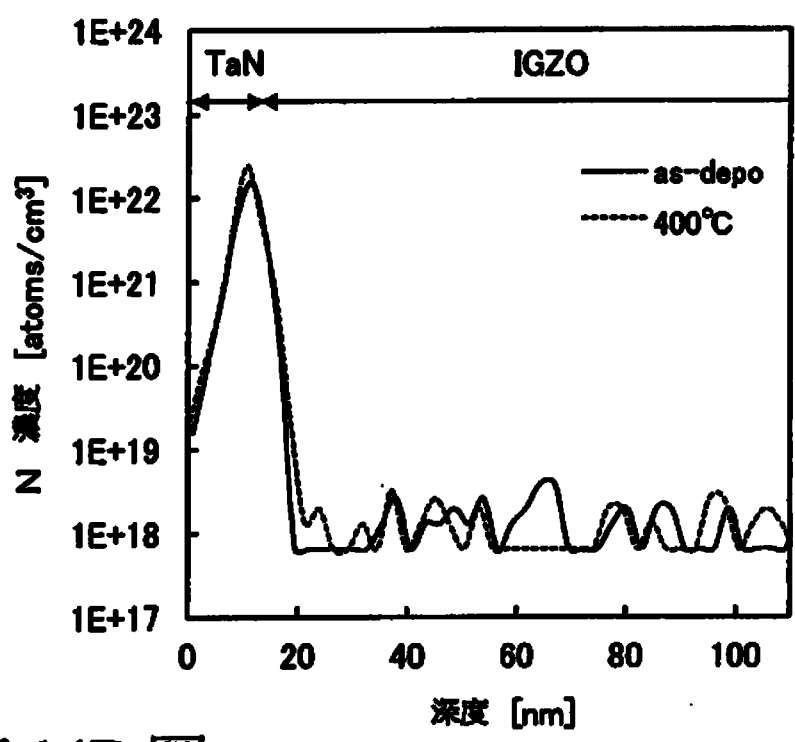
第 13A 圖



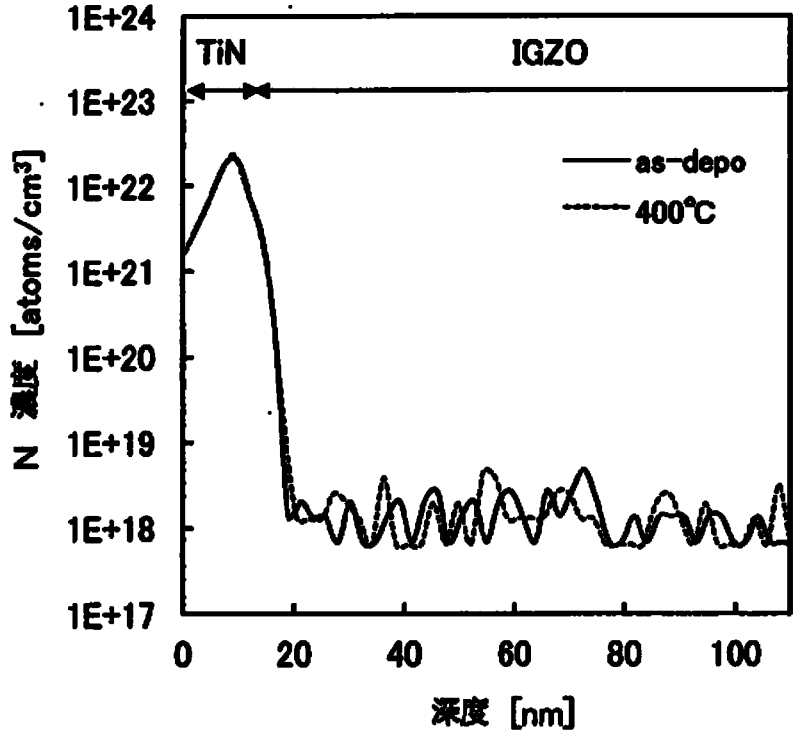
第 13B 圖



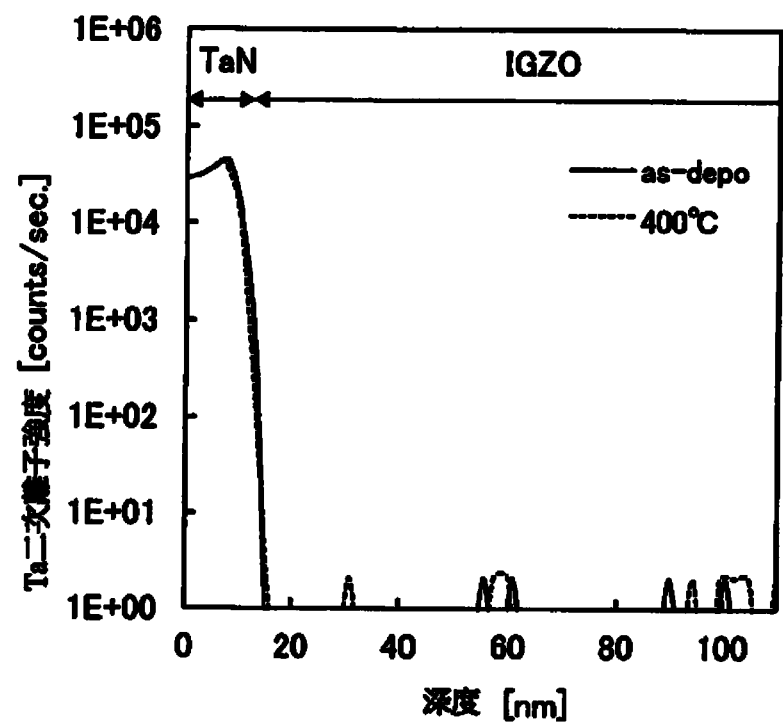
第 14A 圖



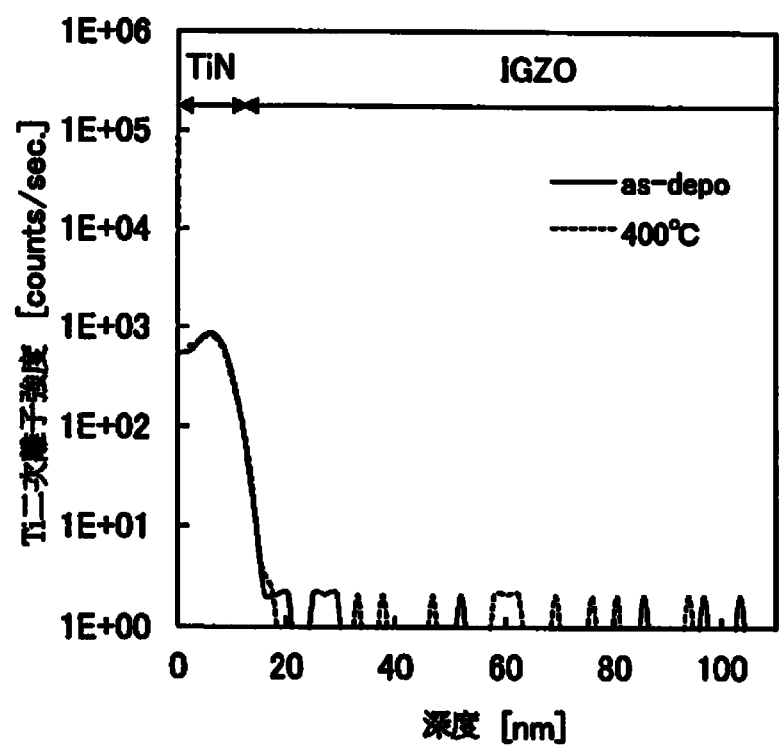
第 14B 圖



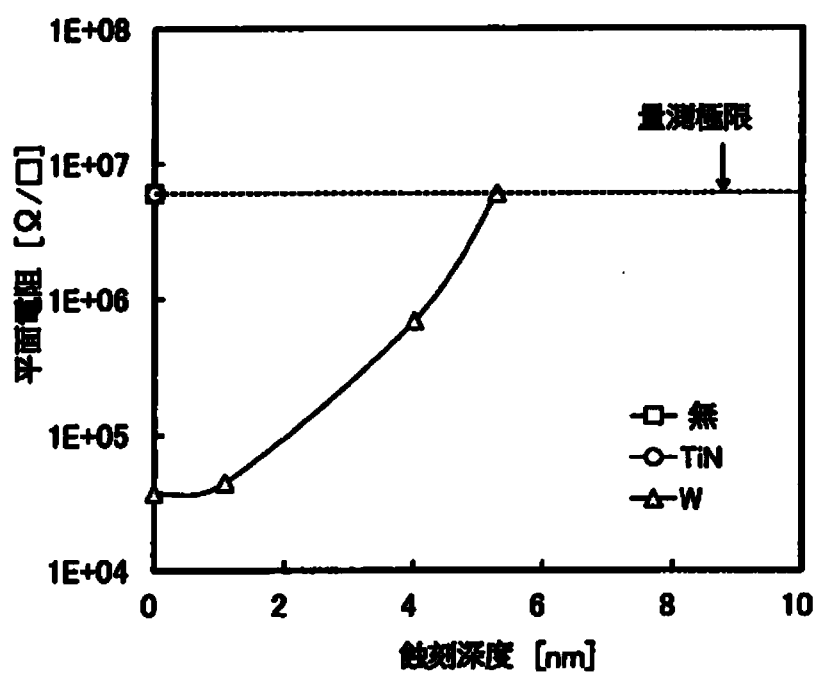
第 15A 圖



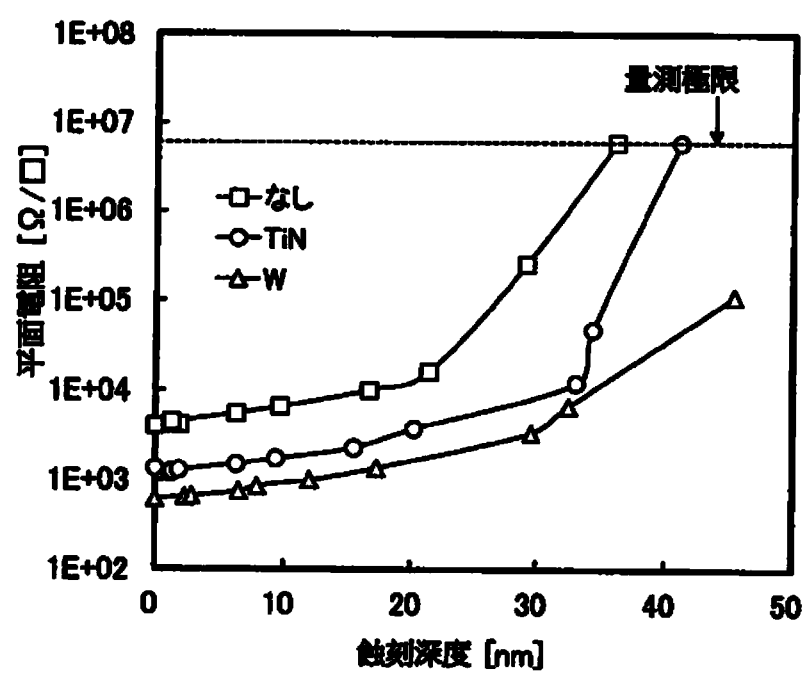
第 15B 圖



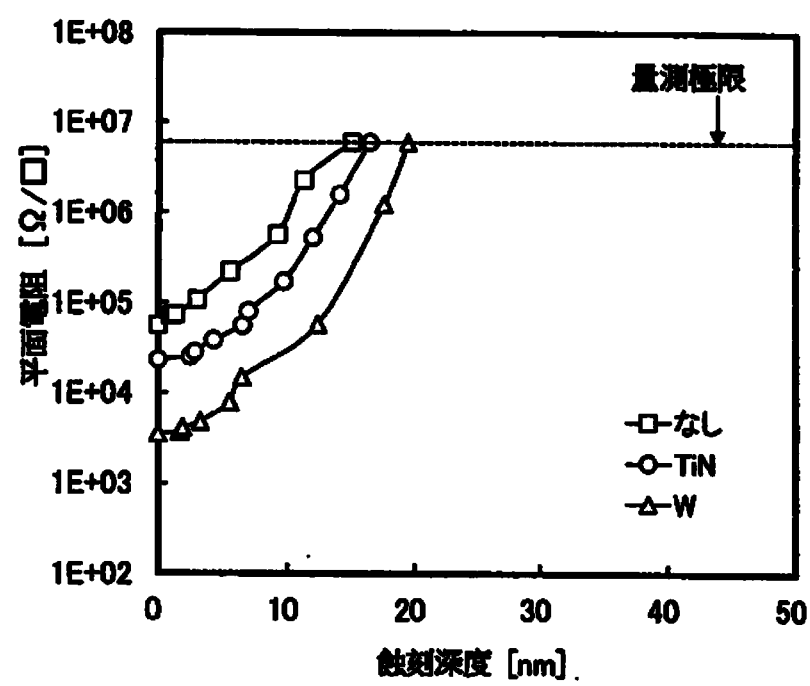
第 16 圖



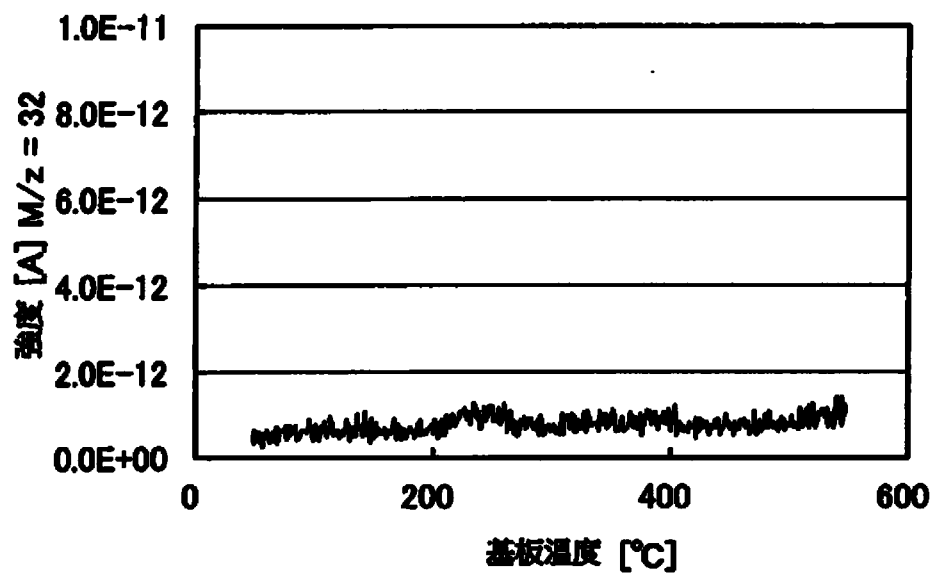
第 17A 圖



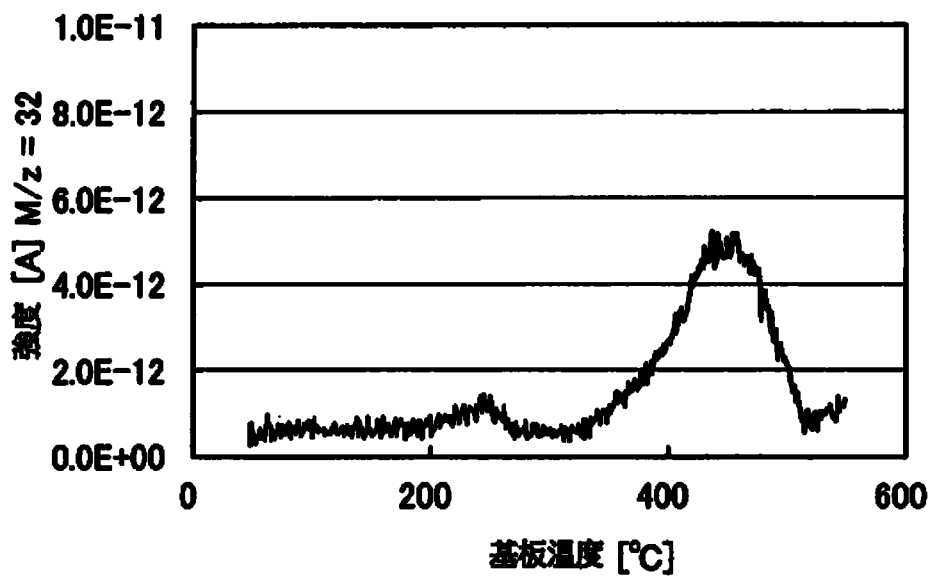
第 17B 圖



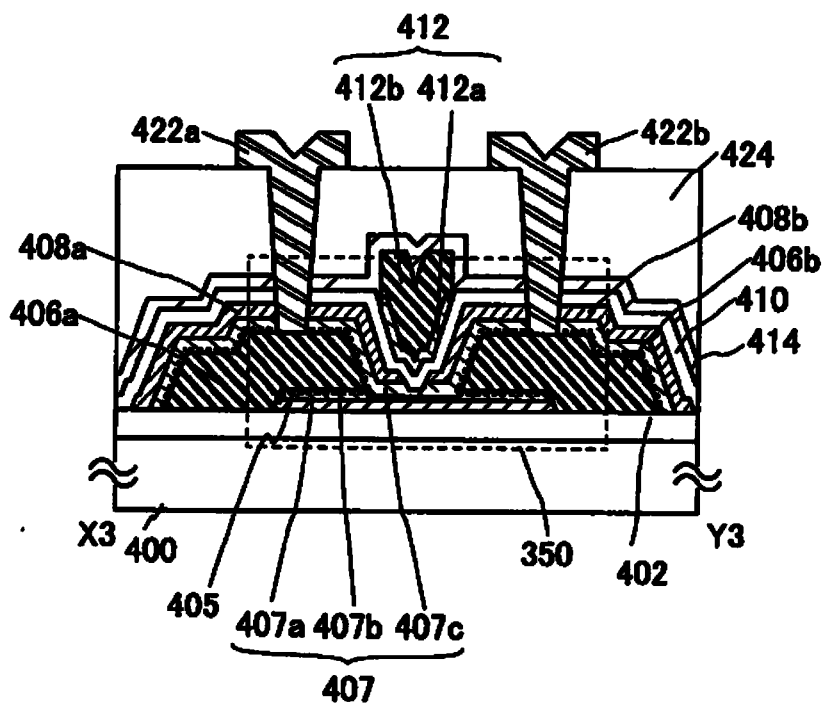
第 18A 圖



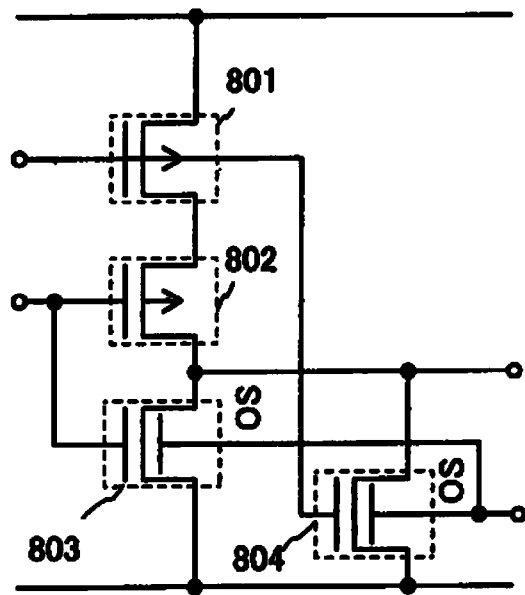
第 18B 圖



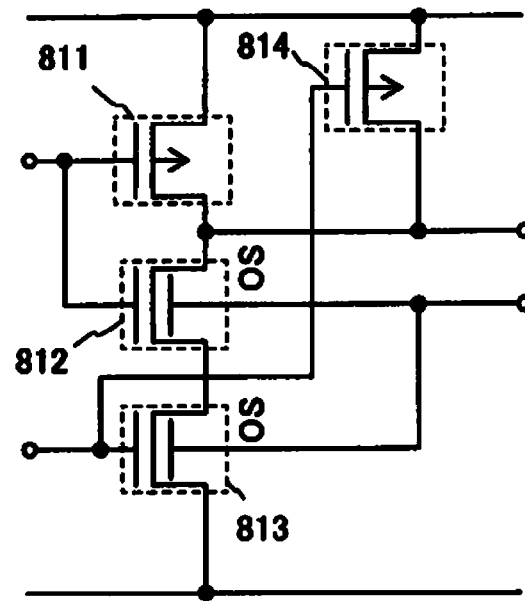
第 19 圖



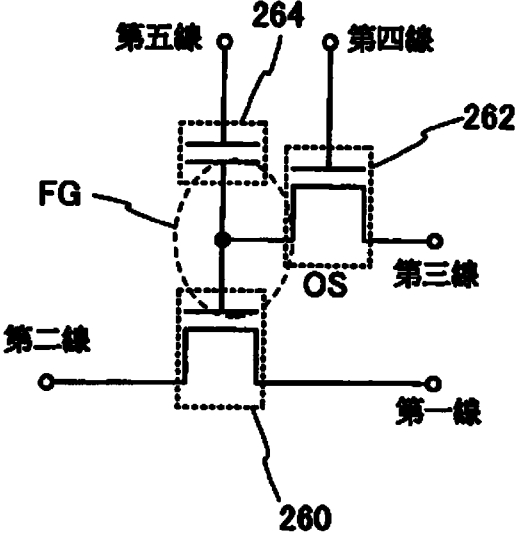
第 20A 圖



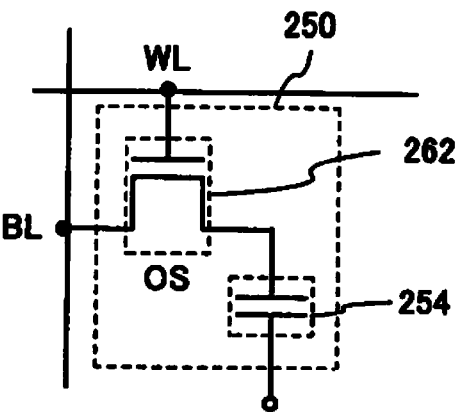
第 20B 圖



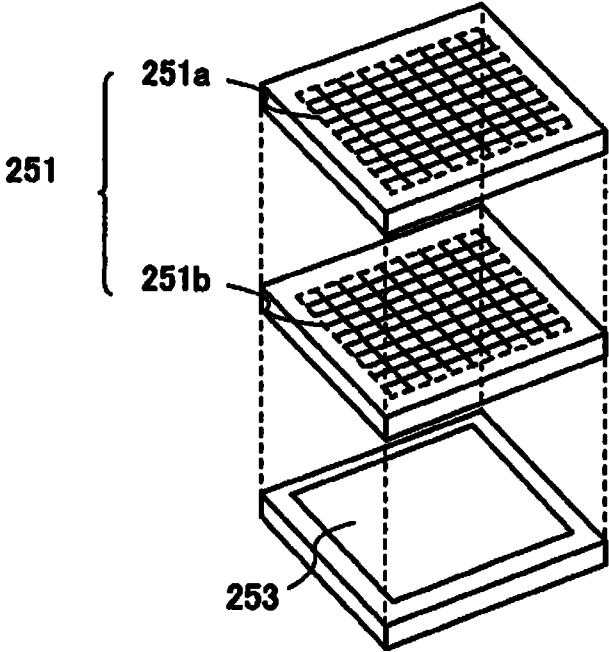
第 21A 圖



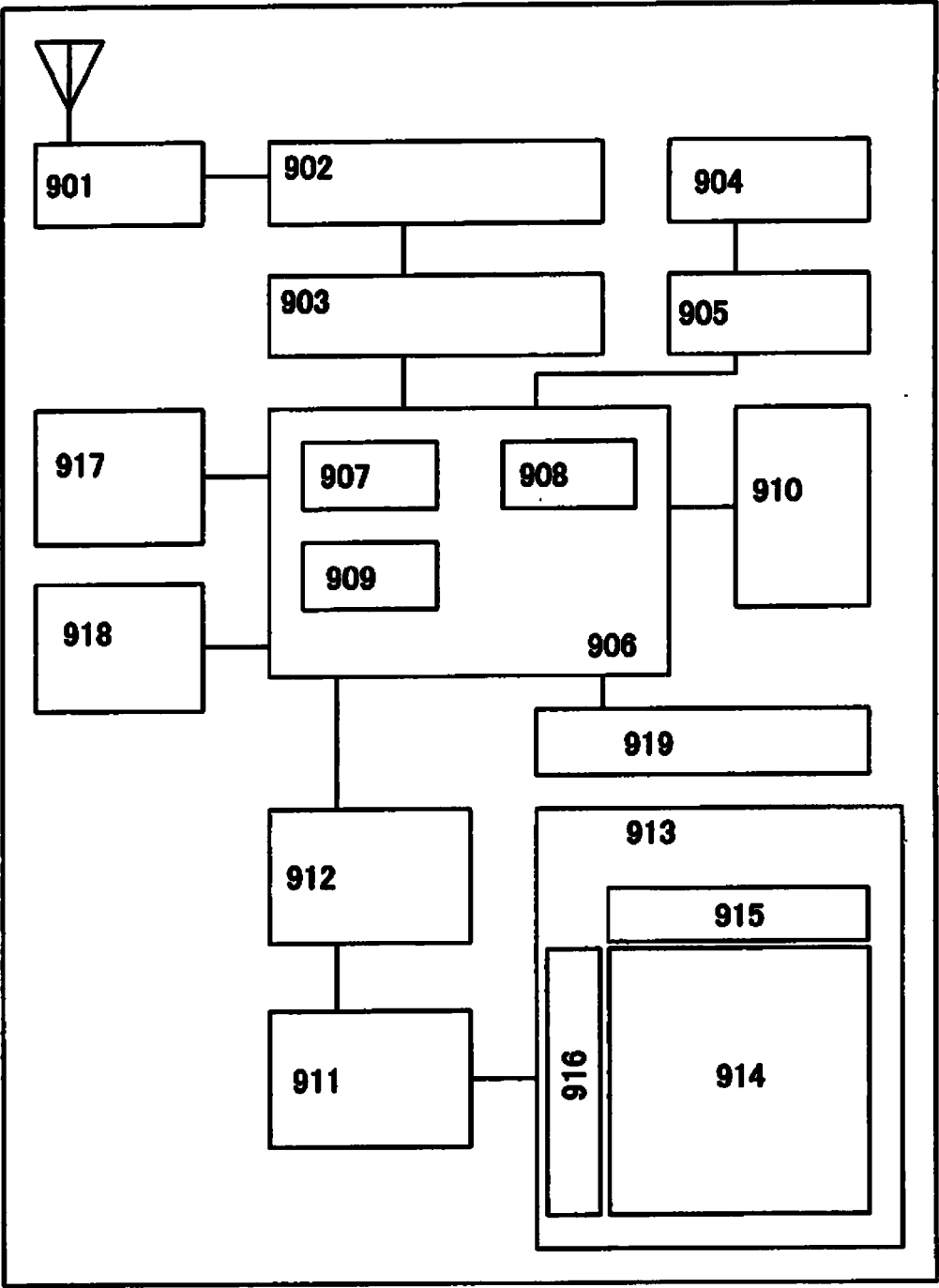
第 21B 圖



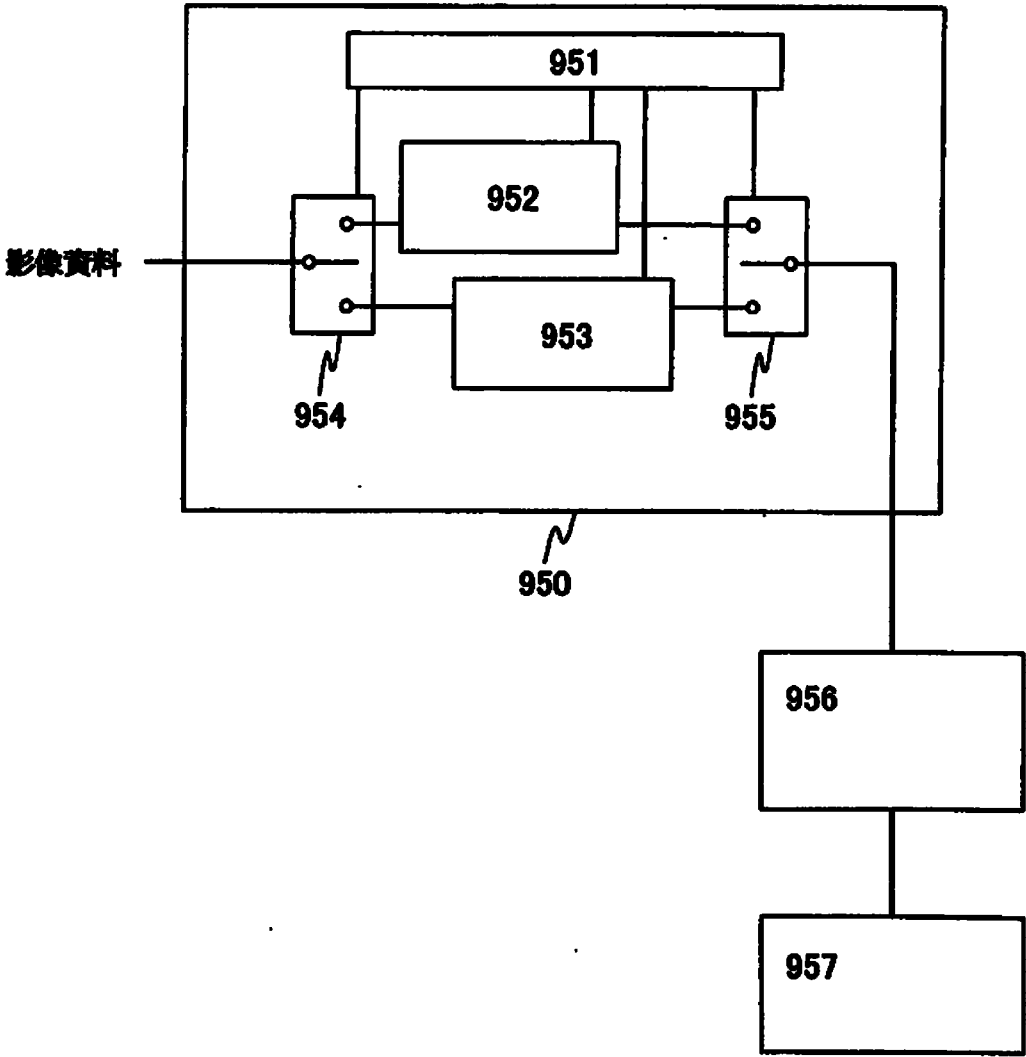
第 21C 圖



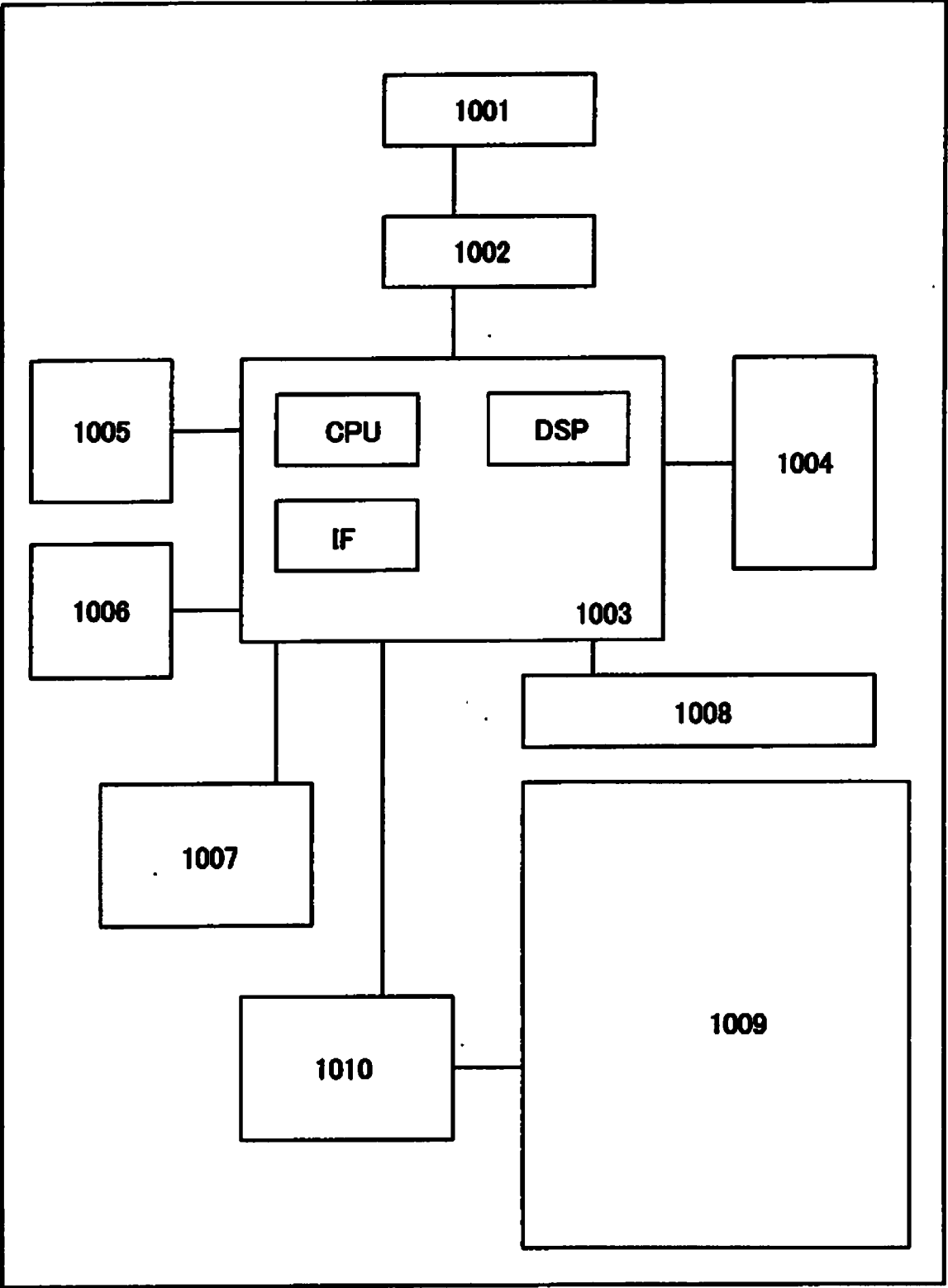
第 22 圖



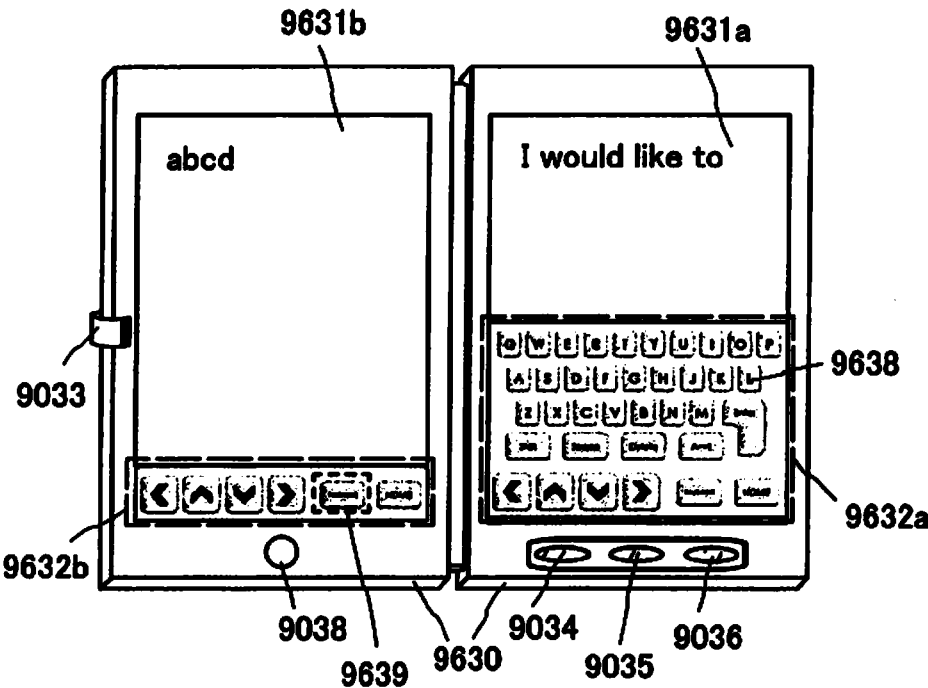
第 23 圖



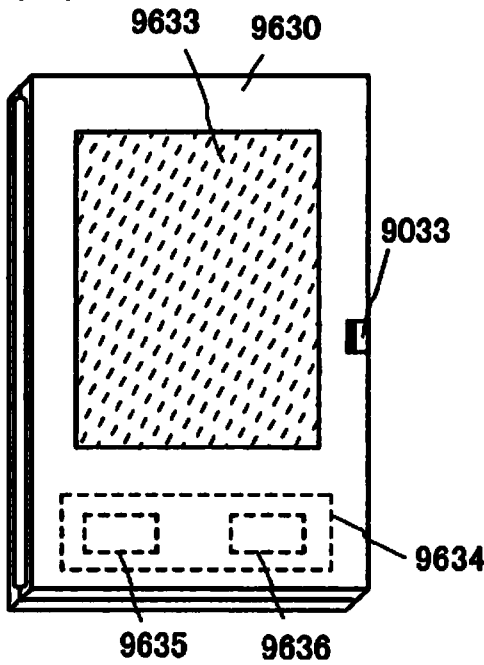
第 24 圖



第 25A 圖



第 25B 圖



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

200：區域
 310：電晶體
 400：基板
 402：基底絕緣層
 404：氧化物層疊
 404a：氧化物層
 404b：氧化物半導體層
 404c：氧化物層
 405：區域
 406a：源極電極層
 406b：汲極電極層
 408a：源極電極層
 408b：汲極電極層
 410：閘極絕緣層
 412：閘極電極層
 414：保護絕緣層
 X1：虛線方向
 Y1：虛線方向
 L0：長度
 L1-L2：距離

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
 無

申請專利範圍

1. 一種半導體裝置，包含：

基底絕緣層；

第一氧化物層於該基底絕緣層上；

氧化物半導體層於該第一氧化物層上；

第二氧化物層於該氧化物半導體層上；

第一源極電極層及第一汲極電極層各接觸該第二氧化物層之上表面；

第二源極電極層及第二汲極電極層分別於該第一源極電極層及該第一汲極電極層上，並且接觸該第二氧化物層之上表面；

閘極絕緣層於該第二源極電極層及該第二汲極電極層上，並且接觸該第二源極電極層及該第二汲極電極層之間的該第二氧化物層之上表面；以及

閘極電極層與該氧化物半導體層重疊，並且該閘極絕緣層設置於該閘極電極層與該氧化物半導體層之間，

其中，該基底絕緣層及該閘極絕緣層相互接觸，並且

其中，該第一源極電極層及該第一汲極電極層的材料比該第二源極電極層及該第二汲極電極層的材料更易與氧結合。

2. 一種半導體裝置，包含：

基底絕緣層；

第一氧化物層於該基底絕緣層上；

氧化物半導體層於該第一氧化物層上；

第一源極電極層及第一汲極電極層各接觸該氧化物半導體層之上表面；

第二氧化物層於該第一源極電極層及該第一汲極電極層上；

第二源極電極層及第二汲極電極層於該第二氧化物層上；

閘極絕緣層於該第二源極電極層及該第二汲極電極層上，並且接觸該第二源極電極層及該第二汲極電極層之間的該第二氧化物層之上表面；以及

閘極電極層與該氧化物半導體層重疊，並且該閘極絕緣層設置於該閘極電極層與該氧化物半導體層之間，

其中，該基底絕緣層及該閘極絕緣層相互接觸。

3. 如請求項第 1 或 2 項之半導體裝置，

其中，該閘極電極層與該第一源極電極層及該第一汲極電極層重疊。

4. 如請求項第 1 或 2 項之半導體裝置，

其中，該閘極電極層未與該第一源極電極層及該第一汲極電極層重疊。

5. 如請求項第 1 或 2 項之半導體裝置，

其中，該閘極電極層與該第二源極電極層及該第二汲極電極層重疊。

6. 如請求項第 1 或 2 項之半導體裝置，

其中，該閘極電極層具有層疊結構。

7. 如請求項第 1 或 2 項之半導體裝置，

其中，該基底絕緣層及該閘極絕緣層含有氧；以及

其中，該第二源極電極層及該第二汲極電極層含有氮。

8. 如請求項第 7 項之半導體裝置，

其中，每個該第二源極電極層及該第二汲極電極層係金屬氮化物層。

9. 如請求項第 1 或 2 項之半導體裝置，

其中，該氧化物半導體層包含結晶部分，並且

其中該結晶部分之 c 軸平行於該氧化物半導體層之表面的法向量。

10. 如請求項第 1 項之半導體裝置，

其中，該第二源極電極層及該第二汲極電極層分別覆蓋該第一源極電極層及該第一汲極電極層。

11. 如請求項第 1 項之半導體裝置，

其中，該第一源極電極層及該第一汲極電極層接觸該第一氧化物層、該氧化物半導體層及該第二氧化物層之側表面。

12. 如請求項第 2 項之半導體裝置，

其中，該第一源極電極層及該第一汲極電極層接觸該第一氧化物層及該氧化物半導體層之側表面。

13. 如請求項第 2 項之半導體裝置，該半導體裝置更包含第三源極電極層及第三汲極電極層，

其中，該第三源極電極層經由設置於該第二氧化物

層、該第二源極電極層及該閘極絕緣層中之第一接觸孔接觸該第一源極電極層，以及，

其中，該第三汲極電極層經由設置於該第二氧化物層、該第二汲極電極層及該閘極絕緣層中之第二接觸孔接觸該第一汲極電極層。