



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년06월13일  
 (11) 등록번호 10-0838382  
 (24) 등록일자 2008년06월09일

- (51) Int. Cl.  
*H01L 21/336* (2006.01)
- (21) 출원번호 10-2003-7005904  
 (22) 출원일자 2003년04월28일  
 심사청구일자 2006년07월27일  
 번역문제출일자 2003년04월28일  
 (65) 공개번호 10-2003-0045151  
 (43) 공개일자 2003년06월09일  
 (86) 국제출원번호 PCT/US2001/024680  
 국제출원일자 2001년08월06일  
 (87) 국제공개번호 WO 2002/37551  
 국제공개일자 2002년05월09일
- (30) 우선권주장  
 09/699,711 2000년10월30일 미국(US)
- (56) 선행기술조사문헌  
 KR100195678 B1\*  
 JP06291330 A\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
**어드밴스드 마이크로 디바이시즈, 인코포레이티드**  
 미국 캘리포니아 94088-3453 서니베일 원 에이엠  
 디 플레이스 메일 스톱68
- (72) 발명자  
**하드다드사메르**  
 미국캘리포니아95123산호세블로섬에비뉴6277  
**랜들프마크더블유.**  
 미국캘리포니아95130산호세켄드라웨이3673  
 (뒷면에 계속)
- (74) 대리인  
**박장원**

전체 청구항 수 : 총 11 항

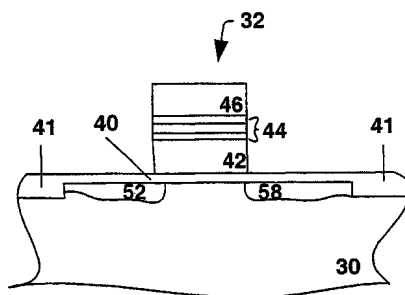
심사관 : 홍성의

**(54) 소스층 봉소 주입에 의한 비휘발성 메모리**

**(57) 요약**

본 발명의 일 양상은 플래시 메모리 셀의 제조 방법에 관한 것으로서, 이 방법은 플래시 메모리 셀을 갖는 기관(30)을 제공하는 단계와; 상기 기관(30) 위에 소스 라인에 대응하는 개구부(50)를 갖는 자기 정렬된 소스 마스크(48)를 형성하는 단계와; 소스 라인에 대응하는 상기 자기 정렬된 소스 마스크(48)의 개구부(50)를 통해 상기 기관에 제 1 타입의 소스 도펀트를 주입하는 단계와; 상기 기관(30)에서 상기 자기 정렬된 소스 마스크(48)를 제거하는 단계와; 상기 기관(30) 위에 MDD 마스크(54) - 상기 MDD 마스크(54)는 상기 소스 라인을 덮으며 드레인 라인에 대응하는 개구부(56)를 갖는다 - 를 형성하는 단계와; 그리고 제 2 타입의 중간 주입량 드레인 주입물을 주입하여 상기 플래시 메모리 셀에 인접하게 상기 기관(30)에 드레인 영역(58)을 형성하는 단계를 포함한다.

**대표도** - 도6



(72) 발명자

**히유-송**

미국캘리포니아95129산호세하이드애비뉴1054

**썬계이트티모시**

미국캘리포니아94087서니베일알런애비뉴1363

**창치**

미국캘리포니아94062레드우드시티레이크뷰웨이342

**윙느가칭**

미국캘리포니아95131산호세브리아리프썬클1220

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨, 콜롬비아

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터어키

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니

## 특허청구의 범위

### 청구항 1

플래시 메모리 셀의 제조 방법으로서,

상기 플래시 메모리 셀을 갖는 기판(30)을 제공하는 단계와, 여기서 상기 플래시 메모리 셀의 게이트 길이는 0.18 $\mu$ m 이하이며;

소스 라인에 대응하는 개구부(50)를 갖는 자기 정렬된 소스 마스크(48)를 상기 기판(30) 위에 형성하는 단계와;

상기 자기 정렬된 소스 마스크(48)에서의 상기 소스 라인에 대응하는 상기 개구부(50)를 통해 상기 기판에 제 1 도펀트 타입의 소스 도펀트를 주입하여 상기 플래시 메모리 셀에 인접하여 상기 기판(30)에 소스 영역(52)을 형성하는 단계와;

상기 기판(30)으로부터 상기 자기 정렬된 소스 마스크(48)를 제거하는 단계와;

상기 주입된 소스 도펀트를 상기 플래시 메모리 셀의 게이트 아래로 확산시키기 위한 열 처리를 수행하지 않고, 상기 기판(30) 위에 중간 주입량 드레인 마스크(54)를 형성하는 단계와, 여기서 상기 중간 주입량 드레인 마스크(54)는 상기 소스 라인을 덮고 드레인 라인에 대응하는 개구부(56)를 가지며; 그리고

제 2 타입의 중간 주입량 드레인 주입물을 주입하여 상기 플래시 메모리 셀에 인접하여 상기 기판(30)에 드레인 영역(58)을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 중간 주입량 드레인 주입물을 주입한 후, 상기 기판(30)을 400 $^{\circ}$ C 내지 1200 $^{\circ}$ C의 온도로 열 처리하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

제 1 도펀트 타입은 p-타입이고, 제 2 도펀트 타입은 n-타입인 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

### 청구항 4

제 1 항에 있어서,

상기 소스 도펀트는 붕소를 포함하며, 상기 소스 도펀트는 10keV 내지 40keV의 에너지에서  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 내지  $5 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

### 청구항 5

제 1 항에 있어서,

상기 중간 주입량 드레인 주입은 비소와 인 중에서 적어도 하나를 포함하며, 상기 중간 주입량 드레인 주입은 30keV 내지 60keV의 에너지에서  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

### 청구항 6

제 1 항에 있어서,

상기 플래시 메모리 셀은 제 1 폴리실리콘층(42), 상기 제 1 폴리실리콘층(42) 위의 옥사이드-나이트라이드-옥사이드(ONO) 다층 유전체(44) 및 상기 옥사이드-나이트라이드-옥사이드 다층 유전체(44) 위의 제 2 폴리실리콘층(46)을 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 7**

제 1 항에 있어서,

상기 플래시 메모리 셀은 옥사이드-나이트라이드-옥사이드 전하 트래핑층 및 상기 옥사이드-나이트라이드-옥사이드 전하 트래핑층 위의 폴리실리콘층을 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 8**

제 1 항에 있어서,

상기 플래시 메모리 셀은 질화된 터널 옥사이드 층을 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 9**

제 2 항에 있어서,

상기 기판의 열 처리는 500℃ 내지 1,100℃의 온도로 수행되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 10**

제 9 항에 있어서,

상기 기판의 열 처리는 600℃ 내지 1,000℃의 온도로 수행되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 11**

제 4 항에 있어서,

상기 소스 도펀트는 15keV 내지 30keV의 에너지에서  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지  $2 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**명세서**

**기술분야**

<1> 본 발명은 일반적으로 EEPROM들과 같은 플래시 메모리 디바이스를 제조하는 개선된 방법에 관한 것이다. 특히, 본 발명은 서로 다른 소스 및 드레인 도핑을 행하여 쇼트 채널 효과(short channel effects)를 감소시킨 비휘발성 플래시 메모리 디바이스에 관한 것이다.

**배경기술**

<2> 반도체 디바이스들은 전형적으로 기판 상에 또는 기판 내에 형성된 다수의 개별적인 구성 요소들을 포함한다. 이러한 디바이스들은 종종 고밀도부와 저밀도부를 포함한다. 예를 들어, 종래 기술인 도 1a에 도시된 바와 같이, 플래시 메모리(10)와 같은 메모리 디바이스는 단일 기판(13)에 하나 이상의 고밀도 코어 영역들(11) 및 하나의 저밀도 주변부(12)를 포함한다. 상기 고밀도 코어 영역들(11)은 전형적으로 적어도 1개의 개별적으로 어드레스가능하고, 실질적으로 동일한 부동 게이트형 메모리 셀들의 M x N 어레이로 이루어지며, 그리고 상기 저밀도 주변부(12)는 전형적으로 입/출력(I/O) 회로 및 개별적인 셀들을 선택적으로 어드레스하기 위한 회로(예를 들어, 프로그래밍, 판독 또는 소거와 같은 지정된 셀 동작이 이루어질 수 있도록, 선택된 셀들의 소스, 게이트 및 드레인에 소정의 전압 또는 임피던스를 연결하는 디코더)를 포함한다.

<3> 종래 기술인 도 1b는 종래 기술인 도 1a의 코어 영역(11) 내의 전형적인 메모리 셀(14)의 단면도를 나타낸다. 이러한 셀(14)은 전형적으로 기판 또는 P-웰(P-well)(16) 내에 소스(14b), 드레인(14a) 및 채널(15)을 포함하며, 적층 게이트 구조(14c)가 채널(15) 상부에 형성된다. 상기 적층 게이트(14c)는 또한 P-웰(16)의 표면 상에 형성된 얇은 게이트 절연층(17a)(일반적으로 터널 옥사이드라 칭함)을 포함한다. 상기 적층 게이트(14c)는 상기 터널 옥사이드(17a) 상에 형성되는 폴리실리콘 부동 게이트(17b) 및 이 부동 게이트(17b) 상에 형성된 폴

리간(interpoly) 절연층(17c)을 더 포함한다. 상기 폴리간 절연층(17c)은 종종 2개의 옥사이드층들 사이에 질화물층이 끼워져있는 옥사이드-나이트라이드-옥사이드(ONO)층과 같은 다층 유전체이다. 마지막으로, 상기 폴리간 절연층(17c)의 상부에 폴리실리콘 제어 게이트(17d)가 형성된다. 각각의 적층 게이트(14c)는 워드 라인(WL0, WL1, ..., WLn)에 결합되며, 드레인 선택 트랜지스터들의 각 드레인은 비트 라인(BL0, BL1, ..., BLn)에 결합된다. 셀(14)의 채널(15)은 적층 게이트 구조(14c)에 의해 채널(15) 내에 발생하는 전계에 따라 소스(14b)와 드레인(14a) 사이에 전류를 도통시킨다. 주변 디코더 및 제어 회로를 이용하여, 각 메모리 셀(14)은 프로그래밍, 판독 또는 소거 기능을 위해 어드레스될 수 있다.

- <4> 반도체 산업에서, 회로 속도 및 실장 밀도를 증가시키기 위해 디바이스의 밀도가 점점 더 높아지고 있는 추세이다. 이러한 고밀도를 달성하기 위해, 반도체 웨이퍼 상의 디바이스들의 치수를 비례축소(*scaling down*)하고자 하는 노력이 계속되고 있다. 이러한 의미에서의 비례 축소는 비례 축소되지 않은 보다 큰 디바이스에 대한 파라미터들에 따라 기능하는 보다 작은 디바이스를 제조하기 위해, 디바이스 구조 및 회로 치수를 비례적으로 줄이는 것을 말한다. 이러한 비례 축소를 달성하기 위해서는, 피쳐 사이즈들(*features sizes*)을 더욱 작게 할 필요가 있다. 이는 게이트 길이를 포함하는 피쳐들의 폭 및 간격을 포함한다.
- <5> 이러한 작은 피쳐들에 대한 요구는, 특히 일관된 성능 및 신뢰도에 관하여 플래시 메모리 디바이스들과 관련된 많은 우려를 야기한다. 예를 들어, 게이트 길이의 감소에 의해 피쳐 사이즈가 감소하면, (게이트 길이와 같은) 사이즈에 있어서의 편차가 증가하게 된다. 즉, 사이즈가 감소할 때 임계 치수 제어를 유지하기가 어려워진다. 게이트 길이가 감소함에 따라, 쇼트 채널 효과의 가능성이 증가한다. 일부 경우에서, 질화된 터널 옥사이드층(*nitride tunnel oxide layer*) 역시 쇼트 채널 효과 증가의 원인이 된다.
- <6> 쇼트 채널 효과는 소스와 드레인 간의 길이가 감소할 때 발생한다. 쇼트 채널 효과는  $V_t$ (임계 전압) 감쇠(*rolloff*), 드레인 유도 장벽 저하(DIBL) 및 과도한 칼럼 누설을 포함한다. DIBL은 쇼트 채널 디바이스들에서 드레인 전압의 인가에 의해 종종 야기된다. 다시 말해, 드레인 전압은 표면 전위를 떨어뜨린다.
- <7> 상기 우려사항 및 문제점에 비추어볼 때, 집적도 증가에 의해 품질이 개선된 플래시 메모리 셀들, 특히 쇼트 채널 효과를 감소시키는 서브(sub) 0.18 $\mu\text{m}$  플래시 메모리 셀들을 제공할 필요가 있다.

**발명의 상세한 설명**

- <8> 본 발명의 결과로서, 비휘발성 플래시 메모리 디바이스 제조가 개선됨으로써 신뢰성을 개선시킨 디바이스를 생산할 수 있다. 소스 및 드레인에 대해 서로 다른 채널 도핑을 제공하는 본 발명의 방법을 이용함으로써, 쇼트 채널 효과를 감소시키는 서브 0.18 $\mu\text{m}$  척도의 플래시 메모리 디바이스의 형성이 용이해진다. 특히, 본 발명은 비휘발성 플래시 메모리 디바이스를 더욱 비례 축소할 수 있게 하고,  $V_t$  감쇠, 높은 DIBL, 과도한 칼럼 누설 및 제품 어레이에서의 게이트 길이의 변동 중 적어도 하나를 포함하는 바람직하지 않은 쇼트 채널 효과를 최소화하거나 없애준다. 질화된 터널 옥사이드층의 사용으로 야기되는 바람직하지 않은 쇼트 채널 효과 또한 최소화된다.
- <9> 본 발명의 일 양상은 플래시 메모리 셀의 제조 방법에 관한 것으로서, 상기 방법은 플래시 메모리 셀을 갖는 기판을 제공하는 단계와; 상기 기판 위에 소스 라인에 대응하는 개구부(*opening*)를 갖는 자기 정렬된 소스 마스크를 형성하는 단계와; 소스 라인에 대응하는 상기 자기 정렬된 소스 마스크의 개구부를 통해 상기 기판에 제 1 타입의 소스 도펀트를 주입하는 단계와; 상기 기판에서 상기 자기 정렬된 소스 마스크를 제거하는 단계와; 상기 기판 위에 MDD(*medium dosage drain*; MDD) 마스크 - 상기 MDD 마스크는 소스 라인을 덮고 드레인 라인에 대응하는 개구부를 갖는다 - 를 형성하는 단계와; 그리고 제 2 타입의 중간 주입량 드레인 주입물을 주입하여 플래시 메모리 셀에 인접하게 상기 기판에 드레인 영역을 형성하는 단계를 포함한다.
- <10> 본 발명의 다른 양상은 플래시 메모리 셀의 제조 방법에 관한 것으로서, 상기 방법은 플래시 메모리 셀을 갖는 기판을 제공하는 단계와; 상기 기판 위에 소스 라인에 대응하는 개구부를 갖는 자기 정렬된 소스 마스크를 형성하는 단계와; 소스 라인에 대응하는 상기 자기 정렬된 소스 마스크의 개구부를 통해 상기 기판에 제 1 타입의 소스 도펀트 - 상기 소스 도펀트는 약 10keV 내지 약 40keV의 에너지에서 약  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $5 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다 - 를 주입하여 상기 플래시 메모리 셀에 인접하게 상기 기판에 소스 영역을 형성하는 단계와; 상기 기판에서 상기 자기 정렬된 소스 마스크를 제거하는 단계와; 상기 기판 위에 드레인 라인에 대응하는 개구부를 갖는 제 2 마스크를 형성하는 단계와; 제 2 타입의 중간 주입량 드레인 주입물 - 상기 중간 주입량 드레인 주입은 약 30keV 내지 약 60keV의 에너지에서 약  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약

$5 \times 10^{15}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다 - 을 주입하여 상기 플래시 메모리 셀에 인접하게 상기 기판에 드레인 영역을 형성하는 단계와; 상기 기판에서 상기 제 2 마스크를 제거하는 단계와; 그리고 약 300℃ 내지 약 1,100℃의 온도에서 상기 기판에 열을 가하는 단계를 포함한다.

<11> 본 발명의 또다른 양상은 플래시 메모리 셀의 제조 방법에 관한 것으로서, 상기 방법은 플래시 메모리 셀을 갖는 기판을 제공하는 단계와; 상기 기판 위에 소스 라인에 대응하는 개구부를 갖는 자기 정렬된 소스 마스크를 형성하는 단계와; 소스 라인에 대응하는 상기 자기 정렬된 소스 마스크의 개구부를 통해 상기 기판에 제 1 타입의 소스 도펀트 - 상기 소스 도펀트는 약 10keV 내지 약 40keV의 에너지에서 약  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $5 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다 - 를 주입하는 단계와; 상기 기판에서 상기 자기 정렬된 소스 마스크를 제거하는 단계와; 상기 기판 위에 드레인 라인에 대응하는 개구부를 갖는 제 2 마스크를 형성하는 단계와; 제 2 타입의 중간 주입량 드레인 주입물 - 상기 중간 주입량 드레인 주입은 약 30keV 내지 약 60keV의 에너지에서 약  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다 - 을 주입하여 상기 플래시 메모리 셀에 인접하게 상기 기판에 드레인 영역을 형성하는 단계와; 그리고 비활성 기체 분위기에서 약 400℃ 내지 약 1,200℃의 온도로 상기 기판에 열을 가하는 단계를 포함한다.

**실시예**

<20> 본 발명은 소스 및 드레인에 대해 서로 다른 채널 도핑을 행하여 비휘발성 플래시 메모리 디바이스를 제조하는 것을 수반한다. 결과로서, 쇼트 채널 효과를 감소시키는 비휘발성 플래시 메모리 디바이스가 제공된다. 본 발명에 따르면, 비휘발성 플래시 메모리 디바이스를 제조할 때, 소스측 주입 가열 단계 이후의 측면 확산이 불필요하다. 본 발명은 도면들을 참조하여 설명되며, 이 도면들에서 동일한 참조 부호들은 도면 전체에 걸쳐 동일한 요소들을 나타내는데 사용된다.

<21> 본 발명은 도 2 내지 7의 공정과 결합하여 이해될 수 있으며, 본 발명의 장점들을 알 수 있을 것이며, 여기서 동일한 부호들은 전체에 걸쳐 동일한 피쳐들을 나타낸다.

<22> 도 2 내지 7과 결합하여 플래시 메모리 디바이스의 제조법을 예시하는 개선된 반도체 제조 공정 흐름이 상세하게 설명된다. 이 공정은 기판의 코어 영역에서의 활동을 강조하며, 코어 영역은 적층 메모리 셀 및 선택 게이트 트랜지스터가 후속하여 위치하는 곳이다. 이와 관련하여, 상기 기판이 두 영역 즉, 주변 영역과 코어 영역을 포함하고, 상기 기판의 코어 영역은 두 구역 즉, 적층 메모리 셀 구역을 포함한다.

<23> 도 2를 참조하면, 적층 메모리 셀(32) 및 얇은 트렌치 절연부(41)를 갖는 기판(30)이 제공된다. 상기 적층 메모리 셀(32)은 상기 기판(30)의 코어 영역의 적층 메모리 셀 구역에 위치한다. 상기 얇은 트렌치 절연부(41)는 실리콘 다이옥사이드 또는 실리콘 나이트라이드와 같은 절연 물질을 포함한다. 비록 어떤 적절한 공정 흐름이라도 이용될 수 있지만, 적층 메모리 셀(32)을 갖는 상기 기판(30)은 다음과 같이 제공될 수 있다.

<24> 상기 기판(30)은 전형적으로 실리콘 기판이며, 이 실리콘 기판은 그 위에 금속층, 장벽층, 유전체층, 디바이스 구조, 활성 실리콘 영역 또는 구역과 같은 활성 영역, 활성 요소 및 P 웰, N 웰, 추가적인 폴리실리콘 게이트, 워드라인, 소스 영역, 드레인 영역, 비트라인, 베이스, 이미터, 콜렉터, 전도성 라인, 전도성 플러그 등을 포함하는 수동 요소를 포함하는 다양한 요소들, 영역들 및/또는 층들을 선택적으로 갖는다. 건식 산화, 습식 산화, 급속 열 산화(rapid thermal oxidation) 또는 화학증착(CVD)과 같은 어떤 적절한 수단을 사용하여, 상기 기판(30)의 적어도 일부에 또는 상기 기판(30) 전체에 제 1 옥사이드층(40)이 제공된다.

<25> 선택적으로, 상기 제 1 옥사이드층(40)은 질화 공정(nitridation process)을 이용하여 질소화될 수 있다. 일부 경우, 질소화 제 1 옥사이드층(40)의 사용은 쇼트 채널 효과의 원인이 된다. 본 발명은 이 효과를 최소화함으로써, 플래시 메모리 디바이스의 질소화 제 1 옥사이드층(40)(질화된 터널 옥사이드층)의 사용을 가능하게 해준다. 상기 질소화 제 1 옥사이드층(40)은 또한 터널 옥사이드 신뢰성을 개선시킨다.

<26> 원위치 도핑(in situ doping) 공정과 같은 어떤 적절한 공정을 이용하여 상기 제 1 옥사이드층(40) 위에 제 1 폴리층(poly layer)(42)(폴리 1층이라고도 함)이 제공된다. 상기 제 1 폴리층(42)은 폴리실리콘 또는 도핑된 비정질 실리콘이다. 폴리실리콘은 CVD 기술을 이용하여 형성된다. 상기 도핑된 비정질 실리콘층은 원위치 도핑 공정을 이용하여 형성된다. 제 1 도핑된 비정질 실리콘층(즉, 제 1 폴리층)(42)은 후속하여 적층 메모리 셀의 부동 게이트를 형성한다. 얇은 제 1 도핑된 비정질 실리콘층을 형성하는데 이용되는 도펀트는 인 또는 비소 중 적어도 하나이다.

- <27> 어떤 적절한 수단을 이용하여 상기 제 1 폴리층(42)의 적어도 일부 위에 유전체층(44)이 제공된다. 상기 유전체층(44)은 바람직하게는 3개의 층 즉, 옥사이드 층(44a), 나이트라이드층(44b) 및 다른 옥사이드층(44c)을 포함하는 ONO 다층 유전체이다. 상기 유전체층은 후속하여 적층 메모리 셀(32)의 폴리간 유전체층을 형성한다.
- <28> 어떤 적절한 수단을 이용하여 상기 기판의 적어도 일부 위에 제 2 폴리층(46)(폴리 2층이라고도 함)이 제공된다. 상기 제 2 폴리층(46)은 후속하여 상기 적층 메모리 셀의 제어 게이트를 형성한다. 상기 제 2 폴리층(46)은 폴리실리콘 또는 도핑된 비정질 실리콘으로 형성된다.
- <29> 비록 도시되지는 않았지만, 어떤 적절한 수단을 이용하여 상기 제 2 폴리층의 부분 위에 추가적인 층들이 제공될 수 있다. 예를 들어, 상기 제 2 폴리층(46)의 적어도 일부 위에 코발트 또는 텅스텐 실리사이드(silicide) 층이 제공될 수 있고, 상기 텅스텐 실리사이드층 위에 실리콘 옥시나이트라이드 층이 제공될 수 있다.
- <30> (게이트들이 정의된) 이 구조의 코어 영역의 적층 메모리 셀 구역에서 메모리 셀들을 형성하기 위해 다양한 적절한 마스크 또는 식각 단계들이 이용된다. 마스크로서 하나 이상의 포토레지스트 및/또는 하드 마스크 및/또는 부분적으로 형성된 적층 메모리 셀(도시되지 않음)이 이용될 수 있다. 식각은 전형적으로 식각 선택도를 최대화하기 위해 층별로 수행된다. 예를 들어, 상기 제 2 폴리층은 옥사이드층의 식각과 다른 식각 화학을 이용하여 식각된다. 비록 단지 하나의 적층 플래시 메모리 셀(32)이 도시되지만, 이 구조의 코어 영역에 다수의 셀들이 형성된다. 개시하기 전에 선택적으로 상기 구조를 세정한다. 상기 적층 플래시 메모리 셀(32)(및 도 7의 SONOS 타입 메모리 셀)은 약 0.18 $\mu\text{m}$  이하의 폭(게이트 길이)을 가질 수 있다.
- <31> 도 3을 참조하면, Vss 라인을 노출시킨 구조 위에 마스크가 형성된다. 상기 마스크(48)의 형성 단계는 포토레지스트 또는 하드 마스크를 이용하여 상기 구조 위의 자기 정렬된 소스(SAS) 마스크를 패터닝하는 단계를 포함하며, 추가 공정을 위해 소스 라인 개구부(50)를 남긴다. 즉, 마스크(48)는 상기 기판(30) 위에 개구부(50)를 가지며, 이를 통해 후속하여 형성되는 소스 라인이 형성된다.
- <32> 상기 마스크가 형성된 후, 상기 마스크(48)의 개구부(50)를 통해 노출된 소스 라인(기판(30)의 노출된 부분)에 붕소와 같은 소스 도펀트가 주입되어, 소스측 붕소 주입(52)(소스측 주입 또는 소스 영역이라고도 함)을 형성한다. 상기 소스 도펀트는 제 1 폴리층 또는 부동 게이트의 밑으로 부분적으로 확산한다. 상기 소스 도펀트는 p 타입 또는 n 타입일 수 있으나, 바람직하게는 p 타입이다.
- <33> 일 실시예에 있어서, 상기 소스 도펀트는 약 10keV 내지 약 40keV의 에너지에서 약  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $5 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다. 다른 실시예에 있어서, 상기 소스 도펀트는 약 15keV 내지 약 30keV의 에너지에서 약  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $2 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다. 또다른 실시예에 있어서, 상기 소스 도펀트는 약 15keV 내지 약 25keV의 에너지에서 약  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $2 \times 10^{14}$  atoms/cm<sup>2</sup>의 주입량으로 주입된다. 붕소 대신에 또는 붕소에 추가하여, (동일한 에너지 및 주입량 레벨로) 인이 주입될 수도 있다.
- <34> 도 4를 참조하면, 상기 소스 도펀트 주입 다음에 상기 마스크(48)의 제거 단계 및 선택적으로 상기 구조의 세정 단계가 뒤따른다. 상기 게이트(42)(즉, 폴리 1층으로 된 게이트) 아래로 소스측 붕소 주입(52)의 확산을 촉진시키기 위한 열 처리가 필요하지 않음에 주목할 필요가 있다.
- <35> 도 5를 참조하면, 상기 메모리 셀(32)의 드레인 영역을 노출시킨 구조 위에 마스크(54)가 형성되고, MDD 주입(58)(드레인 영역 또는 MDD 드레인측 주입이라고도 함)을 형성하는 중간 주입량 드레인(medium dosage drain: MDD) 주입이 수행된다. 상기 마스크(54)의 형성 단계는 포토레지스트 또는 하드 마스크를 이용하여 상기 구조 위에 MDD 마스크를 패터닝하는 단계를 포함하며, 추가 공정을 위한 드레인 영역 개구부(56)를 남긴다. 즉, 마스크(54)는 상기 기판(30) 위에 개구부(56)를 가지며, 이를 통해 후속하여 형성되는 드레인이 형성된다. 상기 MDD 마스크는 전체 주변부 및 상기 드레인 영역에 대응하지 않는 코어 영역의 부분들을 덮는다. 다시 말해, 상기 MDD 마스크는 소스 라인을 덮는다.
- <36> 상기 MDD 주입은 중하 접합(heavy junction)의 형성을 용이하게 해준다. 도펀트는 p 타입 또는 n 타입일 수 있으나, 바람직하게는 n 타입이다. 특히, 상기 도펀트는 바람직하게는 비소 또는 인과 같은 nt 주입이다. 상기 MDD 주입 도펀트는 바람직하게는 소스 도펀트와 반대이다 즉, 상기 MDD 주입은 소스 도펀트가 p 타입이면 n 타입이고, 소스 도펀트가 n 타입이면, p 타입이다. 일 실시예에 있어서, 상기 MDD 주입은 약 30keV 내지 약 60keV의 에너지에서 약  $5 \times 10^{13}$  atoms/cm<sup>2</sup> 내지 약  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 주입량으로 수행된다. 다른 실시예에 있어서, 상기 MDD 주입은 약 35keV 내지 약 55keV의 에너지에서 약  $1 \times 10^{14}$  atoms/cm<sup>2</sup> 내지 약  $1 \times 10^{15}$  atoms/cm<sup>2</sup>의 주입량으로

로 주입된다.

- <37> 도 6을 참조하면, MDD 드레인층 주입 다음에 상기 마스크(54)의 제거 단계 및 선택적으로 상기 구조를 세정하는 단계가 뒤따른다. 상기 게이트(즉, 폴리 1층으로 된 게이트(42)) 아래로의 소스층 붓소 주입(52) 내의 붓소 및 MDD 주입(58)의 확산을 촉진시키기 위한 열 처리가 수행될 수도 있다. 일 실시예에 있어서, 상기 열 처리는 비활성 기체 공기중에서 약 400℃ 내지 약 1,200℃의 온도에서 약 1초 내지 5분의 시간 동안 상기 구조에 열을 가하는 단계를 수반한다. 비활성 기체는 니트로젠, 헬륨, 네온, 아르곤, 크립톤 및 크세논을 포함한다. 다른 실시예에 있어서, 상기 열 처리는 약 500℃ 내지 약 1,100℃의 온도하에서 약 10초 내지 3분의 시간 동안 상기 구조에 열을 가하는 단계를 수반한다. 본 발명의 또다른 실시예에 있어서, 상기 열 처리는 약 600℃ 내지 약 1,000℃의 온도하에서 약 15초 내지 2분의 시간 동안 상기 구조에 열을 가하는 단계를 수반한다.
- <38> 본 발명은 또한 SONOS(실리콘 옥사이드 나이트라이드 옥사이드 실리콘) 타입 메모리 디바이스에 적용가능하다. 도 7을 참조하면, 본 발명에 따라 소스층 붓소 주입(52) 및 MDD 주입(58)을 갖는 SONOS 타입 메모리 디바이스(33)가 도시된다. 상기 SONOS 타입 메모리 디바이스(33)는 도 2 내지 6의 적층 플래시 메모리 셀(32)과 동일한 방식으로 공정된다. 따라서, 도 7은 도 6과 유사하다. 본 발명은 NAND 및 NOR 타입 메모리 구성 둘다에 적용가능하다.
- <39> 도시하지는 않았지만, 코어 영역의 선택 게이트 트랜지스터, 주변 영역의 고전압 트랜지스터 및 저전압 트랜지스터, 워드라인, 접촉점, 배선, 테트라에틸오르토실리케이트(tetraethylorthosilicate; TEOS), 보로포스포테트라에틸오르토실리케이트(borophosphotetraethylorthosilicate; BPTEOS), 포스포실리케이트 글래스(phosphosilicate glass; PSG) 또는 보로포스포실리케이트 글래스(borophosphosilicate glass; BPSG)와 같은 밀봉형(encapsulating) 옥사이드 필름 등을 형성하기 위해 (자기 정렬된 식각 단계들과 같은) 일련의 마스크 및 식각 단계들이 이용된다. 이 단계들은 본 발명에 따른 메모리 셀의 형성 동안 및/또는 후에 수행될 수 있다. 이 단계들은 이 기술분야에 공지되어 있다.
- <40> 비록 본 발명이 어떤 바람직한 실시예 또는 실시예들에 관하여 도시되고 설명되었지만, 이 설명 및 첨부 도면들을 읽고 이해했을 때 이 기술분야의 당업자들에게 등가 변형 및 수정이 발생할 것임이 명백하다. 특히 상기 설명된 구성 요소(조립부품, 디바이스, 회로 등)에 의해 수행되는 다양한 기능들에 대해서, 비록 본원에 예시된 본 발명의 예시적인 실시예들에서 기능을 수행하는 개시된 구조에 구조적으로 등가는 아니지만, 이러한 구성 요소들을 설명하는데 이용되는 ("수단"에 대한 어떤 참조를 포함하는) 용어는 다른 규정이 없는 한, 설명된 구성 요소의 특정 기술을 수행하는(즉, 기능적으로 등가인) 어떤 구성 요소에 대응시키고자 한다. 또한, 본 발명의 특별한 특성들은 몇몇 실시예들 중 단지 하나의 실시예에 관해 개시되었고, 이러한 특성은 바람직한 다른 실시예들의 하나 이상의 다른 특성들 및 소정 또는 특정 응용에 대한 장점과 결합될 수 있다.

**산업상 이용 가능성**

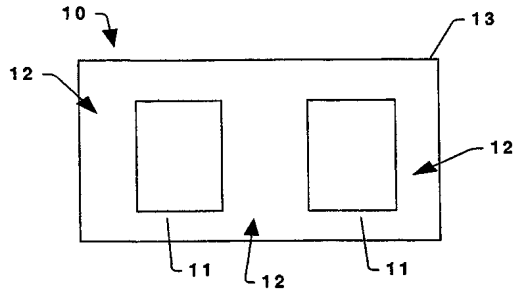
- <41> 본 발명의 방법은 비휘발성 반도체 메모리 제조 분야에 유용하다. 특히, 본 발명의 방법은 EEPROM과 같은 비휘발성 플래시 메모리 디바이스의 제조에 유용하다.

**도면의 간단한 설명**

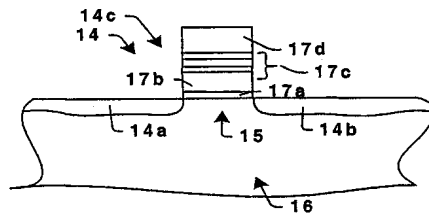
- <12> 도 1a는 종래 기술에 따른 플래시 메모리 칩의 레이아웃을 예시하는 평면도이고;
- <13> 도 1b는 종래 기술에 따른 적층 게이트 플래시 메모리 셀을 예시하는 단면도이고;
- <14> 도 2는 본 발명에 따른 비휘발성 플래시 메모리 디바이스를 제조하는 일 양상의 단면도이고;
- <15> 도 3은 본 발명에 따른 비휘발성 플래시 메모리 디바이스를 제조하는 다른 양상의 단면도이고;
- <16> 도 4는 본 발명에 따른 비휘발성 플래시 메모리 디바이스를 제조하는 또다른 양상의 단면도이고;
- <17> 도 5는 본 발명에 따른 비휘발성 적층 플래시 메모리 디바이스를 제조하는 또다른 양상의 단면도이고;
- <18> 도 6은 본 발명에 따른 비휘발성 적층 플래시 메모리 디바이스의 일 양상의 단면도이고;
- <19> 도 7은 본 발명에 따른 비휘발성 SONOS 플래시 메모리 디바이스의 일 양상의 단면도이다.

도면

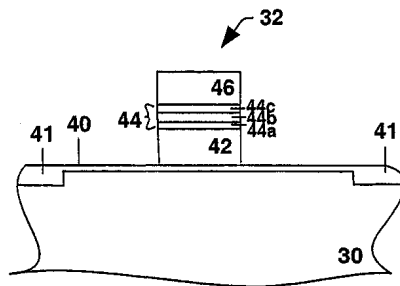
도면1a



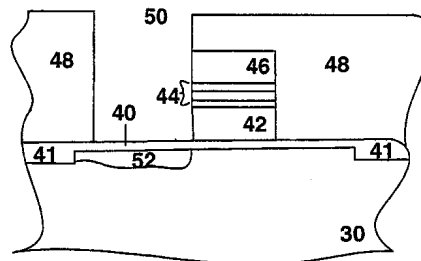
도면1b



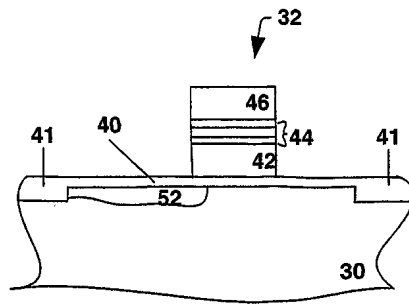
도면2



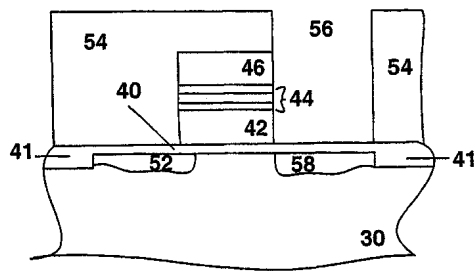
도면3



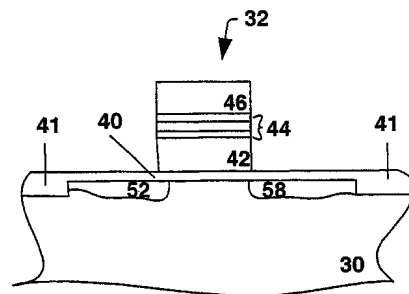
도면4



도면5



도면6



도면7

