(19)国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 217007767 U
(45)授权公告日 2022.07.19

(21)申请号 202220130095.9

(22)申请日 2022.01.18

(73)专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市

(72)发明人 吕文隆

(74)专利代理机构 北京德恒律治知识产权代理有限公司 11409
专利代理师 章社杲 李伟

(51)Int.Cl.
G02B 6/42(2006.01)

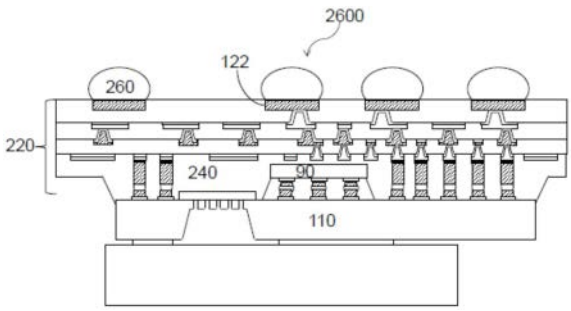
权利要求书1页 说明书7页 附图35页

(54)实用新型名称

光电封装结构

(57)摘要

本申请的实施例提供一种光电封装结构，包含：光传导元件；光子集成电路，具有有源面和无源面，光电传感器位于有源面上，光传导元件设置在无源面上，并且光传导元件通过位于光子集成电路中的贯穿孔与光电传感器相互面对。本实用新型的目的在于提供一种光电封装结构，以至少解决光消散的问题。



CN 217007767 U

1.一种光电封装结构,其特征在于,包含:

光传导元件;

光子集成电路,具有有源面和无源面,光电传感器位于所述有源面上,所述光传导元件设置在所述无源面上,并且所述光传导元件通过位于所述光子集成电路中的贯穿孔与所述光电传感器相互面对。

2.根据权利要求1所述的光电封装结构,其特征在于,所述光传导元件是光纤阵列单元(FAU)。

3.根据权利要求1所述的光电封装结构,其特征在于,所述贯穿孔的横向尺寸沿从所述无源面到所述光电传感器的方向逐渐减小。

4.根据权利要求3所述的光电封装结构,其特征在于,所述贯穿孔的侧壁可以反射光。

5.根据权利要求1所述的光电封装结构,其特征在于,所述光子集成电路的所述有源面上包括位于所述贯穿孔中的光栅,所述光栅至所述光电传感器的距离小于所述光栅至所述无源面的距离。

6.根据权利要求5所述的光电封装结构,其特征在于,由所述光传导元件发出的光可以直接到达所述光栅。

7.根据权利要求1所述的光电封装结构,其特征在于,还包括:

线路层,所述光子集成电路位于所述线路层上方并且通过第一连接件与所述线路层电连接,所述光电传感器位于所述线路层和所述光子集成电路之间。

8.根据权利要求7所述的光电封装结构,其特征在于,还包括:

电子集成电路,通过第二连接件连接在所述光子集成电路的所述有源面上,所述电子集成电路与所述光电传感器并排设置,所述电子集成电路位于所述光子集成电路和所述线路层之间,所述电子集成电路通过所述光子集成电路与所述线路层电连接。

9.根据权利要求7所述的光电封装结构,其特征在于,还包括:

电子集成电路,位于所述线路层上,所述电子集成电路通过第三连接件电连接所述线路层并且通过所述线路层电连接所述光子集成电路。

10.根据权利要求1所述的光电封装结构,其特征在于,所述贯穿孔的两端分别由所述光传导元件和所述光电传感器完全覆盖。

光电封装结构

技术领域

[0001] 本实用新型的实施例涉及光电封装结构。

背景技术

[0002] 在现有的硅光子(SiPh)封装结构中,光从光纤阵列单元(fiber array unite,FAU)往光子集成电路(photonic IC,PIC)传播要通过反射镜改变行进方向才能进入PIC的光电传感器(photo sensor),光耦合效率会受到反射镜的折射以及光反射角度偏差的影响,使光进到PIC的能量会衰减。

实用新型内容

[0003] 针对相关技术中存在的问题,本实用新型的目的在于提供一种光电封装结构,以至少解决光消散的问题。

[0004] 本申请的实施例提供一种光电封装结构,包含:光传导元件;光子集成电路,具有有源面和无源面,光电传感器位于有源面上,光传导元件设置在无源面上,并且光传导元件通过位于光子集成电路中的贯穿孔与光电传感器相互面对。

[0005] 在一些实施例中,光传导元件是光纤阵列单元(FAU)。

[0006] 在一些实施例中,贯穿孔的横向尺寸沿从无源面到光电传感器的方向逐渐减小。

[0007] 在一些实施例中,光子集成电路的材料包括硅。

[0008] 在一些实施例中,贯穿孔的侧壁可以反射光。

[0009] 在一些实施例中,光子集成电路的有源面上包括位于贯穿孔中的光栅,光栅至光电传感器的距离小于光栅至无源面的距离。

[0010] 在一些实施例中,由光传导元件发出的光可以直接到达光栅。

[0011] 在一些实施例中,还包括:线路层,光子集成电路位于线路层上方并且通过第一连接件与线路层电连接,光电传感器位于线路层和光子集成电路之间。

[0012] 在一些实施例中,还包括:电子集成电路,通过第二连接件连接在光子集成电路的有源面上,电子集成电路与光电传感器并排设置,电子集成电路位于光子集成电路和线路层之间,电子集成电路通过光子集成电路与线路层电连接。

[0013] 在一些实施例中,还包括:第一填充层,位于线路层和光子集成电路之间,第一填充层包覆第一连接件和第二连接件。

[0014] 在一些实施例中,还包括:第二填充层,位于电子集成电路和光子集成电路之间,第二填充层包覆第二连接件;第一填充层,位于线路层与光子集成电路、电子集成电路之间,第一填充层包覆第二填充层和第一连接件。

[0015] 在一些实施例中,还包括:电子集成电路,位于线路层上,电子集成电路通过第三连接件电连接线路层并且通过线路层电连接光子集成电路。

[0016] 在一些实施例中,还包括:第一填充层,位于线路层和光子集成电路、电子集成电路之间,第一填充层包覆第一连接件和第二连接件。

[0017] 在一些实施例中，第一填充层的侧壁与线路层的侧壁共面。

[0018] 在一些实施例中，还包括：第三填充层，包覆光子集成电路的侧壁和第一填充层的未被光子集成电路覆盖的上表面。

[0019] 在一些实施例中，第一填充层还包覆光子集成电路的侧壁。

[0020] 在一些实施例中，还包括：第四填充层，包封光传导元件、光子集成电路和第一填充层。

[0021] 在一些实施例中，光传导元件通过粘合层粘接在光子集成电路的无源面上。

[0022] 在一些实施例中，光电传感器位于光传导元件的直接下方。

[0023] 在一些实施例中，贯穿孔的两端分别由光传导元件和光电传感器完全覆盖。

附图说明

[0024] 图1示出了现有技术的光电封装件。

[0025] 图2至图26示出了根据本申请一些实施例的光电封装件的形成过程。

[0026] 图27至图33示出了根据本申请不同实施例的光电封装件。

[0027] 图34示出了根据本申请一些实施例的载体。

具体实施方式

[0028] 为更好的理解本申请实施例的精神，以下结合本申请的部分优选实施例对其作进一步说明。

[0029] 本申请的实施例将会被详细的描示在下文中。在本申请说明书全文中，将相同或相似的组件以及具有相同或相似的功能的组件通过类似附图标记来表示。在此所描述的有关附图的实施例为说明性质的、图解性质的且用于提供对本申请的基本理解。本申请的实施例不应该被解释为对本申请的限制。

[0030] 如本文中所使用，术语“大致”、“大体上”、“实质”及“约”用以描述及说明小的变化。当与事件或情形结合使用时，所述术语可指代其中事件或情形精确发生的例子以及其中事件或情形极近似地发生的例子。举例来说，当结合数值使用时，术语可指代小于或等于所述数值的±10％的变化范围，例如小于或等于±5％、小于或等于±4％、小于或等于±3％、小于或等于±2％、小于或等于±1％、小于或等于±0.5％、小于或等于±0.1％、或小于或等于±0.05％。举例来说，如果两个数值之间的差值小于或等于所述值的平均值的±10％(例如小于或等于±5％、小于或等于±4％、小于或等于±3％、小于或等于±2％、小于或等于±1％、小于或等于±0.5％、小于或等于±0.1％、或小于或等于±0.05％)，那么可认为所述两个数值“大体上”相同。

[0031] 在本说明书中，除非经特别指定或限定之外，相对性的用词例如：“中央的”、“纵向的”、“侧向的”、“前方的”、“后方的”、“右方的”、“左方的”、“内部的”、“外部的”、“较低的”、“较高的”、“水平的”、“垂直的”、“高于”、“低于”、“上方的”、“下方的”、“顶部的”、“底部的”以及其衍生性的用词(例如“水平地”、“向下地”、“向上地”等等)应该解释成引用在讨论中所描述或在附图中所描示的方向。这些相对性的用词仅用于描述上的方便，且并不要求将本申请以特定的方向建构或操作。

[0032] 另外，有时在本文中以范围格式呈现量、比率和其它数值。应理解，此类范围格式

是用于便利及简洁起见，且应灵活地理解，不仅包含明确地指定为范围限制的数值，而且包含涵盖于所述范围内的所有个别数值或子范围，如同明确地指定每一数值及子范围一般。

[0033] 再者，为便于描述，“第一”、“第二”、“第三”等等可在本文中用于区分一个图或一系列图的不同组件。“第一”、“第二”、“第三”等等不意欲描述对应组件。

[0034] 图1示出了现有的硅光子(SiPh)封装结构，其中，由FAU 10向PIC12传导的光由横向转至纵向，并且在纵向上，镜子14和PIC 12之间还存在由扇出线路18的厚度带来的额外距离，光的路径长，并且光的传递受镜子14的折射率和反射率指数的影响，由于使用衬底16、位于衬底16上方的边缘处的FAU 10以及镜子14，整个封装件的尺寸(横向和纵向)较大。

[0035] 以下将结合附图，对本申请的光电封装结构作具体阐述。

[0036] 参见图2，在PIC板20上形成多个光电传感器22，并且在光电传感器22周围形成多个第一焊盘24。

[0037] 参见图3，将涂有第一缓冲层/释放层32的第一载体30盖在PIC板20上，第一释放层32包覆光电传感器22和第一焊盘24。第一载体30可以是玻璃载体衬底、陶瓷载体衬底等。第一载体30可以是晶圆(圆形晶圆/方形晶圆)，从而使得可以在第一载体30上同时形成多个封装结构。第一释放层32可以由基于聚合物的材料形成，其可以与第一载体30一起从将在后续步骤中形成的上面的结构中去除。在一些实施例中，第一释放层32是基于环氧树脂的热释放材料，其在加热时失去其粘合性，诸如光热转换(LTHC)释放涂层。在其他实施例中，第一释放层32可以是紫外(UV)胶，当暴露于UV光时会失去其粘合性。第一释放层32可以以液体的形式分配并且固化，可以是层压在第一载体30上的层压膜，或者可以是类似的。第一释放层32的顶面可以是水平的并且可以具有较高的平面度。

[0038] 参见图4，将图3所示的结构翻转，并且在PIC板20上形成第一掩模层40，并沿箭头所示的方向曝光(exposure)第一掩模层40。在一些实施例中，第一掩模层40是光刻胶(PR)，通过执行层压(lamination)工艺形成第一掩模层40。

[0039] 参见图5，显影(developing)第一掩模层40以形成第一开口51，第一开口51和光电传感器22一一对应。对由第一开口51暴露的PIC板20执行化学蚀刻工艺52。

[0040] 参见图6，执行化学蚀刻工艺52后第一开口51延伸入PIC板20内以形成贯穿孔50，并且PIC板20尚未被蚀刻穿。去除PIC板20上的第一掩模层40，并且在PIC板20上形成第二掩模层60，将位于贯穿孔50的底部的第二掩模层60沿箭头所示的方向图案化(例如，通过光刻工艺)为具有栏栅/格栅的形状。在一些实施例中，第二掩模层60是光刻胶(PR)，通过执行层压工艺形成第二掩模层60。在一些实施例中，在PIC板20的蚀刻出贯穿孔50的位置处的材料是Si，由于硅的材料特性，蚀刻完成后贯穿孔50的侧壁是倾斜的(侧壁与水平面形成的锐角角度为10°至80°)，贯穿孔50的横向尺寸由上到下逐渐减小，并且贯穿孔50的侧壁可以反射光，以最小化光信号的损失。

[0041] 参见图7，图7的上半部分示出了贯穿孔50位置处的局部放大图。对位于贯穿孔50底部的由第二掩模层60暴露的PIC板20执行化学蚀刻工艺71，以将第二掩模层60的图案转移至PIC板20以形成图8所示的光栅80，光栅80中具有多个微孔洞(μHoles)，光栅80至光电传感器22的距离小于光栅80至PIC板20的无源面(如图8所示的上表面)的距离，光栅80接触光电传感器22。

[0042] 参见图8，将第一载体30和第一释放层32沿箭头所示的方向与PIC板20剥离，留下

光电传感器22和第一焊盘24。

[0043] 参见图9,将图8留下的结构翻转,并且将电子集成电路(EIC)90电连接PIC板20,EIC 90上的第二焊盘94通过微凸块(μbump)92接合第一焊盘24。在一些实施例中,EIC 90的长度/宽度为几十微米或几百微米,厚度为20微米至200微米。在一些实施例中微凸块(μbump)92的直径为10微米至30微米,并且相邻微凸块(μbump)92之间的间距(pitch)为15微米至60微米。EIC 90所在的面是PIC板20的有源面。

[0044] 参见图10,倾斜整个结构并且在PIC板20和EIC 90之间填充第二填充层100,以保护用于电连接PIC板20和EIC 90的第二连接件(微凸块92)。在一些实施例中,第二填充层100是底部填充材料(underfill)。

[0045] 参见图11A,对PIC板20执行单片化工艺(例如切割),以形成如图11B所示的单片化的PIC 110。每个PIC 110上都具有对应的光电传感器22和EIC 90。在一些实施例中,PIC 110的长度/宽度为几十微米或几百微米,厚度为20微米至200微米。

[0046] 参见图12,在第二载体120上形成第三焊盘122。在一些实施例中,第二载体120可以是玻璃载体衬底、陶瓷载体衬底等。第二载体120可以是晶圆(圆形晶圆/方形晶圆),从而使得可以在第二载体120上同时形成多个封装结构。可以在第二载体120上涂覆与第一释放层32相似的释放层。

[0047] 参见图13,在第二载体120上形成第一介电层130,并对第一介电层130沿箭头所示方向进行曝光。在一些实施例中,第一介电层130是聚酰胺(polyamide,PA)材料层,通过执行层压(lamination)工艺形成第一介电层130。

[0048] 参见图14,显影第一介电层130以暴露第三焊盘122,并在第一介电层130及暴露的第三焊盘122上形成第一晶种层140。在一些实施例中,第一晶种层140的材料可以是Cu、Au、Ag、Al、Pd、Pt、Ni、其合金或其组合等。可以使用物理气相沉积(Physical Vapor Deposition,PVD)工艺形成第一晶种层140。

[0049] 参见图15,在第一晶种层140上形成第三掩模层150,并沿箭头所示的方向曝光(exposure)第三掩模层150。在一些实施例中,第三掩模层150是光刻胶(PR),通过执行层压(lamination)工艺形成第三掩模层150。

[0050] 参见图16,显影第三掩模层150以暴露第一晶种层140,并在暴露的第一晶种层140上形成第一金属层160。在一些实施例中,第一金属层160的材料可以是Cu、Au、Ag、Al、Pd、Pt、Ni、其合金或其组合等。可以使用物理气相沉积(Physical Vapor Deposition,PVD)、溅射、电镀、无电镀(electroless,E'less)和/或印刷、层压和/或灌封等工艺形成第一金属层160。

[0051] 参见图17,将第三掩模层150去除。并使用第一金属层160用作掩模图案化第一晶种层140。

[0052] 参见图18,重复类似图13至图17的步骤,在第一介电层130上形成第二介电层180、第三介电层182以及分别位于其中和其上的第二晶种层184、第二金属层185和第三晶种层186、第三金属层187。在一些实施例中,第二金属层185、第三金属层187的材料可以是Cu、Au、Ag、Al、Pd、Pt、Ni、其合金或其组合等。可以使用物理气相沉积(Physical Vapor Deposition,PVD)、溅射、电镀、无电镀(electroless,E'less)和/或印刷、层压和/或灌封等工艺形成第二金属层185、第三金属层187。

[0053] 参见图19,在第三介电层182和第三金属层187上形成第四晶种层190。在一些实施例中,第四晶种层190的材料可以是Cu、Au、Ag、Al、Pd、Pt、Ni、其合金或其组合等。可以使用物理气相沉积(Physical Vapor Deposition,PVD)工艺形成第四晶种层190。

[0054] 参见图20,在第四晶种层190上形成第四掩模层200,并沿箭头所示的方向曝光(exposure)第四掩模层200。在一些实施例中,第四掩模层200是光刻胶(PR),通过执行层压(lamination)工艺形成第四掩模层200。

[0055] 参见图21,显影第四掩模层200以暴露第四晶种层190,并在暴露的第四晶种层190上形成第四金属层210和第一焊料212,第四金属层210形成为导电柱,并且导电柱的厚度/高度为80微米至200微米。在一些实施例中,第四金属层210的材料可以是Cu、Au、Ag、Al、Pd、Pt、Ni、其合金或其组合等。可以使用物理气相沉积(Physical Vapor Deposition,PVD)、溅射、电镀、无电镀(electroless,E'less)和/或印刷、层压和/或灌封等工艺形成第四金属层210。在一些实施例中,第一焊料212的材料包括Sn、各向异性导电胶(anisotropic conductive paste,ACP)或各向异性导电膜(anisotropic conductive film,ACF)。

[0056] 参见图22,将第四掩模层200去除。并使用第一金属层160、第一焊料212用作掩模图案化第四晶种层190。至此,本申请的线路层220形成。在一些实施例中,线路层220中每层介电层的厚度为5微米至20微米。线路层220中每层金属层的厚度为1微米至20微米,每层晶种层的厚度为0.1微米至1微米。线路层220中的各层介电层的材料可以是有机物,例如,聚酰亚胺(polyimide,PI)、环氧树脂(epoxy)、聚苯并恶唑(PBO)、阻燃4级材料(FR4)、半固化树脂(prepreg,PP)、味之素堆积膜(Ajinomotobuild-up film,ABF)、双马来酰亚胺三嗪树脂(BT);或/和无机物,例如,硅、玻璃、陶瓷、氧化物(例如,SiOx、TaOx)、氮化物(例如,SiNx)等。在一些实施例中,使用沉积、层压、印刷、灌封、浸渍等工艺形成线路层220中的各层介电层,并且采用有机光敏材料和/或非光敏液体和/或干膜材料。在一些实施例中,铜、金、银、铝、钛、镍、钯(Pd)、铂(Pt)和镍合金可以用于各金属层和各晶种层。

[0057] 参见图23,将于图11形成的单片化的PIC 110倒置并且第一焊盘24接合至第一焊料212。

[0058] 参见图24,倾斜整个结构,并且将第一填充层240填充在线路层220与PIC 110、EIC 90之间,以保护用于电连接PIC 110和线路层220的第一连接件(第四金属层210、第一焊料212),固定各器件之间的相对位置,以避免结构翘曲,并且也可以减少环境干扰(例如水汽、氧化、震动或噪音)。第一填充层240、第二填充层100可以是有机物,例如,聚酰亚胺(polyimide,PI)、环氧树脂(epoxy)、聚苯并恶唑(PBO)、阻燃4级材料(FR4)、半固化树脂(prepreg,PP)、味之素堆积膜(Ajinomotobuild-up film,ABF)、双马来酰亚胺三嗪树脂(BT);或/和无机物,例如,硅、玻璃、陶瓷、氧化物(例如,SiOx、TaOx)、氮化物(例如,SiNx)等。在一些实施例中,使用沉积、层压、印刷、灌封、浸渍等工艺形成第一填充层240、第二填充层100,并且采用有机光敏材料和/或非光敏液体和/或干膜材料。

[0059] 参见图25,将FAU 250通过粘合层252附接至PIC 110的无源面(背面),然后移除第二载体120,FAU 250发出的光通过贯穿孔50到达PIC 110的光电传感器22。在一些实施例中,粘合层252的厚度为10微米至50微米。粘合层252可以是有机物,例如,聚酰亚胺(polyimide,PI)、环氧树脂(epoxy)、聚苯并恶唑(PBO)、阻燃4级材料(FR4)、半固化树脂(prepreg,PP)、味之素堆积膜(Ajinomotobuild-up film,ABF)、双马来酰亚胺三嗪树脂

(BT)；或/和无机物，例如，硅、玻璃、陶瓷、氧化物(例如，SiOx、TaOx)、氮化物(例如，SiNx)等。在一些实施例中，使用沉积、层压、印刷、灌封、浸渍等工艺形成粘合层252，并且采用有机光敏材料和/或非光敏液体和/或干膜材料。

[0060] 参见图26，翻转图25所示的结构，并在第三焊盘122上形成第二焊料260，经过回流工艺，第二焊料260形成为焊球。在一些实施例中，焊球的直径为30微米至200微米，相邻焊球之间的间距(pitch)为50微米至400微米。图12至图26是以一个单位的结构作示意，在实际生产时，多个单位的结构一起形成，并且在图26的步骤后执行单片化工艺形成如图所示的一个单位的光电封装结构2600，因此，第一填充层240的侧壁与线路层220的侧壁共面。

[0061] 图27示出了与图26不同的实施例，在图27中，EIC 90通过第三连接件(焊料)370直接接合线路层220并且通过线路层220电连接至PIC 110。

[0062] 图28示出了与图26不同的实施例，在图28中，还包括第三填充层280，包覆光子集成电路110的侧壁和第一填充层240的未被光子集成电路110覆盖的上表面。第三填充层280可以是有机物，例如，聚酰亚胺(polyimide，PI)、环氧树脂(epoxy)、聚苯并恶唑(PBO)、阻燃4级材料(FR4)、半固化树脂(prepreg，PP)、味之素堆积膜(Ajinomotobuild-up film，ABF)、双马来酰亚胺三嗪树脂(BT)；或/和无机物，例如，硅、玻璃、陶瓷、氧化物(例如，SiOx、TaOx)、氮化物(例如，SiNx)等。在一些实施例中，使用沉积、层压、印刷、灌封、浸渍等工艺形成第三填充层280，并且采用有机光敏材料和/或非光敏液体和/或干膜材料。

[0063] 图29示出了与图28不同的实施例，在图29中，不包括第一填充层240，第三填充层280位于PIC 110和线路层220之间并且包覆PIC 110的侧壁。

[0064] 图30示出了与图26不同的实施例，在图30中，不包括第二填充层100，第一填充层240位于PIC 110和线路层220之间、PIC 110和EIC 90之间。

[0065] 图31示出了与图26不同的实施例，在图31中，还包括：第四填充层310，包封光传导元件(FAU 250)、光子集成电路PIC 110和第一填充层240。第四填充层310可以是有机物，例如，聚酰亚胺(polyimide，PI)、环氧树脂(epoxy)、聚苯并恶唑(PBO)、阻燃4级材料(FR4)、半固化树脂(prepreg，PP)、味之素堆积膜(Ajinomotobuild-up film，ABF)、双马来酰亚胺三嗪树脂(BT)；或/和无机物，例如，硅、玻璃、陶瓷、氧化物(例如，SiOx、TaOx)、氮化物(例如，SiNx)等。在一些实施例中，使用沉积、层压、印刷、灌封、浸渍等工艺形成第四填充层310，并且采用有机光敏材料和/或非光敏液体和/或干膜材料。

[0066] 图32示出了与图26不同的实施例，在图32的光电封装件的截面图中，线路层220上具有两套一一对应的FAU 250和PIC 110。

[0067] 图33示出了与图26不同的实施例，在图33所示的实施例中，使用插入件330取代图26所示的导电柱/第四金属层210。

[0068] 图34示出了方形的面板级(panel level，PNL)载体3700和圆形的晶圆级(wafer level，WL)载体3702，在一些实施例中，本申请的多个EIC 90可以排列在PNL载体3700或WL载体3702上，然后多个EIC 90一同转移到多个单元的PIC 110(PIC板20)上，PIC 110、FAU 250也可以使用与EIC 90相似的方式完成分别至线路层220、PIC 110的批量转移，以批量形成本申请的光电封装结构。将PIC和EIC通过PNL(或WL)以及倒装芯片工艺接合，并且放置在扇出线路层(扇出重分布层)220表面上，通过焊料/微凸块互连，可以实现更低的成本并且避免已知良好管芯(KGD)损耗问题。

[0069] 本实用新型的实施例具有接收机(receiver,Rx)功能,光电传感器22设于PIC 110的有源面,FAU 250设于PIC 110的背面,并通过贯穿孔50直接面对,由FAU 250发出的光可以直接到达光栅80,贯穿孔50的两端分别由FAU 250和光电传感器22完全覆盖,使贯穿孔50保持处于未开放状态,避免环境干扰。本申请的实施例提供了性能良好的硅光子(SiPh)封装应用,提供了从FAU 250传输到PIC 110直接(最短)的光路径,FAU250位于PIC 110上方而不是如现有技术中结构的边缘,减小了光电封装结构2600的尺寸。PIC 110中设置贯穿孔50,并且贯穿孔50、光栅80、光电传感器22位于FAU 250的直接下方,不需要现有技术中的镜子,以避免光信号丢失。本申请的实施例的线路层采用细线路设计,例如,线宽/间距(L/S)<2μm/2μm,使输入/输出(I/O)数更多,不需要采用传统的衬底,从而实现了封装小型化和低成本。在本申请的结构中,集成了多个功能器件(线路层220的多层结构、EIC 90、具有位于背面的光栅80的PIC 110和FAU 250)。

[0070] 以上所述仅为本实用新型的优选实施例而已,并不用于限制本实用新型,对于本领域的技术人员来说,本实用新型可以有各种更改和变化。凡在本实用新型的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本实用新型的保护范围之内。

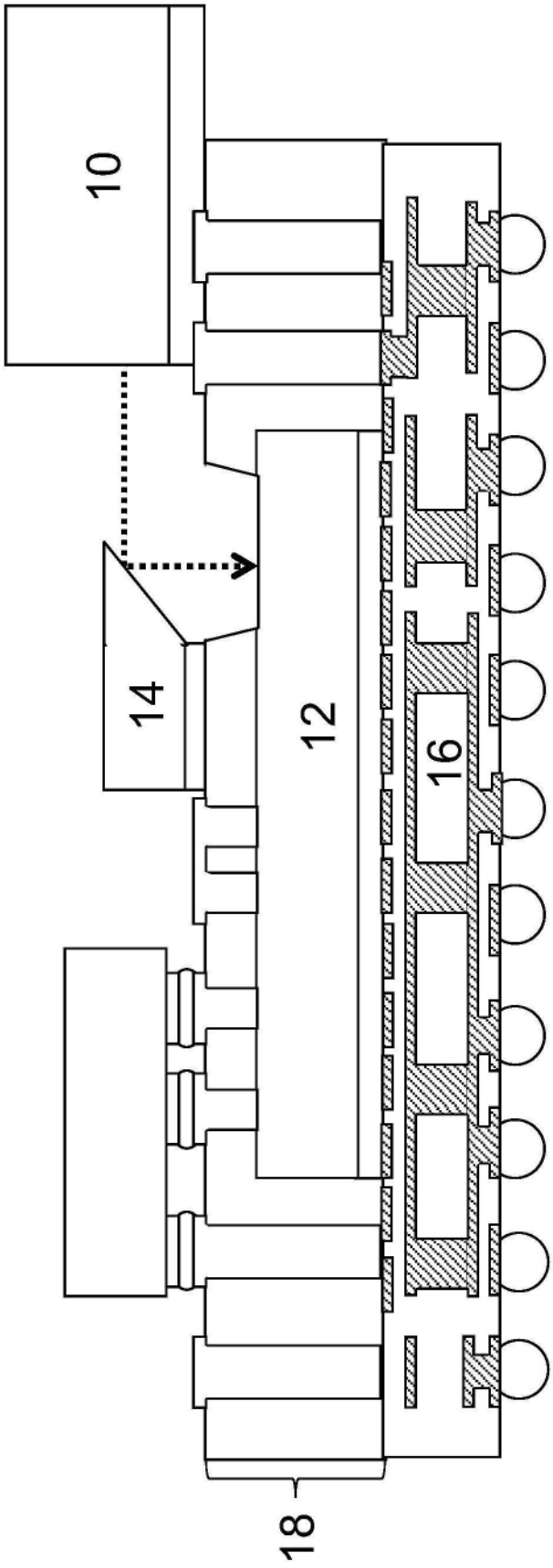


图1

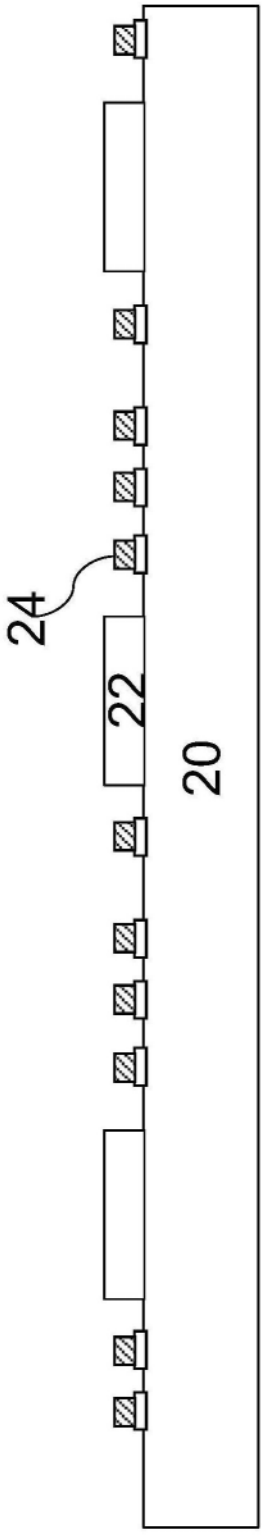


图2

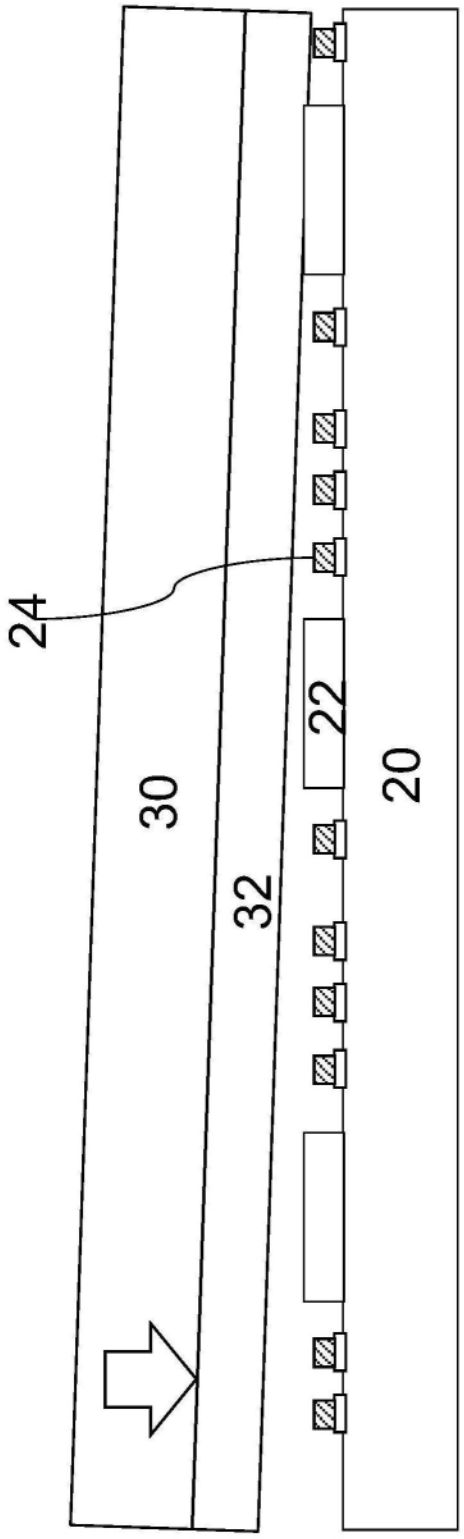


图3

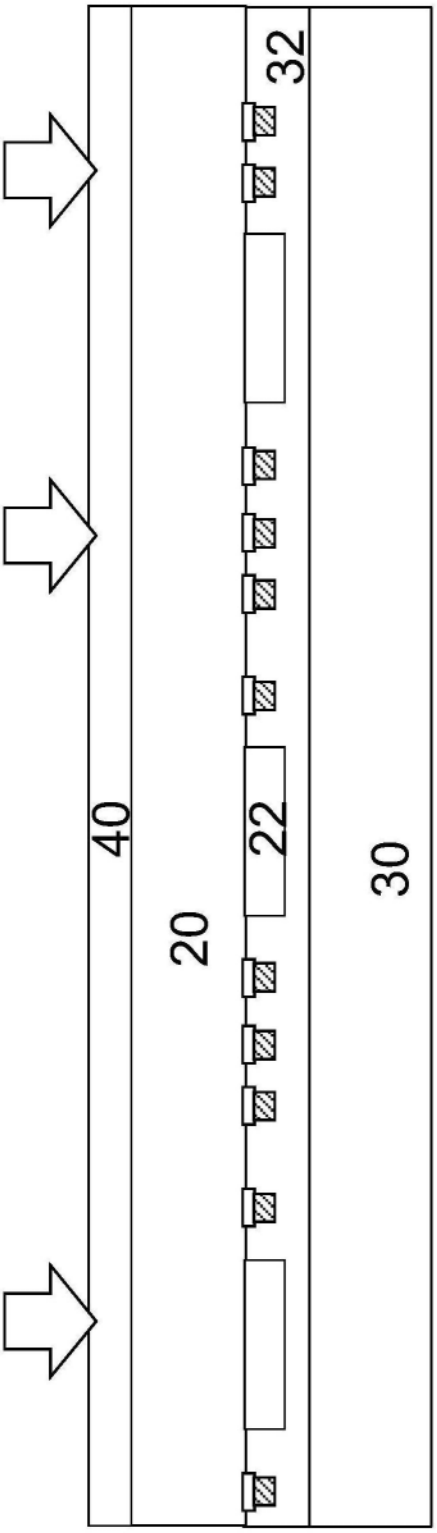


图4

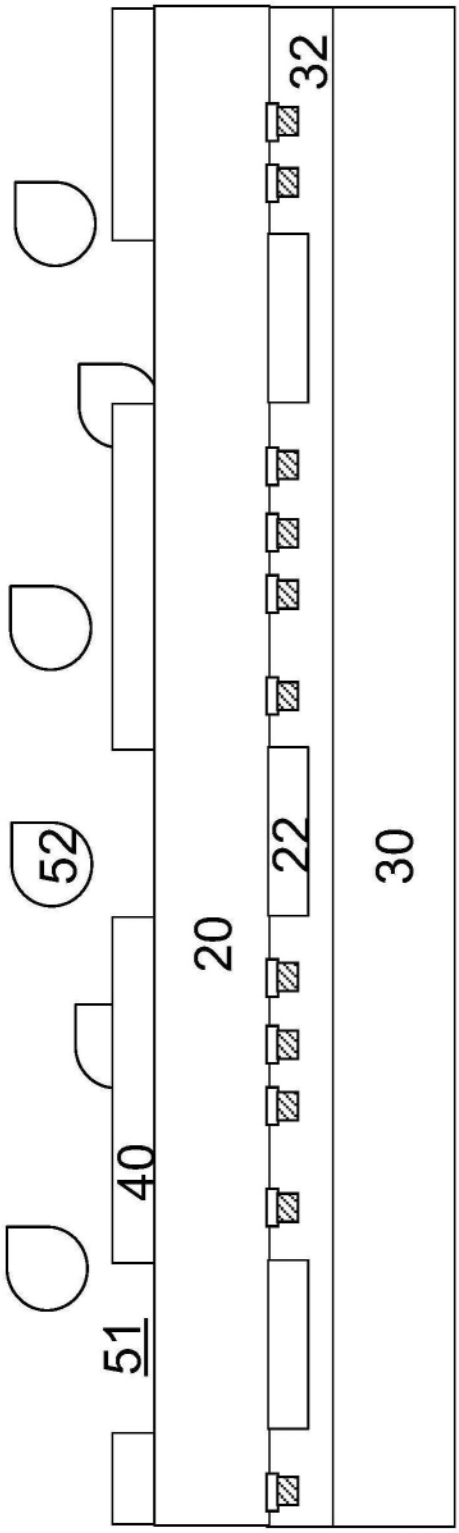


图5

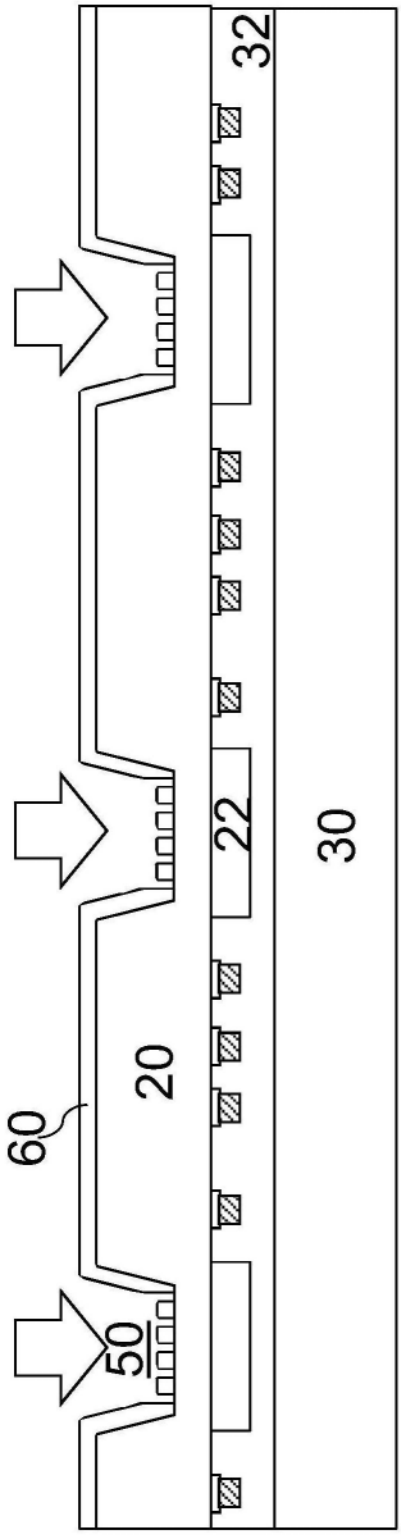


图6

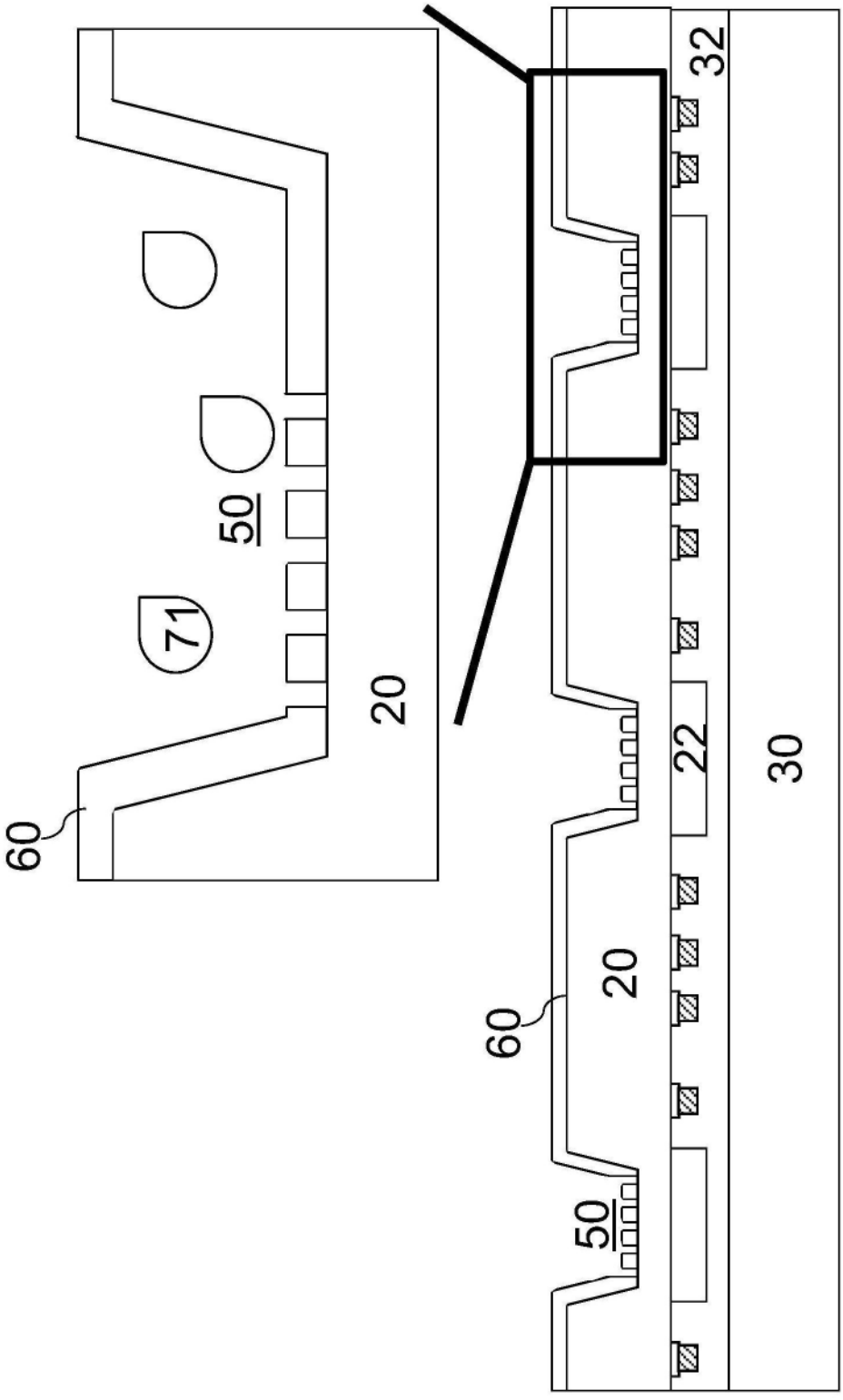


图7

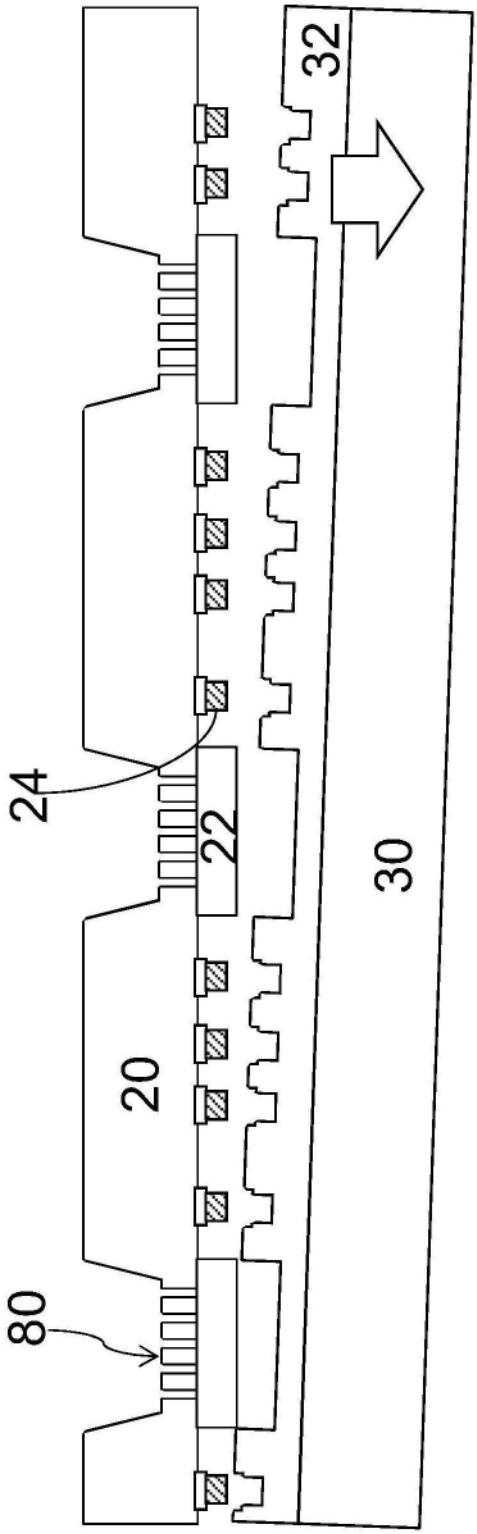


图8

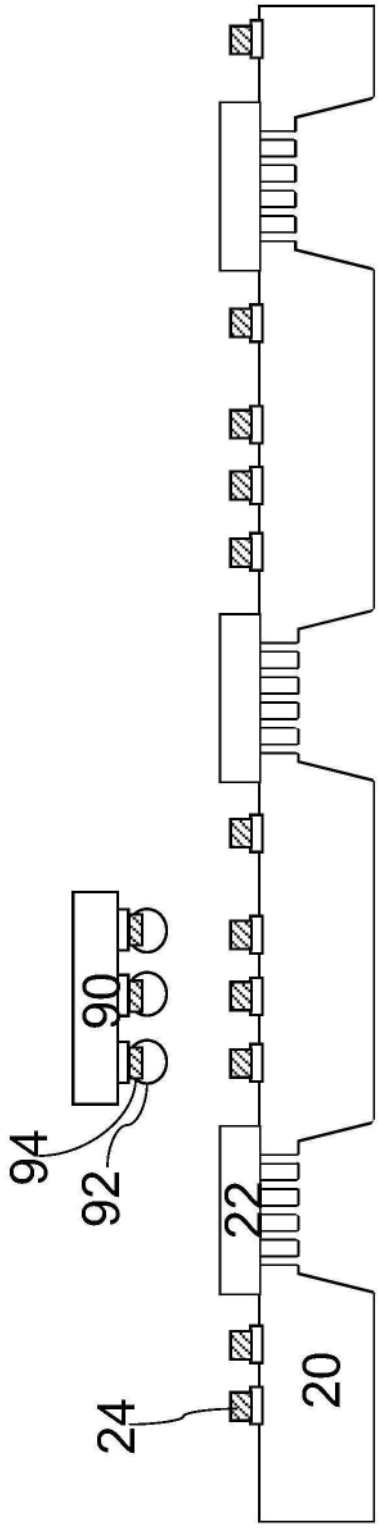


图9

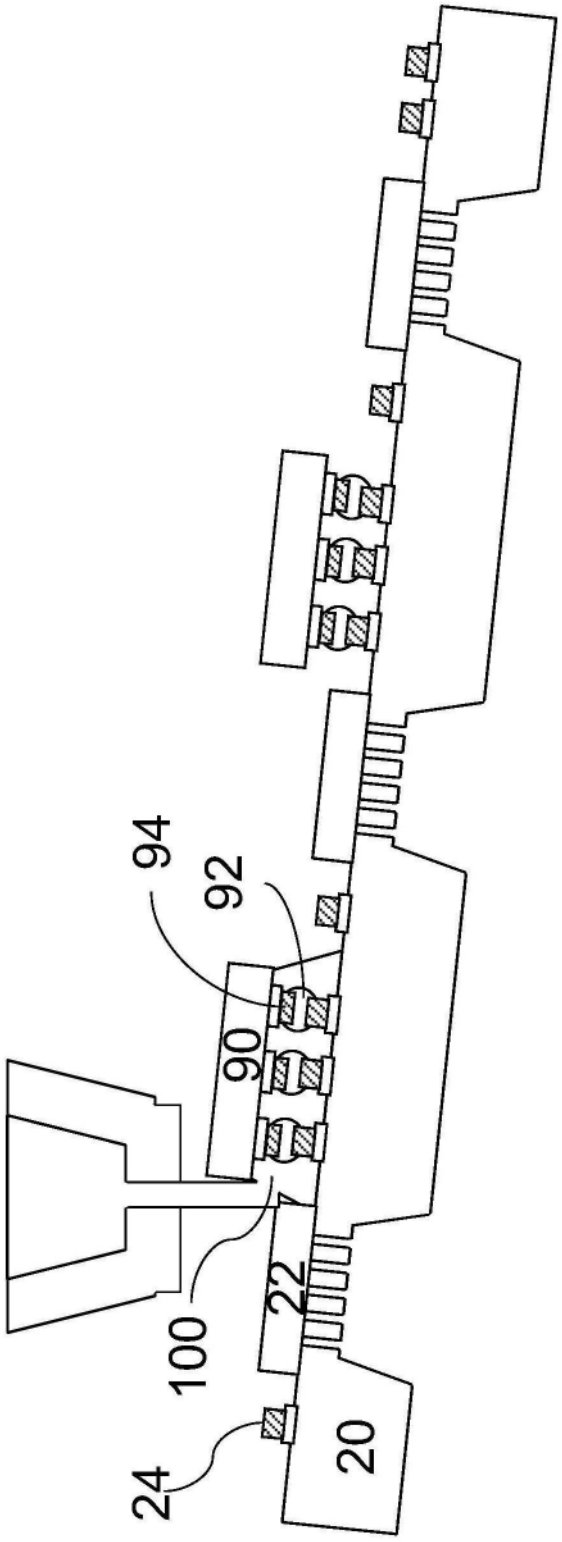


图10

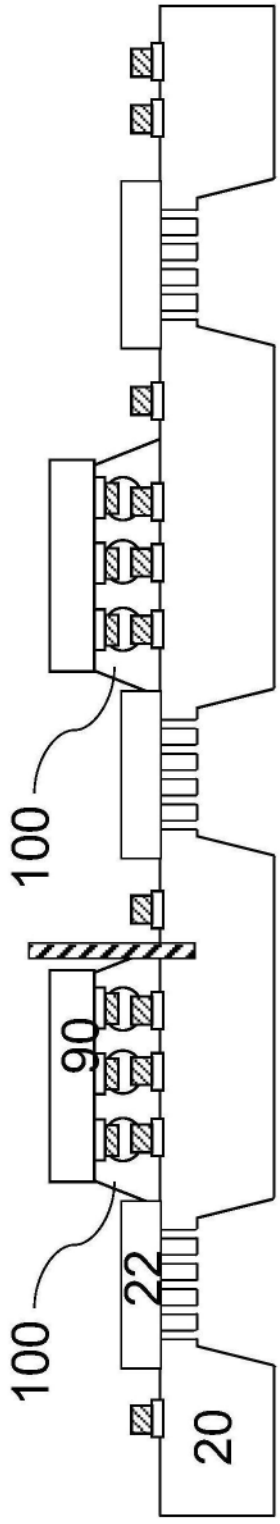


图11A

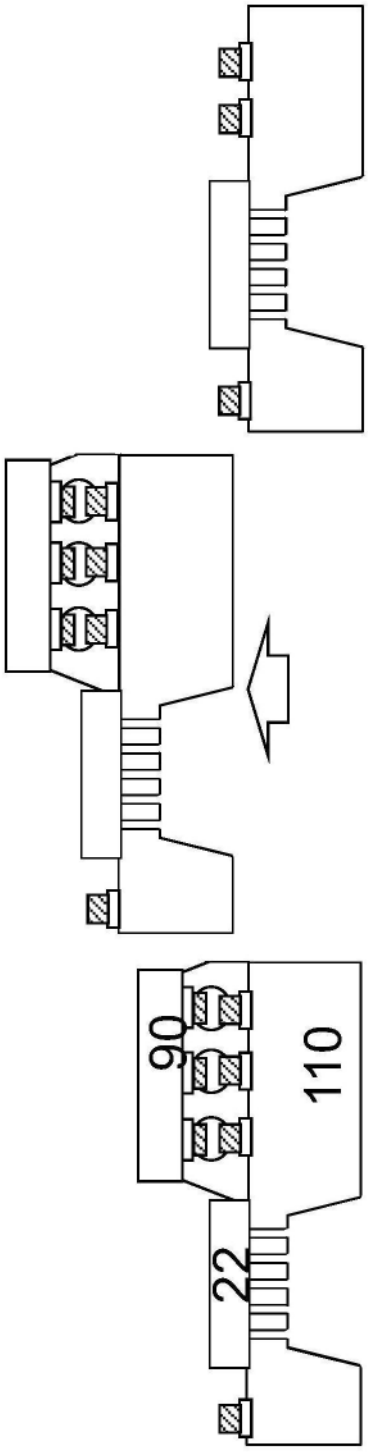


图11B

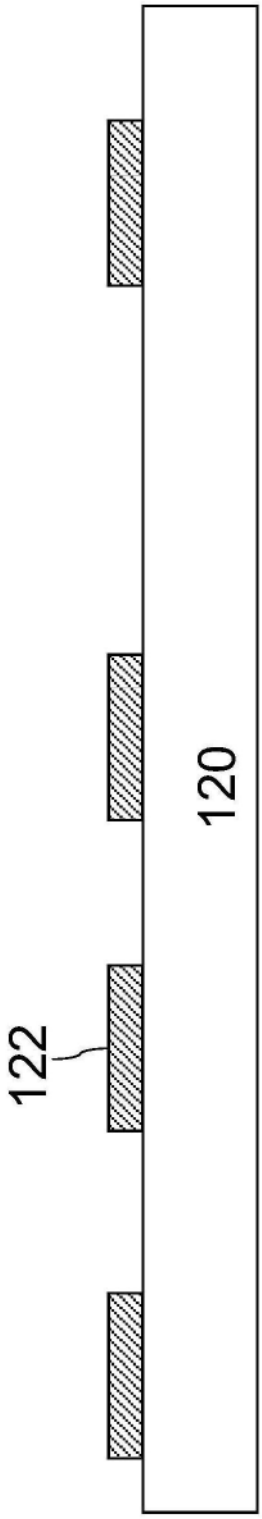


图12

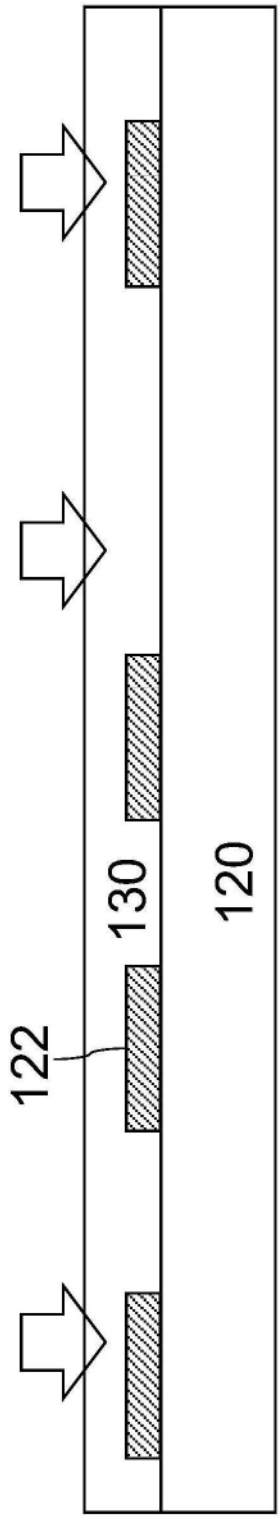


图13

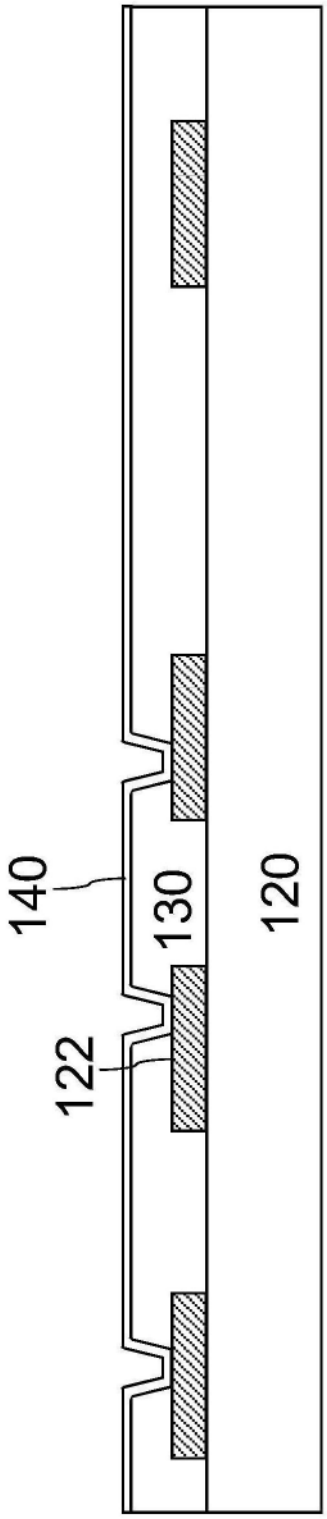


图14

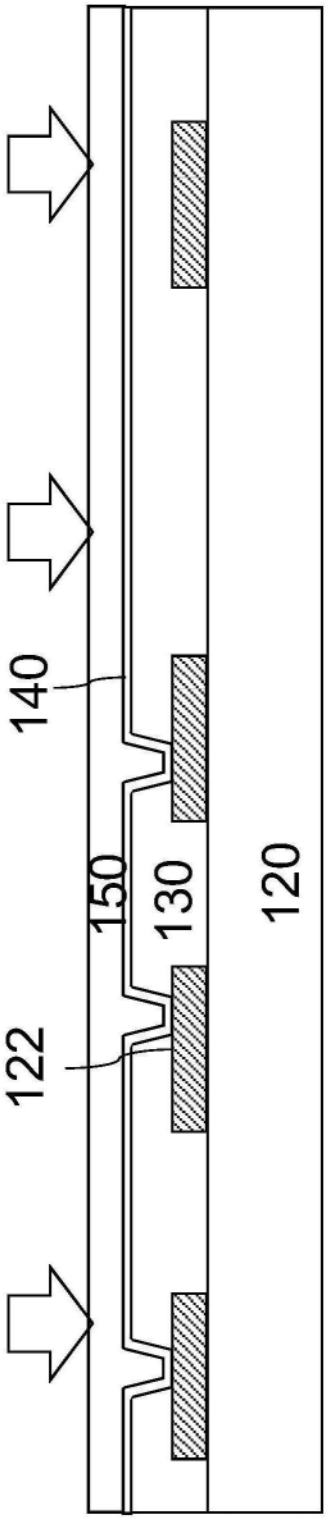


图15

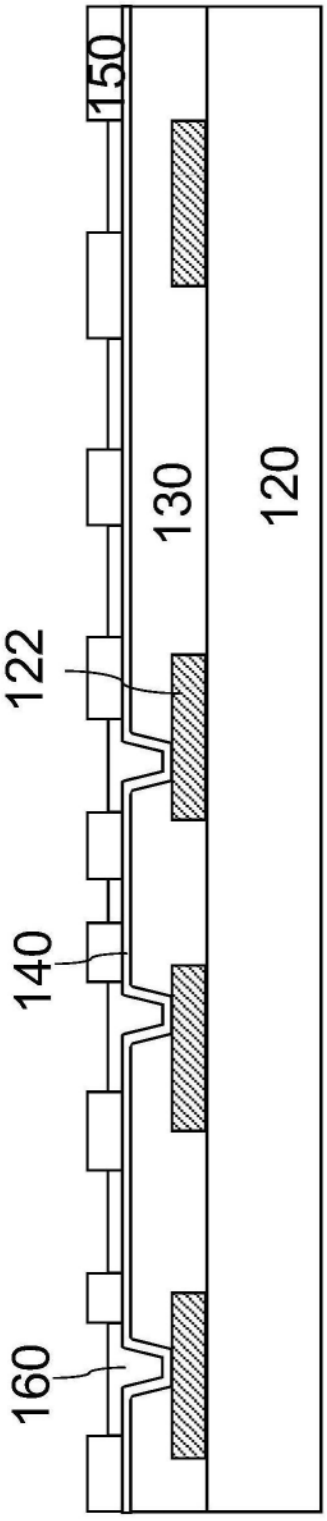


图16

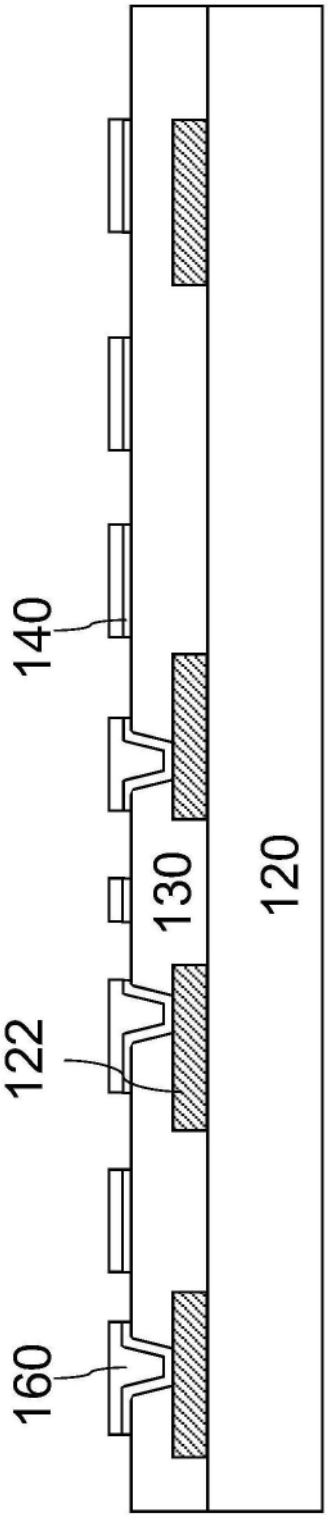


图17

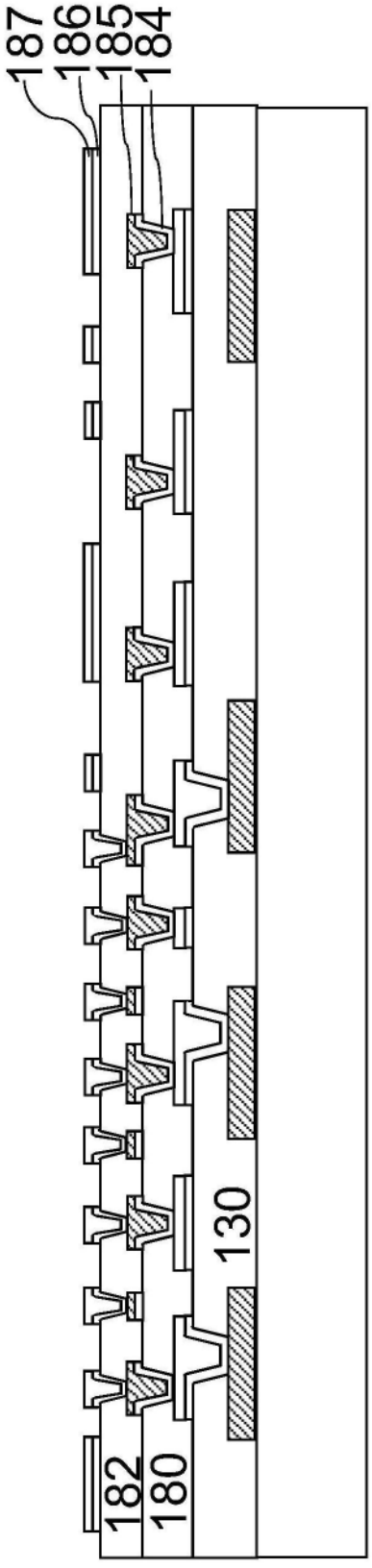


图18

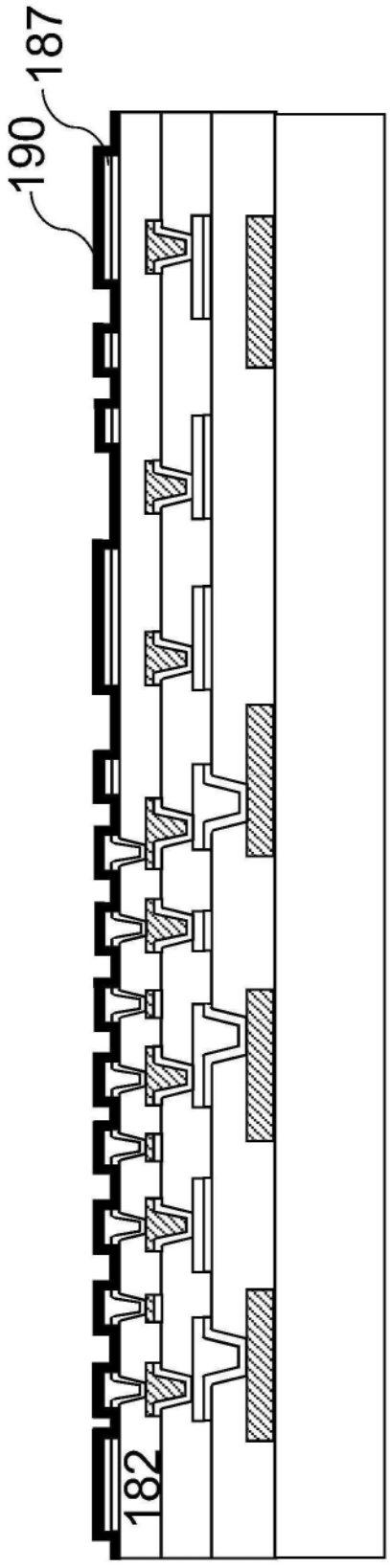


图19

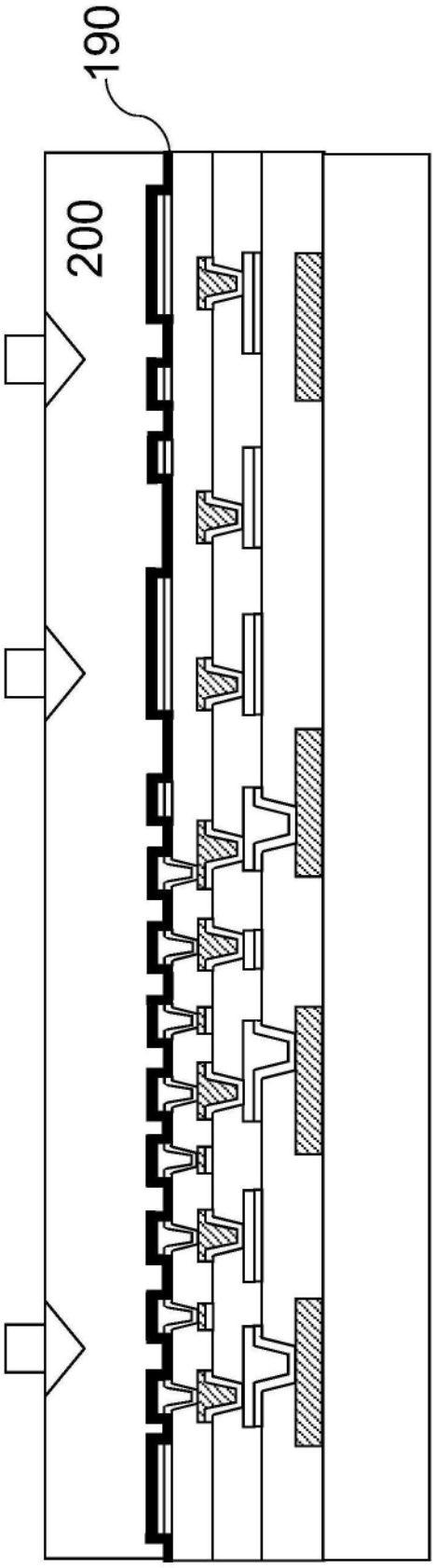


图20

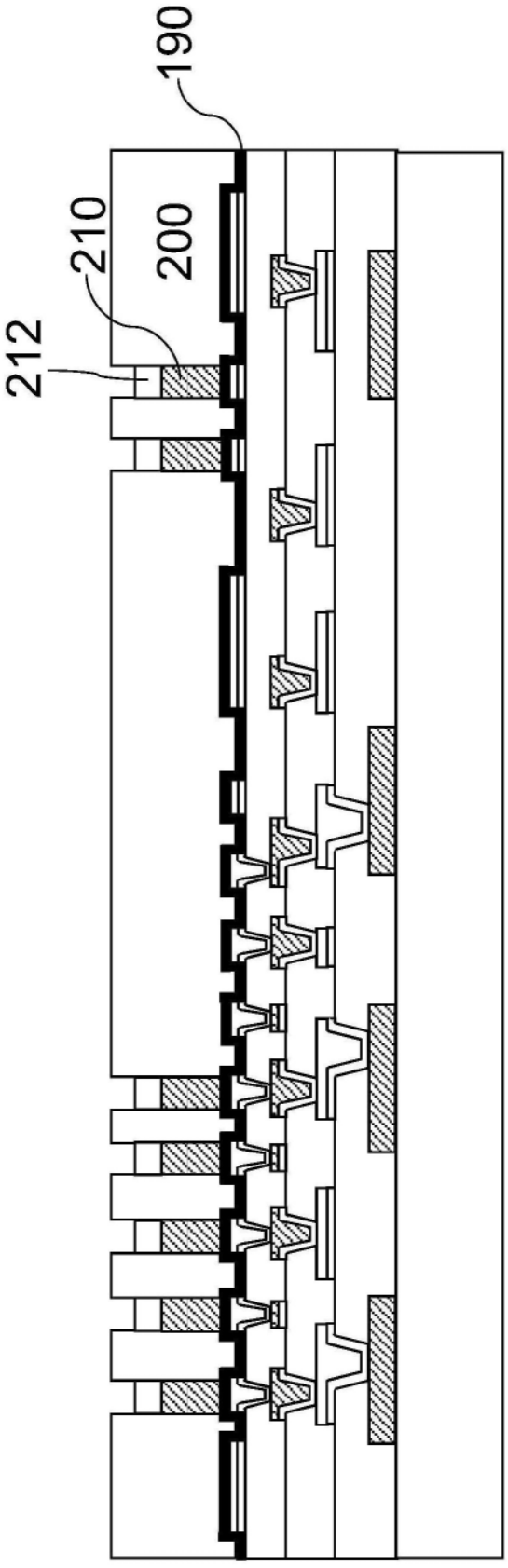


图21

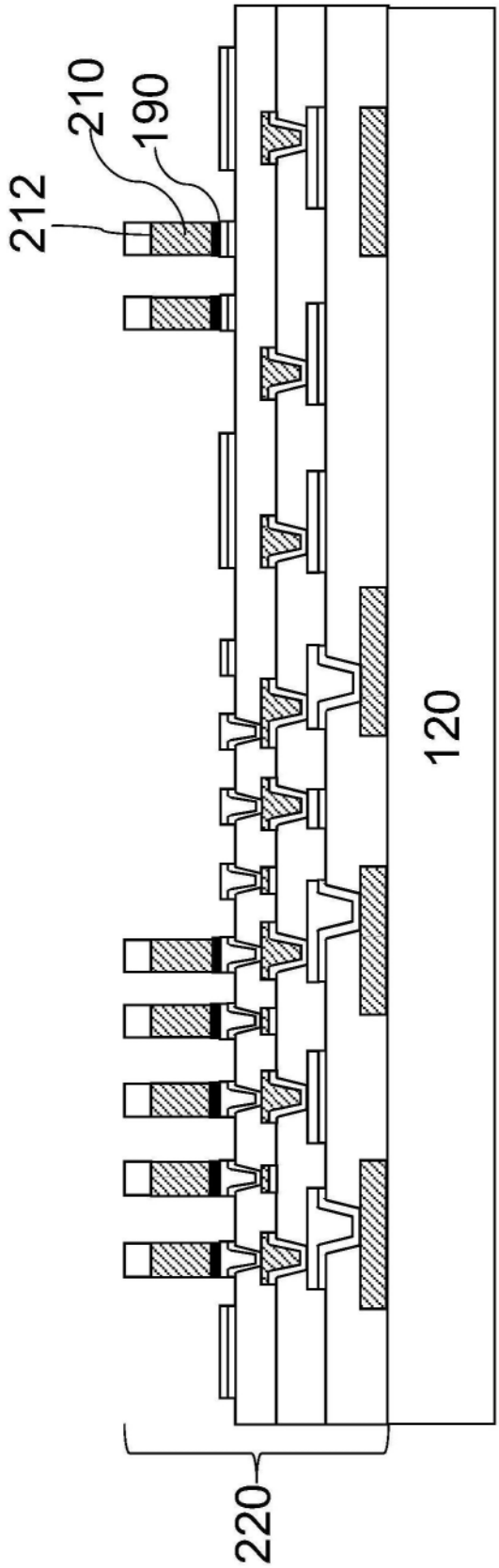


图22

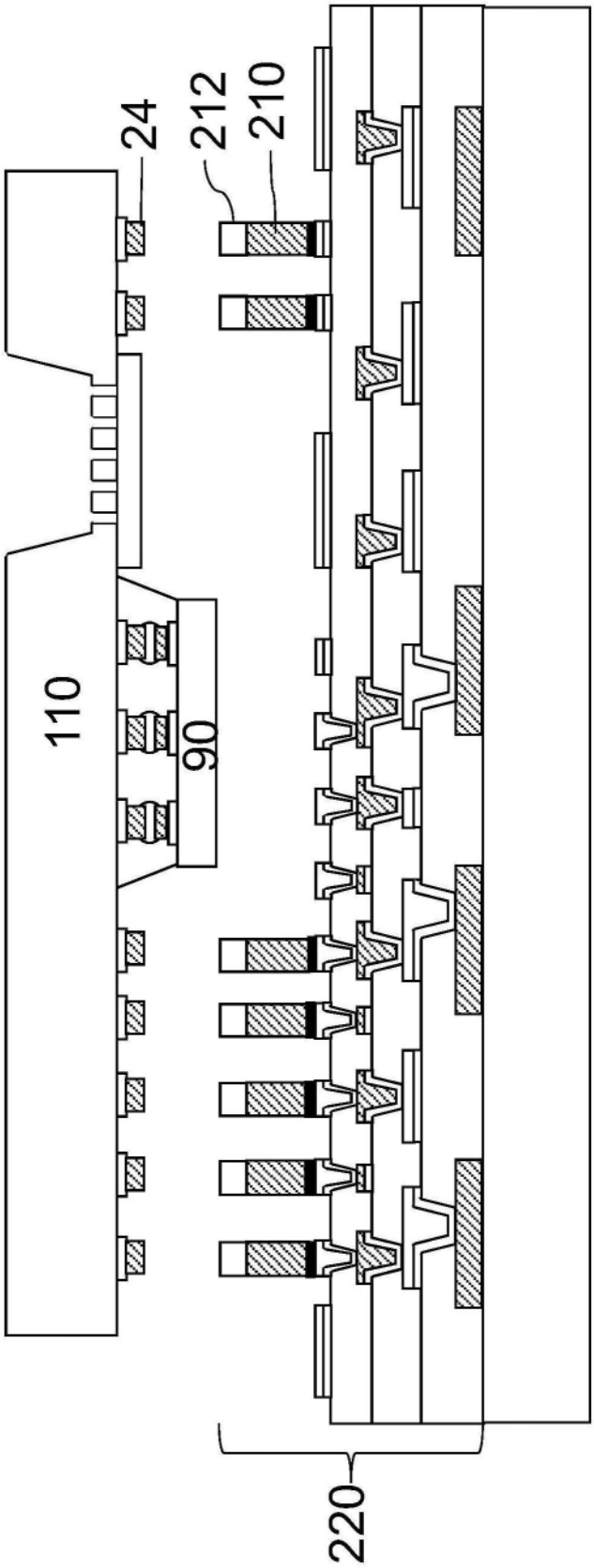


图23

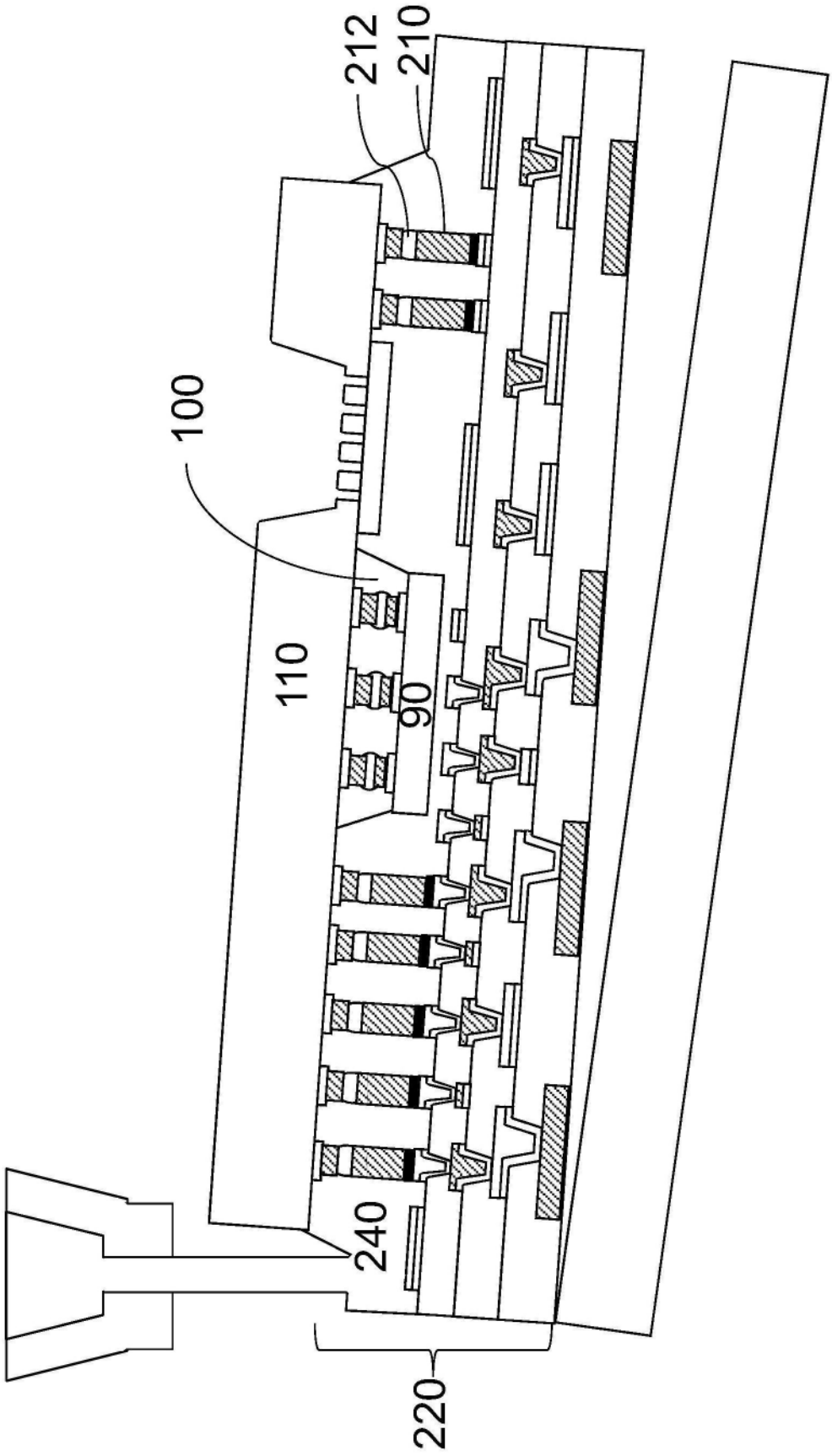


图24

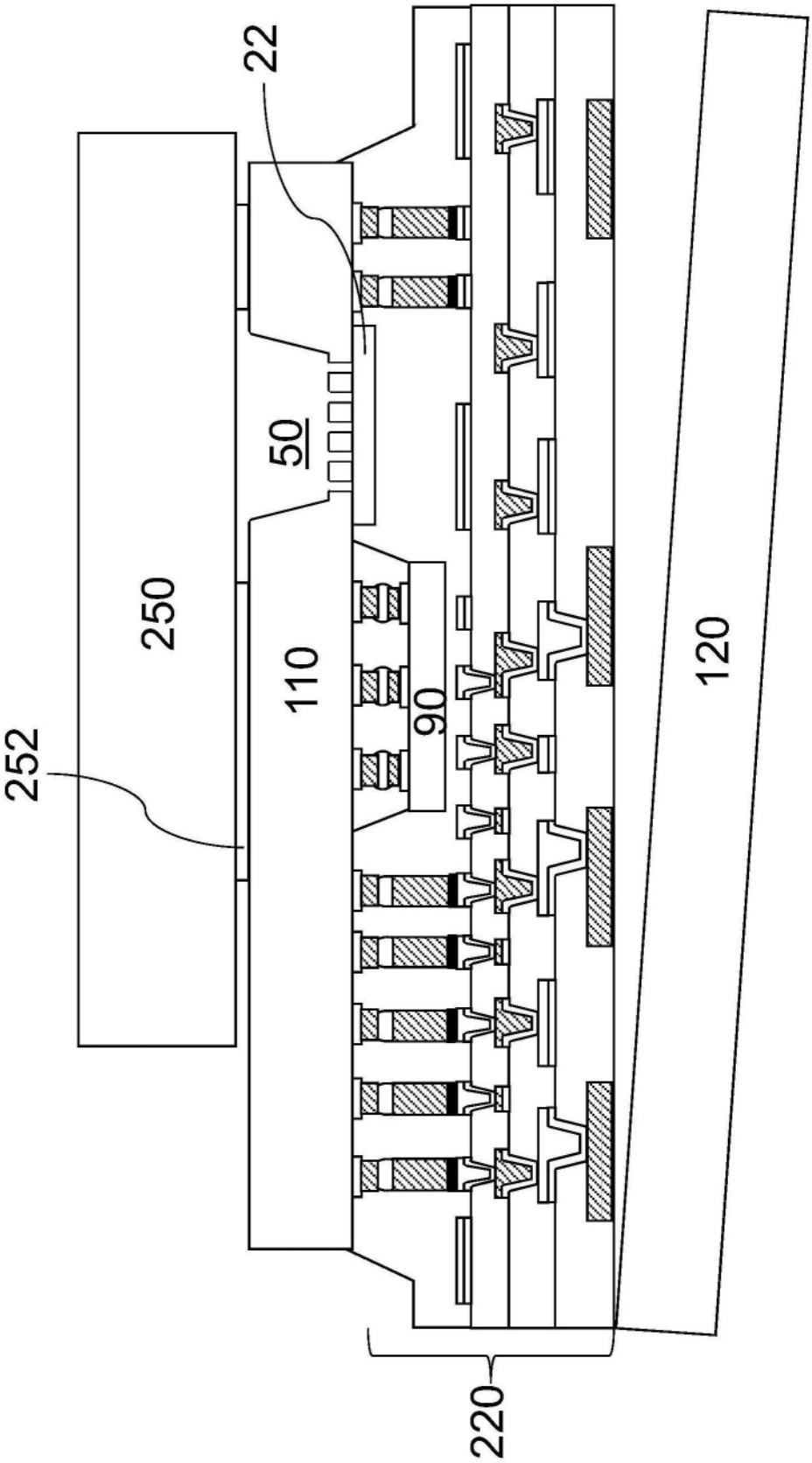


图25

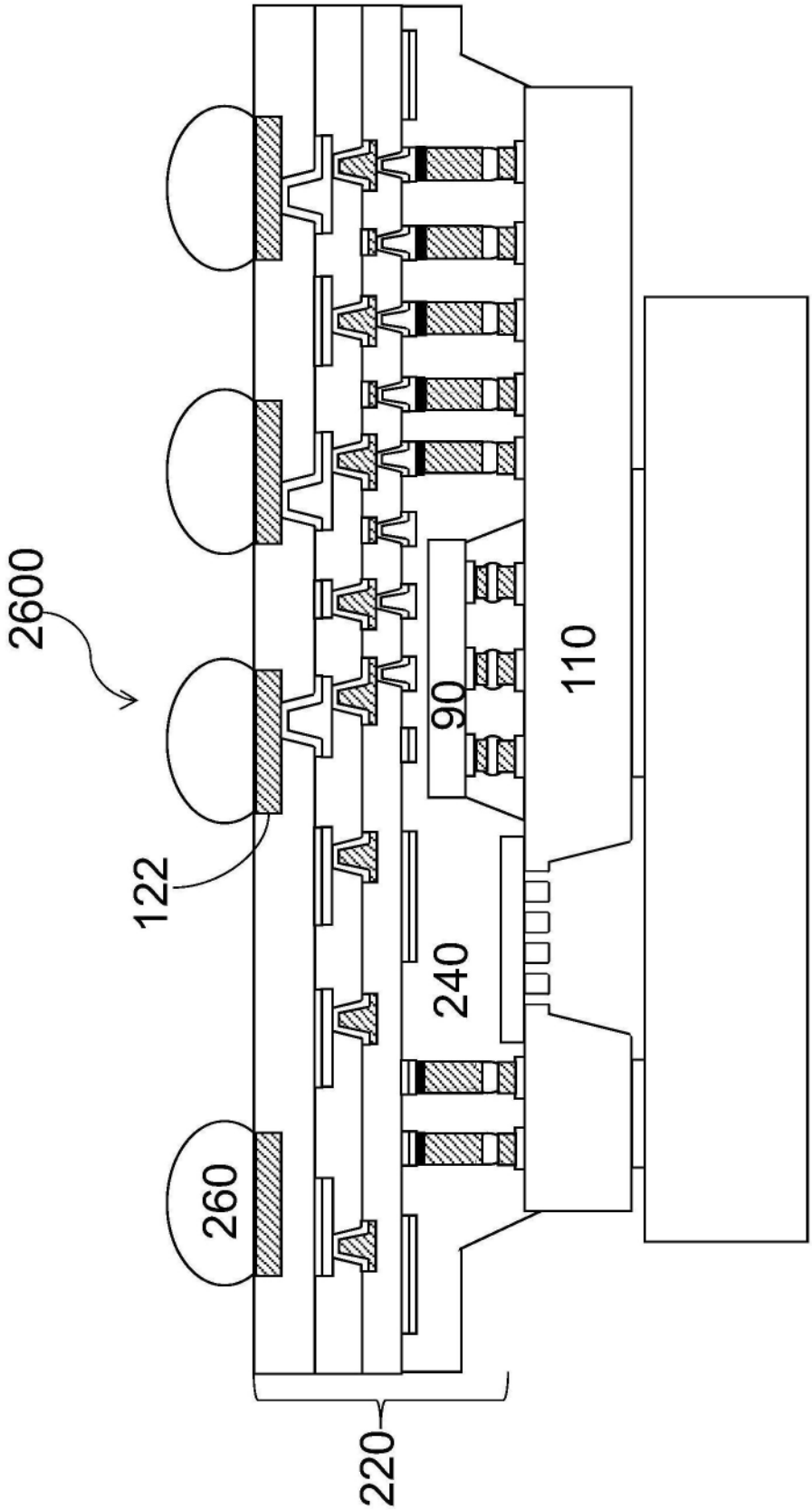


图26

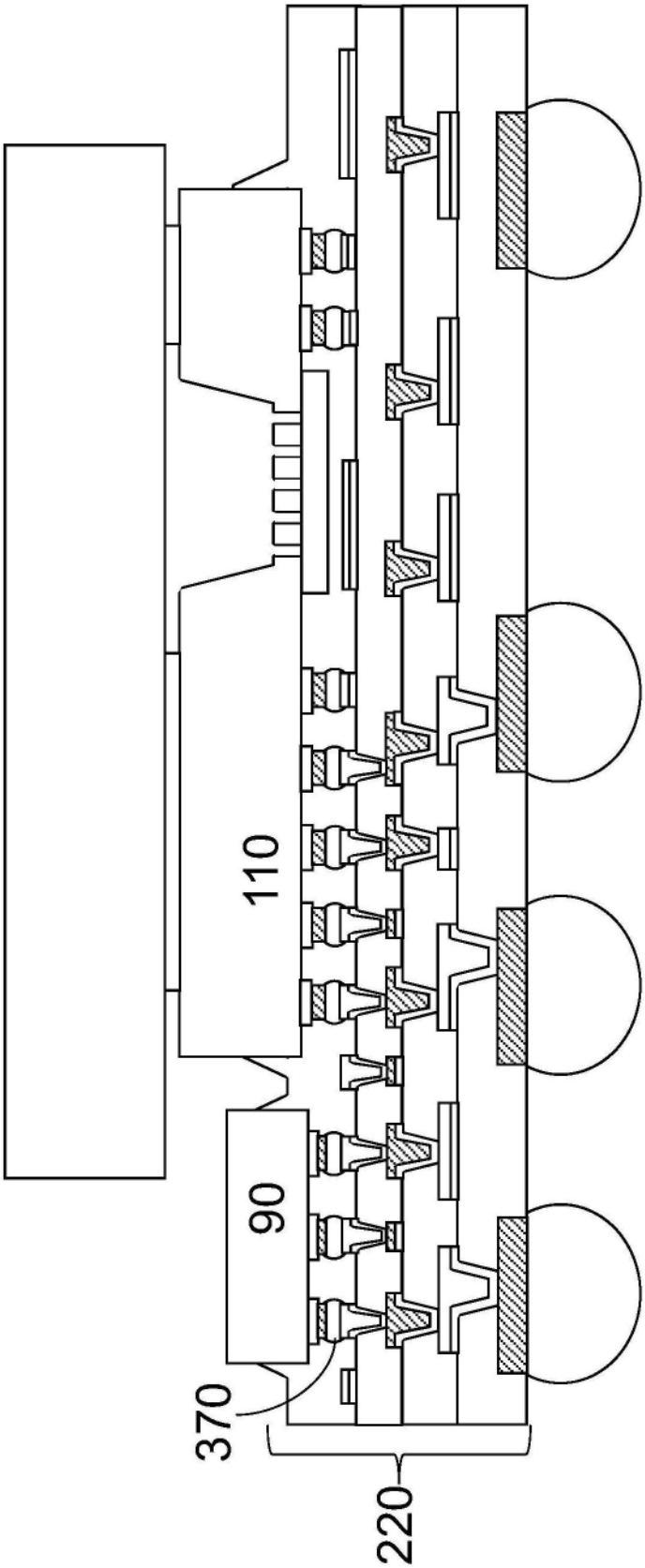


图27

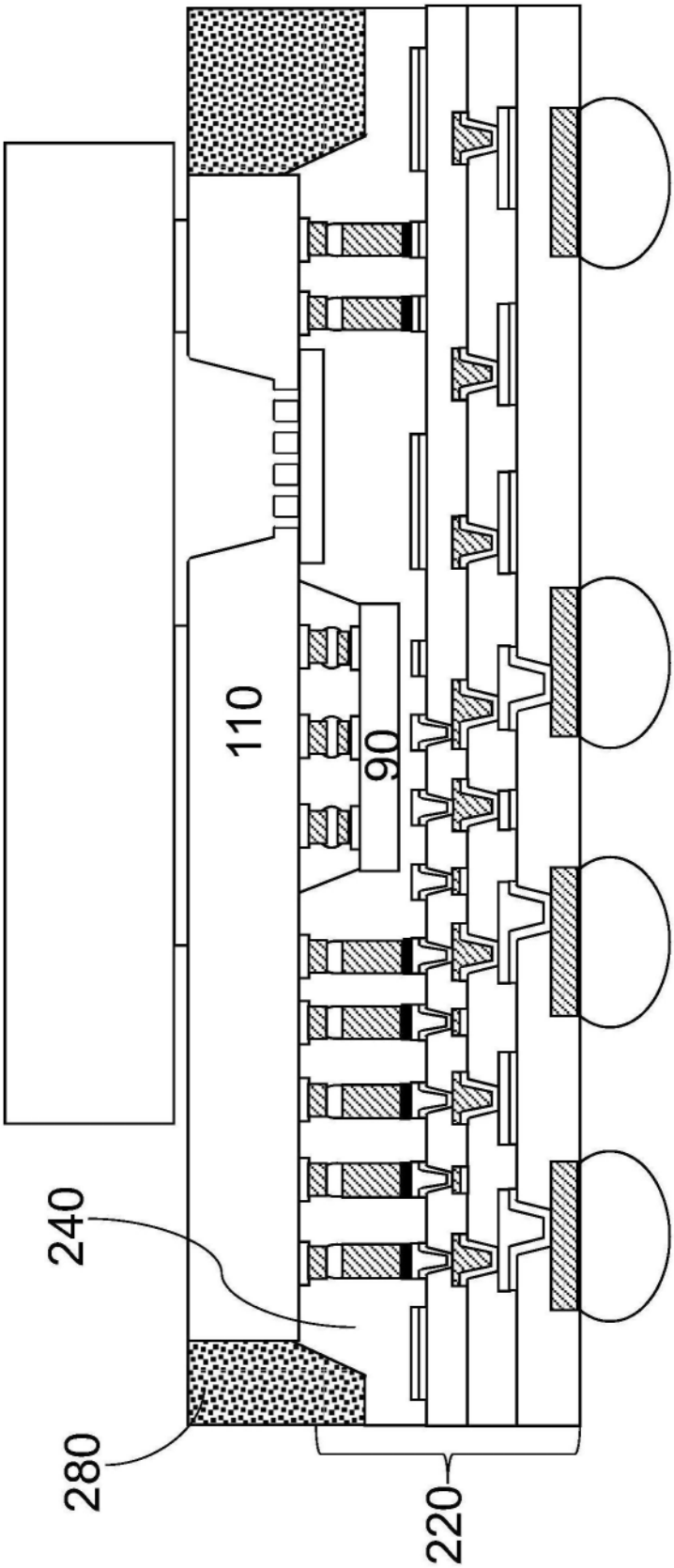


图28

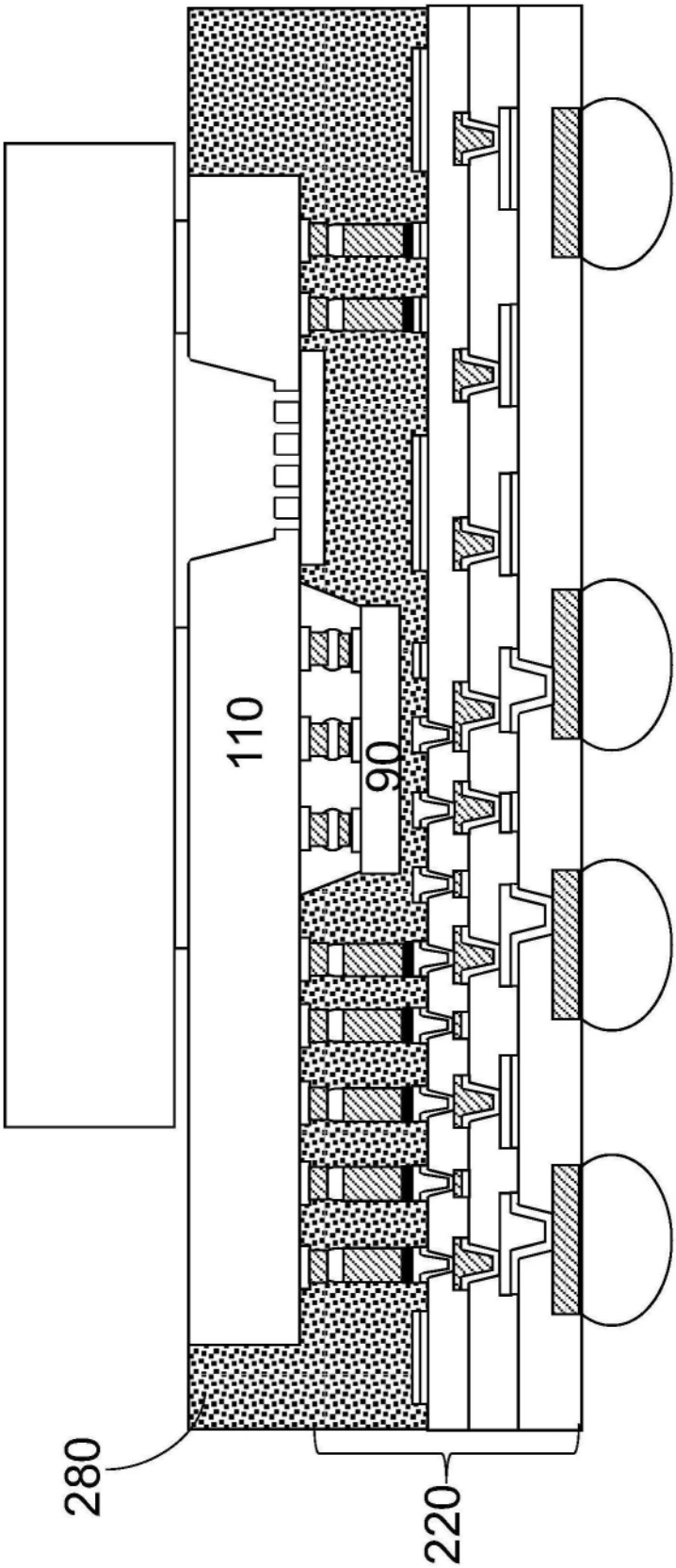


图29

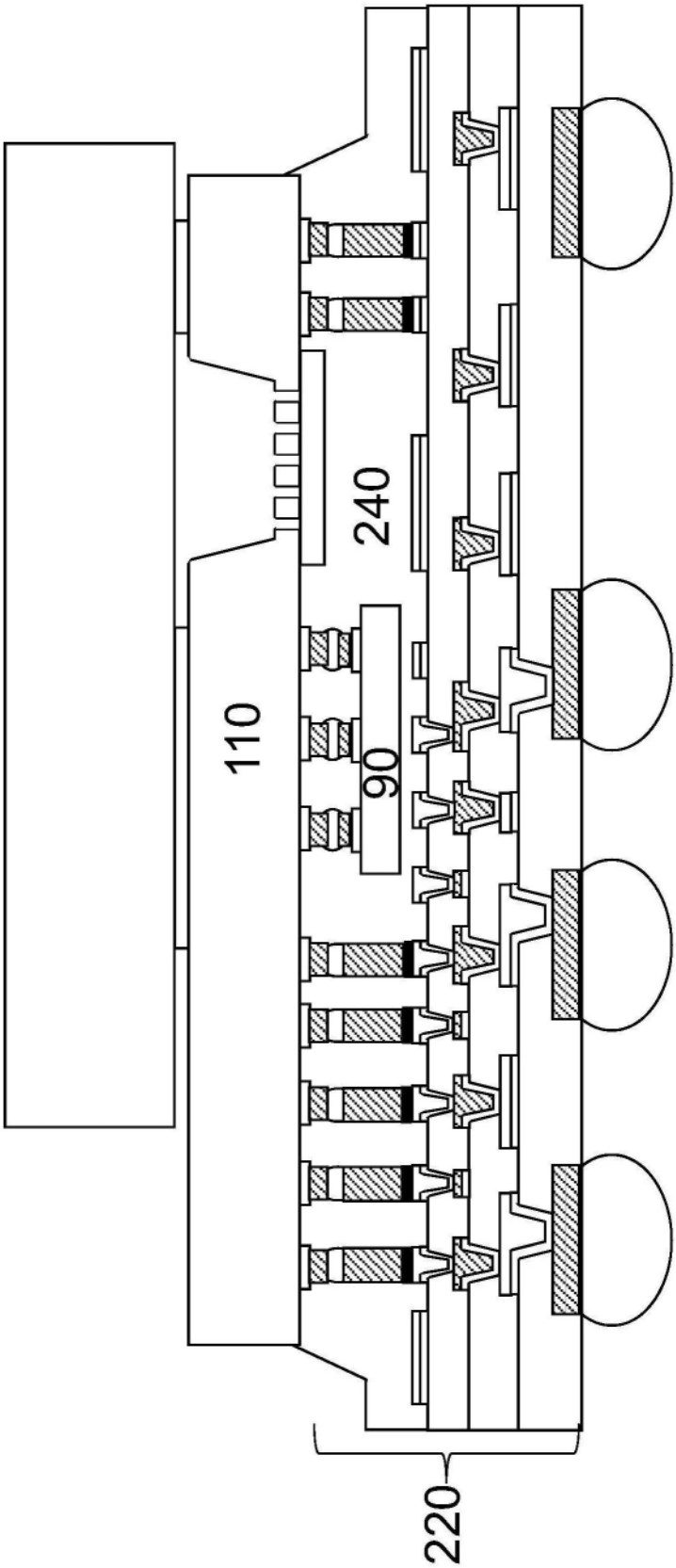


图30

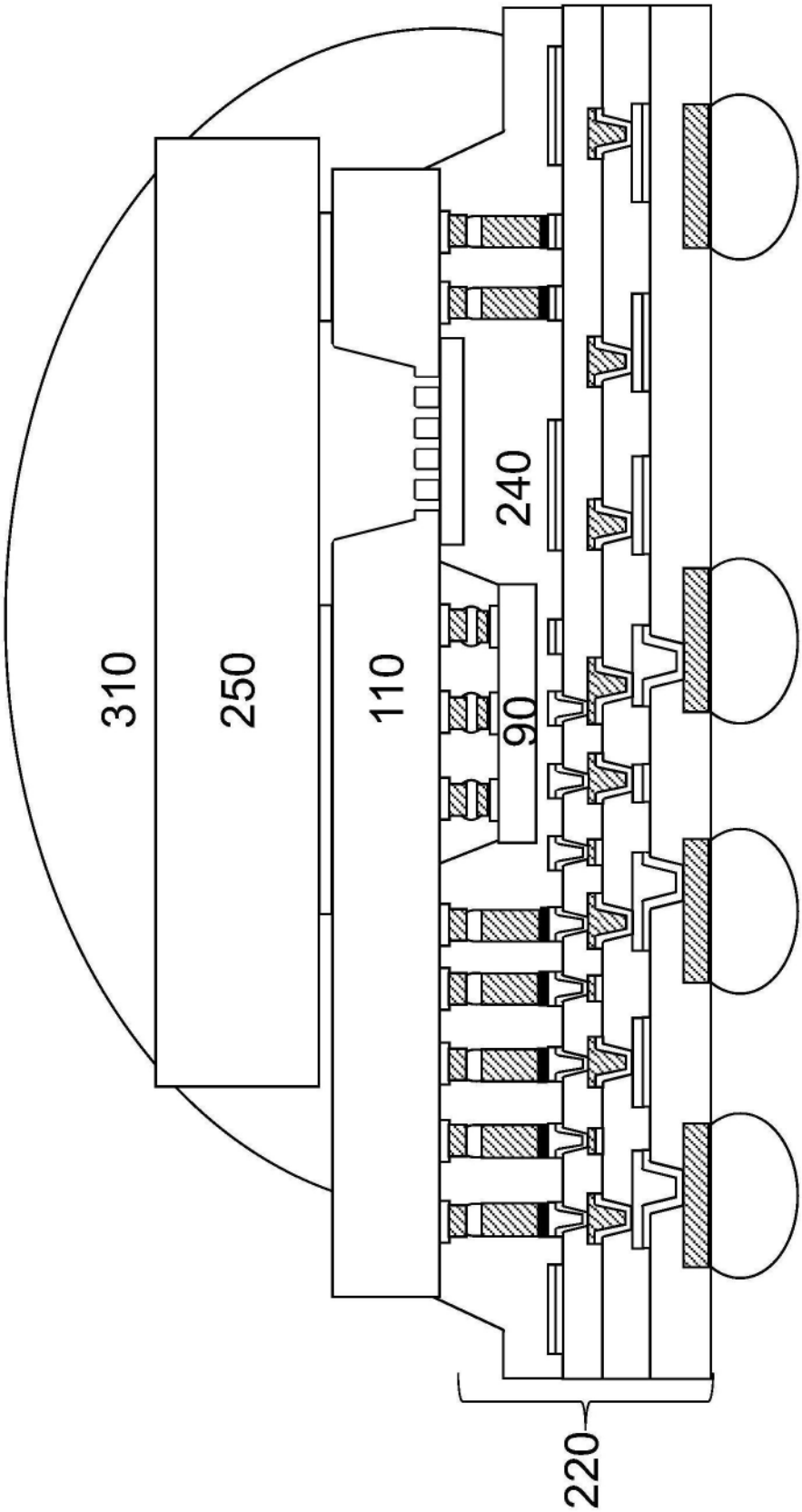


图31

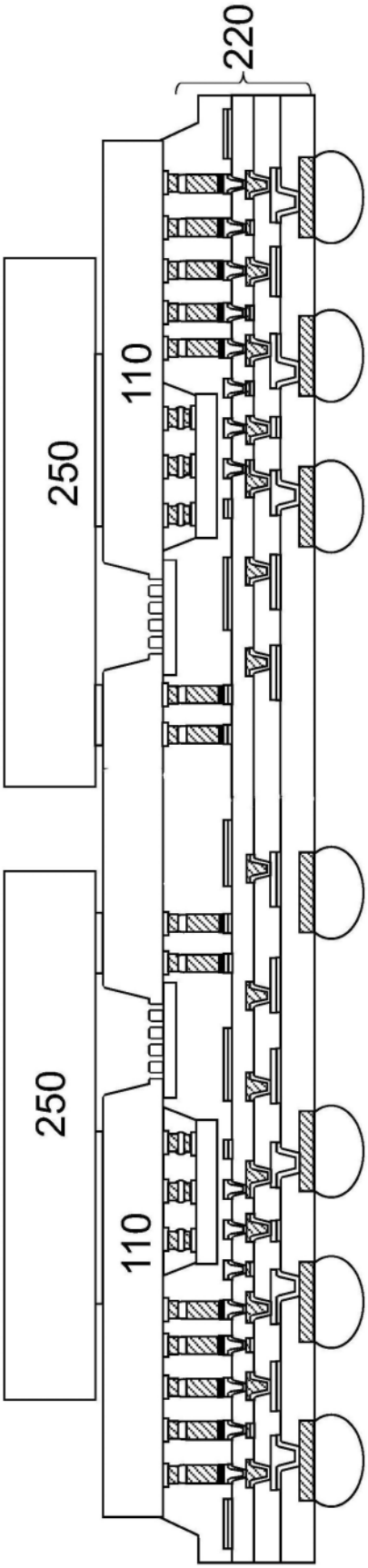


图32

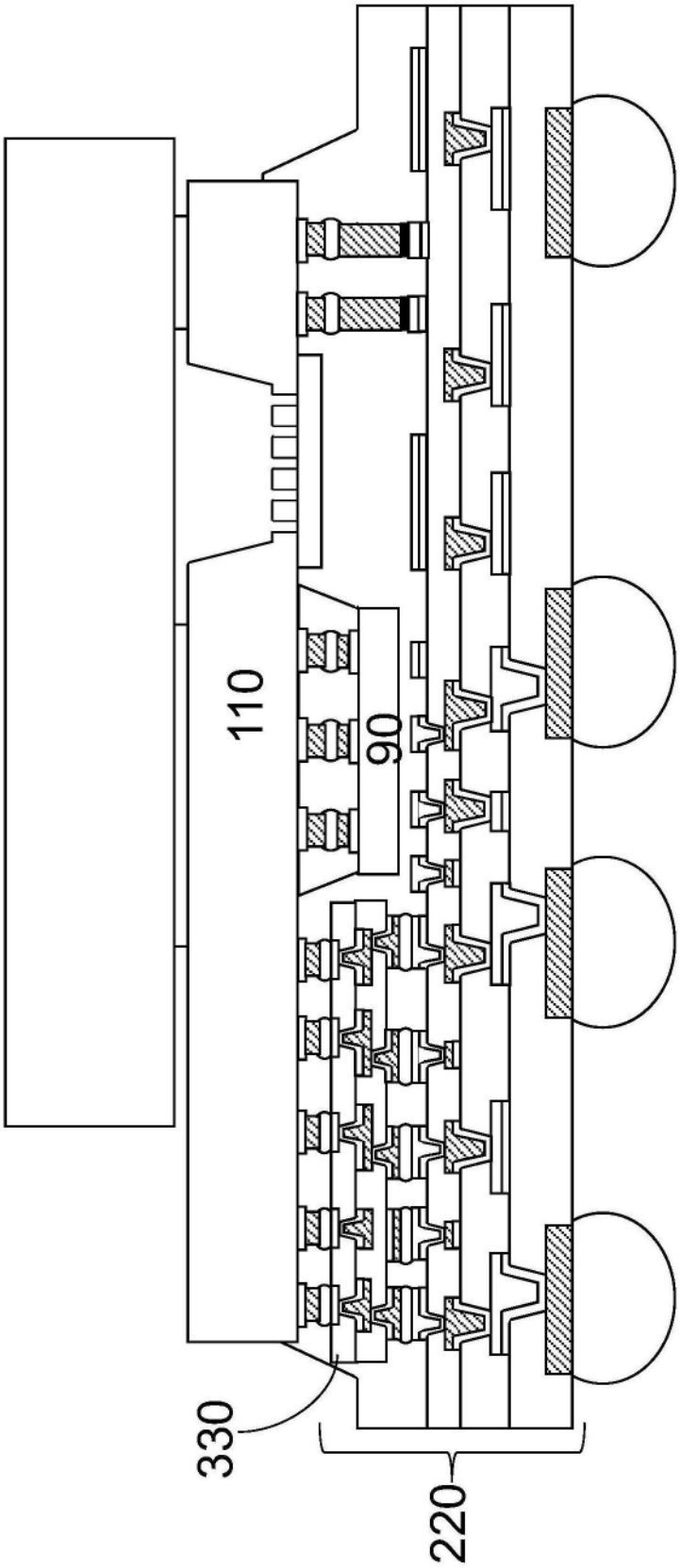


图33

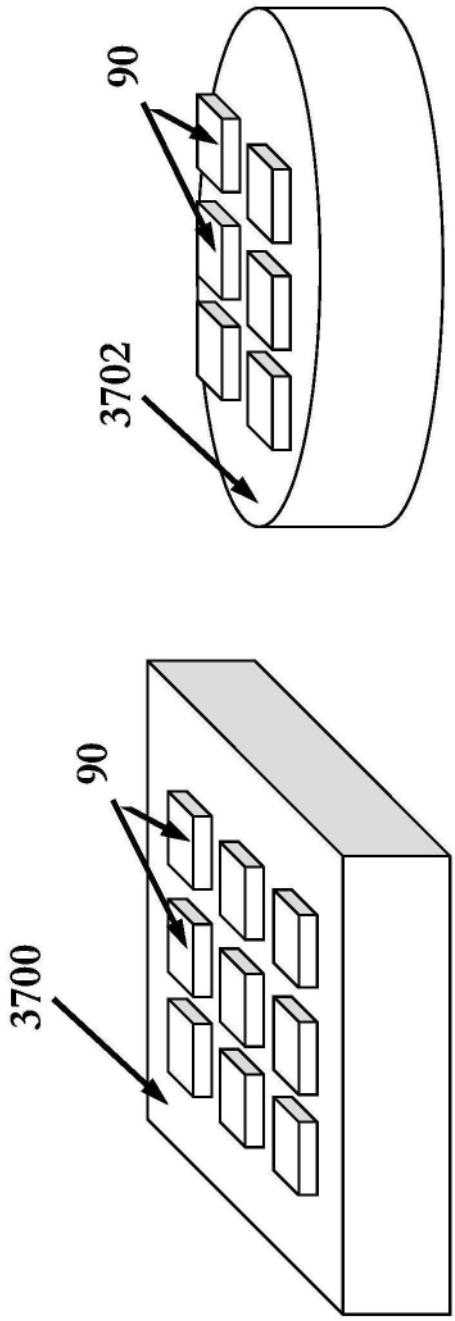


图34