



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월08일
 (11) 등록번호 10-0920481
 (24) 등록일자 2009년09월29일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0041835
 (22) 출원일자 2006년05월10일
 심사청구일자 2008년03월14일
 (65) 공개번호 10-2007-0109202
 (43) 공개일자 2007년11월15일
 (56) 선행기술조사문헌
 KR1020050086342 A*
 KR1020060031419 A*
 KR1020050039981 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자

강동호
 경북 구미시 구평동 부영아파트 605동 1002호
 서영일
 경북 구미시 구평동 부영APT 601동 506호
 조성현
 서울 성북구 정릉동 우방아파트 101동 1512호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 17 항

심사관 : 한만열

(54) 회전계 방식 액정표시장치와 그 제조방법

(57) 요약

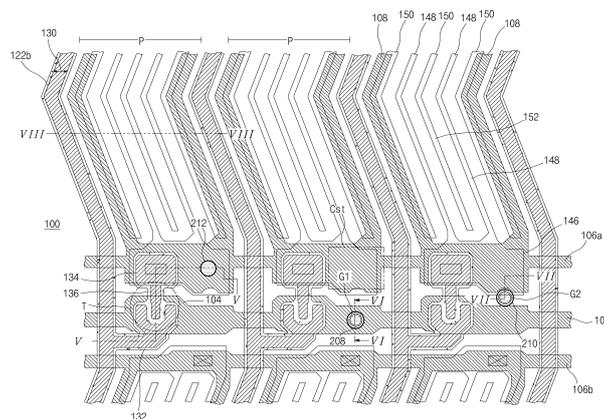
본 발명은 회전계 방식 액정표시장치에 관한 것으로 특히, 눌림에 의한 얼룩 불량(도장 불량)이 발생하지 않는 회전계 방식 액정표시장치와 그 제조방법에 관한 것이다.

본 발명은 공통 전극과 화소 전극을 동일층에 투명한 재질로 구성된 회전계방식 액정표시장치용 어레이기판을 4 마스크 공정으로 제작하는 것을 제 1 특징으로 하고, 상기 어레이기판과 합착되는 컬러필터 기판에는 갭 유지를 위한 갭 스페이서와, 눌림 방지를 위한 제 1 및 제 2 눌림 스페이서로 구성되는 삼중 컬럼 스페이서(Tripod column spacer)를 구성하는 것을 제 2 특징으로 한다.

이때, 상기 제 1 눌림 스페이서는 4마스크 공정 중 발생하는 층간 과도한 단차에 의해, 상기 제 2 눌림 스페이서와 상기 갭 스페이서간 발생하는 과도한 단차를 극복하기 위한 기능을 동시에 하는 것을 제 2 특징으로 한다.

이러한 제 1 및 제 2 특징을 통해 본 발명은, 공정을 단순화 할 수 있는 동시에, 눌림 불량에 의한 화질불량을 해결하여 고화질을 구현할 수 있는 장점이 있다.

대표도 - 도4



특허청구의 범위

청구항 1

복수의 화소영역이 형성된 제 1 기판과 제 2 기판과;

상기 제 1 기판의 일면에 구성되고, 상기 화소 영역의 일 측에 위치하는 게이트 배선과;

상기 게이트 배선과 평행하게 이격된 공통 배선과;

상기 게이트 배선 및 공통 배선과 상기 게이트 절연막을 사이에 두고 교차하여, 상기 화소 영역의 타 측에 위치하고, 하부에 길이 방향을 따라 양측으로 돌출된 반도체층이 존재하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터와;

상기 게이트 배선 또는 공통 배선의 상부에 위치하고, 반도체층과 금속패턴이 적층된 제 1 돌기와;

상기 게이트 배선과 공통 배선의 이격된 영역에 위치하고, 반도체층과 금속패턴이 적층된 제 2 돌기와;

상기 박막트랜지스터와 접촉하면서 상기 화소 영역으로 연장된 막대 형상의 투명한 화소 전극과, 이와 평행하게 이격된 투명한 공통 전극과;

상기 제 2 기판의 일면에 상기 화소 영역의 둘레에 대응하여 구성한 블랙매트릭스와;

상기 화소 영역에 구성한 컬러필터와;

상기 컬러필터 및 화소 영역이 구성된 기판에 구성되고, 상기 제 1 기판의 제 1 돌기에 대응하여 구성된 겹 스페이스와, 상기 제 2 돌기에 대응하여 구성된 제 1 놀림 스페이스와, 상기 게이트 배선 또는 공통 배선에 대응하여 구성된 제 2 놀림 스페이스

를 포함하는 횡전계 방식 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통 배선은 상기 화소 영역의 하부와 상부에 위치한 제 1 공통 배선과 제 2 공통 배선을 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 화소 영역의 양측에 상기 제 1 및 제 2 공통 배선을 연결하는 공통 전극을 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제 2 돌기의 양측에 위치한 게이트 배선과 공통 배선 중 하나는 상기 제 2 돌기의 형상에 따라 안쪽으로 인입된 형태로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 돌기는 상부의 금속패턴이 하부의 반도체층에 비해 작은 면적으로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 놀림 스페이스와 제 2 놀림 스페이스가 위치한 상기 제 1 기판의 표면 단차는 2500Å인 것을 특징으로

로 하는 횡전계 방식 액정표시장치.

청구항 7

제 1 항에 있어서

상기 게이트 절연막은 상기 소스 및 드레인 전극과, 상기 제 1 및 제 2 돌기와 상기 데이터 배선의 하부에 위치한 부분이 다른 영역의 부분보다 1000Å 두껍게 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치.

청구항 8

복수의 화소영역이 형성된 제 1 기판과 제 2 기판을 준비하는 단계와;

상기 제 1 기판의 일면에 상기 화소 영역의 일 측에 위치하도록 게이트 배선과, 이와 이격된 공통 배선을 형성하는 단계와;

상기 게이트 배선 및 공통 배선과 게이트 절연막을 사이에 두고 교차하여, 상기 화소 영역의 타 측에 위치하고, 하부에 길이 방향을 따라 양측으로 돌출된 반도체층과 그 상부의 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와;

상기 게이트 배선 또는 공통 배선의 상부에 상기 게이트 절연막을 사이에 두고 위치하고 반도체층과 금속패턴이 적층된 제 1 돌기와, 상기 게이트 배선과 공통 배선의 이격된 영역에 위치하고 반도체층과 금속패턴이 적층된 제 2 돌기를 형성하는 단계와;

상기 박막트랜지스터와 접촉하면서 상기 화소 영역으로 연장된 막대 형상의 투명한 화소 전극과, 이와 평행하게 이격된 공통 전극을 형성하는 단계와;

상기 제 2 기판의 일면에 상기 화소 영역의 둘레에 대응하여 블랙매트릭스를 형성하는 단계와;

상기 화소 영역에 컬러필터를 형성하는 단계와;

상기 컬러필터 및 블랙매트릭스가 형성된 기판에 형성되고, 상기 제 1 기판의 제 1 돌기에 대응하여 갭 스페이서와, 상기 제 2 돌기에 대응하여 제 1 눌림 스페이서와, 상기 게이트 배선 또는 공통 배선에 대응하여 제 2 눌림 스페이서를 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치 제조방법.

청구항 9

제 8 항에 있어서,

상기 공통 배선은 상기 화소 영역의 하부와 상부에 위치한 제 1 공통 배선과 제 2 공통 배선을 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치 제조방법.

청구항 10

제 8 항에 있어서,

상기 화소 영역의 양측에 상기 제 1 및 제 2 공통 배선을 연결하는 공통 전극을 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치 제조방법.

청구항 11

제 8 항에 있어서,

상기 제 2 돌기의 양측에 위치한 게이트 배선과 공통 배선 중 하나는 상기 제 2 돌기의 형상에 따라 안쪽으로 인입된 형태로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치 제조방법.

청구항 12

제 8 항에 있어서,

상기 제 1 및 제 2 돌기는 상부의 금속패턴이 하부의 반도체층에 비해 작은 면적으로 형성된 것을 특징으로 하

는 횡전계 방식 액정표시장치 제조방법.

청구항 13

제 8 항에 있어서,

상기 제 1 놀림 스페이서와 제 2 놀림스페이서가 위치한 상기 제 1 기관의 표면 단차는 2500Å인 것을 특징으로 하는 횡전계 방식 액정표시장치 제조방법.

청구항 14

제 8 항에 있어서

상기 게이트 절연막은 상기 소스 및 드레인 전극과, 상기 제 1 및 제 2 돌기와 상기 데이터 배선의 하부에 위치한 부분이 다른 영역의 부분보다 1000Å 두껍게 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치 제조방법.

청구항 15

기관에 복수의 화소 영역과 스위칭 영역을 형성하는 단계와;

상기 기관 상에 일 방향으로 연장된 게이트 배선과, 이와 평행하게 이격된 공통 배선과, 상기 스위칭 영역에 게이트 전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선과 게이트 전극과 공통 전극이 형성된 기관의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와;

상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패터하여, 상기 게이트 전극에 대응하는 게이트 절연막의 상부에 제 1 반도체층과, 제 1 반도체층의 상부에 이격된 소스 전극과 드레인 전극을 형성하고, 상기 화소 영역의 일 측에 상기 제 1 반도체층에서 연장된 제 2 반도체층과, 상기 제 2 반도체층의 상부에 데이터 배선을 형성하고, 상기 게이트 배선 또는 공통 배선의 이격된 영역에 제 2 반도체층과 제 1 금속패턴이 적층된 제 1 돌기와, 상기 게이트 배선 또는 공통 배선의 상부에 제 3 반도체층과 제 2 금속패턴이 적층된 제 2 돌기를 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선과 제 1 및 제 2 돌기가 형성된 기관의 전면에 보호막을 형성하고, 상기 드레인 전극과 상기 공통 배선을 노출하는 제 3 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 투명한 화소 전극과, 이와는 이격되고 상기 공통 배선과 접촉하는 투명한 공통 전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이 기관 제조방법.

청구항 16

제 15 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 도전성 금속층의 상부에 감광층을 형성하는 단계와;

상기 감광층 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 감광층을 노광하는 단계와;

상기 감광층을 현상하여, 상기 스위칭 영역에 중심이 낮은 높이로 패터된 단차진 제 1 감광패턴과, 상기 제 1 감광패턴에서 상기 화소 영역의 일 측으로 연장된 제 2 감광패턴과, 상기 게이트 배선 또는 공통 배선에 제 3 감광패턴과, 상기 게이트 배선과 공통 배선의 이격영역에 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 제 1 내지 제 4 감광패턴의 하부에 이와 동일 형상의 금속패턴과, 반도체 패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴을 애싱하여, 상기 제 1 감광패턴의 낮은 부분을 제거하는 단계와;

상기 제 1 감광패턴을 제거하여 노출된 금속패턴을 제거하고, 그 하부의 반도체패턴 중 불순물 비정질 실리콘층을 제거하는 단계와;

상기 제 1 내지 제 4 감광패턴을 제거하여, 상기 스위칭 영역에 대응하여 액티브층과, 액티브층의 상부에 이격된 오믹 콘택층과, 상기 오믹 콘택층의 상부에 소스 전극과 드레인 전극과, 상기 소스 전극에서 상기 화소 영역의 일 측으로 연장되고 하부에 양측으로 연장된 반도체 패턴이 구성된 데이터 배선과, 상기 게이트 배선 또는 공통 배선의 상부에 반도체 패턴과 금속패턴이 적층된 제 1 돌기와, 상기 공통 배선과 게이트 배선의 이격된 영역에 반도체 패턴과 금속패턴이 적층된 제 2 돌기를 형성한 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 17

제 15 항에 있어서,

상기 마스크는 상기 스위칭 영역에 대응하여 반투과부를 중심으로 양측에 차단부가 구성되고, 상기 게이트 배선 또는 공통 배선의 임의의 영역과, 상기 게이트 배선과 공통 배선의 이격영역의 임의의 영역과, 상기 화소 영역의 일 측을 따라 길이 방향으로 차단부가 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 횡전계 방식 액정표시장치에 관한 것으로 특히, 셀갭 유지 및 놀림에 의한 얼룩방지 기능을 위한 삼중 컬럼 스페이서(Tripod column spacer)를 포함하는 횡전계 방식 액정표시장치와 그 제조방법에 관한 것이다.
- <19> 일반적으로, 액정표시장치는 합착된 두 기판 사이에 충전된 액정의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 박형의 표시장치이다.
- <20> 이하, 도면을 참조하여 액정표시장치의 일반적인 구성을 설명한다.
- <21> 도 1은 종래에 따른 액정표시장치를 개략적으로 도시한 사시도이다.
- <22> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 컬러필터 기판(B1)과 어레이기판(B2)이 액정층(14)을 사이에 두고 합착된 상태로 제작된다.
- <23> 상기 컬러필터 기판(B1)은, 다수의 화소 영역(P)이 정의된 투명한 기판(5)과, 상기 기판(5)의 일면에 상기 각 화소영역(P)마다 구성된 컬러필터(7a,7b,7c)와, 상기 컬러필터(7a,7b,7c)사이에 구성된 블랙 매트릭스(6)를 포함한다.
- <24> 상기 어레이 기판(B2)은, 다수의 화소 영역(P)이 정의된 투명한 기판(22)과, 상기 기판(P)상에 상기 화소 영역(P)의 일 측과 이에 수직인 타 측마다 구성된 게이트 배선(12)과 데이터 배선(24)과, 상기 두 배선(12,24)의 교차지점에 위치하고, 게이트 전극(30)과 액티브층(32)과 소스 전극(34)과 드레인 전극(36)으로 구성된 박막트랜지스터(T)를 포함한다.
- <25> 또한, 상기 화소 영역(P)에 위치하고 상기 드레인 전극(36)과 접촉하는 화소 전극(17)을 포함한다.
- <26> 전술한 구성에서, 상기 액정층(14)은 상기 컬러필터기판(B1)과 어레이기판(B2)사이에 위치하고 표면이 러빙처리된 배향막(미도시)에 의해 초기 배열된다.
- <27> 또한, 도시하지는 않았지만 상기 컬러필터 기판(B1)과 어레이 기판(B2)의 사이에는 두 기판 사이의 갭(gap)을 유지하기 위한 컬럼스페이서(미도시)가 다수개 구성된다.
- <28> 전술한 구성에서, 상기 화소 전극(17)과 공통 전극(18) 사이에 전압을 인가하게 되면 세로 방향으로 전기장이 발생하게 되며, 이 전기장에 의해 상기 액정(14)이 구동하게 되어, 이에 따라 달라지는 빛의 투과율에 의해 화

상을 표현할 수 있게 된다.

- <29> 그러나, 상기와 같은 수직전계에 의한 구동은, 액정패널의 시야각 측면에서 광시야각을 구현하기 힘든 문제가 있다.
- <30> 따라서, 이를 해결하기 위해 수평전계로 액정을 구동하는 방식이 제안되었다. 수평전계로 액정을 구동하게 되면 종래의 수직전계 모드에 비해 광시야각을 구현할 수 있는 장점이 있다.
- <31> 이때, 전계를 수평으로 구동하기 위해서는 상기 화소 전극과 공통 전극이 새로운 형태로 설계되어야 하며, 이와 같은 횡전계 방식의 어레이기판 구성을 이하 도면을 참조하여 설명한다.
- <32> 도 2는 종래에 따른 횡전계 방식 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.(대향기관(컬러필터 기관)에 구성하는 컬럼 스페이서를 표시함).
- <33> 도시한 바와 같이, 종래에 따른 횡전계 방식 액정표시장치용 어레이 기판은, 기관(50)상에 일 방향으로 연장된 게이트 배선(52)과, 이와 평행하게 이격된 제 1 및 제 2 공통 배선(56a,56b)이 구성된다.
- <34> 이때, 상기 게이트 배선 및 공통 배선(52,56a,56b)과 교차하는 방향으로 데이터 배선(72)이 구성된다.
- <35> 상기 제 1 및 제 2 공통 배선(56a,56b)과 데이터 배선(72)이 교차하여 화소 영역(P)을 정의 한다.
- <36> 상기 게이트 배선(52)과 데이터 배선(72)의 교차부에는 게이트 배선(52)의 일부인 게이트 전극(54)과, 상기 게이트 전극(54)의 상부에 위치하는 액티브층(60)과, 상기 액티브층(60)의 상부에 이격된 소스 전극(62)과 드레인 전극(64)으로 구성된 박막트랜지스터(T)가 위치한다.
- <37> 상기 화소 영역(P)의 양측에는 상기 제 1 및 제 2 공통 배선(56a,56b)과 동일층 동일물질로 형성되고, 상기 두 배선(56a,56b)과 수직하게 연결된 제 1 공통 전극(58)이 구성되고, 상기 화소 영역(P)의 중심 영역에는 상기 제 2 공통 배선(56b)과 접촉하면서 수직하게 연장된 막대 형상의 투명한 제 2 공통 전극(82)이 구성된다.
- <38> 또한, 상기 제 2 공통 전극(82) 사이에 화소 전극(80)이 구성되며, 상기 화소 전극(80)은 상기 드레인 전극과 (64)과 접촉하는 인출부(78)에서 연장된 투명한 막대 형상이다.
- <39> 이때, 상기 제 1 공통 배선(56a)과 상부의 인출부(78)는 두 구성사이에 개재된 절연막과 함께, 보조 용량부(Cst)를 형성한다.
- <40> 전술한 바와 같이 구성된, 횡전계 방식 어레이 기판의 설계패턴은 한 예에 불과하며 이때 특징적인 것은, 전술한 어레이기판(50)과 합착되는 상부 컬러필터 기관(미도시)에 상기 두 기관(50, 미도시)의 이격된 갭(gap)을 유지하기 위한 갭 스페이서(98a)와 놀림을 방지하기 위한 놀림 스페이서(98b)가 구성된다는 것이다.
- <41> 상기 놀림 컬럼스페이서(98b)가 필요한 이유는, 액정패널에 외부로부터 가해지는 놀림에 의한 빛샘불량을 방지하기 위해서이다.
- <42> 좀더 상세히 설명하면, 액정패널은 외부로부터 놀림과 같은 외력이 가해질 경우 빛샘불량이 발생하게 되며, 이러한 빛샘불량은 외력에 의해 상기 어레이기판(50)과 컬러필터 기관(미도시)간에 미끄러짐이 발생하여 액정패널의 휨이 발생하게 되는데서 그 원인이 있다.
- <43> 즉, 액정패널의 휨 방향으로 어레이 기관(50)과 컬러필터 기관(미도시)의 러빙 방향이 평행이 되지 않게 되고 이로 인해, 기관 표면에 인접한 액정이 횡방향으로 평행하게 배열하게 되어 전체적으로 초기상태와 다른 배열을 하게 된다.
- <44> 이와 같은 경우에는, 액정의 배열이 초기 블랙상태(black state)를 유지하지 못하게 되어 액정층을 통과한 빛이 정상부위와 다른 위상차(retardation)를 겪으며 회전하게 되어 빛샘이 나타나게 된다.
- <45> 위와 같은 이유로, 상기 갭 스페이서(98a)외에 놀림 스페이서(98b)가 필요하다.
- <46> 상기 갭 스페이서(98a)는 두 기관의 이격된 갭을 유지하기 위한 기능을 하기 때문에, 상기 두 기관과 맞닿도록 구성되어야 하고, 상기 놀림 스페이서(98b)는 두 기관 중 어느 하나와는 이격된 거리를 두어야 한다.
- <47> 이와 같은 경우, 상기 갭 스페이서와 놀림 스페이서를 별도의 공정으로 제작하는 것 보다, 어레이 기관의 단차를 이용하는 편이 공정상 유리하다.
- <48> 한편, 상기 스페이서(98a,98b)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질

면에서 유리하다. 따라서, 박막트랜지스터(T)가 위치한 영역과 게이트 배선(52)또는 공통 배선(56)이 위치한 영역의 단차를 이용하며 특히, 상기 박막트랜지스터(T)에 대응하여 갭 스페이서(98a)가 위치하도록 하고, 상기 게이트 배선 또는 공통 배선(52,56)에 대응하여 놀림 스페이서(98b)가 위치할 수 있다.

- <49> 이하, 단면도를 참조하여, 상기 갭 컬럼스페이서 및 놀림 컬럼스페이서의 구성에 대해 좀 더 상세히 설명한다.
- <50> 도 3은 도 2의 III-III,IV-IV를 따라 절단하여, 이를 참고로 도시한 종래에 따른 횡전계 방식 액정표시장치의 단면도이다.
- <51> 도시한 바와 같이, 종래에 따른 횡전계 방식 액정표시장치(10)는 앞서 설명한 어레이기판(50)과, 컬러필터(94a,94b,94c)와 블랙매트릭스(92)와 평탄화막 및 갭 스페이서(96,98a)와 놀림 스페이서(98b)가 구성된 컬러필터 기판(90)이 액정(미도시)을 사이에 두고 합착됨으로써 구성된다.
- <52> 이때, 박막트랜지스터(T)가 형성된 영역과 배선(56a)이 위치한 영역 사이에 단차가 발생하게 되며, 따라서 앞서 언급한 바와 같이, 상기 갭 스페이서(98a)는 박막트랜지스터(T)에 대응하여 구성될 수 있고, 상기 놀림 스페이서(98b)는 상기 공통 배선 또는 게이트 배선(56a,52)에 대응하여 구성될 수 있다.
- <53> 그러나, 도시한 바와 같이 상기 갭 스페이서(98b)는 게이트 배선(52)에 대응하여 구성되도록 설계하였고 대신, 상기 단차를 이용하기 위해 상기 박막트랜지스터(T)의 액티브층(60)과 소스 및 드레인 전극(62,64)을 형성하는 공정 중 같은 물질로 상기 게이트 배선(52)의 일부 상부에 반도체 패턴 및 소스.드레인 금속패턴(86a,86b)이 적층된 돌기(86)를 형성해 준다.
- <54> 이때, 대략 게이트 배선 및 공통 배선(52,56a)의 두께는 2000Å~2500Å이고, 게이트 절연막(GI)의 두께는 4000Å이고, 반도체층(60a,60b,액티브층과 오믹콘택층)의 두께는 2000Å이고, 소스 및 드레인 전극(62,64)의 두께는 3000Å의 두께로 구성된다.
- <55> 따라서, 상기 놀림 스페이서(98b)가 위치한 영역과 갭 스페이서(98a)가 위치한 영역의 단차 차이는 상기 돌기(86)의 두께와 동일한 대략 5500Å 정도의 두께이다.
- <56> 이와 같은 단차 값은 상당한 것이나, 도시한 단면구성과 같이 5마스크로 형성된 경우, 돌기(86)를 형성할 때 소스 및 드레인 금속패턴(86b)이 반도체 패턴(86a)을 덮는 구조로 구성되기 때문에 좀 더 단차가 완화되는 현상에 의해 놀림 불량은 발생하지 않는다.
- <57> 그런데, 종래에 따른 횡전계 방식 액정표시장치는, 상기 공통 전극과 화소 전극(도 2의 80,82)을 모두 투명한 물질로 형성하였기 때문에 어레이기판을 형성하는데 5마스크 공정을 필요로 한다. 그러나, 공정 시간 단축을 통한 생산성을 향상시키고, 공정비용을 낮추어 제품의 경쟁력을 높이고자 하는 생산자 입장에서는 사실, 5 마스크 공정 또한 그리 적은 공정은 아니다.

발명이 이루고자 하는 기술적 과제

- <58> 따라서, 본 발명은 공정을 단축하여 생산성 및 제품의 경쟁력을 높이고자 하는 것을 제 1 목적으로 한다.
- <59> 또한, 공정을 단축하는 과정에서 어레이기판에 과도하게 단차가 발생하게 되는데, 이에 따라 새롭게 발생하는 빗샘불량(도장 얼룩)을 방지하기 위해, 상기 갭 스페이서와 함께 제 1 및 제 2 놀림 스페이서를 구성하는 3중 구조의 컬럼스페이서를 구성함으로써, 놀림불량을 해결하여 고품질의 횡전계 방식 액정표시장치를 제공하는 것을 제 2 목적으로 한다.

발명의 구성 및 작용

- <60> 전술한 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치는 복수의 화소영역이 정의된 제 1 기판과 제 2 기판과; 상기 제 1 기판의 일면에 구성되고, 상기 화소 영역의 일 측에 위치하는 게이트 배선과; 상기 게이트 배선과 평행하게 이격된 공통 배선과; 상기 게이트 배선 및 공통 배선과 상기 게이트 절연막을 사이에 두고 교차하여, 상기 화소 영역의 타 측에 위치하고, 하부에 길이 방향을 따라 양측으로 돌출된 반도체층이 존재하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터와; 상기 게이트 배선 또는 공통 배선의 상부에 위치하고, 반도체층과 금속패턴이 적층된 제 1 돌기와; 상기 게이트 배선과 공통 배선의 이격된 영역에 위치하고, 반도체층과 금속패턴이 적층된 제 2 돌기와; 상기 박막트랜지스터와 접촉하면서 상기 화소 영역으로 연장된 막대 형상의 투명한 화소 전극과, 이와 평행하게 이격된 투명한 공통 전극과; 상기 제 2 기판의 일면에 상기 화소 영역의 둘레에 대응하여 구성한 블랙매트릭스와; 상기 화소 영역에 구성한 컬

러필터와; 상기 컬러필터 및 화소 영역이 구성된 기판에 구성되고, 상기 제 1 기판의 제 1 돌기에 대응하여 구성된 캡 스페이서와, 상기 제 2 돌기에 대응하여 구성된 제 1 놀림 스페이서와, 상기 게이트 배선 또는 공통 배선에 대응하여 구성된 제 2 놀림 스페이서를 포함한다.

- <61> 상기 공통 배선은 상기 화소 영역의 하부와 상부에 위치한 제 1 공통 배선과 제 2 공통 배선을 포함하는 것을 특징으로 한다.
- <62> 상기 화소 영역의 양측에 상기 제 1 및 제 2 공통 배선을 연결하는 공통 전극을 더욱 포함한다.
- <63> 상기 제 2 돌기의 양측에 위치한 게이트 배선과 공통 배선 중 하나는 상기 제 2 돌기의 형상에 따라 안쪽으로 인입된 형태로 구성된 것을 특징으로 한다.
- <64> 상기 제 1 및 제 2 돌기는 상부의 금속패턴이 하부의 반도체층에 비해 작은 면적으로 구성된 것을 특징으로 한다.
- <65> 상기 제 1 놀림 스페이서와 제 2 놀림스페이서가 위치한 상기 제 1 기판의 표면 단차는 약 2500Å 정도인 것을 특징으로 한다.
- <66> 상기 게이트 절연막은 상기 소스 및 드레인 전극과, 상기 제 1 및 제 2 돌기와 상기 데이터 배선의 하부에 위치한 부분이 다른 영역의 부분보다 1000Å 정도 두껍게 구성된 것을 특징으로 한다.
- <67> 본 발명의 특징에 따른 횡전계 방식 액정표시장치의 제조방법은 복수의 화소영역이 정의된 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 1 기판의 일면에 상기 화소 영역의 일 측에 위치하도록 게이트 배선과, 이와 이격된 공통 배선을 형성하는 단계와; 상기 게이트 배선 및 공통 배선과 게이트 절연막 사이에 두고 교차하여, 상기 화소 영역의 타 측에 위치하고, 하부에 길이 방향을 따라 양측으로 돌출된 반도체층과 그 상부의 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와; 상기 게이트 배선 또는 공통 배선의 상부에 상기 게이트 절연막을 사이에 두고 위치하고 반도체층과 금속패턴이 적층된 제 1 돌기와, 상기 게이트 배선과 공통 배선의 이격된 영역에 위치하고 반도체층과 금속패턴이 적층된 제 2 돌기를 형성하는 단계와; 상기 박막트랜지스터와 접촉하면서 상기 화소 영역으로 연장된 막대 형상의 투명한 화소 전극과, 이와 평행하게 이격된 공통 전극을 형성하는 단계와; 상기 제 2 기판의 일면에 상기 화소 영역의 둘레에 대응하여 블랙매트릭스를 형성하는 단계와; 상기 화소 영역에 컬러필터를 형성하는 단계와; 상기 컬러필터 및 블랙매트릭스가 형성된 기판에 형성되고, 상기 제 1 기판의 제 1 돌기에 대응하여 캡 스페이서와, 상기 제 2 돌기에 대응하여 제 1 놀림 스페이서와, 상기 게이트 배선 또는 공통 배선에 대응하여 제 2 놀림 스페이서를 형성하는 단계를 포함한다.
- <68> 상기 공통 배선은 상기 화소 영역의 하부와 상부에 위치한 제 1 공통 배선과 제 2 공통 배선을 포함하는 것을 특징으로 한다.
- <69> 상기 화소 영역의 양측에 상기 제 1 및 제 2 공통 배선을 연결하는 공통 전극을 더욱 포함한다.
- <70> 상기 제 2 돌기의 양측에 위치한 게이트 배선과 공통 배선 중 하나는 상기 제 2 돌기의 형상에 따라 안쪽으로 인입된 형태로 형성된 것을 특징으로 한다.
- <71> 상기 제 1 및 제 2 돌기는 상부의 금속패턴이 하부의 반도체층에 비해 작은 면적으로 형성된 것을 특징으로 한다.
- <72> 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법은 기판에 복수의 화소 영역과 스위칭 영역을 정의하는 단계와; 상기 기판 상에 일 방향으로 연장된 게이트 배선과, 이와 평행하게 이격된 공통 배선과, 상기 스위칭 영역에 게이트 전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선과 게이트 전극과 공통 전극이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와; 상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 패틴하여, 상기 게이트 전극에 대응하는 게이트 절연막의 상부에 제 1 반도체층과, 제 1 반도체층의 상부에 이격된 소스 전극과 드레인 전극을 형성하고, 상기 화소 영역의 일측에 상기 제 1 반도체층에서 연장된 제 2 반도체층과, 상기 제 2 반도체층의 상부에 데이터 배선을 형성하고, 상기 게이트 배선 또는 공통 배선의 이격된 영역에 제 2 반도체층과 제 1 금속패턴이 적층된 제 1 돌기와, 상기 게이트 배선 또는 공통 배선의 상부에 제 3 반도체층과 제 2 금속패턴이 적층된 제 2 돌기를 형성하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선과 제 1 및 제 2 돌기가 형성된 기판의 전면에 보호막을 형성하고, 상기 드레인 전극과 상기 공통 배선의 일부를 노출하는 제 3 마스크 공정 단계와; 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 투명한 화소 전

극과, 이와는 이격되고 상기 공통 배선과 접촉하는 투명한 공통 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.

- <73> 상기 제 2 마스크 공정 단계는 상기 도전성 금속층의 상부에 감광층을 형성하는 단계와; 상기 감광층 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 감광층을 노광하는 단계와; 상기 감광층을 현상하여, 상기 스위칭 영역에 중심이 낮은 높이로 패터닝 단차진 제 1 감광패턴과, 상기 제 1 감광패턴에서 상기 화소 영역의 일측으로 연장된 제 2 감광패턴과, 상기 게이트 배선 또는 공통 배선의 일부에 제 3 감광패턴과, 상기 게이트 배선과 공통 배선의 이격영역에 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 제 1 내지 제 4 감광패턴의 하부에 이와 동일 형상의 금속패턴과, 반도체 패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴을 애싱하여, 상기 제 1 감광패턴의 낮은 부분을 제거하는 단계와; 상기 제 1 감광패턴의 일부를 제거하여 노출된 금속패턴을 제거하고, 그 하부의 반도체패턴 중 불순물 비정질 실리콘층을 제거하는 단계와; 상기 제 1 내지 제 4 감광패턴을 제거하여, 상기 스위칭 영역에 대응하여 액티브층과, 액티브층의 상부에 이격된 오믹 콘택층과, 상기 오믹 콘택층의 상부에 소스 전극과 드레인 전극과, 상기 소스 전극에서 상기 화소 영역의 일 측으로 연장되고 하부에 양측으로 연장된 반도체 패턴이 구성된 데이터 배선과, 상기 게이트 배선 또는 공통 배선의 상부에 반도체 패턴과 금속패턴이 적층된 제 1 돌기와, 상기 공통 배선과 게이트 배선의 이격된 영역에 반도체 패턴과 금속패턴이 적층된 제 2 돌기를 형성한 단계를 포함한다.
- <74> 상기 마스크는 상기 스위칭 영역에 대응하여 반투과부를 중심으로 양측에 차단부가 구성되고, 상기 게이트 배선 또는 공통 배선의 임의의 영역과, 상기 게이트 배선과 공통 배선의 이격영역의 임의의 영역과, 상기 화소 영역의 일 측을 따라 길이 방향으로 차단부가 구성된 것을 특징으로 한다.
- <75> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.
- <76> -- 실시예 --
- <77> 본 발명은 4 마스크 공정으로 횡전계 방식 액정표시장치용 어레이기판을 제작하는 것을 제 1 특징으로 하고 동시에, 삼중 구조의 컬럼스페이서 구조를 제공하는 것을 제 2 특징으로 한다.
- <78> 도 4는 4마스크 공정으로 제작된 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 일부를 확대한 평면도이다.(갭 스페이서와 제 1 및 제 2 놀림 스페이서를 함께 나타냄)
- <79> 도시한 바와 같이, 기판(100)상에 다수의 화소(P)를 정의하고, 화소(P)의 일 측에 게이트 배선(102)과 이와 이격된 제 1 및 제 2 공통 배선(106a, 106b)을 구성하고, 상기 게이트 배선 및 공통 배선(102, 106a, 106b)과 교차하는 데이터 배선(130)을 구성한다.
- <80> 상기 제 1 및 제 2 공통 배선(106a, 106b)과 데이터 배선(130)이 교차하여 화소 영역(P)을 정의 한다.
- <81> 상기 게이트 배선(102)의 상부에는, 게이트 배선(102)의 일부를 게이트 전극(104)으로 하고, 상기 게이트 전극(104)의 상부에 액티브층(136)이 위치하고, 상기 액티브층(136)의 상부에는 이격된 소스 전극(132)과 드레인 전극(134)으로 구성된 박막트랜지스터(T)를 구성한다.
- <82> 상기 화소 영역(P)에는, 화소 영역(P)의 양측에 위치하고 상기 제 1 및 제 2 공통 배선(106a, 106b)과 동일층 동일물질로 형성되고, 상기 두 배선(106a, 106b)과 수직하게 연결된 제 1 공통 전극(108)과, 상기 제 2 공통 배선(106b)과 연결되어 화소 영역(P)으로 수직하게 연장된 막대 형상의 투명한 제 2 공통 전극(150)이 구성된다.
- <83> 또한, 상기 제 2 투명한 공통 전극(150) 사이에 위치하고 이와는 이격하여 구성되며, 상기 드레인 전극(134)과 접촉하는 인출부(146)에서 연장된 투명한 화소 전극(148)이 구성된다.
- <84> 이때, 상기 게이트 배선(102)또는 공통 배선(106a)의 상부에 제 1 돌기(G1)를 형성하고, 상기 게이트 배선(102)과 공통 배선(106a, 106b)의 이격된 영역에 제 2 돌기(G2)를 형성하는 것을 특징으로 한다.
- <85> 이때, 상기 제 1 공통 배선(106a)과 상부의 인출부(146)는 두 구성사이에 절연막이 개재되어 있어, 보조 용량부(Cst)를 형성할 수 있다.
- <86> 전술한 바와 같이 구성된, 횡전계 방식 어레이 기판은 한 예에 불과하며 이때 특징적인 것은, 상기 어레이기판(100)과 합착되는 상부 컬러필터 기판(미도시)에 상기 두 기판(100, 미도시)의 이격된 갭(gap)을 유지하기 위한 갭 스페이서(208)와, 놀림을 방지하기 위한 제 1 놀림 스페이서(210)와 제 2 놀림스페이서(212)를 구성하는 것

이다.

- <87> 이때, 상기 갭 스페이서는 상기 제 1 돌기(G1)와 대응하도록 구성하고, 상기 제 1 놀림 스페이서(208)는 상기 제 2 돌기(G2)와 대응하도록 구성한다.
- <88> 이하, 단면도를 참조하여 기술한 구성을 상세히 설명한다.
- <89> 도 5는 도 4의 V-V, VI-VI, VII-VII를 따라 절단하여, 이를 참조로 도시한 본 발명에 따른 횡전계 방식 액정표시장치의 단면도이다.
- <90> 도시한 바와 같이, 본 발명에 따른 횡전계 방식 액정표시장치는 앞서 언급한 어레이 기관(B2)과, 컬러필터(204a, 204b, 204c)와 블랙매트릭스(202)와 갭 스페이서(208)와 제 1 및 제 2 놀림 스페이서(210, 212)를 포함하는 컬러필터 기관(B1)을 액정층(미도시)을 사이에 두고 합착하여 구성한다.
- <91> 한편, 어레이 기관(B2)을 제작하기 위해, 제 1 마스크 공정으로 게이트 배선 및 공통 배선(102, 106a)을 형성하고, 제 2 마스크 공정으로 반도체층(136, 138)과 소스 및 드레인 전극(132, 134)을 형성하고, 제 3 마스크 공정으로 상기 드레인 전극(134)을 노출하는 보호막(140)을 형성하고, 제 4 마스크 공정으로 화소 전극(148)과 공통 전극(도 4의 150)을 형성하게 된다.
- <92> 이때, 상기 제 2 마스크 공정에서, 소스 및 드레인 전극(132, 134)과 반도체층(136)을 건식식각으로 동시에 식각하게 되며 더욱이, 상기 반도체층(136, 138)의 오믹 콘택층(138)을 건식식각하는 공정을 진행하게 되는데, 이로 인해 하부의 게이트 절연막(110)이 과식각 되는 현상이 필연적으로 나타나게 된다.
- <93> 즉, 상기 제 2 놀림 스페이서(212)에 대응하는 부분이 기존의 5500Å 정도에서 6500Å 정도로 단차가 크게 발생하게 되어, 4마스크 공정에서는 종래에 비해 단차가 커지게 된다. 이로 인해, 상기 제 2 놀림 스페이서(212)가 부분적으로 제 기능을 발휘하지 못해 외부로부터 가해지는 압력에 의한 새로운 빛샘 불량이 발생하게 된다.
- <94> 이를 해결하기 위한 것이 상기 제 1 놀림 스페이서(210)이며, 이로 인해 상기 제 2 놀림스페이서(212)의 단차를 보완할 수 있다.
- <95> 즉, 외부로부터 외력이 가해질 경우, 1차로 상기 제 1 놀림스페이서(210)가 첫 번째 저항성분이 되고 연속하여 상기 제 2 놀림 스페이서(212)가 두 번째 저항성분이 되는 것이다. 이를 위해, 상기 제 1 놀림 스페이서(210)에 대응하는 어레이기관의 표면은 상기 제 2 놀림 스페이서(212)에 대응하는 부분의 표면보다 높아야 한다.
- <96> 따라서, 상기 제 1 놀림 스페이서(210)에 대응하여 제 2 돌기(G2)를 구성하되 이를, 상기 게이트 배선(102)과 공통 배선(106a, 106b)의 사이 영역에 위치하도록 하는 것이다.
- <97> 이와 같은 구성으로, 상기 제 1 놀림 컬럼 스페이서(210)와 상기 제 2 놀림 스페이서(212)가 대응되는 영역의 단차가 2000Å~2500Å(게이트 배선및 공통 배선의 두께) 정도에 불과하게 된다.
- <98> 따라서, 상기 제 1 컬럼스페이서(210)는 상기 갭 스페이서(208)와 상기 제 2 놀림 스페이서(212)간 과도한 단차를 어느 정도 보완하는 역할을 하게 되어, 빛샘 불량에 따른 도장 얼룩을 완벽하게 방지할 수 있게 된다.
- <99> 이때, 상기 제 1 놀림 스페이서(210)를 배선이 없는 위치에 구성해야 하기 때문에 배선 간 이격된 공간에 구성하게 되며, 만약 이격공간이 상기 제 1 놀림 스페이서(210)의 단면적보다 작은 공간이라면 도시한 바와 같이, 상기 제 1 놀림스페이서(210)의 외측 형태와 맞게 근접한 배선을 안쪽으로 패터닝하여 공간을 넓힌 후, 제 2 돌기(G2)를 형성할 수도 있다.
- <100> 이하, 공정도면을 참조하여, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기관의 제조공정을 설명한다.
- <101> 도 6a 내지 도 6h는 도 4의 V-V, VI-VI, VII-VII를 따라 절단하였고, 도 7a 내지 도 7h는 도 4의 VIII-VIII를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <102> 도 6a와 도 7a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- <103> 도시한 바와 같이, 기관(100)에 화소 영역(P)과 스위칭 영역(S)을 정의하고, 상기 화소 영역(P)과 스위칭 영역(S)이 정의된 기관(100)상에 도전성 금속을 증착하고 제 1 마스크공정으로 패터닝하여, 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트 배선(102)과 게이트 배선(102)일부 또는 이에 돌출된 형상의 게이트 전극(104)을 형성한다. 동시에, 상기 게이트 배선(102)과 평행하게 이격된 공통 배선(도 4의 106a, 106b)과 공통 전극(108)을 형성한다.

- <104> 상기 도전성 금속으로 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti) 등을 들 수 있다.
- <105> 상기 공통 배선(106a,106b)과 공통 전극(108)은 다양하게 패턴 될 수 있으며, 본 발명에서는 상기 화소 영역(P)의 상,하부에 제 1 및 제 2 공통 배선(106a,106b)을 형성하였고, 상기 제 1 및 제 2 공통배선(106a,106b)을 수직하게 연결하며, 상기 화소 영역(P)의 양측에 위치한 제 1 공통전극(10)을 형성 하였다.
- <106> 상기 제 1 공통 배선(106a)은 보조 용량부(Cst)를 형성하기 위한 구성이고, 상기 제 2 공통 배선(106b)은 이후 공정에서 형성하는 투명한 공통 전극(미도시)과 접촉하여 공통신호를 전달하기 위한 구성이다.
- <107> 이때, 상기 공통 배선과 게이트 배선(106a,106b,102)의 사이 영역은 앞서 언급한 제 1 놀림 스페이서(도 5의 210)에 대응하여 제 2 돌기(도 4의 G2)가 이후 공정에서 형성될 영역이며, 해상도가 높아짐에 따라 상기 배선(102,106a,106b)간 이격영역이 매우 좁을 수 있기 때문에 이를 극복하기 위해, 상기 제 2 돌기(도 4의 G2)가 위치하는 영역의 상기 게이트 배선 또는 공통 배선(102,106a,106b)은 안쪽으로 인입되는 형상으로 패턴 하여도 좋다.(도 4 참조)
- <108> 이하, 도 6b 내지 도 6f와 도 7b 내지 도 7f는 제 2 마스크 공정을 나타낸 공정 단면도이다.
- <109> 도 6b와 도 7b에 도시한 바와 같이, 상기 게이트 배선(102)과 공통 배선(106)과 제 1 공통전극(108)이 형성된 기판(100)의 전면에서, 게이트 절연막(110)과 순수 비정질 실리콘층(112)과 불순물 비정질 실리콘층(114)과 도전성 금속층(116)을 적층하고, 상기 도전성 금속층(116)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(118)을 형성한다.
- <110> 상기 게이트 절연막(110)은 산화 실리콘(SiO₂), 질화 실리콘(SiN_x)등의 무기 절연물질그룹 중 선택된 하나 또는 하나 이상을 증착하여 형성할 수 있고, 상기 도전성 금속층은 앞서 언급한 도전성 금속 그룹 중 선택하여 형성할 수 있고, 상기 비정질 실리콘층(112)과 불순물 비정질 실리콘층(114)은 각각 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+ a-Si:H)을 증착하여 형성할 수 있다.
- <111> 다음으로, 상기 감광층(118)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <112> 상기 마스크(M)의 반투과부(B3)에 해당하는 마스크(M)영역은 반투명막 이거나, 슬릿패턴 slit pattern)을 형성함으로써 구성할 수 있다.
- <113> 이때, 상기 스위칭 영역(S)에 대응하는 부분은 반투과부(B3)와 이를 중심으로 양측에 차단부(B1)가 위치하도록 하고, 상기 화소 영역(P)의 양 측에 일정폭을 갖는 차단부(B1)가 위치하도록 하고, 상기 게이트 배선(102)또는 공통 배선(106a)에 랜덤하게 정의한 제 1 영역(D1)과, 상기 게이트 배선(102)과 공통 배선(106a)의 사이영역에 정의한 제 2 영역(D2)에 대응하여 차단부(B1)가 위치하도록 한다.
- <114> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(118)을 노광하는 공정을 진행한다.
- <115> 도 6c와 도 7c에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 단차진 형상의 제 1 감광패턴(120a)과, 상기 제 1 감광패턴(120a)에서 화소 영역(P)으로 연장된 제 2 감광패턴(120b)과, 상기 제 1 내지 제 2 영역(D1,D2)에 대응하여 형성된 제 3 내지 제 4 감광패턴(120c,120d)이 형성된다.
- <116> 상기 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)의 주변으로 도전성 금속층(116)이 노출된 상태가 된다.
- <117> 도 6d와 도 7d에 도시한 바와 같이, 상기 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)의 주변으로 노출된 도전성 금속층(6c및 7c의 116)과 그 하부의 불순물 비정질 실리콘층(6c및 7c의 114)과 순수 비정질 실리콘층(6c 및 7c의 112)을 제거하는 식각공정을 진행한다.
- <118> 상기 식각공정이 완료되면, 상기 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)의 주변으로 게이트 절연막(110)이 노출된 상태가 되며, 이때 하부의 게이트 절연막(110) 또한 표면으로부터 일부가 식각되는 현상이 발생하게 된다.
- <119> 전술한 식각공정을 통해, 상기 제 1 감광패턴(120a)의 하부에는 제 1 금속패턴(124)과 그 하부에 패턴된 불순물 비정질 실리콘층과 순수 비정질 실리콘층이 적층된 제 1 반도체 패턴(122a)이 형성되고, 상기 제 2 감광패턴(120b)의 하부에는 상기 제 1 금속패턴(124)에서 화소 영역(P)의 일 측으로 연장된 데이터 배선(130)과 그 하부의 제 2 반도체 패턴(122b)이 형성된다.

- <120> 동시에, 상기 제 3 감광패턴(120c)의 하부인 제 1 영역(D1)에 제 3 반도체 패턴(122c)과 제 2 금속패턴(126)이 적층된 제 1 돌기(G1)가 형성되고, 제 4 감광패턴(120d)의 하부에는 상기 제 2 영역(D2)에 제 4 반도체 패턴(122d)과 제 3 금속패턴(128)이 적층된 제 2 돌기(G2)가 형성된다.
- <121> 다음으로, 상기 제 1 내지 제 4 감광패턴(120a, 120b, 120c, 120d)을 표면으로부터 일부만 식각하는 애싱공정을 진행한다. 이와 같은 애싱공정은 상기 단차진 제 1 감광패턴(102a)중, 상기 게이트 전극(104)에 대응하여 높이가 낮은 부분을 제거하여 하부의 제 1 금속패턴(124)의 일부를 노출하기 위한 것이다.
- <122> 도 6e와 도 7e에 도시한 바와 같이, 상기 애싱공정을 진행하면, 상기 게이트 전극(104)에 대응하는 부분의 제 1 감광패턴(120a)이 완전히 제거되어 하부의 제 1 금속패턴(124)의 중심영역이 노출된다.
- <123> 또한, 도면으로 자세히 표현되지는 않았지만 상기 감광패턴(120a, 120b, 120c, 120d)은 큐어링(curing)공정 중 중심으로부터 주변으로 경사진 상태가 되기 때문에, 상기 제 1 감광패턴(12a)의 다른 영역 및 제 2 내지 제 4 감광패턴(120a, 120b, 120c, 120d)이 상기 애싱공정을 통해 표면으로 일정 두께만큼 제거되는 동시에 두께가 낮은 주변부에 대응하는 부분의 제1및 제2 금속패턴 (126, 128)과 데이터 배선(130)이 노출된다.
- <124> 도 6f와 도 7f에 도시한 바와 같이, 상기 노출된 제 1 금속패턴(124)을 제거하는 공정을 진행하고, 그 하부의 제 1 반도체 패턴(도 6e의 122a) 중 불순물 비정질 실리콘층(114)을 제거하여 하부의 순수 비정질 실리콘층(112)을 노출하는 공정을 진행한다.
- <125> 이와 같은 공정으로, 상기 스위칭 영역(S)에 대응하여 이격된 소스 전극(132)과 드레인 전극(134)을 형성할 수 있고, 상기 두 전극(132, 134)의 하부에 패턴된 불순물 비정질 실리콘층(114)은 저항성 접촉기능을 하는 오믹 콘택층(138)이 형성되고, 그 하부의 순수 비정질 실리콘층(112)은 상기 두 전극(132, 134) 사이에 채널(channel)의 역할을 하는 액티브층(136)으로 형성될 수 있다.
- <126> 이때, 상기 제 1 및 제 2 돌기(G1, G2) 및 상기 데이터 배선(130)의 주변에 대응하여 순수 비정질 실리콘층이 제거된 반도체층(122b, 122c, 122d)이 노출된 형태가 된다.
- <127> 특히, 상기 불순물 비정질 실리콘층을 제거하는 공정 동안, 상기 제 1 내지 제 4 감광패턴의 (120a, 120b, 120c, 120d)주변으로 노출되었던 게이트 절연막(100)은 더욱 과식각 되어 약 1000Å의 두께로 깎인 상태가 된다.
- <128> 다음으로, 상기 제 1 내지 제 4 감광패턴(120a, 120b, 120c, 120d)을 제거하는 공정을 진행한다.
- <129> 도 6g와 도 7g는 제 3 마스크 공정을 나타낸 공정단면도로서, 도시한 바와 같이, 상기 소스 및 드레인 전극(132, 134)과 데이터 배선(130)과 제 1 및 제 2 돌기(G1, G2)가 형성된 기판(100)의 전면에 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 보호막(140)을 형성하고 패턴하여, 상기 드레인 전극(134)의 일부를 노출하는 드레인 콘택홀(142)과 상기 제 2 공통 배선(도 4의 106b)의 일부를 노출하는 공통 배선 콘택홀(미도시)을 형성한다.
- <130> 도 6h와 도 7h는 제 4 마스크 공정을 나타낸 공정 단면도로서, 도시한 바와 같이, 상기 보호막(140)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(134)과 접촉하면서 상기 제 1 공통 배선(도 4의 106b)과 평면적으로 겹쳐지는 형상으로 연장된 인출배선(146)과 상기 인출배선(146)에서 화소 영역으로 연장된 막대 형상의 화소 전극(148)을 형성한다.
- <131> 동시에, 상기 공통 배선 콘택홀(미도시)을 통해 제 2 공통 배선(4의 106b)과 접촉하면서 화소 영역으로 연장된 막대형상의 제 2 공통 전극(150)을 형성한다.
- <132> 이때, 상기 제 2 공통 전극(150)중 앞서 제 1 마스크 공정에서 형성한 제 1 공통 전극(108)과 근접한 구성은 상기 제 1 공통 전극(108)과 일부 겹쳐지도록 구성한다.
- <133> 이와 같은 경우, 화소 영역(P)의 양측에서 상기 제 1 및 제 2 공통 전극(108, 150)에 의해, 상기 데이터 배선(130)에 흐르는 신호가 화소에 미치는 영향을 차단할 수 있다.
- <134> 이상과 같이, 전술한 4마스크 공정을 통해, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.
- <135> 이하, 전술한 바와 같이 제작된 어레이기판과 합착되는 컬러필터 기판의 제조공정을 설명한다.

- <136> 도 8a 내지 도 8c는 본 발명에 따른 삼중 구조의 컬러필터 스페이서를 포함하는 컬러필터 기관의 제조공정을 공정순서에 따라 도시한 공정 단면도이다.
- <137> 도 8a에 도시한 바와 같이, 다수의 화소 영역이 정의된 기관(200)상에 크롬(Cr)또는 산화 크롬(CrO₂)을 순차 증착하고 패터닝하여, 상기 화소 영역(P)의 둘레에 블랙매트릭스(black matrix, 202)를 형성한다.
- <138> 다음으로, 상기 화소 영역(P)에 대응하여 적색, 녹색, 청색 컬러필터(204a, 204b, 미도시)를 형성한다.
- <139> 상기 컬러필터(204a, 204b, 미도시)는 보통 적색, 녹색, 청색의 감광성 컬러수지를 도포하고, 이를 화소영역(P)별로 패터닝하여 적, 녹, 청색의 컬러필터가(240a, 204b, 미도시) 순차 대응되도록 형성한다.
- <140> 도 8b에 도시한 바와 같이, 상기 컬러필터(204a, 204b)가 형성된 기관(200)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 평탄화막(206)을 형성한다.
- <141> 다음으로, 상기 평탄화막(206)이 형성된 기관(200)의 전면에 앞서 언급한 유기절연물질 그룹 중 선택된 하나를 도포하고 패터닝하여, 동일한 높이의 갭 스페이서(208)와 제 1 놀림 스페이서(도 4의 210)와 제 2 놀림 스페이서(도 4의 212)를 형성한다.
- <142> 이때, 상기 제 1 놀림 스페이서(도 4의 210)는 상기 어레이기관의 제 2 돌기(도 1의 G2)와 대응하는 위치에 형성하고, 상기 갭 스페이서(도 4의 208)는 상기 제 1 돌기(도 4의 G1)와 대응하는 곳에 형성하는 것을 특징으로 하고, 상기 제 2 놀림 스페이서(도 4의 212)는 게이트 배선 또는 공통 배선(도 4의 102, 106a)의 임의의 영역에 대응하도록 형성한다.
- <143> 이상으로, 본 발명에 따른 삼중구조의 컬러필터 스페이서를 포함하는 컬러필터 기관을 형성할 수 있다.

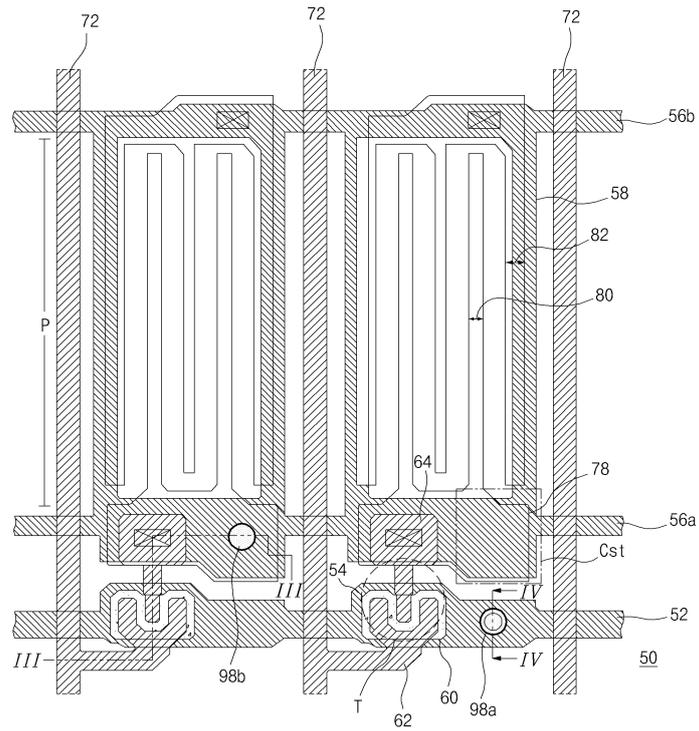
발명의 효과

- <144> 따라서, 본 발명에 따른 삼중구조의 컬러필터 스페이서를 포함하는 횡전계 방식 액정표시장치는, 공통전극과 화소 전극을 모두 투명한 재질로 형성하기 때문에 고휘도를 구현할 수 있는 효과가 있다.
- <145> 상기 화소 영역의 양측에 공통 전극이 넓게 자리 하기 때문에, 데이터 배선과 화소 전극 사이에 커플링 현상이 발생하지 않아 고화질을 구현할 수 있는 효과가 있다.
- <146> 또한, 4 마스크 공정으로 제작하기 때문에 공정시간 단축 및 공정 비용을 줄일 수 있어, 생산수율을 개선할 수 있음과 동시에 제품의 가격 경쟁력을 높일 수 있는 효과가 있다.
- <147> 또한, 4마스크 구조에서, 갭 스페이서와 놀림 스페이서 외에, 상기 갭 스페이서와 놀림 스페이서 간의 단차를 보완하기 위한 별도의 놀림 스페이서를 더욱 구성함으로써, 외부로부터 외력이 증가하더라도 이를 견딜 수 있는 힘이 커지기 때문에 얼룩 불량을 방지할 수 있어 이 또한 고화질을 구현할 수 있는 효과가 있다.

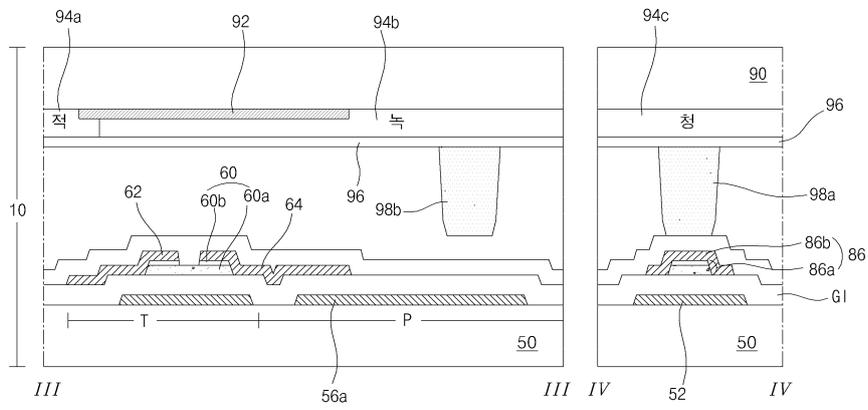
도면의 간단한 설명

- <1> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도이고,
- <2> 도 2는 종래에 따른 횡전계 방식 액정표시장치용 어레이 기관의 일부를 확대한 평면도이고,
- <3> 도 3은 도 2의 III-III, IV-IV를 따라 절단하여, 이를 참조로 도시한 종래에 따른 횡전계 방식 액정표시장치의 단면도이고,
- <4> 도 4는 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기관의 일부를 확대한 평면도이고,
- <5> 도 5는 도 4의 V-V, VI-VI, VII-VII를 따라 절단하여, 이를 참조로 도시한 본 발명에 따른 횡전계 방식 액정표시장치의 단면도이고,
- <6> 도 6a 내지 도 6h는 도 4의 V-V, VI-VI, VII-VII를 따라 절단하였고, 도 7a 내지 도 7h는 도 4의 VIII-VIII를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이고,
- <7> 도 8a 내지 도 8c는 본 발명에 따른 컬러필터 기관의 제조공정을 공정순서에 따라 도시한 공정 단면도이다.
- <8> <도면의 주요부분에 대한 간단한 설명>

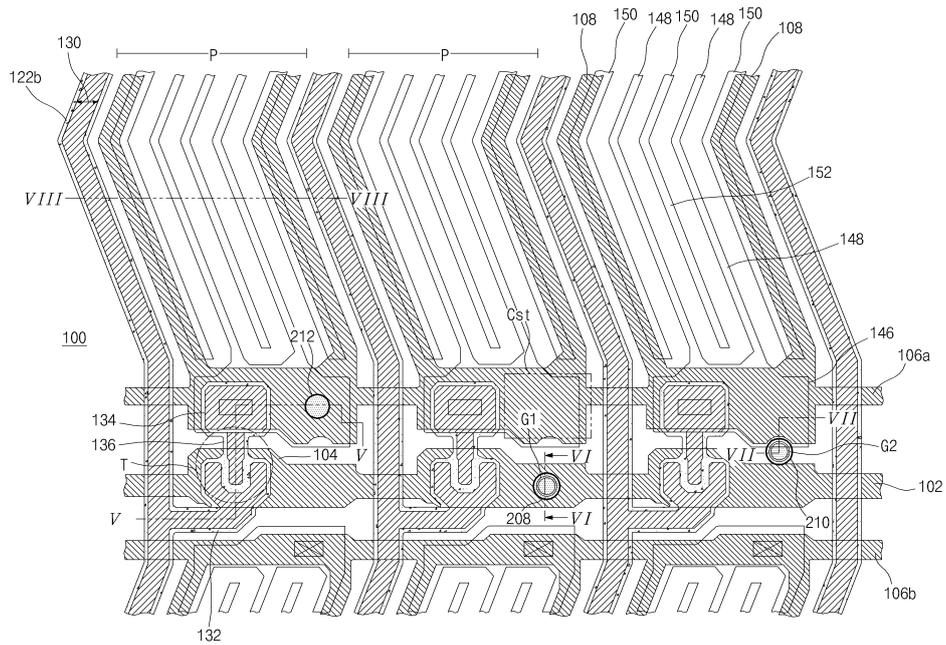
도면2



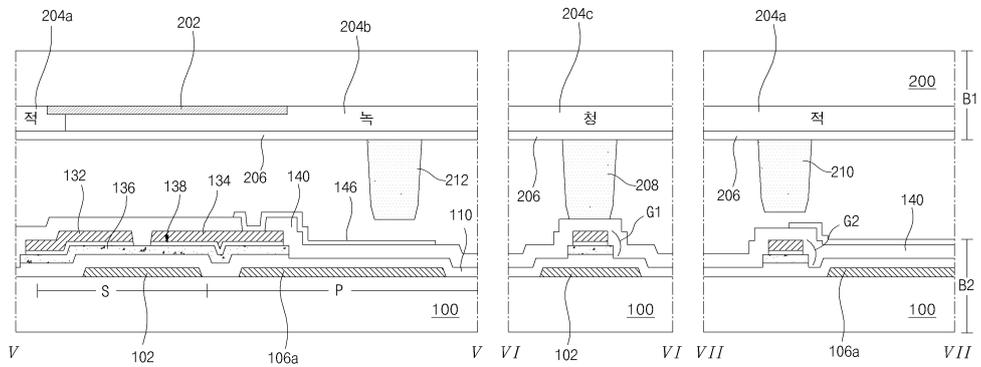
도면3



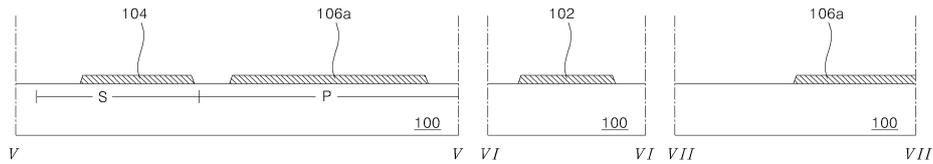
도면4



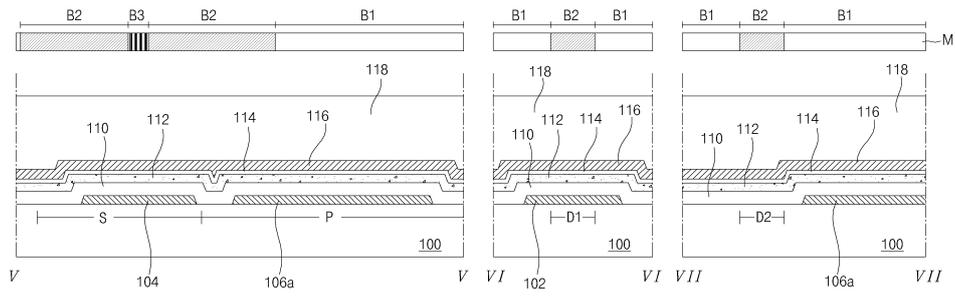
도면5



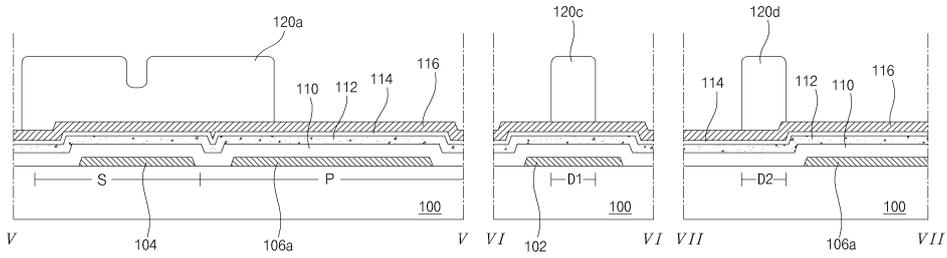
도면6a



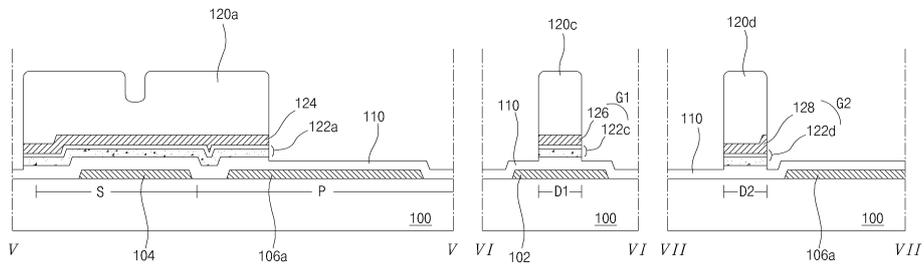
도면6b



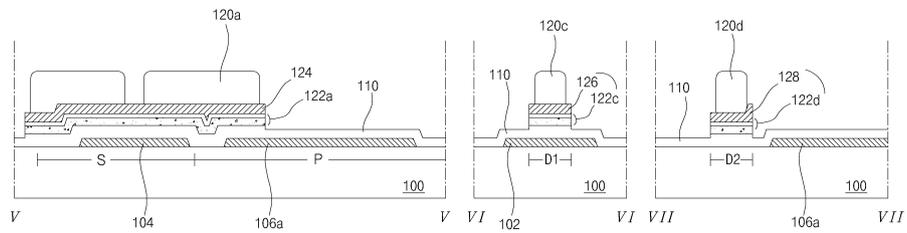
도면6c



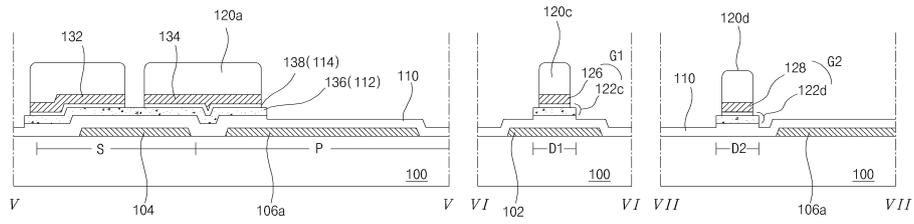
도면6d



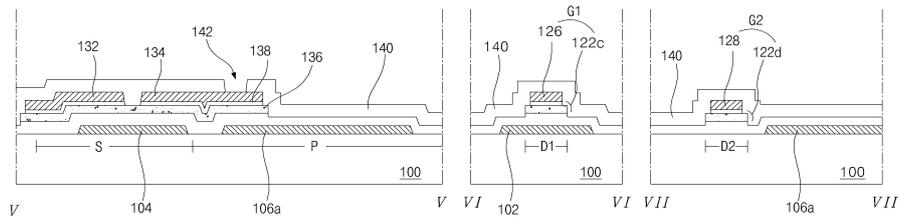
도면6e



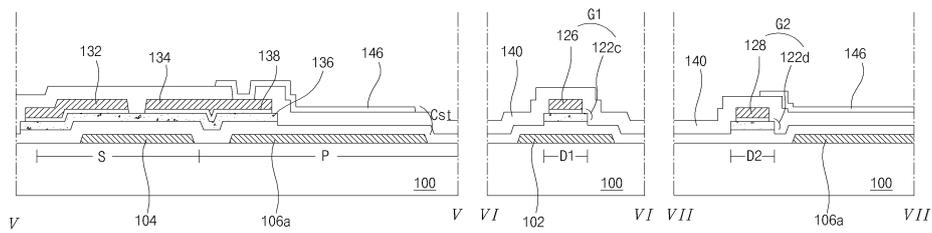
도면6f



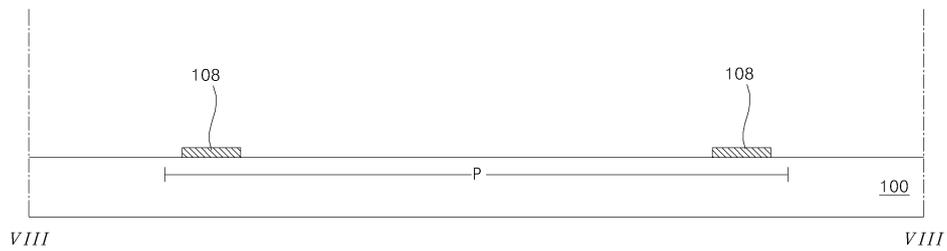
도면6g



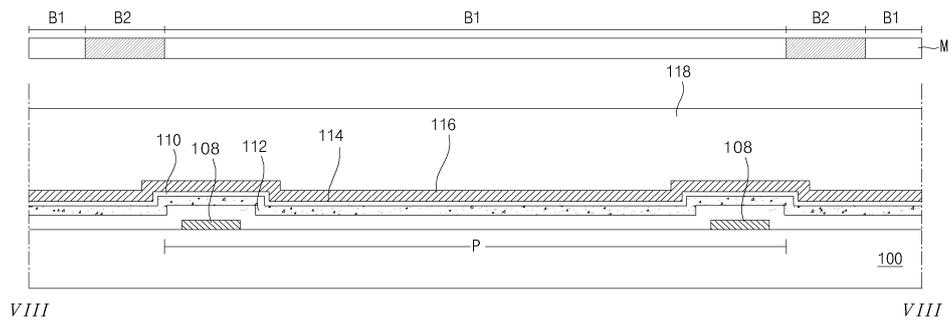
도면6h



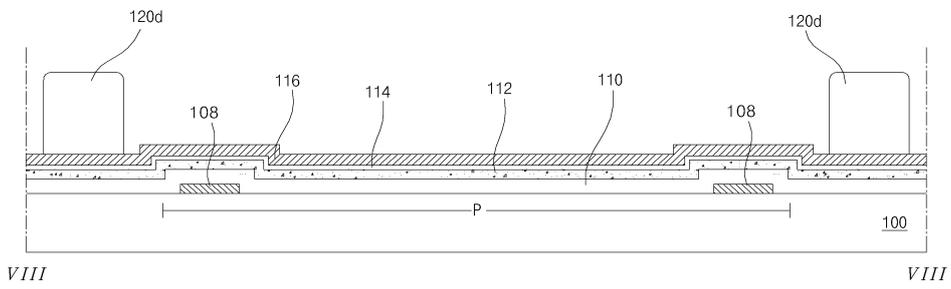
도면7a



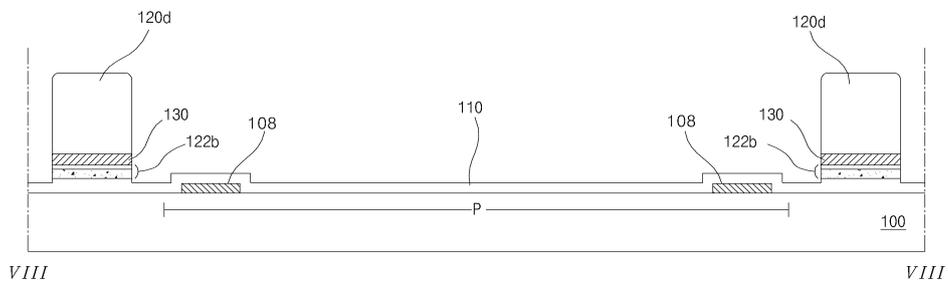
도면7b



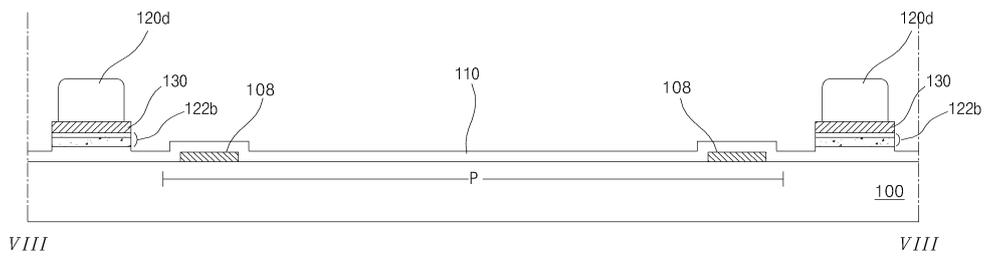
도면7c



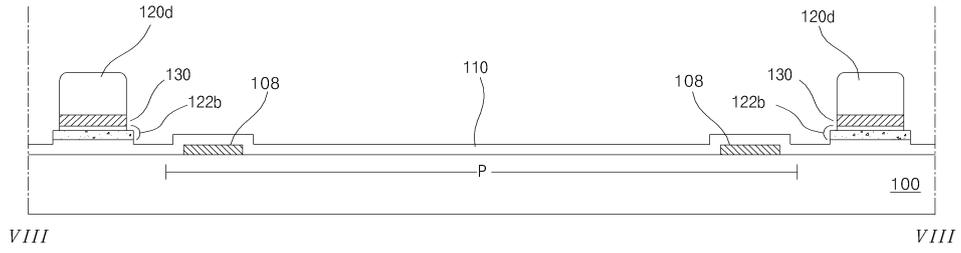
도면7d



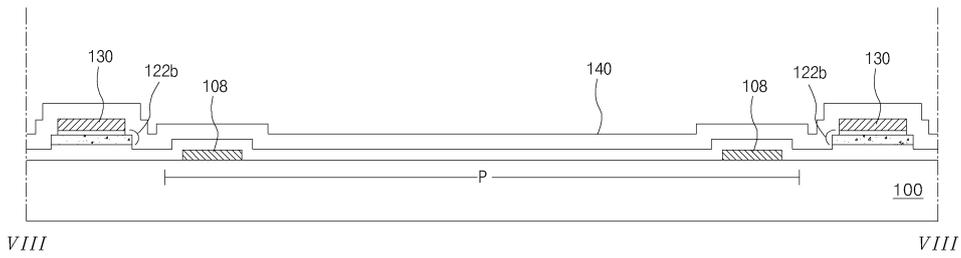
도면7e



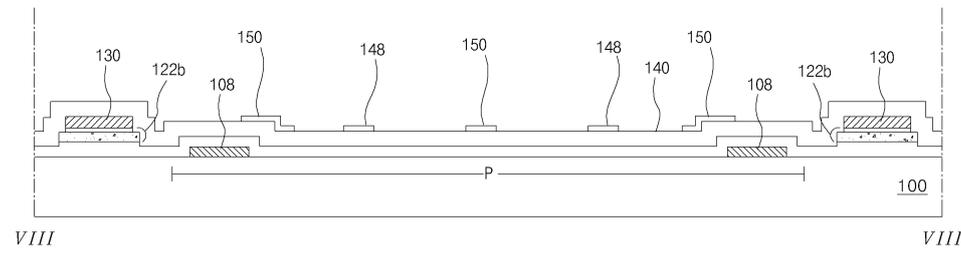
도면7f



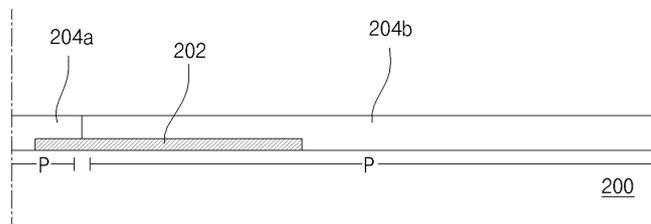
도면7g



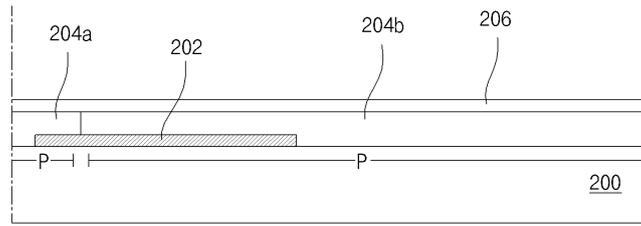
도면7h



도면8a



도면8b



도면8c

