

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-33032

(P2006-33032A)

(43) 公開日 平成18年2月2日(2006.2.2)

(51) Int. Cl. F I テーマコード (参考)
H04L 7/00 (2006.01) H04L 7/00 H 5K047
H04L 7/02 (2006.01) H04L 7/02 Z

審査請求 未請求 請求項の数 9 O L (全 22 頁)

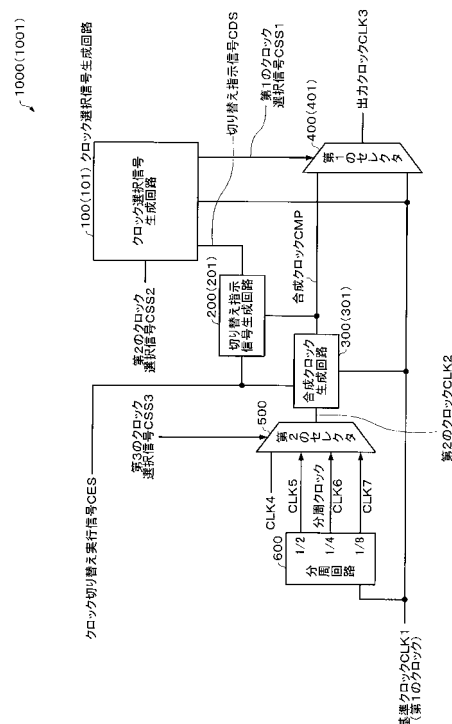
(21) 出願番号	特願2004-204412 (P2004-204412)	(71) 出願人	000002369
(22) 出願日	平成16年7月12日 (2004.7.12)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	森垣 利彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5K047 AA05 GG07 GG24

(54) 【発明の名称】 クロック切り替え回路

(57) 【要約】

【課題】 ハザードを生じることなく早いタイミングでのクロック切り替えが可能なクロック切り替え回路を提供すること。

【解決手段】 第1のクロックCLK1と、第2のクロックCLK2と、クロックCLK1とクロックCLK2を切り替えるためのクロック切り替え実行信号CESとを受け、クロックCLK2が第1のレベルである期間に信号CESがアクティブになった場合に、クロックCLK1の立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間、クロックCLK2のレベルを第2のレベルに固定してクロック切り替え用合成クロックCMPとして出力する合成クロック生成回路300と、クロックCMPと、信号CESとを受け、クロックの切り替え指示信号CDSを出力する切り替え指示信号生成回路200と、信号CDSがアクティブになった場合に、第1のクロック選択信号CSS1のレベルを変化させるクロック選択信号生成回路100と、信号CSS1のレベルに応じて、クロックCLK1またはクロックCMPのいずれかを選択して出力する第1のセクタ400を含む。



【特許請求の範囲】

【請求項 1】

第 1 のクロックと、前記第 1 のクロックとは周波数が異なる第 2 のクロックと、前記第 1 のクロックと前記第 2 のクロックを切り替えるためのクロック切り替え実行信号とを受け、前記第 2 のクロックが第 1 のレベルである期間にクロック切り替え実行信号がアクティブになった場合に、前記第 1 のクロックの立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間、前記第 2 のクロックのレベルを第 2 のレベルに固定してクロック切り替え用合成クロックとして出力する合成クロック生成回路と、

前記クロック切り替え用合成クロックと、前記クロック切り替え実行信号とを受け、クロックの切り替え指示信号を出力する切り替え指示信号生成回路と、

前記切り替え指示信号がアクティブになった場合に、第 1 のクロック選択信号のレベルを変化させるクロック選択信号生成回路と、

前記クロック選択信号生成回路からの前記第 1 のクロック選択信号のレベルに応じて、前記第 1 のクロックまたは前記クロック切り替え用合成クロックのいずれかを選択して出力する第 1 のセクタを含むことを特徴とするクロック切り替え回路。

【請求項 2】

請求項 1 において、

前記第 1 のクロックの立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間は、前記第 1 のクロックの立ち上がりエッジまたは立ち下がりエッジの前の 1 クロック期間と、前記第 1 のクロックの立ち上がりエッジまたは立ち下がりエッジの後ろの 1 クロ

【請求項 3】

請求項 1 または 2 において、

前記合成クロック生成回路は、

前記切り替え実行信号と前記第 2 のクロックが入力される第 1 の O R 回路と、

前記第 1 の O R 回路の出力を前記第 1 のクロックに基づいて保持し、保持された信号を出力することで、前記クロック切り替え用合成クロックを前記切り替え指示信号生成回路及び前記第 1 のセクタに出力する合成クロック用フリップフロップと、

を含み、

前記第 1 のレベルはローレベルであり、前記第 2 のレベルはハイレベルであり、

前記第 1 の O R 回路は、前記第 2 のクロックがローレベルである期間であっても、前記クロック切り替え実行信号がアクティブに設定された場合はハイレベルの信号を前記合成クロック用フリップフロップに出力することを特徴とするクロック切り替え回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記切り替え指示信号生成回路は、前記切り替え実行信号と前記合成クロック生成回路の出力が入力される第 1 の A N D 回路を含み、

前記第 1 の A N D 回路は、前記切り替え実行信号がアクティブであり、且つ、前記合成クロック生成回路の前記合成クロックがハイレベルである場合に、前記切り替え指示信号をアクティブに設定することを特徴とするクロック切り替え回路。

【請求項 5】

請求項 1 または 2 において、

前記合成クロック生成回路は、

前記切り替え実行信号と前記第 2 のクロックが入力される第 2 の A N D 回路と、

前記第 2 の A N D 回路の出力を前記第 1 のクロックに基づいて保持し、保持された信号を出力することで、前記クロック切り替え用合成クロックを前記切り替え指示信号生成回路及び前記第 1 のセクタに出力する合成クロック用フリップフロップと、

を含み、

前記第 1 のレベルはハイレベルであり、前記第 2 のレベルはローレベルであり、

前記第 2 の A N D 回路は、前記第 2 のクロックがハイレベルである期間であっても、前

10

20

30

40

50

記クロック切り替え実行信号がアクティブに設定された場合はローレベルの信号を前記合成クロック用フリップフロップに出力することを特徴とするクロック切り替え回路。

【請求項 6】

請求項 1 または 2 または 5 のいずれかにおいて、

前記切り替え指示信号生成回路は、前記切り替え実行信号と前記合成クロック生成回路の出力が入力される第 2 の OR 回路を含み、

前記第 2 の OR 回路は、前記切り替え実行信号がアクティブであり、且つ、前記合成クロック生成回路の前記合成クロックがローレベルである場合に、前記切り替え指示信号をアクティブに設定することを特徴とするクロック切り替え回路。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記クロック選択信号生成回路は、

選択信号用セクタと、

前記選択信号用セクタの出力信号を前記第 1 のクロックに基づいて保持し、保持された信号を前記選択信号用セクタ及び前記第 1 のセクタに前記第 1 のクロック選択信号として出力する選択信号用フリップフロップとを含み、

前記選択信号用セクタは、前記選択信号用フリップフロップからの前記第 1 のクロック選択信号と、クロック切り替え時に前記第 1 のセクタに選択されるクロックを決定するための第 2 のクロック選択信号とを受け、前記切り替え指示信号生成回路からの前記切り替え指示信号に基づいて、前記第 1 のクロック選択信号または前記第 2 のクロック選択信号のいずれかを前記選択信号用フリップフロップに出力することを特徴とするクロック切り替え回路。

【請求項 8】

請求項 7 において、

前記選択信号用セクタは、前記切り替え指示信号生成回路の前記切り替え指示信号がアクティブに設定されると、前記第 2 のクロック選択信号を前記選択信号用フリップフロップに出力することを特徴とするクロック切り替え回路。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

複数のクロックを受け、前記複数のクロックのうちの任意のクロックを選択して、前記第 2 のクロックとして前記合成クロック生成回路に出力する第 2 のセクタをさらに含むことを特徴とするクロック切り替え回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック切り替え回路に関する。

【背景技術】

【0002】

例えば複数のクロックを受け、切り替え信号に基づいて複数のクロックのうちの 1 つを出力するセクタでは、一方のクロックから他方のクロックに切り替える際にハザードと称されるパルス幅の狭いクロックパルスが生じる場合がある。このハザードは、例えば一方のクロックのレベルがハイレベルであって、他方のクロックのレベルがローレベルである時に、切り替え信号がアクティブに設定されクロック切り替えが行われた場合に生じる可能性がある。これは、セクタ内での切り替え信号の遅延に起因する。このハザードは他の回路の誤動作等を引き起こす可能性があるため、ハザードを生じさせないために一方のクロック及び他方のクロックの双方がハイレベルまたはローレベルである期間でクロック切り替えを行う必要があり、従来のクロック切り替え回路は短い時間でクロック切り替えを行うことができなかった。

【0003】

また、他の手法によってハザードの発生を防止するクロック切り替え回路が考案されて

10

20

30

40

50

いる（特許文献１）。特許文献１に記載されているクロック切り替え回路は、クロック切り替え時にまず一方のクロック出力を停止し、所定の時間が経過した後に他方のクロックを出力するような構成である。

【０００４】

特許文献１を含む従来のクロック切り替え回路は、ハザードの発生を防止することができるが、クロック切り替えに要する時間が長くなってしまうという課題を有する。

【特許文献１】特開平８－１０７４０６号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ハザードを生じることなく早いタイミングでのクロック切り替えが可能なクロック切り替え回路を提供することにある。

【課題を解決するための手段】

【０００６】

本発明は、第１のクロックと、前記第１のクロックとは周波数が異なる第２のクロックと、前記第１のクロックと前記第２のクロックを切り替えるためのクロック切り替え実行信号とを受け、前記第２のクロックが第１のレベルである期間にクロック切り替え実行信号がアクティブになった場合に、前記第１のクロックの立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間、前記第２のクロックのレベルを第２のレベルに固定してクロック切り替え用合成クロックとして出力する合成クロック生成回路と、前記クロック切り替え用合成クロックと、前記クロック切り替え実行信号とを受け、クロックの切り替え指示信号を出力する切り替え指示信号生成回路と、前記切り替え指示信号がアクティブになった場合に、第１のクロック選択信号のレベルを変化させるクロック選択信号生成回路と、前記クロック選択信号生成回路からの前記第１のクロック選択信号のレベルに応じて、前記第１のクロックまたは前記クロック切り替え用合成クロックのいずれかを選択して出力する第１のセレクタを含むクロック切り替え回路に関する。

【０００７】

本発明によれば、クロック切り替えを行う際、前記第１のクロックの立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間、前記第２のクロックのレベルを第２のレベルに固定することができるので、ハザードを生じさせることなく短い期間でクロック切り替えを完了することができる。

【０００８】

また、本発明では、前記第１のクロックの立ち上がりエッジまたは立ち下がりエッジを含む前後の所与の期間は、前記第１のクロックの立ち上がりエッジまたは立ち下がりエッジの前の１クロック期間と、前記第１のクロックの立ち上がりエッジまたは立ち下がりエッジの後の１クロック期間で構成されてもよい。

【０００９】

本発明によれば、第１のクロックの少なくとも２クロックの期間でハザードを生じさせることなくクロック切り替えを完了することができる。

【００１０】

また、本発明では、前記合成クロック生成回路は、前記切り替え実行信号と前記第２のクロックが入力される第１のＯＲ回路と、前記第１のＯＲ回路の出力を前記第１のクロックに基づいて保持し、保持された信号を出力することで、前記クロック切り替え用合成クロックを前記切り替え指示信号生成回路及び前記第１のセレクタに出力する合成クロック用フリップフロップと、を含み、前記第１のレベルはローレベルであり、前記第２のレベルはハイレベルであり、前記第１のＯＲ回路は、前記第２のクロックがローレベルである期間であっても、前記クロック切り替え実行信号がアクティブに設定された場合はハイレベルの信号を前記合成クロック用フリップフロップに出力するようにしてもよい。

【００１１】

10

20

30

40

50

本発明によれば、切り替え実行信号がアクティブに設定されると、合成クロック生成回路は、合成クロック生成回路の出力を前記所定の期間、ハイレベルに固定することができるので、第2のクロックがローレベルである期間であってもクロック切り替えを行うことができる。即ち、第2のクロックがローレベルである期間であっても、第2のクロックのレベルがハイレベルになるまで待機する必要なしに、短い期間でクロック切り替えを完了することができる。

【0012】

また、本発明では、前記切り替え指示信号生成回路は、前記切り替え実行信号と前記合成クロック生成回路の出力が入力される第1のAND回路を含み、前記第1のAND回路は、前記切り替え実行信号がアクティブであり、且つ、前記合成クロック生成回路の前記合成クロックがハイレベルである場合に、前記切り替え指示信号をアクティブに設定するようにしてもよい。

10

【0013】

本発明によれば、クロック切り替え用合成クロックのレベルがハイレベルである期間にクロック切り替え指示信号をアクティブに設定することができるので、クロック切り替えの際にハザードの発生を防止できる。

【0014】

また、本発明では、前記合成クロック生成回路は、前記切り替え実行信号と前記第2のクロックが入力される第2のAND回路と、前記第2のAND回路の出力を前記第1のクロックに基づいて保持し、保持された信号を出力することで、前記クロック切り替え用合成クロックを前記切り替え指示信号生成回路及び前記第1のセクタに出力する合成クロック用フリップフロップと、を含み、前記第1のレベルはハイレベルであり、前記第2のレベルはローレベルであり、前記第2のAND回路は、前記第2のクロックがハイレベルである期間であっても、前記クロック切り替え実行信号がアクティブに設定された場合はローレベルの信号を前記合成クロック用フリップフロップに出力するようにしてもよい。

20

【0015】

本発明によれば、切り替え実行信号がアクティブに設定されると、合成クロック生成回路は、合成クロック生成回路の出力を前記所定の期間、ローレベルに固定することができるので、第2のクロックがハイレベルである期間であってもクロック切り替えを行うことができる。即ち、第2のクロックがハイレベルである期間であっても、第2のクロックのレベルがローレベルになるまで待機する必要なしに、短い期間でクロック切り替えを完了することができる。

30

【0016】

また、本発明では、前記切り替え指示信号生成回路は、前記切り替え実行信号と前記合成クロック生成回路の出力が入力される第2のOR回路を含み、前記第2のOR回路は、前記切り替え実行信号がアクティブであり、且つ、前記合成クロック生成回路の前記合成クロックがローレベルである場合に、前記切り替え指示信号をアクティブに設定するようにしてもよい。

【0017】

本発明によれば、クロック切り替え用合成クロックのレベルがローレベルである期間にクロック切り替え指示信号をアクティブに設定することができるので、クロック切り替えの際にハザードの発生を防止できる。

40

【0018】

また、本発明では、前記クロック選択信号生成回路は、選択信号用セクタと、前記選択信号用セクタの出力信号を前記第1のクロックに基づいて保持し、保持された信号を前記選択信号用セクタ及び前記第1のセクタに前記第1のクロック選択信号として出力する選択信号用フリップフロップとを含み、前記選択信号用セクタは、前記選択信号用フリップフロップからの前記第1のクロック選択信号と、クロック切り替え時に前記第1のセクタに選択されるクロックを決定するための第2のクロック選択信号とを受け、前記切り替え指示信号生成回路からの前記切り替え指示信号に基づいて、前記第1のクロ

50

ック選択信号または前記第2のクロック選択信号のいずれかを前記選択信号用フリップフロップに出力するようにしてもよい。

【0019】

本発明によれば、第1のクロック及びクロック切り替え用合成クロックのレベルが双方ともローレベルまたはハイレベルである期間にクロック切り替えを行うことができるので、ハザードの発生を確実に防止でき、短い期間でクロック切り替えを完了することができる。

【0020】

また、本発明では、前記選択信号用セレクタは、前記切り替え指示信号生成回路の前記切り替え指示信号がアクティブに設定されると、前記第2のクロック選択信号を前記選択信号用フリップフロップに出力するようにしてもよい。 10

【0021】

また、本発明では、複数のクロックを受け、前記複数のクロックのうちの任意のクロックを選択して、前記第2のクロックとして前記合成クロック生成回路に出力する第2のセレクタをさらに含むようにしてもよい。

【発明を実施するための最良の形態】

【0022】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。 20

【0023】

1. 第1実施形態に係るクロック切り替え回路

図1は、第1実施形態に係るクロック切り替え回路1000を示すブロック図である。クロック切り替え回路1000は、第1のクロック選択信号CSS1を出力するクロック選択信号生成回路100と、クロック切り替え実行信号CES及び合成クロックCMPに基づいて切り替え指示信号CDSを出力する切り替え指示信号生成回路200とを含む。また、クロック切り替え回路1000は、第1のクロック(基準クロックとも言う)CLK1、第2のクロックCLK2及びクロック切り替え実行信号CESに基づいて合成クロックCMP(広義にはクロック切り替え用合成クロック)を出力する合成クロック生成回路300を含む。 30

【0024】

また、クロック切り替え回路1000は、出力クロックCLK3を出力する第1のセレクタ400と、第3のクロック選択信号CSS3に基づいて第2のクロックCLK2を出力する第2のセレクタ500とを含む。また、クロック切り替え回路1000は、第1のクロックCLK1に基づいて複数の分周クロックを出力する分周回路600を含む。

【0025】

クロック切り替え回路1000は上記の構成に限定されず、クロック切り替え回路1000は、例えば第2のセレクタ500や分周回路600を含まない構成でもよい。

【0026】

クロック選択信号生成回路100は、切り替え指示信号生成回路200から出力される切り替え指示信号CDS、第1のクロックCLK1(広義には第1のクロック)及び第2のクロック選択信号CSS2に基づいて、第1のセレクタ400に第1のクロック選択信号CSS1を出力する。なお、第2のクロック選択信号CSS2は、クロック切り替え時に第1のセレクタ400から出力クロックCLK3として出力されるクロックを、合成クロックCMPまたは第1のクロックCLK1のいずれかに決定するための信号である。例えば、第2のクロック選択信号CSS2がハイレベルに設定されている場合には、クロック選択信号生成回路100は、第1のセレクタ400が合成クロックCMPを出力クロックCLK3として出力するように、第1のクロック選択信号CSS1のレベルを例えばハイレベルに設定する。即ち、図1のクロック切り替え回路1000では、第2のクロック選択信号CSS2がハイレベルに設定されると、第1のクロック選択信号CSS1がハイ 40 50

レベルに設定され、結果として合成クロックCMPが第1のセクタ400から出力される。但し、上記の構成は一例であって、クロック切り替え回路1000は、第2のクロック選択信号CSS2がハイレベルに設定された場合に第1のセクタ400から第1のクロックCLK1が出力されるような構成でもよい。また、クロック切り替え回路1000は、第1のクロック選択信号CSS1がハイレベルに設定された場合、第1のセクタ400から第1のクロックCLK1が出力されるような構成でもよい。

【0027】

合成クロック生成回路300は、第2のクロックCLK2を受け、クロック切り替え実行信号CESがアクティブに設定されると、例えば第1のクロックCLK1の立ち上がりエッジに応じて合成クロックCMPを例えばハイレベルに設定する。合成クロック生成回路300は、クロック切り替え実行信号CESがアクティブに設定されている期間に基づいて、合成クロックCMPのレベルの例えばハイレベルである期間を設定する。

10

【0028】

クロック切り替え実行信号CESがノンアクティブに設定されている場合には、合成クロック生成回路300は、第2のクロックCLK2に基づいて合成クロックCMPを出力する。この場合、合成クロック生成回路300は、例えば第2のクロックCLK2を遅延させて合成クロックCMPとして出力するが、例えば第2のクロックCLK2をそのまま合成クロックCMPとして出力してもよい。

【0029】

第2のセクタ500は、分周回路600から出力される複数のクロックを受け、第3のクロック選択信号CSS3に基づいて複数のクロックのいずれかを選択して、第2のクロックCLK2として合成クロック生成回路300に出力する。

20

【0030】

分周回路600は、第1のクロックCLK1を分周することで、複数のクロックを生成し第2のセクタ500に出力する。例えば、分周回路600は、3つの分周クロックCLK5～CLK7を生成し、第2のセクタ500に出力するがこれに限定されない。例えば分周回路600は、1つの分周クロック、2つの分周クロック、4つの分周クロック等、 n (n は自然数)個の分周クロックを生成し出力するようにしてもよい。なお、クロックCLK4は、常時一定レベル、例えばハイレベルに設定される。これは、第2のセクタ500は例えば4つの入力が設けられているのに対して、分周回路600は3つの分周クロックCLK5～CLK7を第2のセクタ500に出力するためである。以下の図において同符号のものは同様の意味を表す。

30

【0031】

図2は、クロック切り替え回路1000の一部を示す回路図である。クロック選択信号生成回路100は、選択信号用セクタ110と、選択信号用フリップフロップ120を含むがこれに限定されない。例えば、クロック選択信号生成回路100は選択信号用セクタ110を含まない構成でもよい。

【0032】

切り替え指示信号生成回路200は、第1のAND回路210を含む。合成クロック生成回路300は、第1のOR回路310と、合成クロック用フリップフロップ320を含むが、これに限定されない。例えば、合成クロック生成回路300は、第1のOR回路310を含まない構成でもよい。

40

【0033】

例えば合成クロックCMPが第1のセクタ400から出力クロックCLK3として出力されている状態から、第1のセクタ400の出力クロックCLK3を第1のクロックCLK1に切り替えたい場合を説明する。この場合、クロック切り替えを行う際にクロック切り替え実行信号CESがアクティブに設定され、第2のクロック選択信号CSS2は例えばローレベルに設定される。

【0034】

例えば第1のOR回路310の入力ノードND1及び第1のAND回路210の入力ノ

50

ードND3にはアクティブな信号、例えばハイレベルの信号が入力される。これにより、第1のOR回路310はハイレベルの信号を合成クロック用フリップフロップ320に出力する。

【0035】

合成クロック用フリップフロップ320は、例えば第1のクロックCLK1の立ち上がりエッジに応じて第1のOR回路310から入力されたハイレベルの信号を保持し、例えば第1のクロックCLK1の次の立ち上がりエッジが合成クロック用フリップフロップ320に入力されるまで、ハイレベルの信号を例えば第1のAND回路210の入力ノードND4及び第1のセクタ400に出力する。

【0036】

この場合、第1のAND回路210の入力ノードND3及びND4にはハイレベルの信号が入力されるので、第1のAND回路210は例えばハイレベルの信号を選択信号用セクタ110に出力する。選択信号用セクタ110は、第1のAND回路210の出力信号のレベルに応じて、選択信号用セクタ110の入力ノードND5、ND6のそれぞれに入力される信号のいずれかを選択して選択信号用フリップフロップ120に出力する。例えば、選択信号用セクタ110は、第1のAND回路210からハイレベルの信号を受けると、入力ノードND6に入力される第2のクロック選択信号CSS2を選択し選択信号用フリップフロップ120に出力する。

【0037】

このとき第1のクロック選択信号CSS2は、ローレベルに設定されているので、例えば選択信号用フリップフロップ120は第1のクロックCLK1の立ち上がりエッジに応じて選択信号用セクタ110の出力信号であるローレベルの信号を保持し、次の第1のクロックCLK1の例えば立ち上がりエッジが入力されるまで、ローレベルの信号を選択信号用セクタ110の入力ノードND5及び第1のセクタ400に出力する。

【0038】

第1のセクタ400は、クロック選択信号生成回路100の選択信号用フリップフロップ120からローレベルの信号（広義には第1のクロック選択信号CSS1）を受け、合成クロックCMPから第1のクロックCLK1に切り替えて、第1のクロックCLK1を出力クロックCLK3として出力する。

【0039】

上述のように出力クロックCLK3が設定されるクロック切り替え回路1000では、クロック切り替えを行う場合には、クロック切り替え実行信号CESがアクティブ（例えばハイレベルの信号）に設定される。さらに、クロック切り替え回路1000の出力クロックCLK3を第1のクロックCLK1に設定したい場合は、第2のクロック選択信号CSS2は例えばローレベルの信号に設定される。また、クロック切り替え回路1000の出力クロックCLK3を合成クロックCMP（広義には第2のクロック）に設定したい場合は、第2のクロック選択信号CSS2は例えばハイレベルの信号に設定される。

【0040】

図3は、第1のセクタ400の構成を示す回路図である。第1のセクタ400は、OR回路OR1、OR2、AND回路AND1を含む。OR回路OR1の入力ノードND7には、合成クロックCMPが入力され、入力ノードND8には、第1のクロック選択信号CSS1の反転信号が入力される。また、OR回路OR2の入力ノードND9には、第1のクロック選択信号CSS1が入力され、入力ノードND10には、第1のクロックCLK1が入力される。AND回路AND1は、OR回路OR1、OR2の出力を受けて、出力クロックCLK3を出力する。

【0041】

例えば、第1のクロック選択信号CSS1がハイレベルに設定された場合、OR回路OR1の入力ノードND8には、反転された信号であるローレベルの信号が入力され、OR回路OR2の入力ノードND9には、ハイレベルの信号が入力される。このとき、OR回路OR1の出力信号のレベルは、合成クロックCMPのレベルに応じて変化し、OR回路

10

20

30

40

50

OR 2 の出力信号のレベルは、ノードND 9 にハイレベルの信号が入力されている間は、常にハイレベルとなる。これにより、AND 回路AND 1 の出力レベルは合成クロックCMP の信号レベルに応じて変化する。即ち、出力クロックCLK 3 は、合成クロックCMP に基づいたクロック信号となる。

【0042】

反対に、第1のクロック選択信号CSS 1 がローレベルに設定された場合、OR 回路OR 1 の入力ノードND 8 には、反転された信号であるハイレベルの信号が入力され、OR 回路OR 2 の入力ノードND 9 には、ローレベルの信号が入力される。このとき、OR 回路OR 1 の出力信号のレベルは、ノードND 8 にハイレベルの信号が入力されている間は、常にハイレベルとなり、OR 回路OR 2 の出力信号のレベルは、第1のクロックCLK 1 のレベルに応じて変化する。これにより、AND 回路AND 1 の出力レベルは第1のクロックCLK 1 の信号レベルに応じて変化する。即ち、出力クロックCLK 3 は、第1のクロックCLK 1 に基づいたクロック信号となる。

【0043】

上述のように、第1のセクタ400 は、第1のクロック選択信号CSS 1 に基づいて合成クロックCMP 及び第1のクロックCLK 1 を切り替えて、出力クロックCLK 3 として出力する。

【0044】

次に図2 と図4 を参照しながらクロック切り替え回路1000 の動作を説明する。図4 は、第2のクロックCLK 2 から第1のクロック(基準クロック)CLK 1 に切り替える際のクロック切り替え実行信号CES や切り替え指示信号CDS 等を示すタイミングチャートである。なお、図4 では第2のクロックCLK 2 として例えば1/8分周クロックが入力されているが、これに限定されない。第2のクロックCLK 2 は、第1のクロックCLK 1 に基づいて分周された分周クロックであればよく、例えば1/2分周クロックでもよいし、1/16分周クロックでもよい。また、図4 の符号t1 ~ t8 は、時間を示す。

【0045】

例えば図1 の第2のセクタ500 から出力された第2のクロックCLK 2 が、図2 の第1のOR 回路310 の入力ノードND 2 に入力される。ノードND 2 に入力されている信号が図4 のB1 で示されるように立ち上がると、図2 の第1のOR 回路310 の出力信号A1 は図4 のB2 に示されるように立ち上がる。そして、出力信号A1 を受ける合成クロック用フリップフロップ320 は、B3 に示される第1のクロックCLK 1 の立ち上がりエッジに応じて、B4 に示されるハイレベルの信号を第1のAND 回路210 及び第1のセクタ400 に出力する。なお、時間t1 における第1のOR 回路310 の出力信号A1 はローレベルの信号であるため、時間t1 からt2 の期間では、合成クロック用フリップフロップ320 の出力信号はローレベルである。

【0046】

その後、ノードND 2 に入力されている信号がB5 に示されるように立ち下がると、図2 の第1のOR 回路310 の出力信号A1 は図4 のB6 に示されるように立ち下がる。そして、出力信号A1 を受ける合成クロック用フリップフロップ320 は、第1のAND 回路210 及び第1のセクタ400 に出力する信号を、B7 に示される第1のクロックCLK 1 の立ち上がりエッジに応じて、B8 に示されるように立ち下げる。なお、時間t2 、t3 、t4 、t5 における第1のOR 回路310 の出力信号A1 はハイレベルの信号であるため、時間t2 からt6 の期間では、合成クロック用フリップフロップ320 の出力信号はハイレベルである。

【0047】

時間t1 からt8 までの期間では、第1のクロック選択信号CSS 1 はハイレベルに設定されているため、この期間での第1のセクタ400 から出力される出力クロックCLK 3 は、合成クロック用フリップフロップ320 の出力、即ち合成クロックCMP である。ここで、時間t1 からt7 までの期間において、第2のクロックCLK 2 のパルス幅C1 、合成クロックCMP のパルス幅C2 及び出力クロックCLK 3 のパルス幅C3 を比較

10

20

30

40

50

すると、すべて同じことが図4からわかる。つまり、このときの合成クロックCMPは、第2のクロックCLK2が合成クロック生成回路300によって遅延されて出力されたクロックであり、この合成クロックCMPが第1のセクタ400から出力クロックCLK3として出力される。

【0048】

ここで、例えば、B9に示されるようにクロック切り替え実行信号CESが立ち上がり、アクティブに設定されると、第1のOR回路310の入力ノードND1及び第1のAND回路210の入力ノードND3にはハイレベルの信号が入力される。これによって、B10に示されるように第1のOR回路310の出力信号A1は立ち上がり、ハイレベルの信号に設定される。第1のOR回路310の出力信号A1を受ける合成クロック用フリップフロップ320は、第1のクロックCLK1のB11に示される立ち上がりエッジに応じて、B12に示されるハイレベルの信号を第1のAND回路210の入力ノードND4及び第1のセクタ400に出力する。

10

【0049】

切り替え実行信号CESがアクティブに設定されることで、時間t7からt8において第1のAND回路210の入力ノードND3、ND4にハイレベルの信号が入力され、切り替え指示信号CDSはB13のようにアクティブ（ハイレベル）に設定される。選択信号用セクタ110はアクティブな切り替え指示信号CDSを受け、選択信号用セクタ110のノードND6に入力される第2のクロック選択信号CSS2を選択信号用セクタ110の出力信号A2として選択信号用フリップフロップ120に出力する。第2のクロックCLK2から第1のクロックCLK1に切り替える際には第2のクロック選択信号CSS2は例えばローレベルに設定される。即ち、選択信号用セクタ110は、アクティブな切り替え指示信号CDSを受け、ローレベルに設定されている第2のクロック選択信号CSS2に基づいて、図4のB14に示されるように出力信号A2を立ち下げる。

20

【0050】

ローレベルに設定された出力信号A2を受ける選択信号用フリップフロップ120は、第1のクロックCLK1のB15に示される立ち上がりエッジに応じて、B16に示されるように第1のクロック選択信号CSS1を立ち下げ、ローレベルに設定された第1のクロック選択信号CSS1を選択信号用セクタ110の入力ノードND5及び第1のセクタ400に出力する。なお、B17に示されるようにクロック切り替え実行信号CESが立ち下げられることで、切り替え指示信号CDSもB18に示されるように立ち下げられる。これにより、クロック切り替え実行信号CESがローレベルに設定されている間は、選択信号用セクタ110は入力ノードND5に入力される第1のクロック選択信号CSS1を選択信号用フリップフロップ120に出力するため、再度クロック切り替え実行信号CESがアクティブに設定されるまでは、第1のクロック選択信号CSS1はローレベルに維持される。

30

【0051】

第1のセクタ400は、ローレベルに設定された第1のクロック選択信号CSS1を受け、出力クロックCLK3をB19に示されるように第1のクロックCLK1に切り替える。図4によると、時間t8以降、出力クロックCLK3は第1のクロックCLK1に切り替えられていることがわかる。切り替えを行う際のクロック切り替え実行信号CESは、B9に示されるようにアクティブに設定されている。つまり、B9に示されるように立ち上げられてから、B19に示されるようにクロック切り替えが行われるまでに要した期間はC4に示される期間であり、第1のクロックCLK1のおよそ2クロックである。

40

【0052】

さらに、図5を用いて、第2のクロックCLK2から第1のクロックCLK1に切り替える際の動作を説明する。図5は、図4とほぼ同様のタイミングチャートであるが、クロック切り替え実行信号CESをアクティブに設定するタイミングが図4とは異なる場合のタイミングチャートである。図4のタイミングチャートと同様に、B20に示される第2のクロックCLK2が図2の第1のOR回路310のノードND2に入力されるので、B

50

21で示されるハイレベルの出力信号A1が合成クロック用フリップフロップ320に出力される。時間t2での第1のクロックCLK1の例えば立ち上がりエッジに応じて、合成クロック用フリップフロップ320からB22に示されるハイレベルの信号が合成クロックCMPとして出力される。

【0053】

例えば切り替え実行信号CESがB23で示されるように立ち上げられ、B24で示されるように立ち下げられると、C5で示される期間において図2の第1のAND回路210の入力ノードND3、ND4のレベルが双方ともハイレベルに設定されるので、切り替え指示信号CDSはB25で示されるように立ち上がり、B26で示されるように立ち下がる。

10

【0054】

この切り替え指示信号CDSを受ける選択信号用セクタ110は、例えばローレベルに設定された第2のクロック選択信号CSS2に基づいてローレベルの信号を選択信号用フリップフロップ120に出力するので、選択信号用セクタ110の出力信号A2は、B27に示されるように立ち下げられ、ローレベルの信号に設定される。時間t5での第1のクロックCLK1の例えば立ち上がりエッジに応じて、選択信号用フリップフロップ120はローレベルの出力信号A2に基づいてローレベルの信号を第1のクロック選択信号CSS1として第1のセクタ400に出力する。これにより、第1のクロック選択信号CSS1はB28に示されるように立ち下げられ、ローレベルの信号に設定される。

【0055】

20

ローレベルの第1のクロック選択信号CSS1を受け、第1のセクタ400はB29に示されるように出力クロックCLK3を第2のクロックCLK2から第1のクロックCLK1に切り替えて出力する。ここで、クロック切り替え実行信号CESは、B23でアクティブに設定されている。つまり、B23に示されるように立ち上げられてから、B29に示されるようにクロック切り替えが行われるまでに要した期間はC5に示される期間、第1のクロックCLK1のおよそ1クロックである。

【0056】

つまり、第2のクロックCLK2がハイレベルである期間にクロック切り替え実行信号CESがアクティブに設定されると、第1のクロックCLK1のおよそ1クロックの期間でクロック切り替えが完了する。また、第2のクロックCLK2がローレベルである期間にクロック切り替え実行信号CESがアクティブに設定されても、第1のクロックCLK1のおよそ2クロックの期間でクロック切り替えが完了する。なお、いずれの場合も第1のクロック選択信号CSS1のレベルが変更される時は、第1のクロックCLK1及び合成クロックCMPがハイレベルであるので、クロック切り替え回路1000は第1のセクタ400からパルス幅の短いハザードが出力されることを防止できる。

30

【0057】

図6は、図1の第2のセクタ500を示す回路図である。第2のセクタ500はセクタSL1～SL3で構成され、各セクタSL1～SL3は例えば2つのOR回路及び1つのAND回路を含む。セクタSL1、SL2の各出力はセクタSL3に出力される。第1実施形態では、クロックCLK4のレベルはハイレベルに固定される。図1の第3のクロック選択信号CSS3は、例えばクロック選択信号CSS31、CSS32で構成される。

40

【0058】

例えば、クロック選択信号CSS31及びCSS32がハイレベルに設定されると、セクタSL1ではOR回路OR3、OR4の出力はハイレベルとなりAND回路AND2の出力はハイレベルとなるので、セクタSL1の出力はハイレベルとなる。このとき、セクタSL2では、OR回路OR5の出力はクロックCLK6に基づく出力となり、OR回路OR6はハイレベルとなるので、AND回路AND3の出力はクロックCLK6となる。これにより、セクタSL3のOR回路OR7にはハイレベルの信号が入力され、OR回路OR8にはクロックCLK6が入力されるので、セクタSL3の出力はクロッ

50

ク C L K 6 となる。

【 0 0 5 9 】

このように、クロック選択信号 C S S 3 1、C S S 3 2 のレベルの設定の組み合わせにより、第 2 のセクタ 5 0 0 の出力クロック C L K 2 が切り替えられる。

【 0 0 6 0 】

第 1 実施形態では、第 2 のセクタ 5 0 0 は、一例として 3 つの分周クロック C L K 5 ~ C L K 7 を切り替えるが、これに限定されない。より複数の場合のクロックを切り替える場合は、セクタ S L 1、S L 2 の各入力に例えばセクタ S L 1 と同様のセクタを設ければよい。

【 0 0 6 1 】

また、各セクタ S L 1 ~ S L 3 は、図 8 で示されるような例えば 2 つの A N D 回路及び 1 つの O R 回路で構成されたセクタでもよい。

【 0 0 6 2 】

2 . 第 2 実施形態に係るクロック切り替え回路

第 2 実施形態に係るクロック切り替え回路 1 0 0 1 は、図 1 の第 1 実施形態のクロック選択信号生成回路 1 0 0、切り替え指示信号生成回路 2 0 0、合成クロック生成回路 3 0 0 及び第 1 のセクタ 4 0 0 の構成が異なる。その他の構成は第 1 実施形態と同様である。クロック切り替え回路 1 0 0 1 は、クロック選択信号生成回路 1 0 1、切り替え指示信号生成回路 2 0 1、合成クロック生成回路 3 0 1 及び第 1 のセクタ 4 0 1 を含むがこれに限定されない。クロック切り替え回路 1 0 0 1 は、例えばクロック選択信号生成回路 1 0 1 を省略する構成でもよい。

【 0 0 6 3 】

図 7 は、クロック切り替え回路 1 0 0 1 の一部を示す回路図である。クロック選択信号生成回路 1 0 1 は、選択信号用セクタ 1 1 1 と、選択信号用フリップフロップ 1 2 1 を含むがこれに限定されない。例えば、クロック選択信号生成回路 1 0 1 は選択信号用セクタ 1 1 1 を含まない構成でもよい。

【 0 0 6 4 】

切り替え指示信号生成回路 2 0 1 は、第 2 の O R 回路 2 1 1 を含む。合成クロック生成回路 3 0 1 は、第 2 の A N D 回路 3 1 1 と、合成クロック用フリップフロップ 3 2 1 を含むが、これに限定されない。例えば、合成クロック生成回路 3 0 1 は、第 2 の A N D 回路 3 1 1 を含まない構成でもよい。

【 0 0 6 5 】

例えば合成クロック C M P が第 1 のセクタ 4 0 1 から出力クロック C L K 3 として出力されている状態から、第 1 のセクタ 4 0 1 の出力クロック C L K 3 を第 1 のクロック C L K 1 に切り替えたい場合を説明する。この場合、クロック切り替えを行う際にクロック切り替え実行信号 C E S がアクティブに設定され、第 2 のクロック選択信号 C S S 2 は例えばハイレベルに設定される。

【 0 0 6 6 】

例えば第 2 の A N D 回路 3 1 1 の入力ノード N D 1 1 及び第 2 の O R 回路 2 1 1 の入力ノード N D 1 3 にはアクティブな信号、例えばローレベルの信号が入力される。これにより、第 2 の A N D 回路 3 1 1 はローレベルの信号を合成クロック用フリップフロップ 3 2 1 に出力する。

【 0 0 6 7 】

合成クロック用フリップフロップ 3 2 1 は、例えば第 1 のクロック C L K 1 の立ち下がリエッジに応じて第 2 の A N D 回路 3 1 1 から入力されたローレベルの信号を保持し、例えば第 1 のクロック C L K 1 の次の立ち下がリエッジが合成クロック用フリップフロップ 3 2 1 に入力されるまで、ローレベルの信号を例えば第 2 の O R 回路 2 1 1 の入力ノード N D 1 4 及び第 1 のセクタ 4 0 1 に出力する。

【 0 0 6 8 】

この場合、第 2 の O R 回路 2 1 1 の入力ノード N D 1 3 及び N D 1 4 にはローレベルの

10

20

30

40

50

信号が入力されるので、第2のOR回路211は例えばローレベルの信号を選択信号用セクタ111に出力する。選択信号用セクタ111は、第2のOR回路211の出力信号のレベルに応じて、選択信号用セクタ111の入力ノードND15、ND16のそれぞれに入力される信号のいずれかを選択して選択信号用フリップフロップ121に出力する。例えば、選択信号用セクタ111は、第2のOR回路211からローレベルの信号を受けると、入力ノードND16に入力される第2のクロック選択信号CSS2を選択し選択信号用フリップフロップ121に出力する。

【0069】

このとき第1のクロック選択信号CSS2は、ハイレベルに設定されているので、例えば選択信号用フリップフロップ121は第1のクロックCLK1の立ち下がりエッジに応じて選択信号用セクタ111の出力信号であるハイレベルの信号を保持し、次の第1のクロックCLK1の例えば立ち下がりエッジが入力されるまで、ハイレベルの信号を選択信号用セクタ111の入力ノードND15及び第1のセクタ401に出力する。

10

【0070】

第1のセクタ401は、クロック選択信号生成回路101の選択信号用フリップフロップ121からハイレベルの信号（広義には第1のクロック選択信号CSS1）を受け、合成クロックCMPから第1のクロックCLK1に切り替えて、第1のクロックCLK1を出力クロックCLK3として出力する。

【0071】

上述のように出力クロックCLK3が設定されるクロック切り替え回路1001では、クロック切り替えを行う場合には、クロック切り替え実行信号CESがアクティブ（例えばローレベルの信号）に設定される。さらに、クロック切り替え回路1001の出力クロックCLK3を第1のクロックCLK1に設定したい場合は、第2のクロック選択信号CSS2は例えばハイレベルの信号に設定される。また、クロック切り替え回路1001の出力クロックCLK3を合成クロックCMP（広義には第2のクロック）に設定したい場合は、第2のクロック選択信号CSS2は例えばローレベルの信号に設定される。

20

【0072】

図8は、第1のセクタ401の構成を示す回路図である。第1のセクタ401は、OR回路OR9、AND回路AND5、AND6を含む。AND回路AND5の入力ノードND17には、合成クロックCMPが入力され、入力ノードND18には、第1のクロック選択信号CSS1の反転信号が入力される。また、AND回路AND6の入力ノードND19には、第1のクロック選択信号CSS1が入力され、入力ノードND20には、第1のクロックCLK1が入力される。OR回路OR9は、AND回路AND5、AND6の出力を受けて、出力クロックCLK3を出力する。

30

【0073】

例えば、第1のクロック選択信号CSS1がローレベルに設定された場合、AND回路AND5の入力ノードND18には、反転された信号であるハイレベルの信号が入力され、AND回路AND6の入力ノードND19には、ローレベルの信号が入力される。このとき、AND回路AND5の出力信号のレベルは、合成クロックCMPのレベルに応じて変化し、AND回路AND6の出力信号のレベルは、ノードND19にローレベルの信号が入力されている間は、常にローレベルとなる。これにより、OR回路OR9の出力レベルは合成クロックCMPの信号レベルに応じて変化する。即ち、出力クロックCLK3は、合成クロックCMPに基づいたクロック信号となる。

40

【0074】

反対に、第1のクロック選択信号CSS1がハイレベルに設定された場合、AND回路AND5の入力ノードND18には、反転された信号であるローレベルの信号が入力され、AND回路AND6の入力ノードND19には、ハイレベルの信号が入力される。このとき、AND回路AND5の出力信号のレベルは、ノードND18にローレベルの信号が入力されている間は、常にローレベルとなり、AND回路AND6の出力信号のレベルは、第1のクロックCLK1のレベルに応じて変化する。これにより、OR回路OR9の出

50

カレベルは第1のクロックCLK1の信号レベルに応じて変化する。即ち、出力クロックCLK3は、第1のクロックCLK1に基づいたクロック信号となる。

【0075】

上述のように、第1のセクタ401は、第1のクロック選択信号CSS1に基づいて合成クロックCMP及び第1のクロックCLK1を切り替えて、出力クロックCLK3として出力する。

【0076】

次に図7と図9を参照しながらクロック切り替え回路1001の動作を説明する。図9は、第2のクロックCLK2から第1のクロック(基準クロック)CLK1に切り替える際のクロック切り替え実行信号CESや切り替え指示信号CDS等を示すタイミングチャートである。なお、図9では第2のクロックCLK2として例えば1/8分周クロックが入力されているが、これに限定されない。第2のクロックCLK2は、第1のクロックCLK1に基づいて分周された分周クロックであればよく、例えば1/2分周クロックでもよいし、1/16分周クロックでもよい。

10

【0077】

例えば図1の第2のセクタ500から出力された第2のクロックCLK2が、図7の第2のAND回路311の入力ノードND12に入力される。ノードND12に入力されている信号が図9のD1で示されるように立ち上がると、図7の第2のAND回路311の出力信号A3は図9のD2に示されるように立ち上がる。そして、出力信号A3を受ける合成クロック用フリップフロップ321は、D3に示される第1のクロックCLK1の立ち下がりエッジに応じて、D4に示されるローレベルの信号を第2のOR回路211及び第1のセクタ401に出力する。なお、時間t1における第2のAND回路311の出力信号A3はハイレベルの信号であるため、時間t1からt2の間では、合成クロック用フリップフロップ321の出力信号はハイレベルである。

20

【0078】

その後、ノードND12に入力されている信号がD5に示されるように立ち上がると、図7の第2のAND回路311のノードND11にはハイレベルに設定されたクロック切り替え実行信号CESが入力されているので出力信号A3は図9のD6に示されるように立ち上がる。そして、出力信号A3を受ける合成クロック用フリップフロップ321は、第2のOR回路211及び第1のセクタ401に出力する信号を、D7に示される第1のクロックCLK1の立ち下がりエッジに応じて、D8に示されるように立ち上げる。なお、時間t2、t3、t4、t5における第2のAND回路311の出力信号A3はローレベルの信号であるため、時間t2からt6の間では、合成クロック用フリップフロップ321の出力信号はローレベルである。

30

【0079】

時間t1からt8までの期間では、第1のクロック選択信号CSS1はローレベルに設定されているため、この期間での第1のセクタ401から出力される出力クロックCLK3は、合成クロック用フリップフロップ321の出力、即ち合成クロックCMPである。ここで、時間t1からt7までの期間において、第2のクロックCLK2のパルス幅C11、合成クロックCMPのパルス幅C12及び出力クロックCLK3のパルス幅C13を比較すると、すべて同じことが図9からわかる。つまり、このときの合成クロックCMPは、第2のクロックCLK2が合成クロック生成回路301によって遅延されて出力されたクロックであり、この合成クロックCMPが第1のセクタ401から出力クロックCLK3として出力される。

40

【0080】

ここで、例えば、D9に示されるようにクロック切り替え実行信号CESが立ち下がり、アクティブに設定されると、第2のAND回路311の入力ノードND11及び第2のOR回路211の入力ノードND13にはローレベルの信号が入力される。これによって、D10に示されるように第2のAND回路311の出力信号A3は立ち下がり、ローレベルの信号に設定される。第2のAND回路311の出力信号A3を受ける合成クロック

50

用フリップフロップ 3 2 1 は、第 1 のクロック C L K 1 の D 1 1 に示される立ち下がりエッジに応じて、D 1 2 に示されるローレベルの信号を第 2 の O R 回路 2 1 1 の入力ノード N D 1 4 及び第 1 のセクタ 4 0 1 に出力する。

【 0 0 8 1 】

切り替え実行信号 C E S がアクティブに設定されることで、時間 t 7 から t 8 において第 2 の O R 回路 2 1 1 の入力ノード N D 1 3、N D 4 にローレベルの信号が入力され、切り替え指示信号 C D S は D 1 3 のようにアクティブ（ローレベル）に設定される。選択信号用セクタ 1 1 1 はアクティブな切り替え指示信号 C D S を受け、選択信号用セクタ 1 1 1 のノード N D 1 6 に入力される第 2 のクロック選択信号 C S S 2 を選択信号用セクタ 1 1 1 の出力信号 A 4 として選択信号用フリップフロップ 1 2 1 に出力する。第 2 のクロック C L K 2 から第 1 のクロック C L K 1 に切り替える際には第 2 のクロック選択信号 C S S 2 は例えばハイレベルに設定される。即ち、選択信号用セクタ 1 1 1 は、アクティブな切り替え指示信号 C D S を受け、ハイレベルに設定されている第 2 のクロック選択信号 C S S 2 に基づいて、図 9 の D 1 4 に示されるように出力信号 A 4 を立ち上げる。

10

【 0 0 8 2 】

ハイレベルに設定された出力信号 A 4 を受ける選択信号用フリップフロップ 1 2 1 は、第 1 のクロック C L K 1 の D 1 5 に示される立ち下がりエッジに応じて、D 1 6 に示されるように第 1 のクロック選択信号 C S S 1 を立ち上げ、ハイレベルに設定された第 1 のクロック選択信号 C S S 1 を選択信号用セクタ 1 1 1 の入力ノード N D 1 5 及び第 1 のセクタ 4 0 1 に出力する。なお、D 1 7 にしめされるようにクロック切り替え実行信号 C E S が立ち上げられることで、切り替え指示信号 C D S も D 1 8 に示されるように立ち上げられる。これにより、クロック切り替え実行信号 C E S がハイレベルに設定されている間は、選択信号用セクタ 1 1 1 は入力ノード N D 1 5 に入力される第 1 のクロック選択信号 C S S 1 を選択信号用フリップフロップ 1 2 1 に出力するため、再度クロック切り替え実行信号 C E S がアクティブに設定されるまでは、第 1 のクロック選択信号 C S S 1 はハイレベルに維持される。

20

【 0 0 8 3 】

第 1 のセクタ 4 0 1 は、ハイレベルに設定された第 1 のクロック選択信号 C S S 1 を受け、出力クロック C L K 3 を D 1 9 に示されるように第 1 のクロック C L K 1 に切り替える。図 9 によると、時間 t 8 以降、出力クロック C L K 3 は第 1 のクロック C L K 1 に切り替えられていることがわかる。切り替えを行う際のクロック切り替え実行信号 C E S は、D 9 に示されるようにアクティブに設定されている。つまり、D 9 に示されるように立ち下げられてから、D 1 9 に示されるようにクロック切り替えが行われるまでに要した期間は C 1 4 に示される期間であり、第 1 のクロック C L K 1 のおよそ 2 クロックである。

30

【 0 0 8 4 】

さらに、図 1 0 を用いて、第 2 のクロック C L K 2 から第 1 のクロック C L K 1 に切り替える際の動作を説明する。図 1 0 は、図 9 とほぼ同様のタイミングチャートであるが、クロック切り替え実行信号 C E S をアクティブに設定するタイミングが図 9 とは異なる場合のタイミングチャートである。図 9 のタイミングチャートと同様に、D 2 0 に示される第 2 のクロック C L K 2 が図 7 の第 2 の A N D 回路 3 1 1 のノード N D 1 2 に入力されるので、D 2 1 で示されるローレベルの出力信号 A 3 が合成クロック用フリップフロップ 3 2 1 に出力される。時間 t 2 での第 1 のクロック C L K 1 の例えば立ち下がりエッジに応じて、合成クロック用フリップフロップ 3 2 1 から D 2 2 に示されるローレベルの信号が合成クロック C M P として出力される。

40

【 0 0 8 5 】

例えば切り替え実行信号 C E S が D 2 3 で示されるように立ち下げられ、D 2 4 で示されるように立ち上げられると、C 1 5 で示される期間において図 7 の第 2 の O R 回路 2 1 1 の入力ノード N D 1 3、N D 4 のレベルが双方ともローレベルに設定されるので、切り替え指示信号 C D S は D 2 5 で示されるように立ち下がり、D 2 6 で示されるように立ち

50

上がる。

【0086】

この切り替え指示信号CDSを受ける選択信号用セクタ111は、例えばハイレベルに設定された第2のクロック選択信号CSS2に基づいて、ハイレベルの信号を選択信号用フリップフロップ121に出力するので、選択信号用セクタ111の出力信号A4は、D27に示されるように立ち上げられ、ハイレベルの信号に設定される。時間t5での第1のクロックCLK1の例えば立ち下がりエッジに応じて、選択信号用フリップフロップ121はハイレベルの出力信号A4に基づいてハイレベルの信号を第1のクロック選択信号CSS1として第1のセクタ401に出力する。これにより、第1のクロック選択信号CSS1はD28に示されるように立ち上げられ、ハイレベルの信号に設定される。

10

【0087】

ハイレベルの第1のクロック選択信号CSS1を受け、第1のセクタ401はD29に示されるように出力クロックCLK3を第2のクロックCLK2から第1のクロックCLK1に切り替えて出力する。ここで、クロック切り替え実行信号CESは、D23でアクティブに設定されている。つまり、D23に示されるように立ち上げられてから、D29に示されるようにクロック切り替えが行われるまでに要した期間はC15に示される期間、第1のクロックCLK1のおよそ1クロックである。

【0088】

つまり、第2のクロックCLK2がローレベルである期間にクロック切り替え実行信号CESがアクティブに設定されると、第1のクロックCLK1のおよそ1クロックの期間でクロック切り替えが完了する。また、第2のクロックCLK2がハイレベルである期間にクロック切り替え実行信号CESがアクティブに設定されても、第1のクロックCLK1のおよそ2クロックの期間でクロック切り替えが完了する。なお、いずれの場合も第1のクロック選択信号CSS1のレベルが変更される時は、第1のクロックCLK1及び合成クロックCMPがローレベルであるので、クロック切り替え回路1001は第1のセクタ401からパルス幅の短いハザードが出力されることを防止できる。

20

【0089】

3. 第1実施形態及び第2実施形態と、比較例との対比

図11は、第1実施形態及び第2実施形態のクロック切り替え回路1000、1001に対する比較例であるクロック切り替え回路2000を示す回路図である。クロック切り替え回路2000は、基準クロックCLK11に基づいて複数の分周クロックを出力する分周回路2100、セクタ2200、フリップフロップ2300及びセクタ2400を含むが、これに限定されない。クロック切り替え回路2000は、例えばフリップフロップ2300またはセクタ2400を省略する構成でもよい。分周回路2100は、基準クロックCLK11に基づいて、例えば1/2分周クロックCLK12、1/4分周クロックCLK13、1/8分周クロックCLK14をセクタ2200に出力する。

30

【0090】

図12は、図11のクロック切り替え回路2000において、クロック切り替えを行うタイミングを示すためのタイミングチャートである。クロック切り替え回路2000のセクタ2200が、例えば図8で示されているようなセクタを含む構成である場合、クロック切り替えは、各クロックCLK11~CLK14がすべてローレベルである期間内(例えばE1、E2で示されるタイミング)に行われる必要がある。この場合、その他の期間でクロック切り替えを行ってしまうと、例えばセクタ内のインバータ等によって信号遅延が生じ、出力クロックCLK15にはパルス幅の狭いハザードが含まれてしまう。

40

【0091】

また、クロック切り替え回路2000のセクタ2200が、例えば図3で示されているようなセクタを含む構成である場合、クロック切り替えは、各クロックCLK11~CLK14がすべてハイレベルである期間期間内(例えばE3、E4で示されるタイミング)に行われる必要がある。この場合、その他の期間でクロック切り替えを行ってしまうと、例えばセクタ内のインバータ等によって信号遅延が生じ、出力クロックCLK15

50

にはパルス幅の狭いハザードが含まれてしまう。

【0092】

図12から明らかなように、例えばセクタ2200が図8のセクタを含む場合、E1のタイミングでクロック切り替えを行えなかった場合は、E2のタイミングまでクロック切り替えを行えない。同様に、セクタ2200が図3のセクタを含む場合のクロック切り替えが可能なタイミングは、E3のタイミングの次はE4のタイミングである。いずれの場合も、クロック切り替え可能なタイミングは、基準クロックCLK11の8クロック分の間隔があり、クロック切り替えを素早く行うことができない。また、セクタ2200に入力されるクロックの数が、図12では4つであるが、この入力されるクロックの数が増加すると、前述のクロック切り替えタイミングの間隔はさらに長くなってしま

10

【0093】

一方、第1実施形態及び第2実施形態のクロック切り替え回路1000、1001は、いずれもクロック切り替え実行信号がアクティブに設定されてから、第1のクロックCLK1の1クロックまたは2クロックで示される期間でクロック切り替えを完了できる。これは、比較例のクロック切り替え回路2000に比べて、短い期間でクロック切り替えを完了することができることを意味する。例えば、第2のクロックCLK2が第1のクロックCLK1が分周された1/8分周クロックである場合であっても、クロック切り替え回路1000、1001は、第1のクロックCLK1のおよそ1クロックまたは2クロック

20

【0094】

上述のように、第1実施形態及び第2実施形態のクロック切り替え回路1000、1001は、複数のクロックに対して、ハザードの発生を防止しながら短い期間でクロック切り替えを完了することができる。

30

【0095】

なお、本発明は、上記実施形態で説明されたものに限らず、種々の変形実施が可能である。例えば、明細書又は図面中の記載において広義や同義な用語（第1のクロックCLK1、第2のクロックCLK2等）として引用された用語は、明細書又は図面中の他の記載においても広義や同義な用語（基準クロックCLK1、分周クロック等）に置き換えることができる。

【図面の簡単な説明】

【0096】

【図1】第1実施形態または第2実施形態に係るクロック切り替え回路を示すブロック図。

40

【図2】第1実施形態に係るクロック切り替え回路の一部を示す回路図。

【図3】第1実施形態に係る第1のセクタを示す回路図。

【図4】第1実施形態に係るクロック切り替え回路の動作を示すタイミングチャート。

【図5】第1実施形態に係るクロック切り替え回路の他の動作を示すタイミングチャート。

【図6】第1実施形態または第2実施形態に係るクロック切り替え回路の第2のセクタを示す回路図。

【図7】第2実施形態に係るクロック切り替え回路の一部を示すブロック図。

【図8】第2実施形態に係る第1のセクタを示す回路図。

【図9】第2実施形態に係るクロック切り替え回路の動作を示すタイミングチャート。

50

【図 10】第 2 実施形態に係るクロック切り替え回路の他の動作を示すタイミングチャート。

【図 11】第 1 実施形態及び第 2 実施形態に係る比較例のクロック切り替え回路を示すブロック図。

【図 12】比較例の動作を示すタイミングチャート。

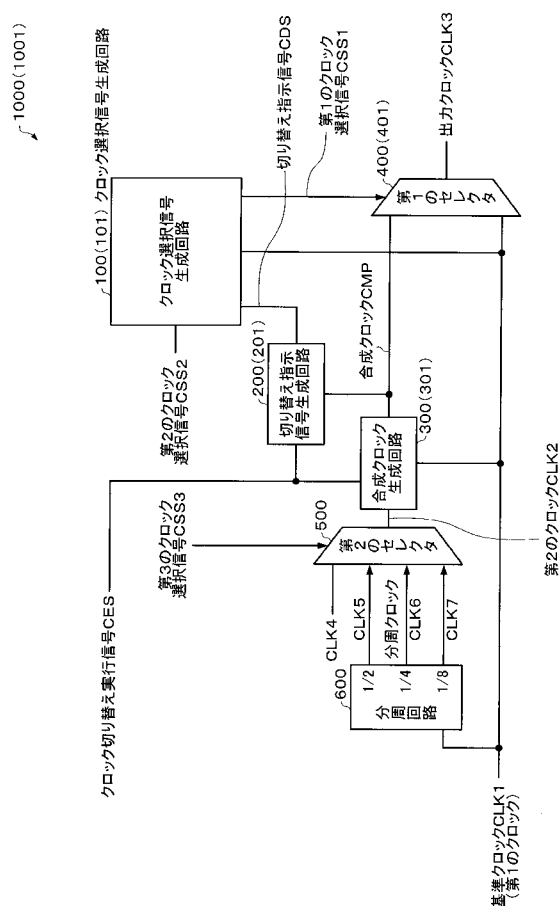
【符号の説明】

【 0 0 9 7 】

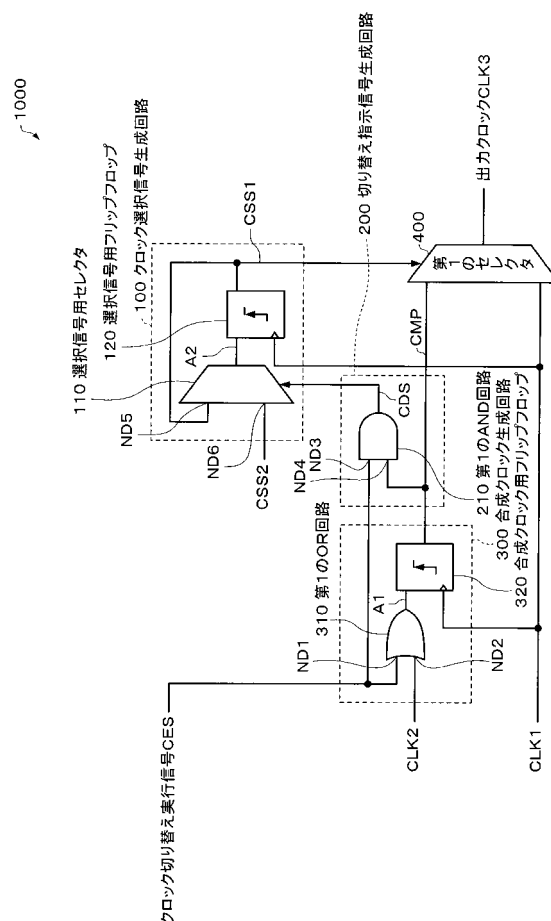
1 0 0、1 0 1 クロック選択信号生成回路、1 1 0、1 1 1 選択信号用セレクト、
1 2 0、1 2 1 選択信号用フリップフロップ、
2 0 0、2 0 1 切り替え指示信号生成回路、2 1 0 第 1 の A N D 回路、
2 1 1 第 2 の O R 回路、3 0 0、3 0 1 合成クロック生成回路、
3 1 0 第 1 の O R 回路、3 1 1 第 2 の A N D 回路、
3 2 0、3 2 1 合成クロック用フリップフロップ、4 0 0 第 1 のセレクト、
4 0 1 第 1 のセレクト、5 0 0 第 2 のセレクト、
1 0 0 0、1 0 0 1 クロック切り替え回路、C D S 切り替え指示信号、
C E S クロック切り替え実行信号、C L K 1 第 1 のクロック、
C L K 2 第 2 のクロック、C M P クロック切り替え用合成クロック、
C S S 1 第 1 のクロック選択信号、C S S 2 第 2 のクロック選択信号

10

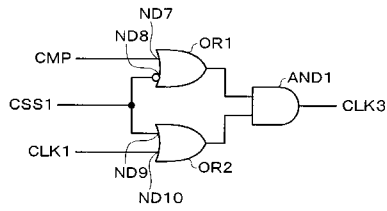
【图 1】



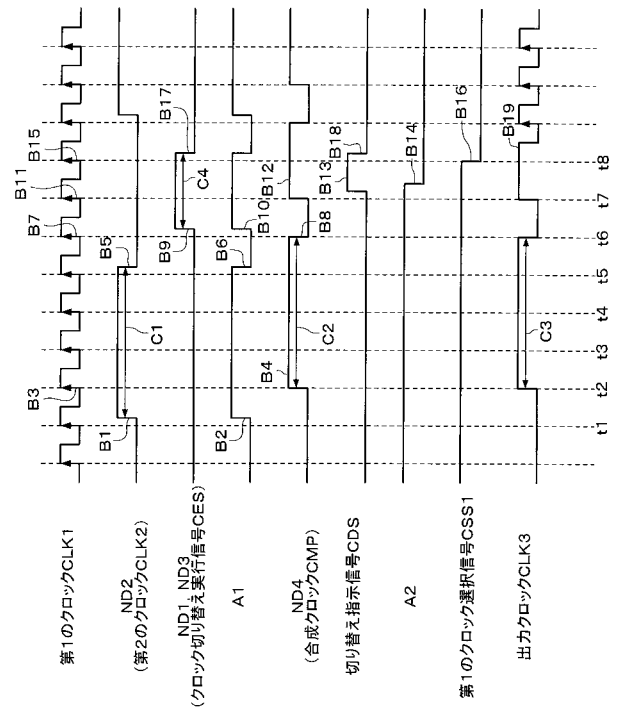
【图 2】



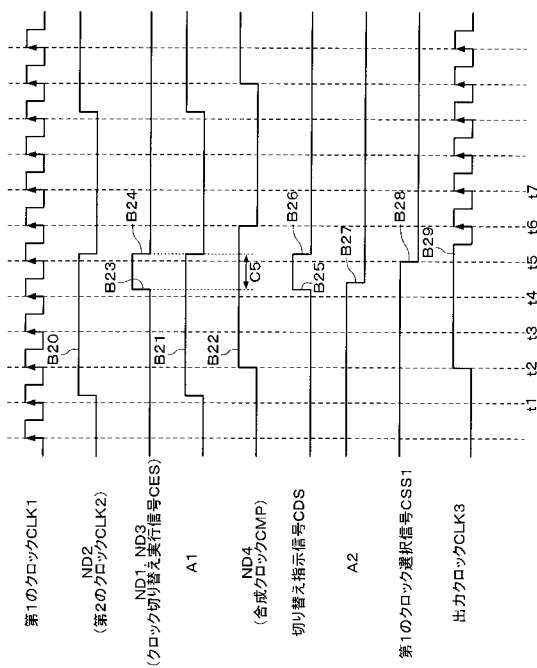
【図 3】



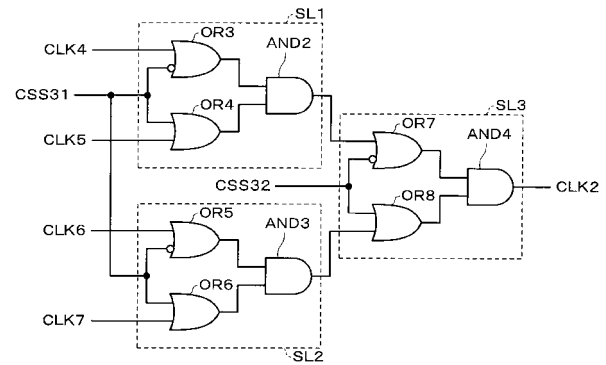
【図 4】



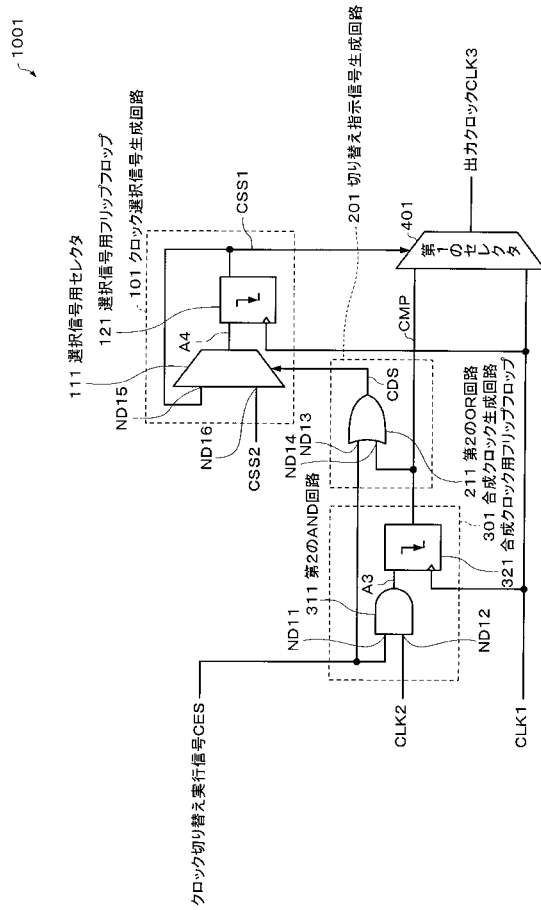
【図 5】



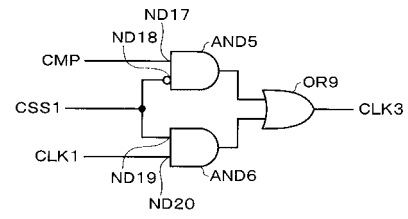
【図 6】



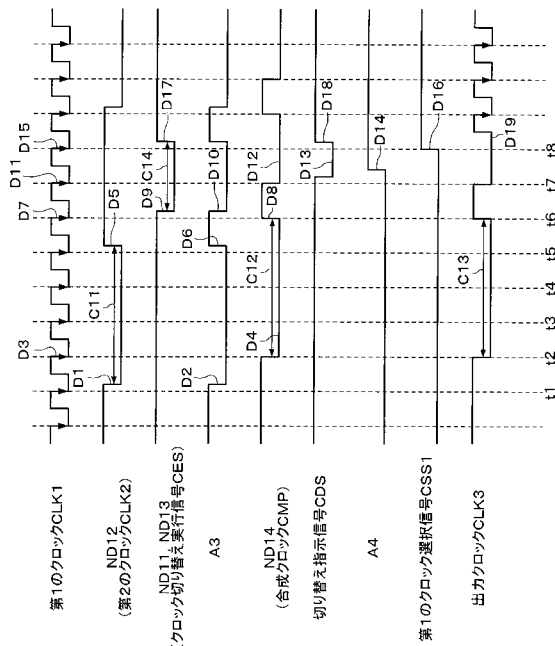
【図 7】



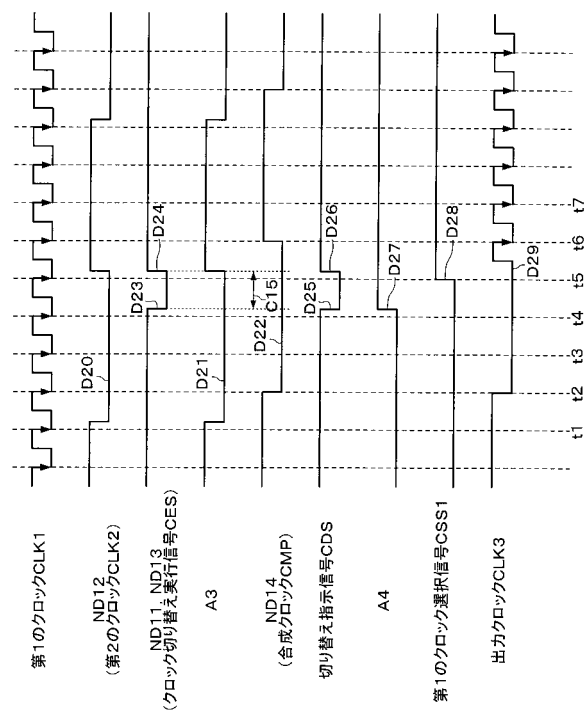
【図 8】



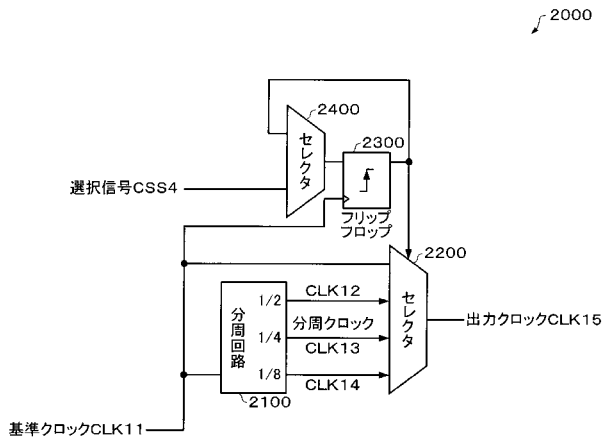
【図 9】



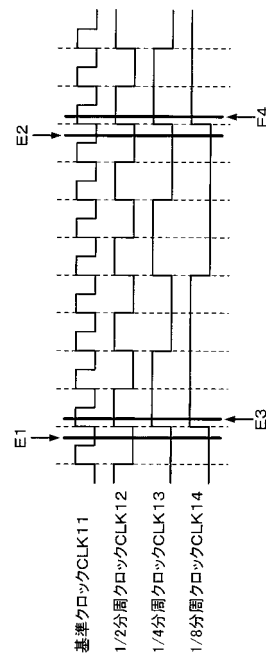
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

【要約の続き】

む。

【選択図】 図 1