



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I867006 B

(45)公告日：中華民國 113 (2024) 年 12 月 21 日

(21)申請案號：109122799

(22)申請日：中華民國 109 (2020) 年 07 月 06 日

(51)Int. Cl. : H01L21/76 (2006.01)

H01L21/30 (2006.01)

(30)優先權：2019/08/21 美國

62/890,012

2020/03/12 美國

16/817,446

(71)申請人：美商高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：宋 史坦利 昇澈 SONG, STANLEY SEUNGCHUL (US)；朴玄宇 PARK,

HYUNWOO (KR)；馮培傑 FENG, PEIJIE (CN)

(74)代理人：林怡芳

(56)參考文獻：

US 10170484B1

US 10263100B1

審查人員：黃淑萍

申請專利範圍項數：26 項 圖式數：13 共 57 頁

(54)名稱

包含了包含無井電晶體之 CMOS 結構之整合裝置

(57)摘要

本發明提供一種整合裝置，其包括一基板、一第一電晶體及一第二電晶體。該第二電晶體經組態以耦接至該第一電晶體。該第一電晶體經組態以充當一 N 型通道金屬氧化物半導體電晶體(NMOS)電晶體。該第一電晶體包括：安置於該基板上方之一介電層；安置於該介電層上方之一第一源極；安置於該介電層上方之一第一汲極；耦接至該第一源極及該第一汲極之一第一複數個通道；及圍繞該複數個通道之一第一閘極。該第二電晶體經組態以充當一 P 型通道金屬氧化物半導體電晶體 (PMOS)。該第二電晶體包括：該介電層；安置於該介電層上方之一第二源極；安置於該介電層上方之一第二汲極；耦接至該第二源極及該第二汲極之一第二複數個通道；及一第二閘極。

An integrated device that includes a substrate, a first transistor, and a second transistor. The second transistor is configured to be coupled to the first transistor. The first transistor is configured to operate as a N-type channel metal oxide semiconductor transistor (NMOS) transistor. The first transistor includes a dielectric layer disposed over the substrate; a first source disposed over the dielectric layer; a first drain disposed over the dielectric layer; a first plurality of channels coupled to the first source and the first drain; and a first gate surrounding the plurality of channels. The second transistor is configured to operate as a P-type channel metal oxide semiconductor transistor (PMOS). The second transistor includes the dielectric layer; a second source disposed over the dielectric layer; a second drain disposed over the dielectric layer; a second plurality of channels coupled to the second source and the second drain; and a second gate.

指定代表圖：



I867006

【發明摘要】

【中文發明名稱】

包含了包含無井電晶體之CMOS結構之整合裝置

【英文發明名稱】

INTEGRATED DEVICE COMPRISING A CMOS STRUCTURE
COMPRISING WELL-LESS TRANSISTORS

【中文】

本發明提供一種整合裝置，其包括一基板、一第一電晶體及一第二電晶體。該第二電晶體經組態以耦接至該第一電晶體。該第一電晶體經組態以充當一N型通道金屬氧化物半導體電晶體(NMOS)電晶體。該第一電晶體包括：安置於該基板上方之一介電層；安置於該介電層上方之一第一源極；安置於該介電層上方之一第一汲極；耦接至該第一源極及該第一汲極之一第一複數個通道；及圍繞該複數個通道之一第一閘極。該第二電晶體經組態以充當一P型通道金屬氧化物半導體電晶體(PMOS)。該第二電晶體包括：該介電層；安置於該介電層上方之一第二源極；安置於該介電層上方之一第二汲極；耦接至該第二源極及該第二汲極之一第二複數個通道；及一第二閘極。

【英文】

An integrated device that includes a substrate, a first transistor, and a second transistor. The second transistor is configured to be coupled to the first transistor. The first transistor is configured to operate as a N-type channel metal oxide semiconductor transistor (NMOS) transistor. The first transistor includes a dielectric layer disposed over the

substrate; a first source disposed over the dielectric layer; a first drain disposed over the dielectric layer; a first plurality of channels coupled to the first source and the first drain; and a first gate surrounding the plurality of channels. The second transistor is configured to operate as a P-type channel metal oxide semiconductor transistor (PMOS). The second transistor includes the dielectric layer; a second source disposed over the dielectric layer; a second drain disposed over the dielectric layer; a second plurality of channels coupled to the second source and the second drain; and a second gate.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

300: 電晶體

302: 基板

304: 源極

306: 汲極

308: 閘極

310: 通道

316: 內部間隔物

320: 介電層

AA: 橫截面

【發明說明書】

【中文發明名稱】

包含了包含無井電晶體之CMOS結構之整合裝置

【英文發明名稱】

INTEGRATED DEVICE COMPRISING A CMOS STRUCTURE
COMPRISING WELL-LESS TRANSISTORS

【技術領域】

【0001】 各種特徵係關於整合裝置，但更具體言之，係關於包含了包含無井電晶體之CMOS結構之整合裝置。

【先前技術】

【0002】 圖1說明互補金屬氧化物半導體(CMOS)結構100，其包括P型通道金屬氧化物半導體電晶體(PMOS)電晶體120及N型通道金屬氧化物半導體電晶體(NMOS)電晶體140。PMOS電晶體120形成於N井102上方，而NMOS電晶體140形成於P井104上方。N井102及P井104二者各自形成於基板105中。如圖1中所展示，PMOS電晶體120及NMOS電晶體140在雙井配置中彼此相鄰地定位。PMOS電晶體120與NMOS電晶體140相隔一間距(S)。間距(S)可表示N井102與P井104之間間距。整合裝置(諸如積體電路(IC))可包括各自包括PMOS電晶體120及NMOS電晶體140之複數個CMOS結構100。持續需要減小CMOS結構在整合裝置中佔據之大小及空間。

【發明內容】

【0003】 各種特徵係關於整合裝置，但更具體言之，係關於包含了包含無井電晶體之CMOS結構之整合裝置。

【0004】 一個實例提供一種整合裝置，其包括基板及形成於該基板上方之第一電晶體。該第一電晶體包括：安置於基板上方之一介電層；安置於該介電層上方之一第一源極；安置於該介電層上方之一第一汲極；耦接至該第一源極及該第一汲極之一第一複數個通道，其中該第一複數個通道位於該第一源極與該第一汲極之間；及圍繞該第一複數個通道之一第一閘極。

【0005】 另一實例提供一種設備，其包括基板及形成於該基板上方之第一電晶體構件。該第一電晶體構件包括：安置於基板上方之一介電層；安置於該介電層上方之第一源極構件；安置於該介電層上方之第一汲極構件；耦接至第一源極構件及第一汲極構件之第一通道化構件，其中該第一通道化構件位於該第一源極構件與該第一汲極構件之間；及圍繞該第一通道化構件之第一閘極構件。

【0006】 另一實例提供一種用於製造整合裝置之方法。該方法提供一基板。該方法在基板上方形成第一電晶體。形成第一電晶體包括：在基板上方形成第一複數個通道；在基板上方形成介電層；在介電層上方形成第一源極；在介電層上方形成第一汲極；及圍繞第一複數個通道形成第一閘極。該第一複數個通道耦接該至第一源極及第一汲極。該第一複數個通道位於第一源極與第一汲極之間。

【圖式簡單說明】

【0007】 各種特徵、性質及優點當自結合圖式在下文闡述之詳細描述變得顯而易見，在圖式中，相同參考標號貫穿全文對應地進行識別。

【0008】 圖 1 說明包括 P 型通道金屬氧化物半導體電晶體 (PMOS) 電晶體及 N 型通道金屬氧化物半導體電晶體 (NMOS) 電晶體之互補金屬氧化

物半導體(CMOS)結構之視圖。

【0009】 圖2說明覆蓋在包括PMOS電晶體及NMOS電晶體之CMOS結構上方之電路圖。

【0010】 圖3說明形成於基板上方之閘極全環場效電晶體 (FET)之例示性視圖。

【0011】 圖4說明包括閘極全環FET之整合裝置之單元。

【0012】 圖5說明經組態為NMOS電晶體之閘極全環FET之例示性視圖。

【0013】 圖6說明經組態為PMOS電晶體之閘極全環FET之例示性視圖。

【0014】 圖7說明FET之例示性能量圖。

【0015】 圖8 (包含圖8A至圖8G)說明用於製造無井閘極全環FET之例示性順序。

【0016】 圖9說明用於製造無井閘極全環FET之方法之例示性流程圖。

【0017】 圖10說明包括閘極全環FET之整合裝置之剖面視圖。

【0018】 圖11 (包含圖11A至圖11B)說明用於製造包括閘極全環FET之整合裝置之例示性順序。

【0019】 圖12說明用於製造包括閘極全環FET之整合裝置之方法的例示性流程圖。

【0020】 圖13說明可整合本文所描述之晶粒、整合裝置、整合被動裝置(IPD)、裝置封裝、封裝、積體電路及/或PCB之各種電子裝置。

【實施方式】

相關申請之交叉參考

【0021】本申請主張2020年3月12日在美國專利及商標局申請之非臨時申請案第16/817,446號及2019年8月21日在美國專利及商標局申請的臨時申請案第62/890,012號之優先權及權益。

【0022】在以下描述中，給出特定細節以提供對本發明之各種態樣的透徹理解。然而，一般熟習此項技術者應理解，態樣可在無需此等特定細節之情況下實踐。舉例而言，為避免不必要的細節混淆所述態樣，可以方塊圖展示電路。在其他實例中，為了不混淆本發明之態樣，可不詳細展示熟知電路、結構及技術。

【0023】如上文所提及，持續需要縮放互補金屬氧化物半導體(CMOS)結構以使CMOS結構較小且佔據較少面積。然而，歸因於井隔離問題及規模較小之PMOS電晶體及NMOS電晶體中可出現的閃鎖(latch-up)，將包括PMOS電晶體及NMOS電晶體之CMOS結構縮放至較小大小具有侷限性。

【0024】圖2說明包括位於PMOS電晶體204附近之NMOS電晶體202的CMOS結構200之例示性視圖。電路圖210覆蓋CMOS結構200上方。NMOS電晶體202形成於P井220上方，且PMOS電晶體204形成於N井240上方。P井220及N井240二者形成於基板201中。在一些實例中，隨著P井220與N井240之間間距減小，NMOS電晶體202與PMOS電晶體204之間可出現閃鎖。詳言之，閃鎖可在PMOS電晶體204之電源(例如，V_{dd})與NMOS電晶體202之接地(例如，V_{ss})之間出現。在基板201中之P井220與N井240之間沒有足夠隔離時可能出現此類情況。

【0025】閃鎖係可在整合裝置之CMOS結構中出現之短路類型。閃

鎖可在電源與接地之間產生非預期低阻抗路徑時出現。在門鎖期間，當一個電晶體（例如，NMOS 電晶體）正在導電時，另一電晶體（例如，PMOS）可同樣開始導電。在一些實例中，只要存在流動穿過電晶體之一些電流，兩種電晶體可保持彼此處於飽和。隨著 CMOS 結構中的 PMOS 電晶體及 NMOS 電晶體更接近於彼此地形成，門鎖之可能性增加。因此，為了提供包括規模較小之 PMOS 電晶體及 NMOS 電晶體之任何類別的 CMOS 結構，必須解決 CMOS 結構之門鎖問題。

【0026】本發明描述一種整合裝置，其可包括互補金屬氧化物半導體(CMOS)結構。CMOS 結構可包括基板、形成於基板上方之第一電晶體及形成於基板上方之第二電晶體。第二電晶體可經組態以電耦接至第一電晶體。第一電晶體可經組態以充當 N 型通道金屬氧化物半導體電晶體(NMOS)電晶體。第一電晶體包括：安置於基板上方之介電層；安置於介電層上方之第一源極；安置於介電層上方之第一汲極；耦接至第一源極及第一汲極之第一複數個通道，該第一複數個通道位於第一源極與第一汲極之間；及圍繞該複數個通道之第一閘極。第二電晶體經組態以充當 P 型通道金屬氧化物半導體電晶體 (PMOS)。第二電晶體包括：安置於基板上方之介電層；安置於該介電層上方之第二源極；安置於該介電層上方之第二汲極；耦接至第二源極及第二汲極之第二複數個通道，該第二複數個通道位於該第二源極與該第二汲極之間；及圍繞該第二複數個通道之第二閘極。第二閘極及第一閘極可為同一閘極之部分。在一些實施中，第一電晶體及第二電晶體各自不含井(例如，無井)。本發明中描述的 CMOS 結構之一個技術優點能夠更強力地縮放（例如，減小）CMOS 結構而沒有門鎖問題。

例示性無井閘極全環場效電晶體(FET)

【0027】圖3說明形成於基板上方之電晶體300之實例。電晶體300可為全環繞閘極(GAA)場效電晶體(FET)。詳言之，電晶體300可為無井多通道全環繞閘極FET。電晶體300可經組態為(i) N型通道金屬氧化物半導體電晶體(NMOS)電晶體或(ii) P型通道金屬氧化物半導體電晶體(PMOS)電晶體。如下文將進一步描述，互補金屬氧化物半導體(CMOS)結構可由經組態為NMOS電晶體之第一電晶體(例如，電晶體300)及經組態為PMOS電晶體之第二電晶體(例如，電晶體300)限定。電晶體300可為電晶體構件。電晶體300可在整合裝置中實施。

【0028】如圖3所展示，電晶體300形成於基板302上方。電晶體300包括源極304、汲極306、閘極308、複數個通道310、內部間隔物316及介電層320。源極304可為源極構件。汲極306可為汲極構件。閘極308可為閘極構件。複數個通道310可為通道化構件。在一些實施中，基板302可比視為電晶體300之部分。圖3亦說明電晶體300不含井(例如，N井、P井)。介電層320會代替井來提供源極304及汲極306與基板302之隔離。因此，電晶體300中存在介電層320可消除電晶體300對一或多個井(例如，N井、P井)的需要。

【0029】圖3說明安置於(例如，形成於)基板302上方之介電層320(例如，隔離介電層)。源極304安置於(例如，形成於)介電層320上方。類似地，汲極306安置於(例如，形成於)介電層320上方。複數個通道310耦接至源極304及汲極306。複數個通道310位於源極304與汲極306之間。複數個通道310經組態以在將電壓施加於閘極308與基板302之間時使得電流在源極304與汲極306之間流動。複數個通道310可包括第一通道、

第二通道及第三通道。第一通道、第二通道及第三通道可豎直地堆疊於彼此之上，各通道之間具有空間(對於閘極而言)。不同實施可包括不同數目之通道。閘極 308 位於源極304 與汲極306 之間。形成閘極 308，以便環繞或包圍複數個通道310。舉例而言，閘極308可包圍複數個通道310中之一通道的四側。應注意，電晶體300之大小及形狀為例示性的。此外，所示電晶體300之組件可未按比例繪製。

【0030】 如上文所提及，電晶體 300 可經組態以充當 NMOS 電晶體或PMOS電晶體。為了充當NMOS電晶體，源極304及汲極306可各自包括N型摻雜物(N+)。為了充當PMOS電晶體，源極304及汲極306可各自包括P型摻雜物(P+)。下文在至少圖 5 至圖 6 中進一步描述電晶體 300 可如何經組態以充當NMOS電晶體或PMOS電晶體之實例。如下文將進一步描述，經組態以充當NMOS電晶體之第一電晶體及經組態以充當PMOS電晶體之第二電晶體可用以在整合裝置中形成且限定 CMOS 結構。基板302 可包括一或多個淺溝槽隔離(STI)。在一些實施中，介電層320可位於基板302及/或一或多個STI上方。

【0031】 圖 4 說明整合裝置之單元 400。單元400 可表示整合裝置之裝置位準單元。如圖 4 中所展示，單元 400 包括由 NMOS 電晶體 402a (例如，第一電晶體) 及 PMOS 電晶體 404a (例如，第二電晶體) 限定之 CMOS 結構401a。NMOS 電晶體402a 可為電晶體300，其中源極及汲極包括 N 型摻雜物(N+)。類似地，PMOS 電晶體404a 可為電晶體 300，其中源極及汲極包括P型摻雜物(P+)。NMOS 電晶體 402a 及 PMOS 電晶體 404a 可具有單獨閘極。在一些實施中，NMOS 電晶體及 PMOS 電晶體可共用閘極。圖 4 說明由 NMOS 電晶體 402b (例如，第一電晶體) 及 PMOS 電晶體 404b (例

如，第二電晶體) 限定之CMOS 結構 401b。NMOS 電晶體402b 可為電晶體 300，其中源極及汲極包括 N型摻雜物 (N+)。類似地，PMOS 電晶體 404b 可為電晶體 300，其中源極及汲極包括 P 型摻雜物 (P+)。NMOS 電晶體 402b 及 PMOS 電晶體 404b 共用閘極。舉例而言，NMOS 電晶體 402b 之閘極及PMOS電晶體404b之閘極可為同一閘極之部分。下文在圖5至圖6中進一步描述NMOS電晶體及PMOS電晶體之更詳細實例。如下文將進一步描述，整合裝置可包括 複數個單元400，各單元具有CMOS 結構、NMOS 電晶體及/或PMOS電晶體之相同或不同配置。

【0032】 圖5 及圖 6 分別說明NMOS 電晶體及 PMOS 電晶體之剖面視圖。NMOS電晶體及PMOS電晶體之剖面視圖可跨圖3的電晶體300之橫截面AA。

【0033】 圖5說明經組態以充當NMOS電晶體之第一電晶體500的例示性視圖。第一電晶體 500可為第一電晶體構件。第一電晶體 500可為圖3的電晶體300之更特定實施。第一電晶體500形成於基板502上方。電晶體 500包括第一源極504、第一汲極506、第一閘極508、第一複數個通道510及介電層520。第一源極504可為第一源極構件。第一汲極506可為第一汲極構件。第一閘極 508 可為第一閘極構件。第一 複 數個通道 510 可為第一通道化構件。在一些實施中，基板 502 可被視為第一電晶體 500 之部分。圖5亦說明第一電晶體500不含井(例如，N井、P井)。介電層520代替井來提供第一源極 504 及第一汲極 506 與基板 502 之隔離。因此，第一電晶體 500中存在介電層520可消除第一電晶體 500對一或多個 井(例如，N井、P井)的需要。不同實施可包括用於介電層 520之不同材料。舉例而言，介電層520可包括SiO、SiN、SiC、SiON及/或其組合。

【0034】圖 5 說明安置於 (例如, 形成於) 基板 502 上方之介電層 520 (例如, 隔離介電層)。第一源極 504 安置於 (例如, 形成於) 介電層 520 上方。類似地, 第一汲極 506 安置於 (例如, 形成於) 介電層 520 上方。第一源極 504 及第一汲極 506 各自包括 N 型摻雜物 (N+)。介電層 520 可與介電層 320 類似。

【0035】第一複數個通道 510 耦接至第一源極 504 及第一汲極 506。金屬組件 512 及高 K 介電層 514 可位於第一複數個通道 510 上方及/或周圍。間隔物 516 可位於第一閘極 508 與第一源極 504 之間。間隔物 516 可位於第一閘極 508 與第一汲極 506 之間。金屬組件 512 可被視為第一閘極 508 之部分。金屬組件 512 可包括 TiN、TaN、TiAl(C)、W 及/或其組合。高 K 介電層 514 可包括 HfO、HfSiO、HfSiON、HfLaO、HfLaSiO、HfLaSiON、HfAlO、HfAlSiO、HfAlSiON 及/或其組合。間隔物 516 可包括外部間隔物及/或內部間隔物 (例如, 內部間隔物 316、830)。間隔物 516 可包括 SiO、SiN、SiON、SiC 及/或其組合。然而, 不同實施可針對金屬組件 512、高 K 介電層 514 及/或間隔物 516 使用不同材料。第一閘極 508 可包括金屬組件 512。第一閘極 508 可包括金屬組件 512 及高 K 介電層 514。

【0036】第一複數個通道 510 位於第一源極 504 與第一汲極 506 之間。第一複數個通道 510 經組態以在將電壓施加於第一閘極 508 與基板 502 之間時使得電流在第一源極 504 與第一汲極 506 之間流動。第一複數個通道 510 可包括第一通道、第二通道及第三通道。第一通道、第二通道及第三通道可豎直地堆疊於彼此之上, 各通道之間具有空間 (對於閘極而言)。不同實施可包括不同數目之通道。第一閘極 508 位於第一源極 504 與第一汲極 506 之間。形成第一閘極 508, 以便環繞或包圍第一複數個通道 510。

舉例而言，第一閘極508可包圍第一複數個通道510中之一通道的四側。

【0037】 在一些實施中，介電層520具有在約7至20奈米(nm)範圍內之介電層厚度。在一些實施中，第一複數個通道510中之每一通道具有約5至10奈米(nm)之通道厚度。在一些實施中，通道之間的豎直空間或間隙為約7至20奈米(nm)。

【0038】 圖6 說明經組態以充當 PMOS 電晶體之第二電晶體 600的例示性視圖。第二電晶體 600可為第二電晶體構件。第二電晶體 600可為圖3的電晶體300之更特定實施。第二電晶體600可與第一電晶體500類似。然而，第二電晶體 600 之一些組件的摻雜可不同。第二電晶體 600 形成於基板602 上方。第二電晶體 600 包括第二源極 604、第二汲極 606、第二閘極 608、第二複數個通道 610 及介電層 620。第二源極 604 可為第二源極構件。第二汲極 606 可為第二汲極構件。第二閘極 608 可為第二閘極構件。第二複數個通道 610 可為第二通道化構件。在一些實施中，基板 602 可被視為第二電晶體 600 之部分。圖 6 亦說明第二電晶體 600 不含井(例如，N 井、P 井)。介電層 620 代替井來提供第二源極 604 及第二汲極 606 與基板 602之隔離。因此，第二電晶體600中存在介電層620可消除該第二電晶體 600 對一或多個井(例如，N井、P 井)的需要。不同實施可包括介電層 620 之不同材料。舉例而言，介電層 620 可包括 SiO、SiN、SiC、SiON 及 / 或其組合。

【0039】 圖 6 說明安置於(例如，形成於)基板 602 上方之介電層 620 (例如，隔離介電層)。第二源極 604 安置於(例如，形成於)介電層 620 上方。類似地，第二汲極606安置於(例如，形成於)介電層620上方。第二源極604及第二汲極606各自包括P型摻雜物(P+)。介電層620可與介電層320

類似。

【0040】 第二 複數個通道610 耦接至第二源極 604 及第二汲極 606 。金屬組件612及高K介電層614可位於第二複數個通道610上方及/或周圍。間隔物616可位於第二閘極608與第二源極604之間。間隔物616可位於第二閘極608與第二汲極606之間。金屬組件612可被視為第二閘極608之部分。金屬組件612可包括TiN、TaN、TiAl(C)、W及/或其組合。高K介電層614可包括HfO、HfSiO、HfSiON、HfLaO、HfLaSiO、HfLaSiON、HfAlO、HfAlSiO、HfAlSiON及/或其組合。間隔物616可包括外部間隔物及/或內部間隔物(例如，內部間隔物316、830)。間隔物616可包括SiO、SiN、SiON、SiC及/或其組合。然而，不同實施可針對金屬組件612、高K介電層614及/或間隔物616使用不同材料。第二閘極608可包括金屬組件612。第二閘極608可包括金屬組件612及高K介電層614。

【0041】 第二 複 數個通道 610 位於第二源極 604 與第二汲極 606 之間。第二複數個通道 610 經組態以在將電壓(例如，臨限電壓)施加於第二閘極608 與基板602 之間時使得電流在第二源極 604 與第二汲極 606 之間流動。第二複數個通道610可包括第二通道、第二通道及第三通道。第二通道、第二通道及第三通道可豎直地堆疊於彼此之上，各通道之間具有空間(對於閘極而言)。不同實施可包括不同數目之通道。第二閘極 608 位於第二源極604與第二汲極606之間。形成第二閘極608，以便環繞或包圍第二複數個通道610。舉例而言，第二閘極608可包圍第二複數個通道610中之一通道的四側。

【0042】 在一些實施中，介電層620具有在約7至20奈米(nm)範圍內之介電層厚度。在一些實施中，第二複數個通道610中之每一通道具有約

5至10奈米(nm)之通道厚度。在一些實施中，通道之間的豎直空間或間隙為約7至20奈米(nm)。

【0043】 第一電晶體500及第二電晶體600可組合使用來形成且限定CMOS結構。在一些實施中，NMOS電晶體與PMOS電晶體之間間距可為約30至200奈米(nm)。舉例而言，NMOS電晶體之汲極或源極與PMOS電晶體之相鄰汲極或相鄰源極之間間距可為約30至200奈米(nm)。共用同一閘極之NMOS電晶體與PMOS電晶體之間間距可為約30至200奈米(nm)。可選擇電晶體之大小、所用材料之類型以產生一或多個電晶體，該等電晶體需要最低可能臨限電壓來啟動(例如接通)。

【0044】 在場效電晶體(FET)中，電流可穿過耦接至汲極及源極之通道而自汲極流動至源極。當將電壓施加於閘極與基板之間時，產生可控制在汲極與源極之間流動的電流之電場。需要在閘極與基板之間施加最小電壓(或最小臨限電壓)，以便「接通」電晶體並誘導電流流過通道。若即不符合最小電壓(或最小臨限電壓)，亦未在閘極與基板之間施加最小電壓(或最小臨限電壓)，則可「斷開」電晶體且沒有電流流過通道。「接通」電晶體所需之最小電壓(或最小臨限電壓)通常為函數或由電晶體通道與閘極之功函數限定。為了具有最低可能最小臨限電壓，通道與閘極之間之功函數差應儘可能小。

【0045】 應注意，NMOS電晶體500及PMOS電晶體600之大小及形狀為例示性的。此外，所示NMOS電晶體500及/或PMOS電晶體600之組件可未按比例繪製。此外，NMOS電晶體500及/或PMOS電晶體600可包括其他組件。在一些實施中，NMOS電晶體500之至少一些部分及/或PMOS電晶體600之至少一些部分可位於基板及/或一或多個STI上方。

【0046】圖 7 說明場效電晶體 (FET) 之能量圖。圖 7 說明閘極之功函數及井之功函數。此外，能量圖說明 FET 之各種組件(例如，基板、閘極)之各種導帶、價帶及費米 (Fermi) 能階。 E_c 係導電帶、 E_v 係價帶且 E_F 係費米 (Fermi) 能階。 D 表示閘極之功函數與介電層之功函數之間的差。因此，當設計 FET (例如，NMOS 電晶體、PMOS 電晶體) 時，可選擇大小、形狀及材料以在閘極與通道之間具有最低可能差 (D)。

【0047】在已描述包括 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構的情況下，現將在下文描述用於製造 CMOS 結構之順序。

用於製造 NMOS 電晶體或 PMOS 電晶體之例示性順序

【0048】在一些實施中，製造電晶體(諸如 NMOS 電晶體或 PMOS 電晶體)包括若干製程。圖 8 (其包括圖 8A 至圖 8G) 說明用於提供或製造電晶體之例示性順序。在一些實施中，圖 8A 至圖 8G 之順序可用以提供或製造圖 3、圖 4、圖 5、圖 6 之電晶體及 / 或在本發明中描述之其他電晶體。應注意，用於製造電晶體之順序可用以提供或製造具有 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構。另外，用於製造電晶體之順序可用以同時製造若干電晶體 (例如，NMOS 電晶體、PMOS 電晶體)。然而，出於清晰性之目的，圖 8 之順序說明一個電晶體之製造。

【0049】應注意，圖 8A 至圖 8G 之順序可與一或多個階段組合，以便簡化及 / 或闡明用於提供或製造電晶體之順序。在一些實施中，可改變或修改該等製程之次序。在一些實施中，可在不脫離本發明之精神下替換或取代一或多個製程。

【0050】如圖 8A 中所展示，階段 1 說明提供基板 302 之後的狀態。不同實施可為基板 302 提供不同材料。在一些實施中，基板 302 可包括矽

(Si)。

【0051】 階段 2 說明超晶格形成之後的狀態。在一些實施中，超晶格形成包括：在基板302上方形成矽(Si)(例如，矽層803)與矽鍺(SiGe)(例如，SiGe 層802)之交替層的堆疊結構，及藉由移除(例如，蝕刻、乾式蝕刻、濕式蝕刻)該堆疊結構之部分而自該堆疊結構產生一或多個超晶格801。形成堆疊結構之製程可包括使用磊晶製程。製造超晶格之製程可包括製造一或多個淺溝槽隔離(STI)(其未經展示)。超晶格形成亦可包括鰭狀物顯露製程，其中移除STI之部分，從而暴露超晶格及/或鰭狀物之至少一些部分。

【0052】 如圖8B中所展示，階段3說明虛設閘極及間隔物形成之後的狀態。氧化層810形成於超晶格801上方(例如，頂部Si層上方)且虛設閘極820形成於氧化層810及超晶格801上方。另外，間隔物816形成於超晶格801上方。更具體而言，間隔物816形成於超晶格801上方且緊挨著虛設閘極820(且在其每一側上)。應注意，間隔物816為例示性的。間隔物816可包括外部間隔物。在一些實施中，間隔物816包括間隔物516、間隔物616或本發明中所描述之任何間隔物。化學氣相沈積(CVD)製程及/或原子層沈積(ALD)製程可用以形成虛設閘極及/或間隔物。

【0053】 階段 4 說明空腔蝕刻之後的狀態。在空腔蝕刻之後，移除超晶格801中未被虛設閘極820及/或間隔物816覆蓋之部分。空腔蝕刻涉及移除超晶格801之Si層(例如，Si層803)及SiGe層(例如，SiGe層802)之部分。

【0054】 如圖8C中所展示，階段5說明SiGe凹陷之後的狀態。在SiGe凹陷之後，移除間隔物816下方的SiGe層(例如，SiGe層802)之部

分。

【0055】 階段 6 說明內部間隔物形成之後的狀態。在內部間隔物形成之後，內部間隔物830形成於之前移除了SiGe之空腔中(如階段5中所展示)。

【0056】 如圖8D中所展示，階段7 說明介電層形成之後的狀態。如階段7 中所展示，介電層320 安置於(例如，形成於)基板302 上方。沈積製程可用以形成介電層320。

【0057】 階段 8 說明源極及汲極形成之後的狀態。在源極及汲極形成之後，源極及汲極形成於介電層 320 上方。舉例而言，第一源極 304 及第一汲極306安置於介電層320上方。

【0058】 如圖 8E 中所展示，階段 9 說明源極與汲極之摻雜之後的狀態。源極 304 及汲極306 可摻雜有 N型摻雜物 (N+) 或P型摻雜物 (P+)。將源極 304 及汲極 306 與 N 型摻雜物 (N+) 摻雜可產生源極 504 及汲極 506。將源極304及汲極306與P型摻雜物(P+)摻雜可產生第二源極604及第二汲極606。氣相磊晶可用以摻雜源極及汲極。然而，不同實施可針對摻雜源極及汲極使用不同製程。

【0059】 階段10說明層間介電質(ILD)形成之後的狀態。在ILD形成之後，氧化層840形成於源極304、汲極306及間隔物816上方。介電層850進一步形成於氧化層 840 上方。沈積製程可用以形成氧化層 840及/ 或介電層850。

【0060】 如圖8F中所展示，階段11說明虛設閘極及虛設介電層移除之後的狀態，其中移除虛設閘極 820及氧化層810，從而暴露頂部 Si 層(例如，Si層803)之部分。

【0061】 階段12說明SiGe 移除之後的狀態，其中移除(例如，蝕刻)超晶格801之SiGe層(例如，SiGe層802)，從而在Si層(例如，Si層803)之間及/或Si層與基板302之間留下空腔。

【0062】 如圖8G中所展示，階段13說明高K介電層形成之後的狀態，其中高K介電層814形成於之前被SiGe層佔據之空腔中的間隔物816之間。高K介電層814可為高K介電層514或614。出於清晰性之目的，未展示氧化層840及介電層850。

【0063】 階段14說明金屬閘極形成之後。在金屬閘極形成之後，金屬組件812形成於高K介電層814之間。金屬組件812可位於之前被SiGe層佔據之空腔內。金屬組件812可限定閘極308、閘極508或閘極608。出於清晰性之目的，未展示氧化層840及介電層850。應注意，高K介電層(例如，高K介電層814)可被視為閘極(例如，閘極308、508、608)之部分。因此，在一些實施中，閘極(例如，閘極308、508、608)可包括金屬組件812及高K介電層(例如，高K介電層814)。階段14可說明電晶體300，且取決於源極及汲極之摻雜，說明NMOS電晶體500或PMOS電晶體600。在一些實施中，可對電晶體執行額外製程，包括拋光製程。

用於製造NMOS電晶體及PMOS電晶體之方法的例示性流程圖

【0064】 在一些實施中，製造電晶體包括若干製程。圖9說明用於提供或製造電晶體(例如，NMOS電晶體及PMOS電晶體)之方法900的例示性流程圖。電晶體可為形成CMOS結構的電晶體之部分。在一些實施中，圖9之方法900可用以提供或製造圖3、圖4、圖5、圖6之電晶體及/或本發明中描述之其他電晶體。

【0065】 應注意，圖9之順序可與一或多個製程組合，以便簡化及/

或闡明用於提供或製造電晶體之方法。在一些實施中，可改變或修改該等製程之次序。

【0066】該方法(在905處)形成在基板302上方形成矽與矽鍺(SiGe)之交替層的堆疊結構。堆疊結構可形成於基板302上方。不同實施可為基板302提供不同材料。在一些實施中，基板302可包括矽(Si)。

【0067】該方法(在910處)自堆疊結構形成超晶格(例如，超晶格801)。超晶格可藉由移除(例如，蝕刻)堆疊結構之部分形成。形成超晶格之製程可包括圍繞超晶格形成淺溝槽隔離(STI)，及藉由移除STI之部分來暴露超晶格。在一些實施中，形成超晶格包括形成堆疊結構，如905處所描述。

【0068】該方法(在915處)形成虛設閘極及間隔物，其中氧化層810形成於超晶格801上方(例如，頂部Si層上方)且虛設閘極820形成於氧化層810及超晶格801上方。另外，間隔物816形成於超晶格801上方。更具體而言，間隔物816形成於超晶格801上方且緊挨著虛設閘極820(且在其每一側上)。應注意，間隔物816為例示性的。在一些實施中，間隔物816包括間隔物516、間隔物616或本發明中描述之任何間隔物。圖8B之階段3說明形成虛設閘極、間隔物及氧化層之實例。

【0069】該方法(在920處)執行空腔蝕刻、SiGe凹陷形成及內部間隔物形成。在空腔蝕刻期間，移除超晶格801中未被虛設閘極820及/或間隔物816覆蓋之部分。空腔蝕刻涉及移除超晶格801之Si及SiGe之部分。在SiGe凹陷形成期間，移除間隔物816下方之SiGe層之部分。在內部間隔物形成期間，內部間隔物830形成於之前移除了SiGe之空腔中。圖8B至圖8C之階段4至6說明空腔形成、SiGe凹陷形成及內部間隔物形成之實例。

【0070】該方法(在 925 處)在基板 302 上方形成介電層 320。介電層 320安置於基板302上方。不同實施可針對介電層320使用不同材料。圖8D之階段7說明介電質形成之實例。

【0071】該方法(在 930 處)形成源極及汲極，且執行層間介電質(ILD)形成。形成源極及汲極可包括在介電層320上方安置源極304及汲極306。形成源極及汲極亦可包括摻雜源極及汲極。舉例而言，源極 304 及汲極 306 可與 N 型摻雜物 (N+) 或 P 型摻雜物 (P+) 摻雜。將源極 304 及汲極 306 與 N 型摻雜物 (N+) 摻雜可產生源極 504 及汲極 506。將源極 304 及汲極 306與P型摻雜物(P+)摻雜可產生源極604及汲極606。ILD形成可包括在源極 304、汲極 306 及間隔物 816 上方形成氧化層 840。ILD 形成亦可包括在氧化層 840 上方形成介電層 850。圖8D及圖 8E 之階段8至 10 說明源極及汲極形成、摻雜及ILD形成之實例。

【0072】該方法(在 935 處)執行虛設閘極移除，其中移除虛設閘極 820 及氧化層810，從而暴露頂部 Si 層(例如，Si 層803)之部分。另外，該方法亦可執行虛設SiGe 移除，其中移除超晶格 801 之SiGe 層(例如，SiGe 層802)，從而在Si層之間及/或Si層與基板302之間留下空腔。一或多個蝕刻製程可用以移除虛設閘極及 SiGe 層。圖8F 之階段 11 至12 說明虛設閘極及SiGe移除之實例。

【0073】該方法(在940 處)執行高K介電層形成及閘極形成。在高 K 介電層形成期間，高K介電層814形成於之前被 SiGe 層佔據之空腔中的間隔物 816 之間。高 K 介電層 814 可為高 K 介電層 514 或 614。在閘極形成期間，金屬組件812形成於高K介電層814之間。金屬組件812可位於之前被 SiGe 層佔據之空腔內。金屬組件 812 可限定閘極 308、閘極 508 或閘極

608。圖8G之階段13及14說明高K介電層形成及閘極形成之實例。

包含具有NMOS電晶體及PMOS電晶體之CMOS結構之例示性整合裝置

【0074】圖 10 說明包括具有 NMOS 電晶體及PMOS 電晶體之至少一個 CMOS 結構的整合裝置 1000 之剖面視圖。整合裝置 1000 包括基板 1020、複數個裝置位準單元1022 (例如，邏輯單元)、互連件部分 1004 及封裝部分 1006。複數個裝置位準單元1022 形成於基板 1020 上方。複數個裝置位準單元 1022 可形成整合裝置 1000 之裝置位準層。在一些實施中，複數個裝置位準單元 1022 可包括基板 1020 之部分。在一些實施中，基板 1020、裝置位準層及複數個裝置位準單元1022 可被稱作整合裝置 1000 之基板部分1002。

【0075】複數個裝置位準單元1022 可包括 CMOS 結構、NMOS 電晶體及/或PMOS電晶體。複數個裝置位準單元1022可包括如圖4中描述之單元400。如圖10中所展示，裝置位準單元中之一者包括CMOS結構1028，其包括NMOS電晶體402a及PMOS電晶體404a。不同實施可具有CMOS結構、NMOS 電晶體及 / 或 PMOS 電晶體之不同數目及 / 或配置。CMOS 結構 1028可為CMOS結構401a。在一些實施中，CMOS結構1028可為CMOS結構 401b，其包括 NMOS 電晶體 402b 及 PMOS 電晶體 404b (其共用閘極)。NMOS 電晶體 402a 可為 NMOS 電晶體 500。PMOS 電晶體 404a 可為 PMOS 電晶體600。NMOS電晶體402a及/或PMOS電晶體404a可為無井電晶體。

【0076】互連件部分1004形成於基板部分1002上方。詳言之，互連件部分1004 形成於複數個裝置位準單元1022 上方。互連件部分 1004 包括佈線層。互連件部分1004包括複數個互連件1040 (例如，跡線、襯墊、通孔) 及至少一個介電層 1042。互連件部分 1004 可提供複數個CMOS 結構、

NMOS電晶體及/或PMOS電晶體之間的互連件。

【0077】封裝部分1006形成於互連件部分1004上方。封裝部分1006包括鈍化層1060、凸塊下金屬化(UBM)層1062及焊料互連件1064。應注意，整合裝置1000之大小及形狀為例示性的。此外，所示整合裝置1000之組件可未按比例繪製。

用於製造包含CMOS結構之整合裝置的例示性順序

【0078】在一些實施中，製造包括具有NMOS電晶體及PMOS電晶體之CMOS結構之整合裝置包括若干製程。圖11(其包括圖11A至11B)說明用於提供或製造包括具有NMOS電晶體及PMOS電晶體之CMOS結構之整合裝置的例示性順序。在一些實施中，圖11A至11B之順序可用以提供或製造圖10之整合裝置及/或本發明中描述之其他整合裝置。

【0079】應注意，圖11A至11B之順序可與一或多個層組合，以便簡化及/或闡明用於提供或製造包括具有NMOS電晶體及PMOS電晶體之CMOS結構的整合裝置之順序。在一些實施中，可改變或修改該等製程之次序。在一些實施中，可在不脫離本發明之精神下替換或取代一或多個製程。

【0080】如11A圖中所展示，階段1說明提供基板1020之後的狀態。不同實施可為基板1020提供不同材料。在一些實施中，基板1020可包括矽(Si)。

【0081】階段2說明裝置位準層形成於基板1020上方之後的狀態。裝置位準層包括複數個裝置位準單元1022(例如，單元400)。因此，階段2說明複數個裝置位準單元1022形成於基板1020上方之後的狀態。在一些實施中，前段(FEOL)製程可用以製造裝置位準層(例如，複數個裝置位準

單元1022)。複數個裝置位準單元中之一或多個單元可包括具有 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構，如上文所描述。圖 8A 至圖 8G 說明用於製造係 CMOS 結構之部分的電晶體（例如，NMOS 電晶體、PMOS 電晶體）之順序。

【0082】階段 3 說明形成互連件部分 1004 之後的狀態。互連件部分 1004 可包括複數個互連件 1040 及至少一個介電層 1042。在一些實施中，後段(BEOL)製程可用以製造互連件部分 1004。互連件部分 1004 可經組態以電耦接具有 NMOS 電晶體及 PMOS 電晶體之一或多個 CMOS 結構。

【0083】如圖 11B 中所展示，階段 4 說明鈍化層 1060 及凸塊下金屬化 (UBM) 層 1062 形成於互連件部分 1004 上方之後的狀態。

【0084】階段 5 說明焊料互連件耦接至凸塊下金屬化 (UBM) 層 1062 之後的狀態。階段 5 可說明包括包含 NMOS 電晶體 402a 及 PMOS 電晶體 404a 之 CMOS 結構 1028 的整合裝置 1000。

用於製造包含 CMOS 結構之整合裝置的方法之例示性流程圖

【0085】在一些實施中，提供包括具有 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構之整合裝置包括若干製程。圖 12 說明用於提供或製造包括具有 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構之整合裝置的方法 1200 之例示性流程圖。在一些實施中，圖 12 之方法 1200 可用以提供或製造圖 10 之整合裝置及/或本發明中描述之其他整合裝置。

【0086】應注意，圖 12 之順序可與一或多個製程組合，以便簡化及/或闡明用於提供或製造包括具有 NMOS 電晶體及 PMOS 電晶體之 CMOS 結構之整合裝置的方法。在一些實施中，可改變或修改該等製程之次序。

【0087】該方法（在 1205 處）提供基板（例如，基板 1020）。不同實施

可針對基板提供不同材料。在一些實施中，基板可包括矽(Si)。該方法(在1210處)在基板上方形形成裝置位準層(例如，複數個裝置位準單元1022)。在一些實施中，前段(FEOL)製程可用以製造裝置位準層(例如，複數個裝置位準單元1022)。裝置位準層可包括複數個裝置位準單元(例如，單元400)。裝置位準單元可包括一或多個主動裝置(例如，1200)。一或多個裝置位準單元可包括具有NMOS電晶體及PMOS電晶體之CMOS結構，如本發明中所描述。形成裝置位準層可包括形成一或多個NMOS電晶體(例如，電晶體402a、402b、500)及/或一或多個PMOS電晶體(例如，電晶體404a、404b、600)，其中(i)源極與基板之間及(ii)汲極與基板之間存在介電層。如上文所提及，NMOS電晶體及/或PMOS電晶體可為全環繞閘極(GAA)電晶體。

【0088】 該方法可(在1210處)在基板上方形形成第一電晶體。形成第一電晶體包括：在基板上方形形成第一複數個通道；在基板上方形形成一介電層；在介電層上方形成第一源極；在介電層上方形成第一汲極；及圍繞第一複數個通道形成第一閘極。第一複數個通道耦接至第一源極及第一汲極。第一複數個通道位於第一源極與第一汲極之間。

【0089】 該方法可(在1210處)在基板上方形形成第二電晶體。形成第二電晶體包括：在基板上方形形成第二複數個通道；在基板上方形形成介電層；在介電層上方形成第二源極；在介電層上方形成一第二汲極；及圍繞第二複數個通道形成第二閘極。第二複數個通道耦接至第二源極及第二汲極。第二複數個通道位於第二源極與第二汲極之間。

【0090】 該方法(在1215處)在裝置位準層(例如，複數個裝置位準單元1022)及/或基板1020上方形成互連件部分1004。互連件部分1004可包

括複數個互連件 1040 及至少一個介電層 1042。在一些實施中，後段 (BEOL)製程可用以製造互連件部分 1004。互連件部分 1004 可經組態以電耦接一或多個電晶體及 / 或具有 NMOS 電晶體及 PMOS 電晶體之一或多個 CMOS 結構。

【0091】該方法 (在 1220 處) 在互連件部分 1004 上方形成封裝部分 1006。封裝部分 1006 可包括鈍化層 1060 及凸塊下金屬化 (UBM) 層 1062。鈍化層 1060 及凸塊下金屬化 (UBM) 層 1062 形成於互連件部分 1004 上方。

【0092】該方法 (在 1225 處) 提供焊料互連件 1064。在一些實施中，焊料互連件 1064 耦接至凸塊下金屬化 (UBM) 層 1062。

【0093】應注意，圖 12 之方法 1200 可用以在晶圓上製造 (例如，同時製造) 若干整合裝置。接著將晶圓單體化 (例如，切割) 為個別整合裝置。該等單體化整合裝置可接著耦接至其他整合裝置及 / 或印刷電路板 (PCB)。

例示性電子裝置

【0094】圖 13 說明可與前述裝置、整合裝置、積體電路 (IC) 封裝、積體電路 (IC) 裝置、半導體裝置、積體電路、晶粒、插入件、封裝、疊層封裝 (PoP)、系統級封裝 (SiP) 或系統單晶片 (SoC) 中之任一者整合之各種電子裝置。舉例而言，行動電話裝置 1302、膝上型電腦裝置 1304、固定位置終端裝置 1306、穿戴式裝置 1308 或機動車輛 1310 可包括如本文所描述之裝置 1300。裝置 1300 可為例如本文中所描述之裝置及 / 或積體電路 (IC) 封裝中之任一者。圖 13 中所說明之裝置 1302、1304、1306 及 1308 及車輛 1310 僅為例示性的。其他電子裝置亦可以裝置 1300 為特徵，包括 (但不限於) 裝置 (例如，電子裝置) 群，其包括行動裝置、手持型個人通信系

統(PCS)裝置、攜帶型資料裝置(諸如個人數位助理)、具備全球定位系統(GPS)功能之裝置、導航裝置、機上盒、音樂播放機、視訊播放機、娛樂裝置、固定位置資料裝置(諸如儀錶讀取設備)、通信裝置、智慧型電話、平板電腦、電腦、穿戴式裝置(例如,手錶、眼鏡)、物聯網(IoT)裝置、伺服器、路由器、在機動車輛(例如,自主車輛)中實施之電子裝置,或儲存或擷取資料或電腦指令之任何其他裝置或其任何組合。

【0095】 圖3至圖7、圖8A至圖8G、圖9至圖10、圖11A至圖11B及/或圖12至圖13中所說明之組件、製程、特徵及/或功能中之一或多者可經重新配置及/或組合為單個組件、製程、特徵或功能,或以若干組件、製程或功能實施。在不背離本發明的情況下,亦可添加額外的元件、組件、製程及/或功能。亦應注意,本發明中之圖3至圖7、圖8A至圖8G、圖9至圖10、圖11A至圖11B及/或圖12至圖13及其對應之描述不限於晶粒及/或IC。在一些實施中,圖3至圖7、圖8A至圖8G、圖9至圖10、圖11A至圖11B及/或圖12至圖13及其對應之描述可用於製造、產生、提供及/或生產裝置及/或整合裝置。在一些實施中,裝置可包括晶粒、整合裝置、整合被動裝置(IPD)、晶粒封裝、積體電路(IC)裝置、裝置封裝、積體電路(IC)封裝、晶圓、半導體裝置、疊層封裝(PoP)裝置及/或插入件。

【0096】 應注意,本發明中之圖式可表示各種部件、組件、物件、裝置、封裝、整合裝置、積體電路及/或電晶體之實際表示及/或概念表示。在一些實例中,圖式可能未按比例繪製。在一些實例中,出於清晰性之目的,並未展示全部組件及/或部件。在一些實例中,圖式中之各種部件及/或組件的位置、定位、大小及/或形狀可為例示性的。在一些實施中,各種組件及/或部件在圖式中可為任選的。

【0097】字詞「例示性」在本文中用以意謂「充當實例、例子或說明」。在本文中描述為「例示性」之任何實施或態樣未必解釋為比本發明之其他態樣較佳或有利。同樣，術語「態樣」不要求本發明之所有態樣皆包括所論述之特徵、優點或操作模式。術語「耦接」本文中用以指代在兩個物件之間之直接耦接或間接耦接。舉例而言，若物件 A 實體地觸摸物件 B，且物件 B 觸摸物件 C，則物件 A 及 C 亦可視為耦接至彼此，即使其並不直接相互實體地觸摸亦如此。術語「電耦接」可意謂兩個物件直接地或間接地耦接在一起，以使得電流(例如，信號、功率、接地)可在該兩個物件之間行進。電耦接之兩個物件可或可不具有在該兩個物件之間行進的電流。術語「第一」、「第二」、「第三」及「第四」(及/或第四以上的任何值)之使用係任意的。所描述之組件中之任一者可為第一組件、第二組件、第三組件或第四組件。舉例而言，指代第二組件之組件可為第一組件、第二組件、第三組件或第四組件。術語「包封」意謂物件可部分包封或完全包封另一物件。應進一步注意，如本申請中在一個組件位於另一組件上方之上下文中所使用之術語「上方」可用於意謂一組件在另一組件上及/或在另一組件中(例如，在組件之表面上或嵌入組件中)。因此，例如，位於第二組件上方之第一組件可意謂(1)第一組件在第二組件上方，但不直接接觸第二組件，(2)第一組件在第二組件上(例如，在第二組件之表面上)及/或(3)第一組件在第二組件中(例如，嵌入於其中)。術語蝕刻可包括乾式蝕刻或濕式蝕刻，且可涉及遮罩之使用。形成或安置金屬可包括電鍍製程、化學氣相沈積(CVP)製程及/或原子層沈積(ALD)製程。在一些實施中，形成一或多個介電層、Si 層及/或SiGe 層可包括一或多個沈積製程。當電晶體不含井時，其可意謂基板中在電晶體之源極、汲極及/或通道下方的部

分並不包括井(P井、N井)。應注意，井為任選的。應注意，包括介電層(用以隔離)之電晶體可亦包括基板中之一或多個井。

【0098】 此外，應注意，本文中所含有之各種揭示內容可經描述為製程，該製程經描繪為流程圖、流圖、結構圖或方塊圖。儘管流程圖可能將操作描述為循序製程，但許多操作可並行地或同時加以執行。另外，操作之次序可重新配置。當製程之操作完成時，該製程終止。

【0099】 本文中所描述之本發明之各種特徵可在不脫離本發明之情況下實施於不同系統中。應注意，本發明之前述態樣僅為實例且將不解釋為限制本發明。本發明之態樣之描述意欲為說明性的，且將不限制申請專利範圍之範疇。因而，本發明之教示可容易應用於其他類型之設備，且許多替代例、修改及變化對於熟習此項技術者而言將顯而易見。

【符號說明】

【0100】

100: CMOS結構

102: N井

104: P井

105: 基板

120: PMOS電晶體

140: NMOS電晶體

200: CMOS結構

201: 基板

202: NMOS電晶體

204: PMOS電晶體

- 210: 電路圖
- 220: P井
- 240: N井
- 300: 電晶體
- 302: 基板
- 304: 源極
- 306: 汲極
- 308: 閘極
- 310: 通道
- 316: 內部間隔物
- 320: 介電層
- 400: 單元
- 401a: CMOS結構
- 401b: CMOS結構
- 402a: NMOS電晶體
- 402b: NMOS電晶體
- 404a: PMOS電晶體
- 404b: PMOS電晶體
- 500: 第一電晶體(NMOS電晶體)
- 502: 基板
- 504: 第一源極
- 506: 第一汲極
- 508: 第一閘極

- 510: 第一複數個通道
- 512: 金屬組件
- 514: 高K介電層
- 516: 間隔物
- 520: 介電層
- 600: 第二電晶體(PMOS電晶體)
- 602: 基板
- 604: 第二源極
- 606: 第二汲極
- 608: 第二閘極
- 610: 第二複數個通道
- 612: 金屬組件
- 614: 高K介電層
- 616: 間隔物
- 620: 介電層
- 801: 超晶格
- 802: SiGe層
- 803: 矽層
- 810: 氧化層
- 812: 金屬組件
- 814: 高K介電層
- 816: 間隔物

820: 虛設閘極
830: 內部間隔物
840: 氧化層
850: 介電層
900: 方法
905: 步驟
910: 步驟
915: 步驟
920: 步驟
925: 步驟
930: 步驟
935: 步驟
940: 步驟
1000: 整合裝置
1002: 基板部分
1004: 互連件部分
1006: 封裝部分
1020: 基板
1022: 裝置位準單元
1028: CMOS結構
1040: 互連件
1042: 介電層
1060: 鈍化層

1062: 凸塊下金屬化層
1064: 焊料互連件
1200: 方法
1205: 步驟
1210: 步驟
1215: 步驟
1220: 步驟
1225: 步驟
1300: 裝置
1302: 行動電話裝置
1304: 膝上型電腦裝置
1306: 固定位置終端裝置
1308: 穿戴式裝置
1310: 機動車輛
AA: 橫截面

【發明申請專利範圍】**【請求項1】**

一種整合裝置，其包含：

一基板；及

形成於該基板上方之一第一電晶體，該第一電晶體包含：

安置於該基板上方之一介電層；

安置於該介電層上方之一第一源極；

安置於該介電層上方之一第一汲極；

耦接至該第一源極及該第一汲極之一第一複數個通道，該第一複數個通道位於該第一源極與該第一汲極之間；及

圍繞該第一複數個通道之一第一閘極，

耦接至該第一閘極之一高K介電層，

其中該高K介電層為不同於該介電層之一材料，及

其中該高K介電層之一部分(i)接觸該基板且(ii)位於該介電層之側。

【請求項2】

如請求項1之整合裝置，其中該第一電晶體不含一井。

【請求項3】

如請求項1之整合裝置，其中該介電層為經組態以將該第一源極及該第一汲極與該基板隔離之一隔離介電層。

【請求項4】

如請求項1之整合裝置，其中該介電層具有在約7至20奈米(nm)之一範圍內之一介電層厚度。

【請求項5】

如請求項1之整合裝置，其中該第一複數個通道中之每一通道具有約5至10奈米(nm)之一通道厚度。

【請求項6】

如請求項1之整合裝置，

其中該第一複數個通道包括耦接至該第一源極及該第一汲極之一第一通道，該第一通道具有一第一通道厚度，且

其中該介電層之一介電層厚度等於或小於該第一通道之該第一通道厚度。

【請求項7】

如請求項1之整合裝置，其進一步包含形成於該基板上方的一第二電晶體，該第二電晶體包含：

安置於該基板上方之該介電層；

安置於該介電層上方之一第二源極；

安置於該介電層上方之一第二汲極；

耦接至該第二源極及該第二汲極之一第二複數個通道，該第二複數個通道位於該第二源極與該第二汲極之間；及

圍繞該第二複數個通道之一第二閘極。

【請求項8】

如請求項7之整合裝置，其中該第一閘極及該第二閘極為同一閘極之部分。

【請求項9】

如請求項7之整合裝置，其中該第一電晶體及該第二電晶體各不含一井。

【請求項10】

如請求項7之整合裝置，

其中該第一源極及該第一汲極各自包括N型摻雜物(N+)，且

其中該第二源極及該第二汲極各自包括P型摻雜物(P+)。

【請求項11】

如請求項7之整合裝置，其中該介電層為經組態以(i)將該第一源極及該第一汲極與該基板隔離且(ii)將該第二源極及該第二汲極與該基板隔離之一隔離介電層。

【請求項12】

如請求項1之整合裝置，其中該整合裝置併入至選自由以下組成之群的一裝置中：一音樂播放器、一視訊播放器、一娛樂單元、一導航裝置、一通信裝置、一行動裝置、一行動電話、一智慧型電話、一個人數位助理、一固定位置終端機、一平板電腦、一電腦、一穿戴式裝置、一膝上型電腦、一伺服器及一機動車輛中之一裝置。

【請求項13】

一種整合設備，其包含：

一基板；及

形成於該基板上方之第一電晶體構件，其中該第一電晶體構件包含：

安置於該基板上方之一介電層；

安置於該介電層上方之第一源極構件；

安置於該介電層上方之第一汲極構件；

耦接至該第一源極構件及該第一汲極構件之第一通道化構件，該

第一通道化構件位於該第一源極構件與該第一汲極構件之間；及

其圍繞該第一通道化構件之第一閘極構件，

耦接至該第一閘極構件之一高K介電層，

其中該高K介電層為不同於該介電層之一材料，及

其中該高K介電層之一部分(i)接觸該基板且(ii)位於該介電層之側。

【請求項14】

如請求項13之整合設備，其中該第一電晶體構件不含一井。

【請求項15】

如請求項13之整合設備，其中該介電層為經組態以將該第一源極構件及該第一汲極構件與該基板隔離的一隔離介電層。

【請求項16】

如請求項13之整合設備，其中該介電層具有在約7至20奈米(nm)之一範圍內的一介電層厚度。

【請求項17】

如請求項13之整合設備，其進一步包含形成於該基板上方之一第二電晶體構件，該第二電晶體構件包含：

安置於該基板上方之該介電層；

安置於該介電層上方之第二源極構件；

安置於該介電層上方之第二汲極構件；

耦接至該第二源極構件及該第二汲極構件之第二通道化構件，該第二通道化構件位於該第二源極構件與該第二汲極構件之間；及

圍繞該第二通道化構件之第二閘極構件。

【請求項18】

如請求項17之整合設備，其中該第二電晶體構件經組態以電耦接至該第一電晶體構件以形成一互補金屬氧化物半導體(CMOS)結構。

【請求項19】

如請求項 17 之整合設備，其中該第一電晶體構件及該第二電晶體構件各不含一井。

【請求項20】

如請求項17之整合設備，

其中該第一源極構件及該第一汲極構件各自包括N型摻雜物(N+)，且

其中該第二源極構件及該第二汲極構件各自包括P型摻雜物(P+)。

【請求項21】

如請求項17之整合設備，其中該介電層為經組態以 (i) 將該第一源極構件及該第一汲極構件與該基板隔離且(ii)將該第二源極構件及該第二汲極構件與該基板隔離之一隔離介電層。

【請求項22】

如請求項 13 之整合設備，其中該整合設備併入至選自由以下組成之群的一裝置中：一音樂播放機、一視訊播放機、一娛樂單元、一導航裝置、一通信裝置、一行動裝置、一行動電話、一智慧型電話、一個人數位助理、一固定位置終端機、一平板電腦、一電腦、一穿戴式裝置、一膝上型電腦、一伺服器及一機動車輛中之一裝置。

【請求項23】

一種用於製造一整合裝置之方法，其包含：

提供一基板；及

在該基板上方形成一第一電晶體，其中形成該第一電晶體包含：

在該基板上方形成一第一複數個通道；

在該基板上方形成一介電層；

在該介電層上方形成一第一源極；

在該介電層上方形成一第一汲極；及
形成經組態以耦接至一第一閘極之一高K介電層，
其中該高K介電層為不同於該介電層之一材料，及
其中形成該高K介電層之一部分，以使該高K介電層之該部分(i)接觸
該基板且(ii)位於該介電層之側，

圍繞該第一複數個通道形成該第一閘極，

其中該第一複數個通道耦接至該第一源極及該第一汲極，且

其中該第一複數個通道位於該第一源極與該第一汲極之間。

【請求項24】

如請求項23之方法，其中該第一電晶體經組態以充當一N型通道金屬
氧化物半導體電晶體(NMOS)。

【請求項25】

如請求項23之方法，其中該第一電晶體經組態以充當一P型通道金屬
氧化物半導體電晶體(PMOS)。

【請求項26】

如請求項 23 之方法，其進一步包含在該基板上方形形成一第二電晶
體，其中形成該第二電晶體包含：

在該基板上方形形成一第二複數個通道；

在該介電層上方形成一第二源極；

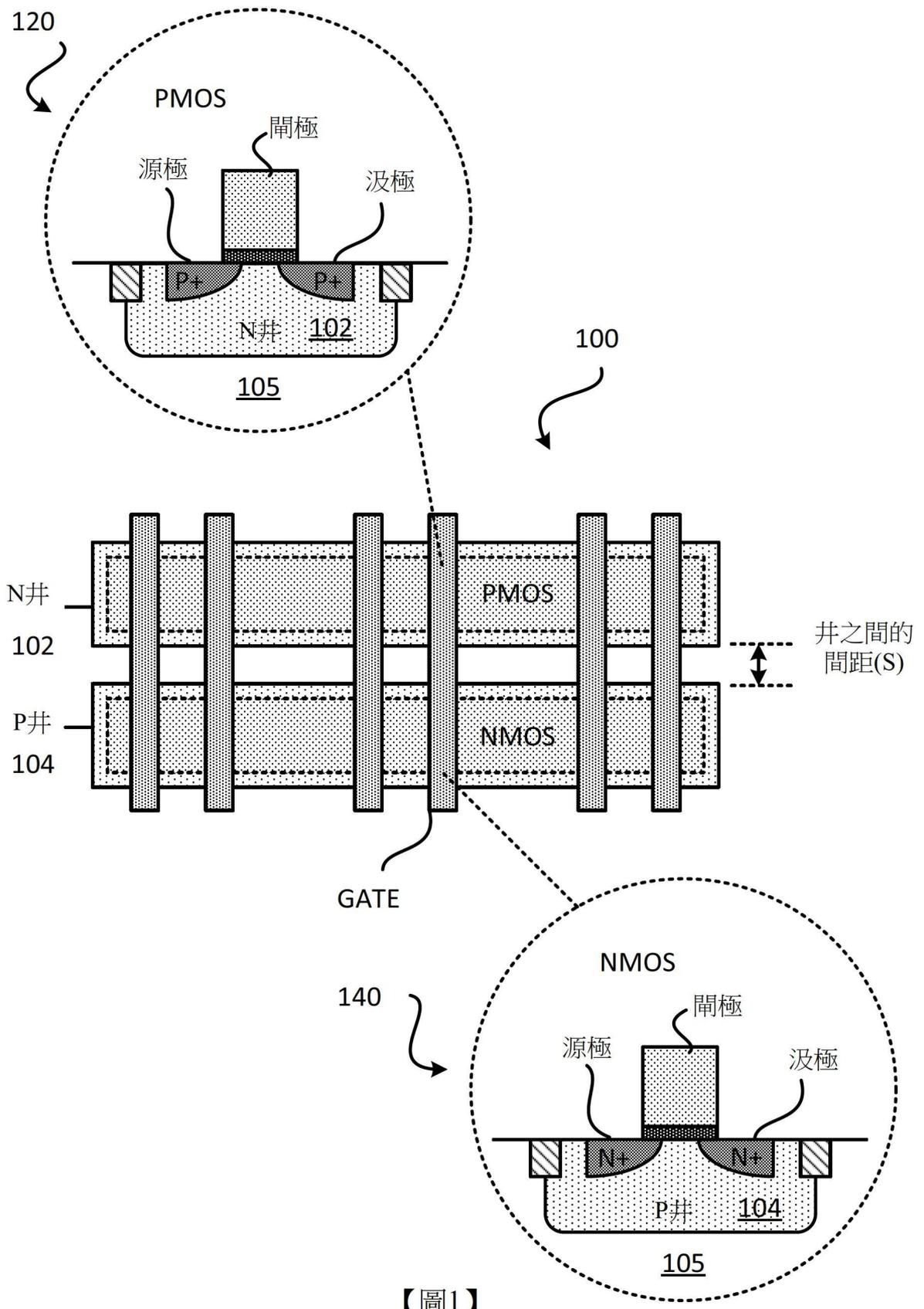
在該介電層上方形成一第二汲極；

圍繞該第二複數個通道形成一第二閘極，

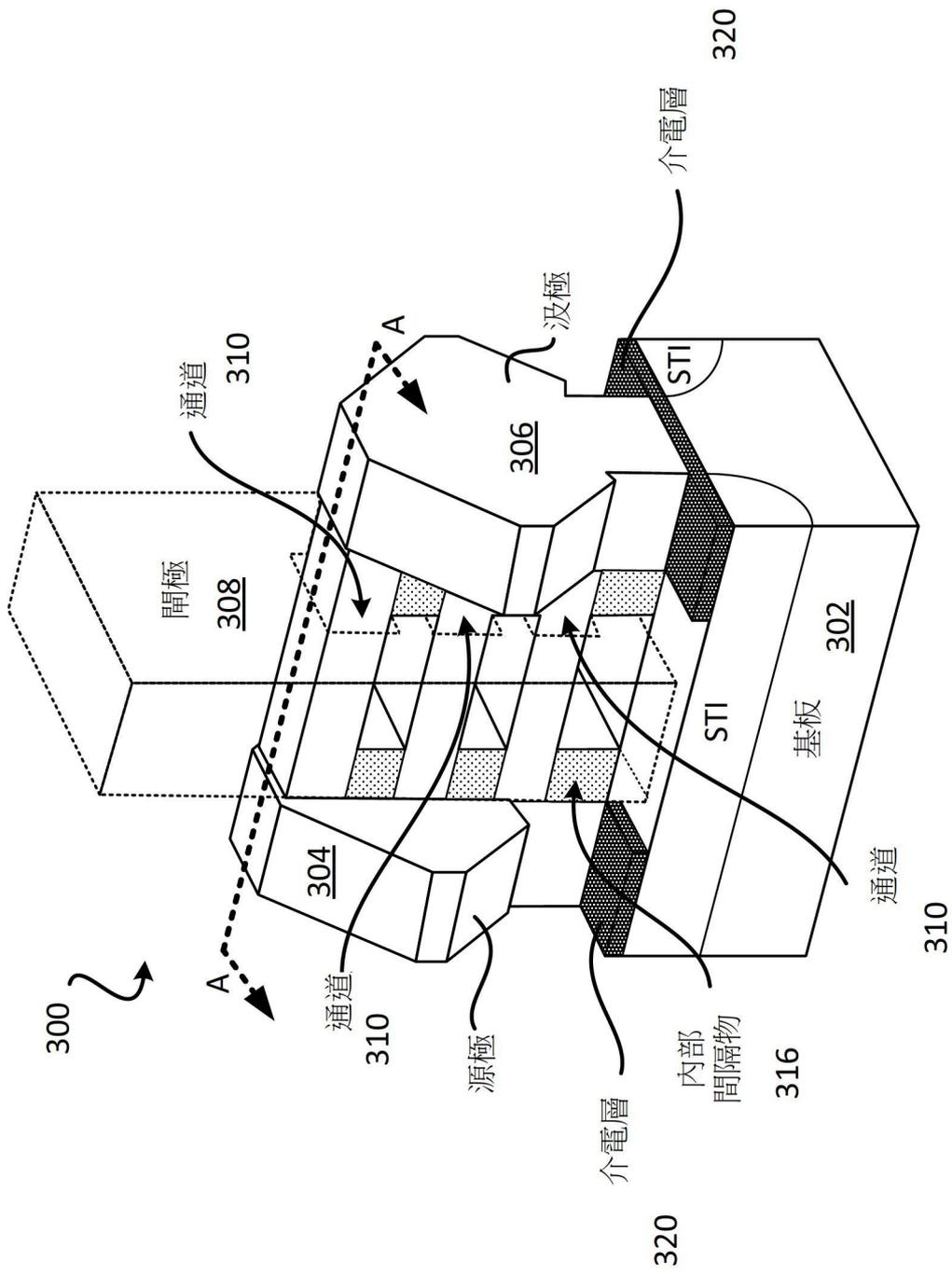
其中該第二複數個通道耦接至該第二源極及該第二汲極，且

其中該第二複數個通道位於該第二源極與該第二汲極之間。

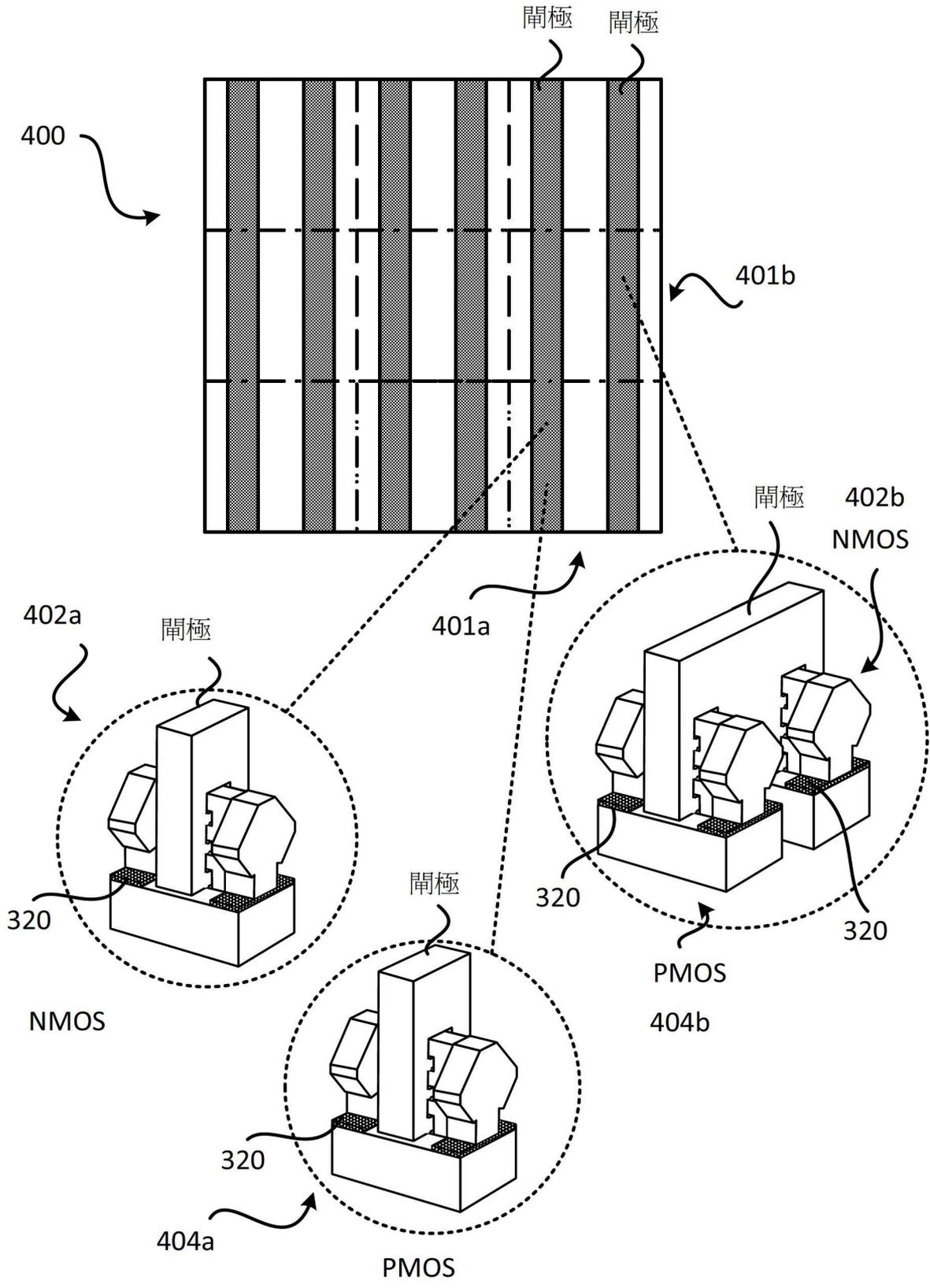
【發明圖式】



【圖1】

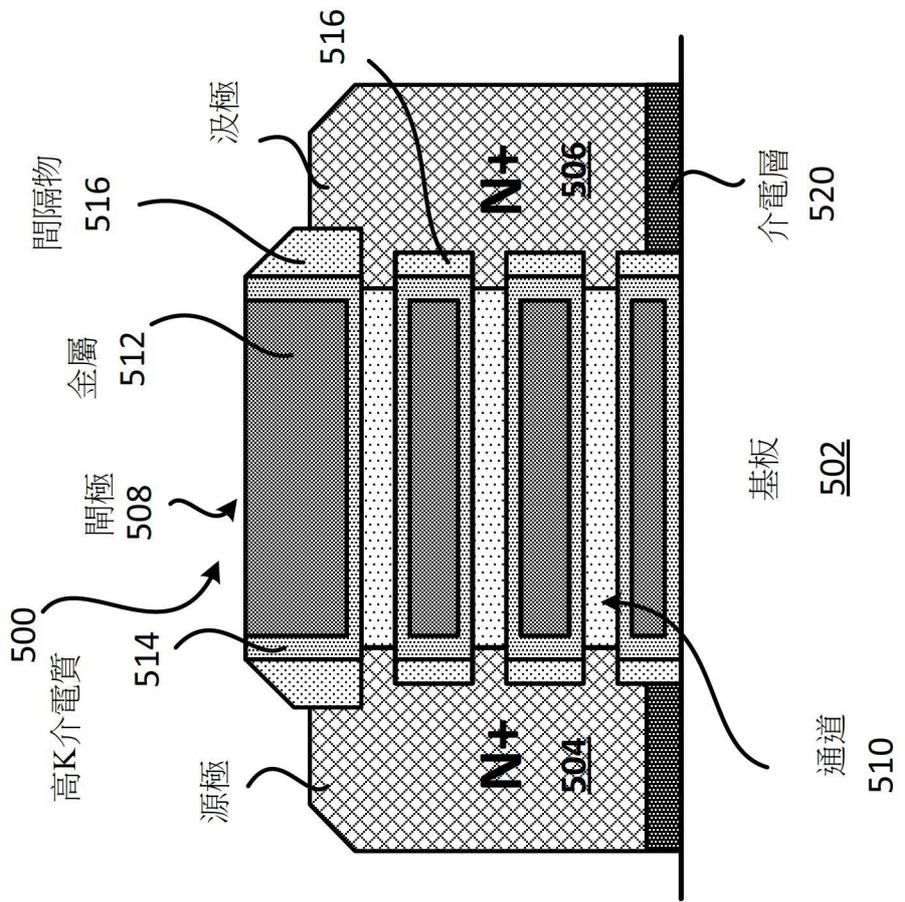


【圖3】



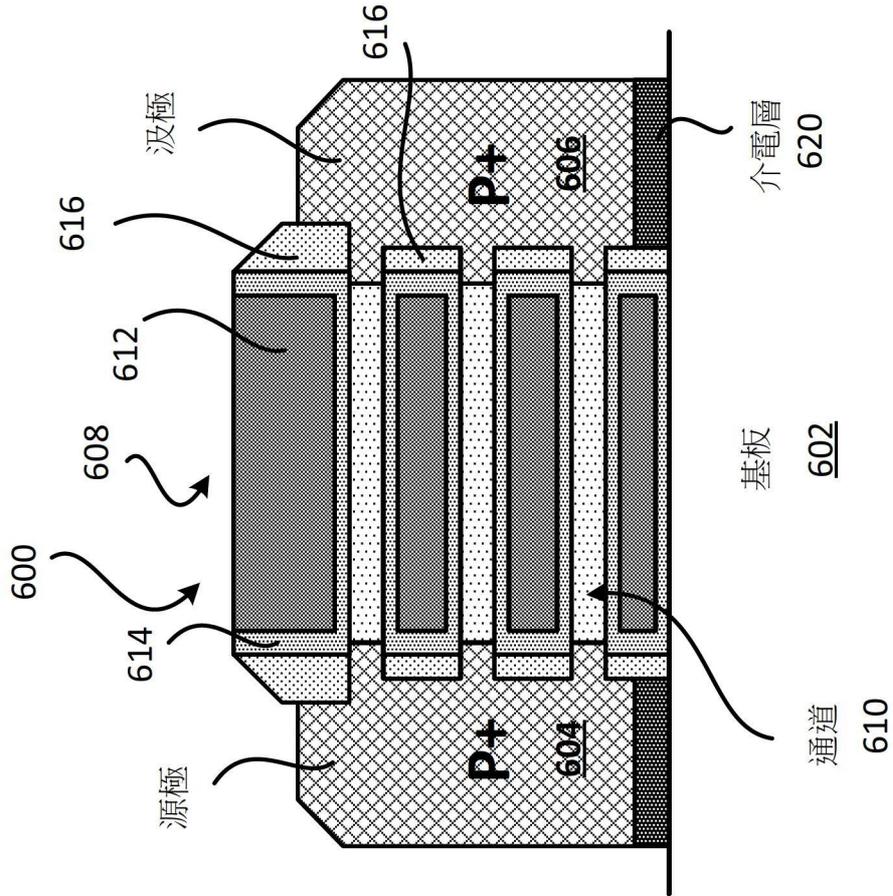
【圖4】

NMOS

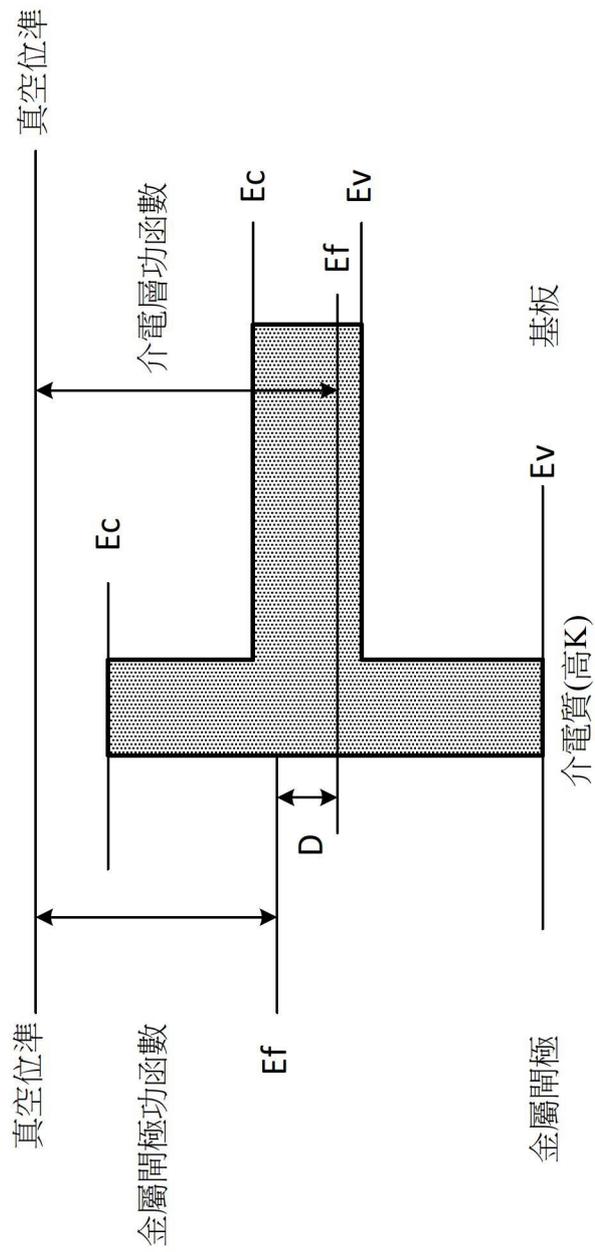


【圖5】

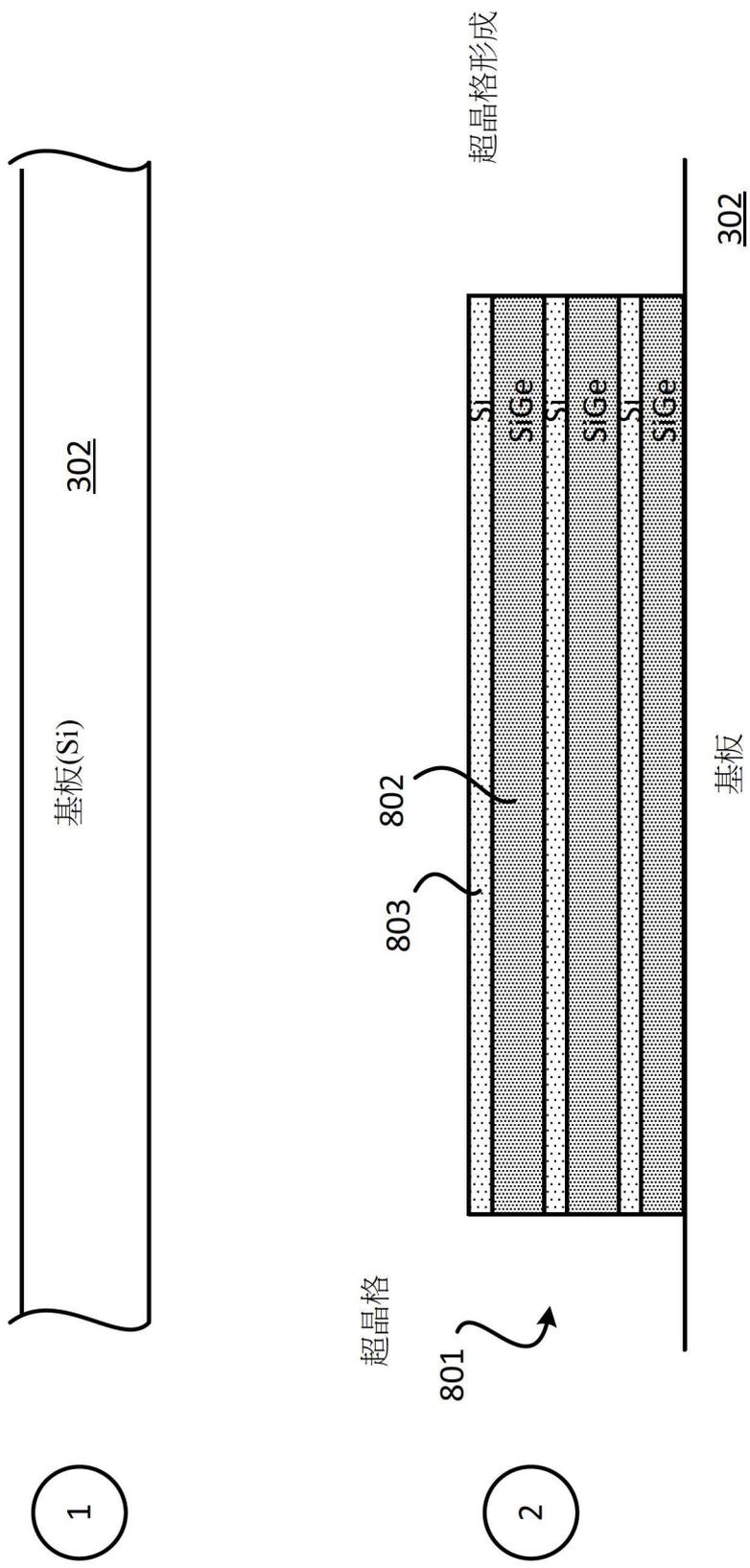
PMOS



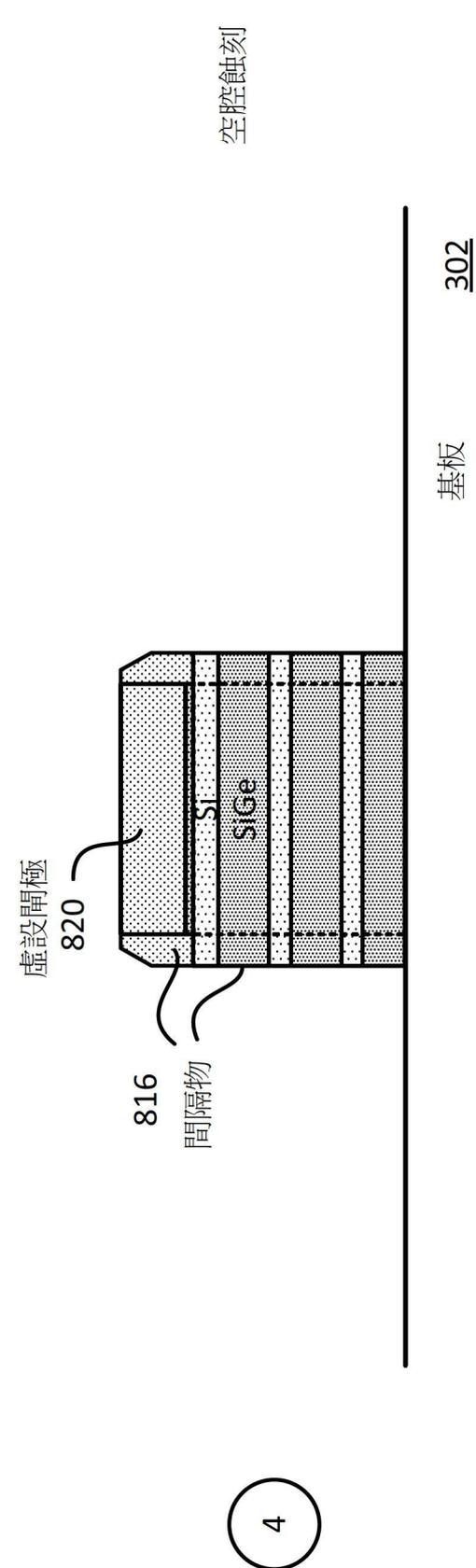
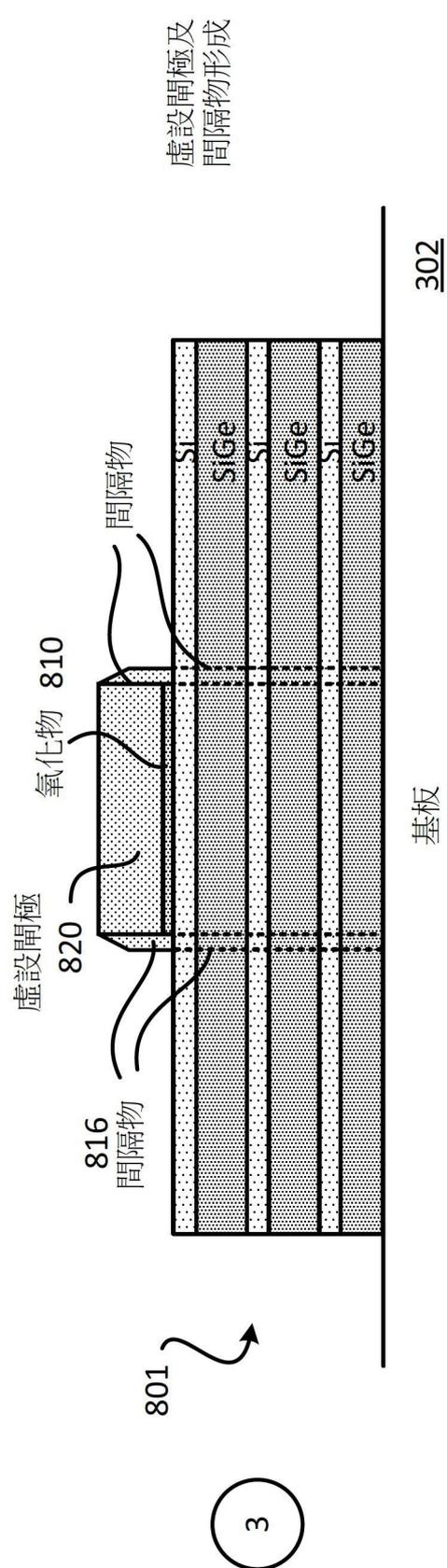
【圖6】



【圖7】

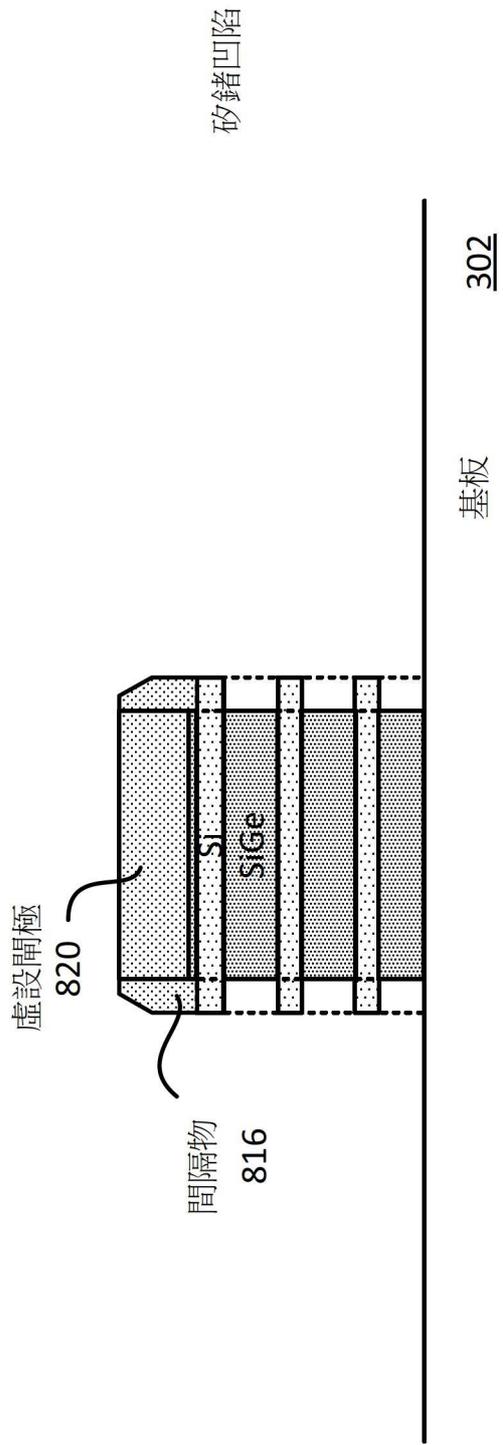


【圖8A】

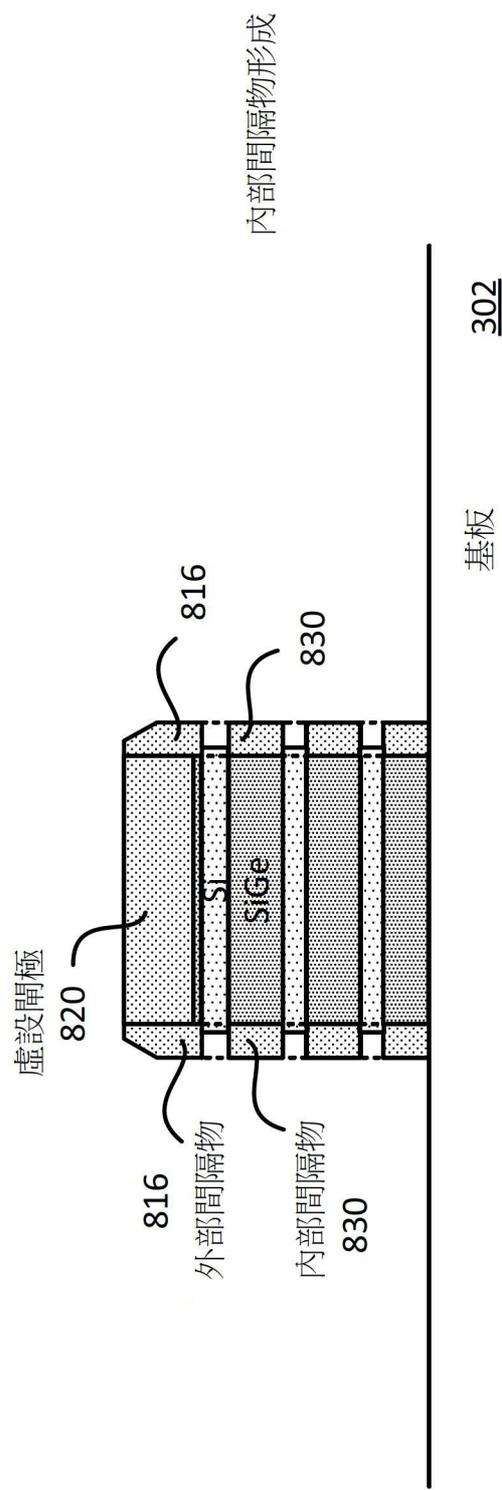


【圖8B】

5



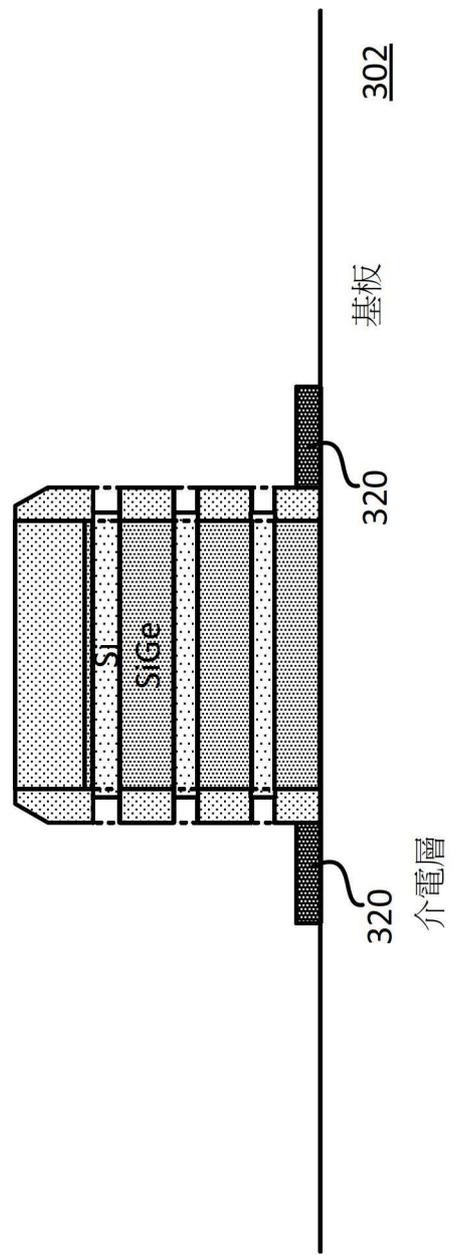
6



【圖8C】

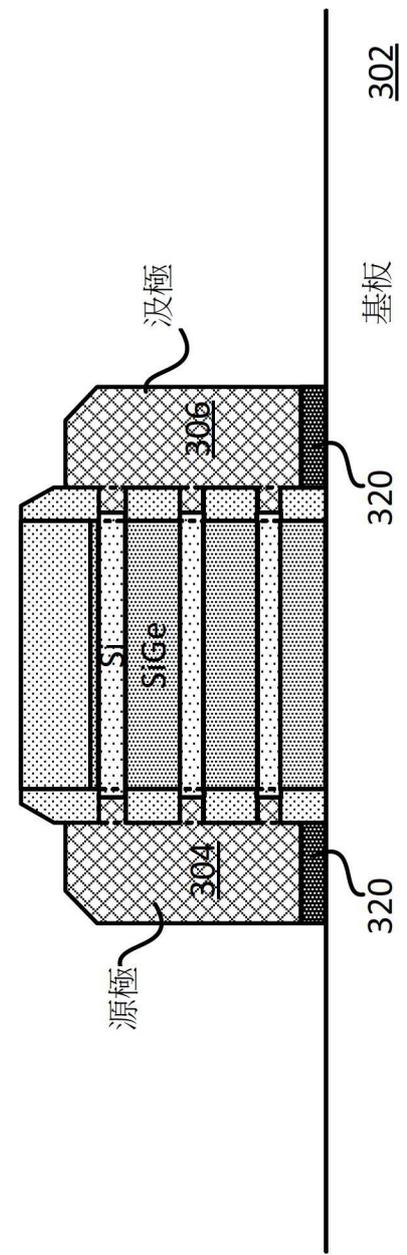
7

介電層形成

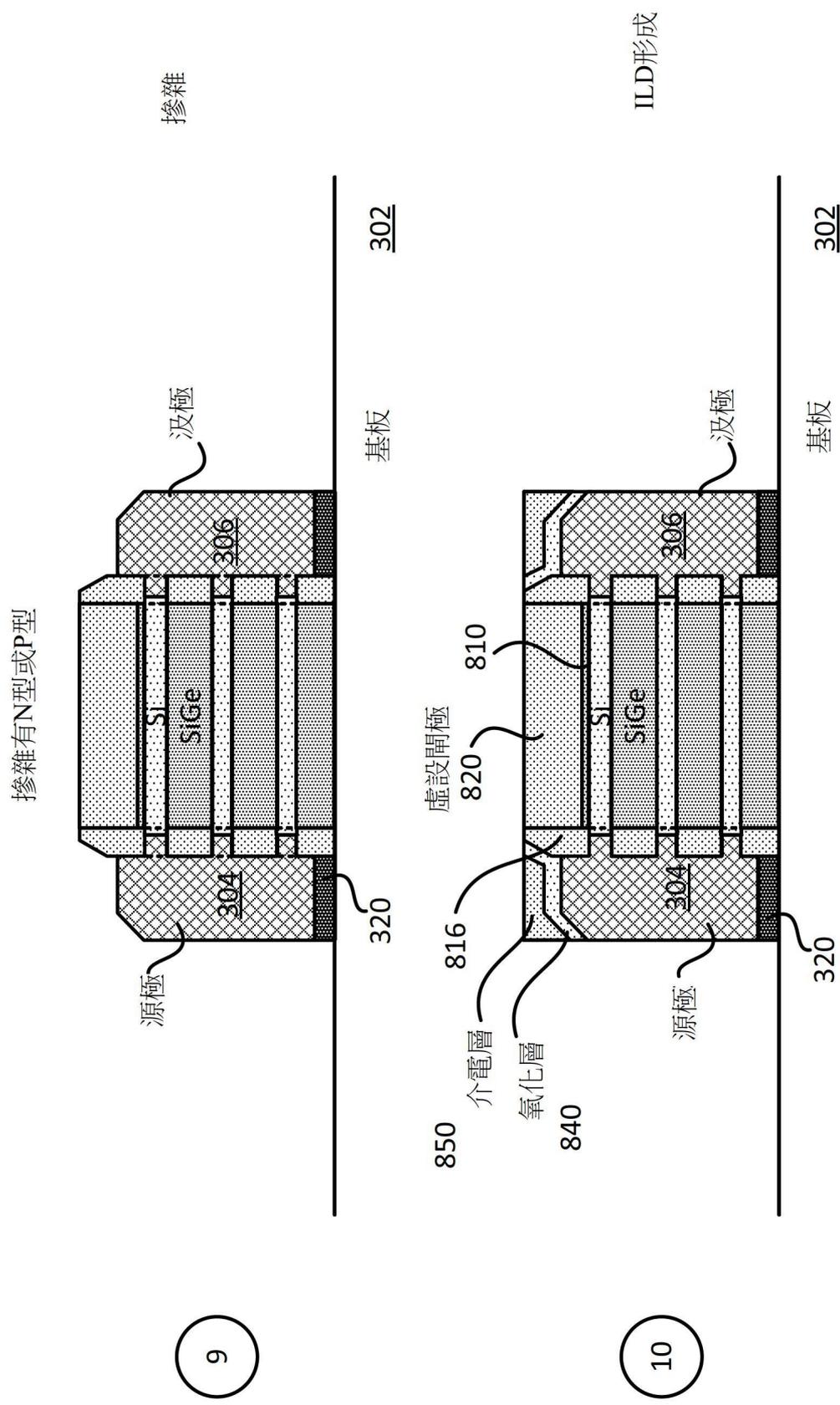


8

源極及汲極形成



【圖8D】

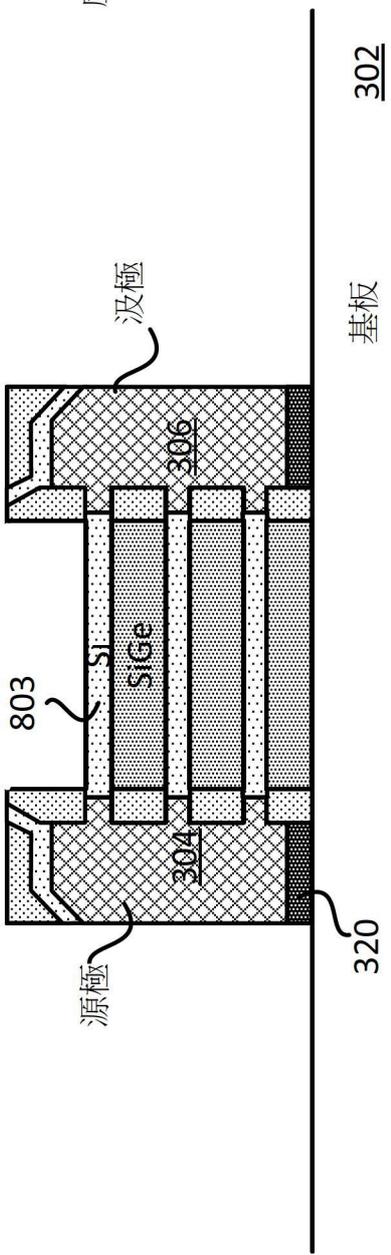


【圖8E】

9

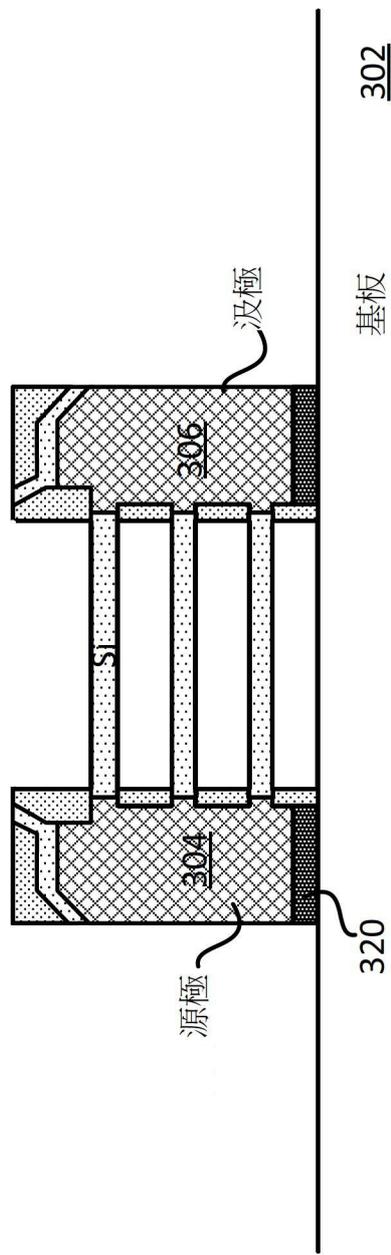
10

虛設閘極及虛設介
電質移除



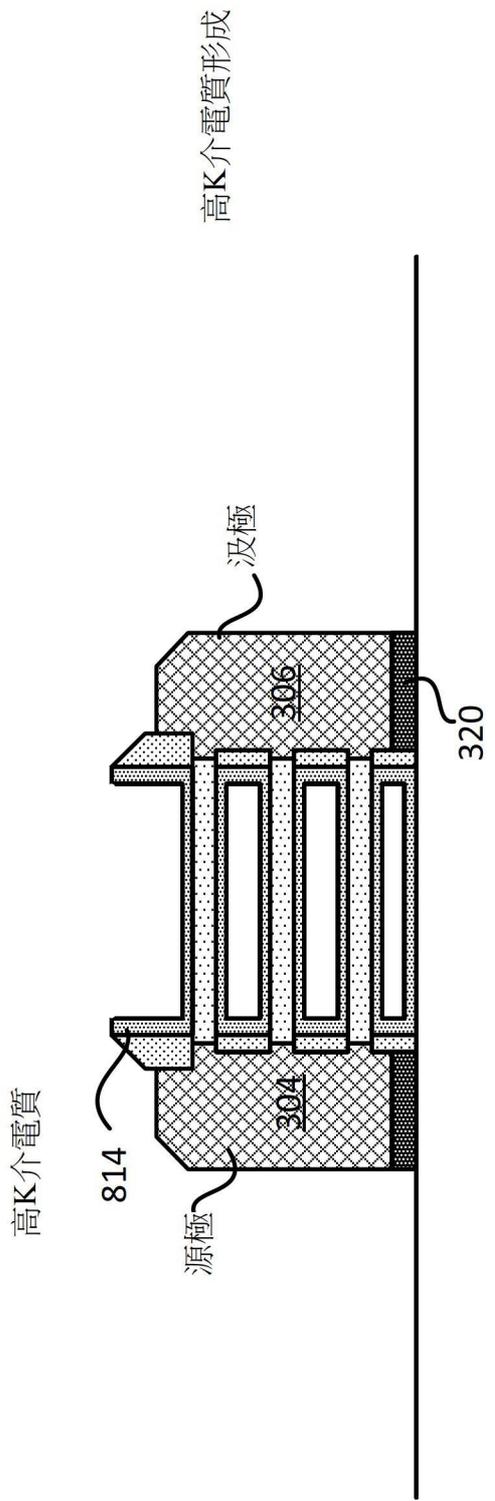
11

SiGe移除

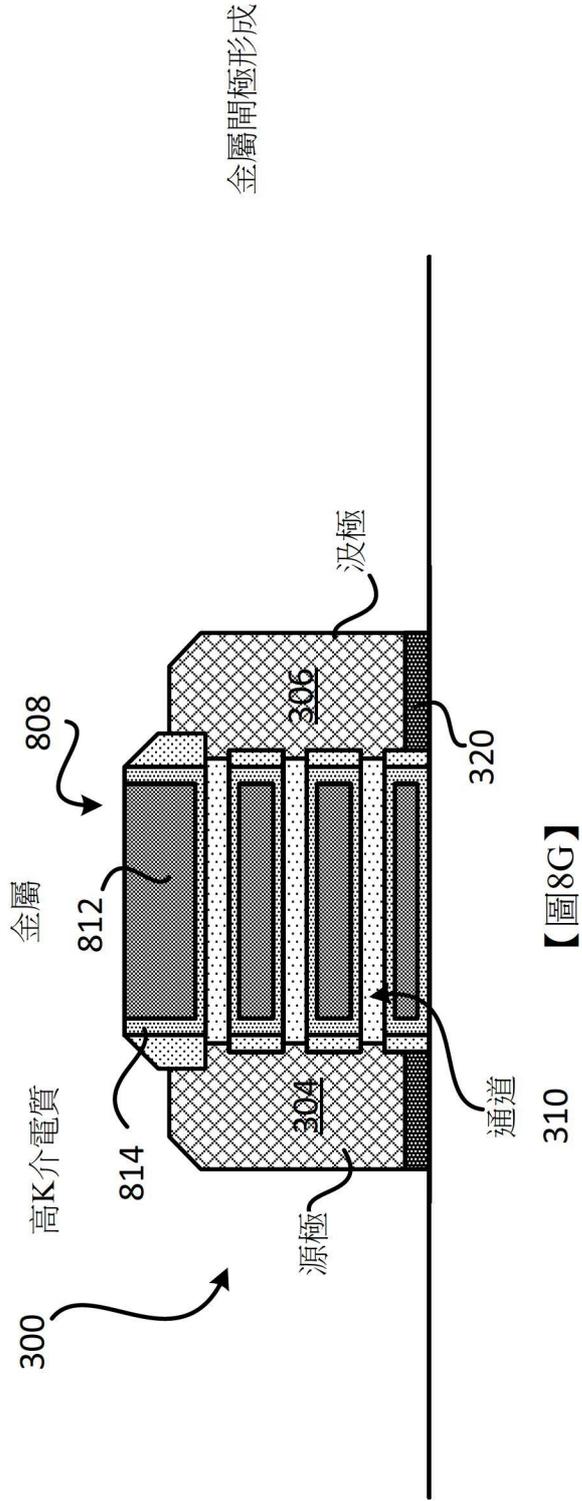


12

【圖8F】

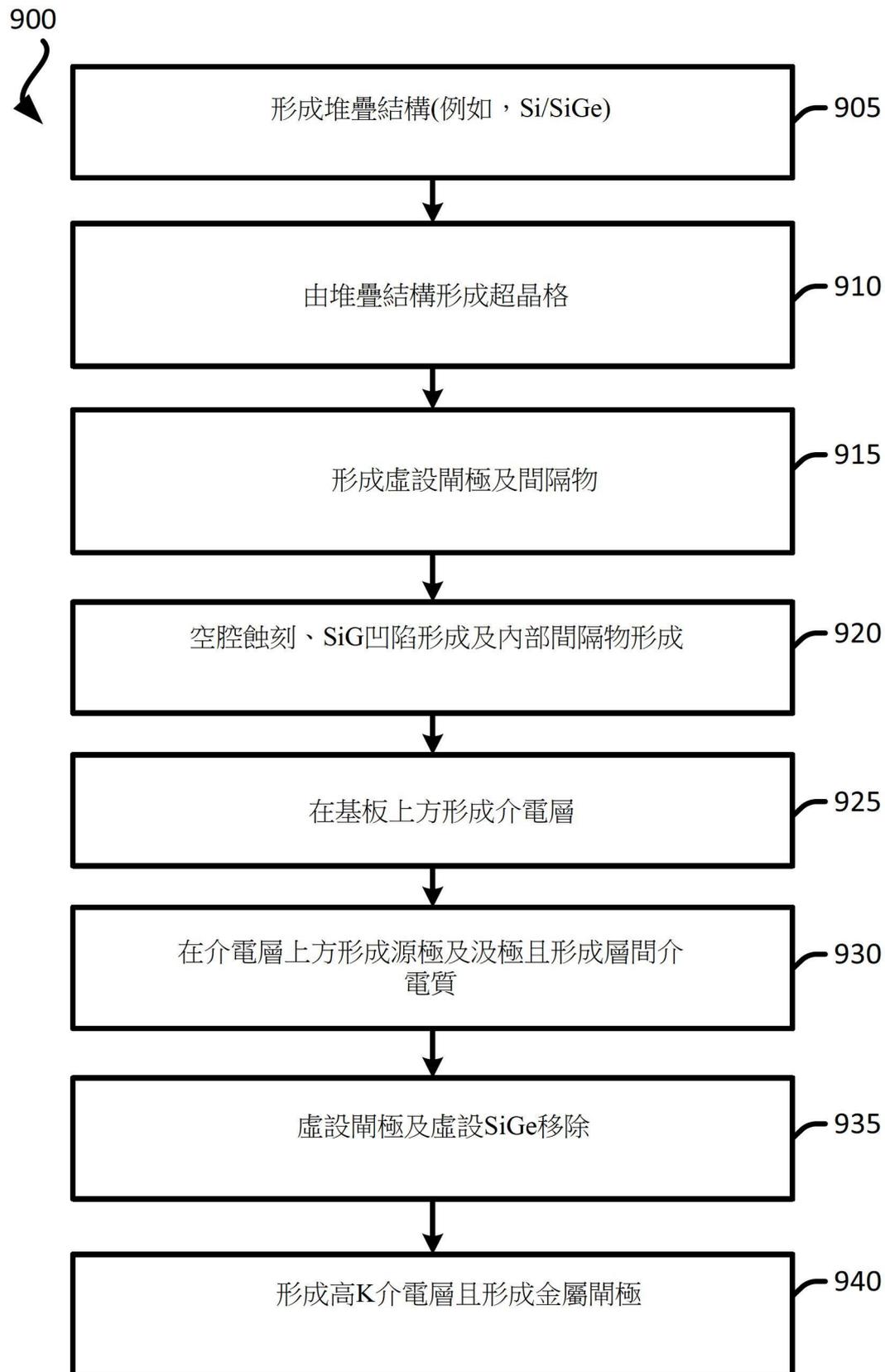


13

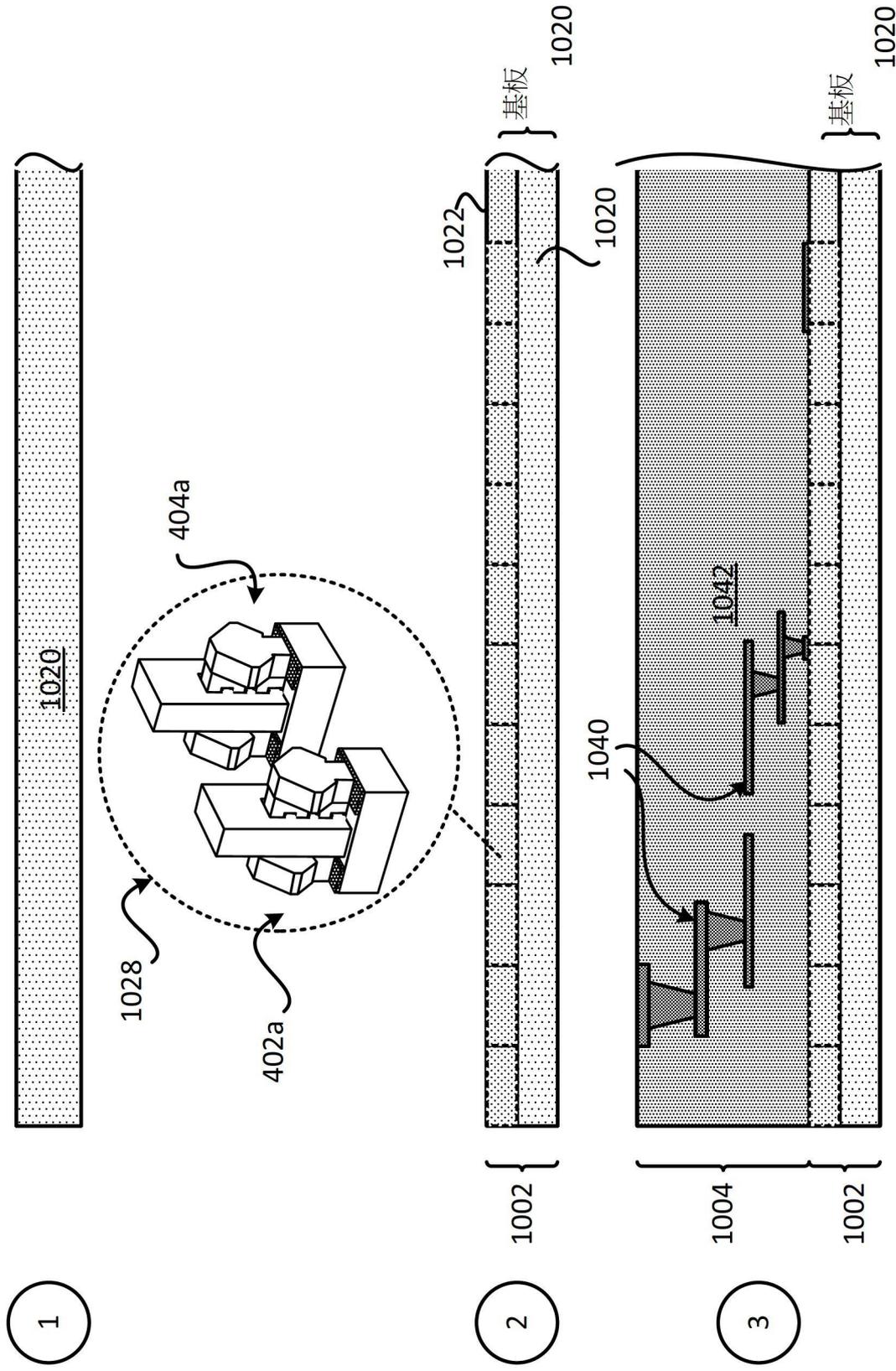


14

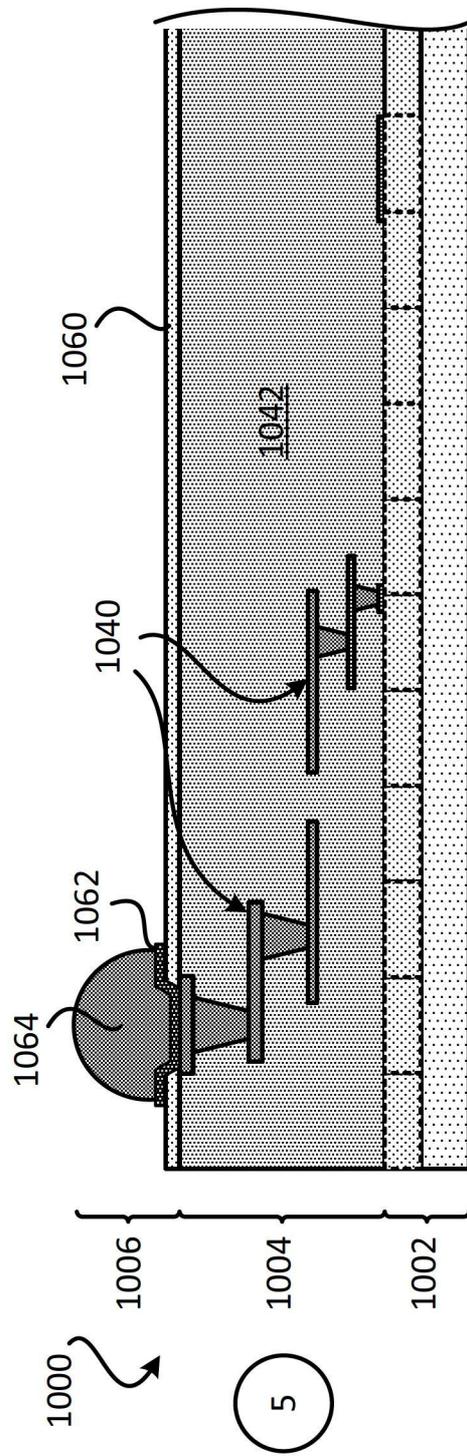
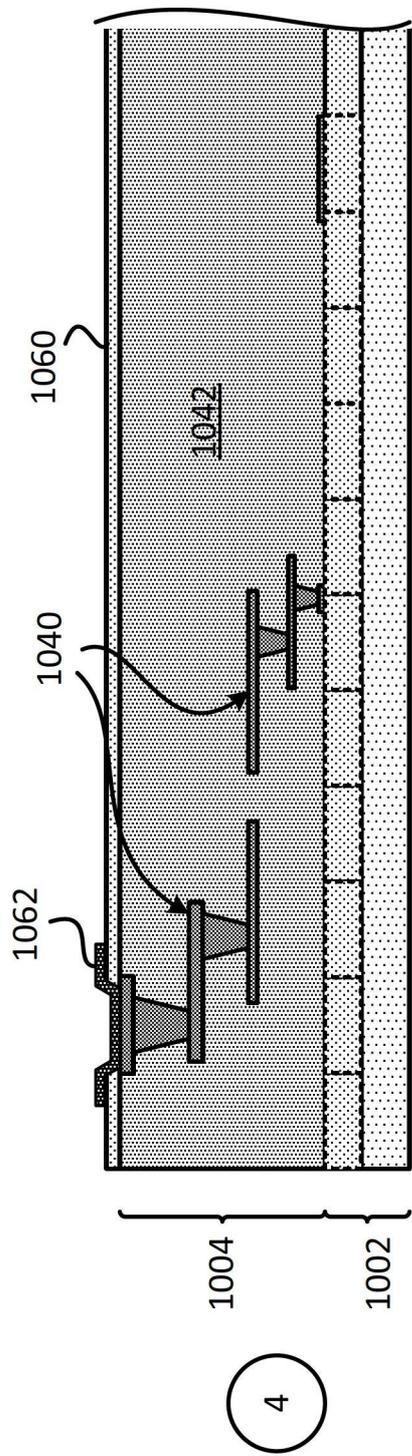
【圖8G】



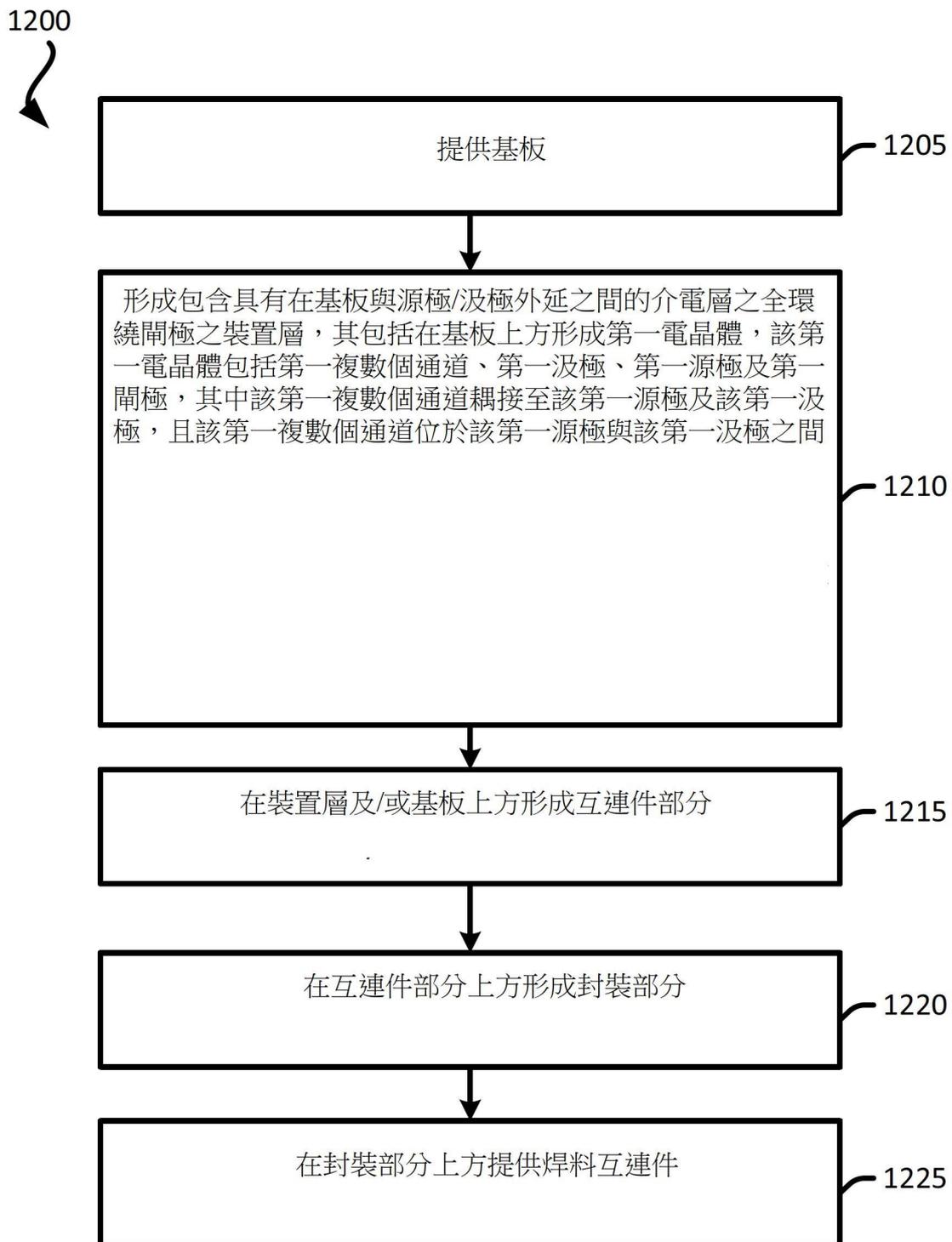
【圖9】



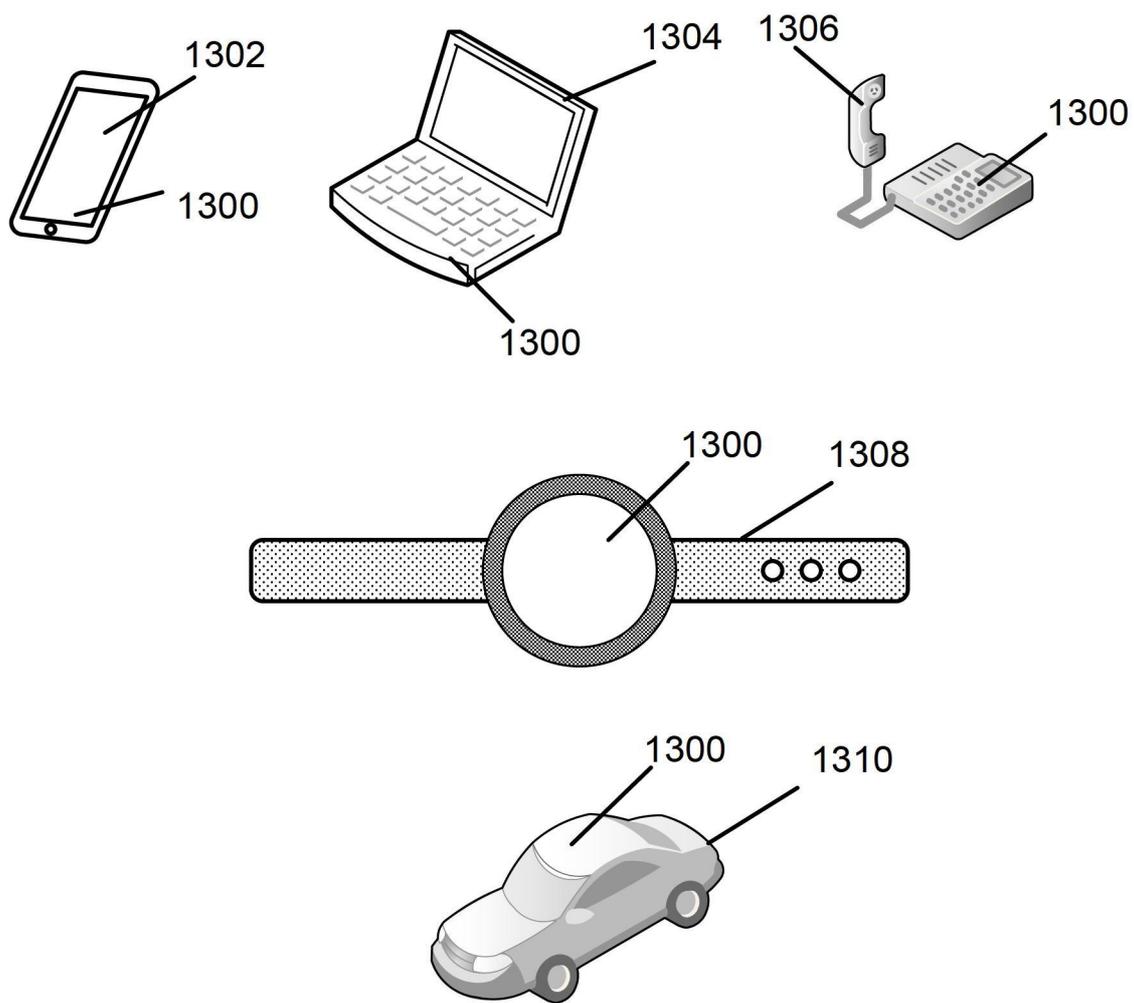
【圖11A】



【圖11B】



【圖12】



【圖13】